

02-EXAMEN FINAL (Puntuación máxima 5 puntos):
Diseño del computador TDCComp
1) Características:

- Datos de 4 bits
- Arquitectura ó Modelo de ejecución: Registro-Registro
- Memoria RAM única para Programa y Datos (Modelo Von Neumann)
- Incluirá un banco de registros
- ISA → 7 instrucciones:
 - LD dir,R2 → Carga en registro de un dato de memoria (Load)
 - ST dir,R2 → Carga en memoria de un dato de un registro (Store)
 - ADD R1,R2 → Suma de dos registros, resultado en R2
 - SUB R1,R2 → Resta de dos registros, , resultado en R2
 - INC Inm,R2 → Incremento en “Inm”(4 bits) del valor de un registro
 - DEC Inm,R2 → Decremento en “Inm”(4 bits) del valor de un registro
 - BEQ dir, XX → Salto a la dirección “dir” si FZ=1
- El código de operación de cada instrucción será el siguiente:

Instrucción	COP
LD	000
ST	001
ADD	010
SUB	011
INC	100
DEC	101
BEQ	110

- Longitud de la instrucción: 10 bits
- Formato de la instrucción
 - 1º Campo, Código de Operación (3 bits)
 - 2º Campo, Dirección de memoria (4bits)/Valor Inmediato(4bits)
/Registro1 (3 bits)
 - 3º Campo, Número de registro2 (3 bits)

2) NOTAS para el diseño:

- **RAM:**

- i) Dado que la memoria RAM almacenará instrucciones (10 bits) y datos (4 bits), cuando se lea un dato solo deberán considerarse los 4 bits menos significativos (del 3 al 0). Del mismo modo, cuando se almacene un dato deberá completarse con ceros para guardar 10 bits.
- ii) La RAM deberá incluir un programa y datos que permita comprobar que todas las instrucciones se ejecutan adecuadamente.
- iii) Mapa de memoria: dedique las direcciones 0 a 10 a INSTRUCCIONES y 11 a 15 a DATOS

- **Banco de registros:**

- i) Tendrá dos entradas de dirección, una para seleccionar R1 y otra para R2.
- ii) Tendrá dos salidas de datos, una para el contenido de R1 y otra para el de R2.
- iii) Tendrá una entrada de datos para almacenar el resultado de la ALU en el registro de dirección R2.

- **Estructura de las instrucciones:**

- i) Todas las instrucciones, salvo BEQ, harán uso de la ALU
- ii) LD / ST carga/ almacena un dato en el banco de registro/memoria. La dirección de memoria en ambos casos viene dada por el 2º campo de la instrucción, "dir". El registro donde se guarda/lee viene dado por el 3º campo de la instrucción.
- iii) INC y DEC realizan operaciones entre un valor inmediato, de 4 bits, incluido en el 2º campo de la instrucción, "Inm", y el registro indicado en el el 3º campo. El resultado se almacenará en el mismo registro R2.
- iv) BEQ funciona provocando un salto a la dirección, "dir", especificada en el 2º campo de la instrucción. El salto se producirá si la instrucción anterior provocó que FZ=1 al dar 0 como resultado

3) A la hora de hacer pruebas en Basys2

- Si es necesario prescinda, provisionalmente, de un bit de los datos.
- Puede fijar, provisionalmente, a 0 o 1 el valor de alguna línea de control CW. Hágalo con alguna línea que no sea crítica en la prueba de la instrucción, si es necesario luego modifique el valor para probar otras instrucciones.
- En el módulo final, TOP, se establecerá la conexión del procesador completo, o solo la microarquitectura, con los displays de 7 segmentos.
- Para el día del examen, en Basys2 deberá mostrarse:
 - Display AN3 → Bus de direcciones RAM
 - Display AN2 → Operando A de la ALU
 - Display AN1 → Operando B de la ALU
 - Display AN0 → Salida de la ALU
 - LEDs 6 a 0 → Campos 2 y 3 de la instrucción a ejecutar
 - 3 LEDs externos → Campo 1, código de operación, de la instrucción a ejecutar.
 - 1 LED externo para FZ

4) Instrucciones y Calificación

- Por completar el diseño de la microarquitectura y demostrar que funciona, la puntuación será de 4 puntos. Por completar la unidad de control 0.5 puntos. Si se presenta la interconexión de ambas funcionando en Basys2 se recibirá la calificación máxima, 5 puntos.
- La puntuación de cada apartado anterior se otorgará al completo si el diseño es correcto funcionalmente y si el código está debidamente comentado e indentado. Además de resolver la prueba propuesta el día del examen.
- El día del examen (**29 de enero**), el alumno/a deberá hacer la demostración de funcionamiento del diseño que haya completado.
- **No** es necesario presentar la comprobación en placa (.bit y .ucf) de todos los apartados que vaya diseñando. **Si** es obligatorio presentar en Basys2 la demostración del bloque que se decida construir.
- Si se construyen la unidad de control deberán incluirse también su “testbench”.
- Antes del día del examen, el día 26 de enero, el alumno/a deberá subir a la tarea correspondiente del Campus Virtual los ficheros VHD, BIT y UCF del proyecto realizado. Además de un documento que incluya el diagrama de bloques del diseño realizado.