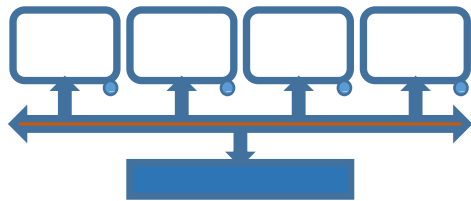









Ejercicio	ACCIÓN	Est. P1	Est. P2	Est. P3	Est. P4	Acción del bus	Dato Suministrado por....
3.1	Nodo P(0) encuentra en su memoria el bloque.	M	I	I	I	Realiza el acceso al bloque por parte del Nodo P(0).	Nodo P(0).
3.2	Nodo P(0) realiza una intervención exclusiva sobre el bloque de memoria.	M	I	I	I	El resto de nodos queda esperando el bloque de memoria.	Nodo P(0).
3.3	Nodo P(1) realiza una petición de lectura exclusiva al bloque de memoria.	I	I	M	I	Nodo P(0) solicita transacciones al bloque de memoria.	Nodo P(2).
3.4	El nodo P(1) realizará el acceso al bloque haciendo una revisión exclusiva.	I	S	S	I	P1, el que le envía el bloque a P2.	Nodo P1.
3.5	El nodo P(2) solicita el bloque y da fallo en caché por lo que realiza una petición al bus y el árbitro concede el bus a P(2).	I	I	M	I	P(1) transfiere el bloque 0 a P(2) mediante el bus.	Nodo P(1).
3.6	El nodo P(2) tiene un acierto en caché.	I	I	M	I	P(2) tiene acierto en caché, por lo que no se transfiere nada.	Nodo P(2).

3.7	El nodo P(0) produce un fallo de caché.	I	I	M	I	El nodo P(0) produce un reemplazamiento de bloque en los nodos P(2) y P(3).	Nodo P(2).
-----	---	---	---	---	---	---	------------



 3.1	<p>Se producirá una condición de carrera y solo podrá leer el bloque de memoria el primer procesador que llegue (el que gane la carrera).</p> <p>Si estuviese en M sí que cambiaría porque el dato no es coherente con el resto de memorias ni con MP, entonces tendría que guardarlo en la memoria principal antes de que el resto de memorias caché se actualizasen con ese valor.</p>
 3.2	<p>En P(0) se queda como modificado y, en el resto, queda como inválido.</p>
 3.3	<p>Nodo P(1) realiza una petición de lectura exclusiva a la caché.</p> <p>Nodo P(0) solicita transacciones al bloque de memoria.</p>
 3.4	<p>El nodo P(1) realizará el acceso al bloque haciendo una revisión exclusiva.</p> <p>Por lo tanto, es P1, el que le envía el bloque a P2.</p>
 3.5	<p>P2 pide acceso al bus y P1 le entrega el bloque de memoria.</p> <p>Por lo tanto, P1, vuelve a enviar el bloque a P2.</p>
 3.7	<p>En la caché del nodo P(0) se producirá un fallo de caché.</p> <p>Generará un reemplazamiento de bloque en las otras cachés.</p>
 3.8	<p>Si se produce un acierto de escritura en un bloque que está en estado M, no tendremos coherencia con la memoria principal por lo que debemos, primero, establecer la coherencia y luego hacer la modificación necesaria en esa escritura.</p> <p>Si se produce un acierto de lectura en un bloque que está en estado M, no tendremos problema mayor que la coherencia de caché, que una vez resuelta, podremos realizar los cambios convenientes en dicho bloque de memoria.</p>



3.9

Si se produce un acierto de escritura en un bloque que está en estado S, habrá que esperar a que el otro nodo con el que se comparte dicho bloque deje de compartirlo ya que debe ser accedido en exclusión mutua para su modificación.

Si se produce un acierto de lectura en un bloque que está en estado S, no tendremos problema, porque podremos leerlo por tantos nodos como queramos.