

3.1. FPGAs

3.1.1. Generalidades

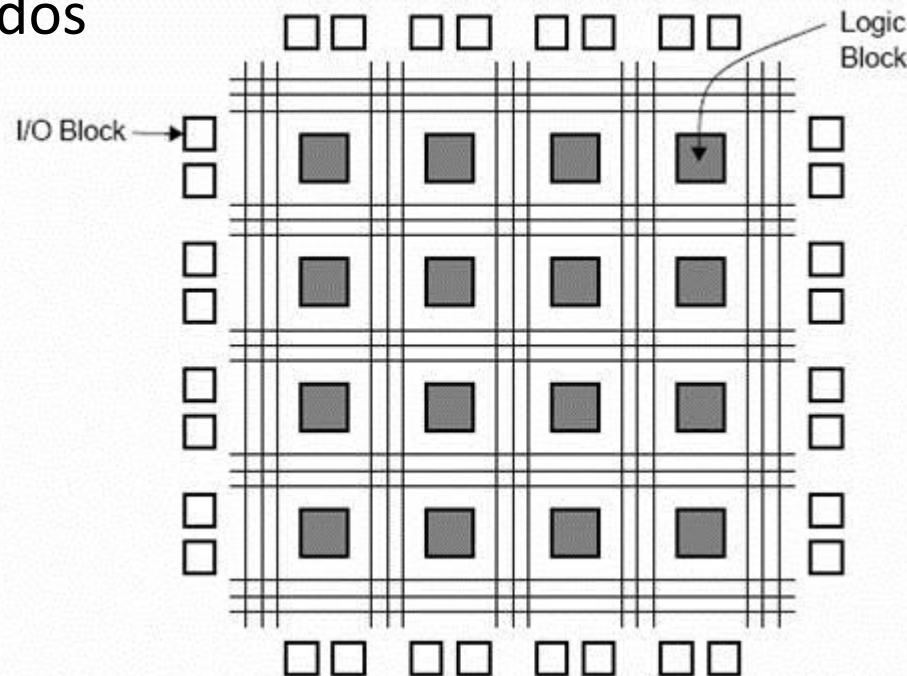
Familias de FPGA

- ❑ Fabricantes: [Xilinx](#), [Altera¹](#), Actel, LatticeSemiconductor
- ❑ Hay varios tipos de FPGAs adaptadas a distintas aplicaciones (automoción, consumo, aeroespacial, etc)
- ❑ Se clasifican en [series](#) o [familias](#) que a su vez pueden subdividirse en subgrupos.
- ❑ Las FPGAs miembros de una misma familia comparten las características básicas ([T_a](#), [encapsulado](#), [velocidad...](#)) pero difieren en la cantidad de recursos ([CLBs](#), [IOBs](#), etc) o si disponen de otros ([procesadores](#), [memorias](#), [multiplicadores....](#))


¹ Recientemente adquirida por Intel Corporation

Características de las FPGA

- ❑ FPGA (*Field Programmable Gate Array*). Dispositivo que contiene millones de transistores conectados entre sí para realizar distintas funciones lógicas.
- ❑ El principal beneficio de la FPGA es que un cambio en el diseño no implica una modificación del hardware.
- ❑ Programable por el usuario: Aporta flexibilidad para hacer cambios rápidos




Principales fabricantes de FPGA



MEASURABLE ADVANTAGE™

USA | DOWNLOADS | DOCUMENTATION | MYALTERA




PRODUCTS | SOLUTIONS | SUPPORT | ABOUT | BUY

Search

FPGA CPLD and ASIC from Altera > Products > FPGAs > Overview


Altera FPGAs

Altera FPGAs offer a wide variety of configurable embedded SRAM, high-speed transceivers, high-speed I/Os, logic blocks, and routing. Built in intellectual property (IP) combined with outstanding software tools lower FPGA development time, power and cost.




FPGA • SoC

Our fastest, most powerful FPGAs




FPGA • SoC

Balance of cost, power and performance



FPGA • SoC

Low system cost plus performance



FPGA


Non-volatile single-chip, dual-configuration

OVERVIEW | STRATIX SERIES | ARRIA SERIES | CYCLONE SERIES | MAX SERIES | CONFIGURATION

Altera FPGAs

Altera FPGAs are ideal for a wide variety of applications, from high-volume applications to state-of-the-art products. Each series of FPGA includes different features, such as embedded memory, digital signal processing (DSP) blocks, high-speed transceivers, or high-speed I/O pins, to cover a broad range of end products.

<https://www.altera.com/products/fpga/overview.html>



Stratix Series

Stay Informed

- Get Email Updates
- Wiki
- Forum

Device Specific Offerings

Principales fabricantes de FPGA

APPLICATIONS

PRODUCTS

DEVELOPER ZONE

SUPPORT

ABOUT



Xilinx Multi-Node Product Portfolio Offering

45nm

SPARTAN.⁶

28nm

VIRTEX.⁷

KINTEX.⁷

ARTIX.⁷

20nm

VIRTEX.⁷
UltraSCALE

KINTEX.⁷
UltraSCALE

16nm

VIRTEX.⁷
UltraSCALE+

KINTEX.⁷
UltraSCALE+

<http://www.xilinx.com/products/silicon-devices/fpga.html>

Principales fabricantes de FPGA

28nm



16nm



Xilinx All Programmable SoC and MPSoC Comparison Table

PROCESSING SYSTEM	Zynq-7000 SoC	Zynq UltraScale+ MPSoC
Application Processing Unit	Dual-core ARM® Cortex™-A9 MPCore™ with CoreSight™ up to 1GHz	Quad-core ARM® Cortex™-A53 MPCore up to 1.5GHz
Real-Time Processing Unit	-	Dual-core ARM® Cortex™-R5 MPCore up to 600MHz
Multimedia Processing	-	GPU ARM® Mali™-400MP up to 667MHz, Video Codec supporting H.264-H.265
Dynamic Memory Interface	DDR3, DDR3L, DDR2, LPDDR2	DDR4, LPDDR4, DDR3, DDR3L, LPDDR3
High-Speed Peripherals	USB 2.0, Gigabit Ethernet, SD/SDIO	PCIe® Gen2, USB3.0, SATA 3.1, DisplayPort, Gigabit Ethernet, SD/SDIO
Security	RSA, AES, and SHA, ARM® TrustZone®	RSA, AES, and SHA, ARM® TrustZone®
Max I/O Pins	128	214

<http://www.xilinx.com/products/silicon-devices/soc.html>

Principales fabricantes de FPGA

<http://www.xilinx.com/products/silicon-devices/fpga/index.htm>

FPGA Comparison Table

	Spartan-6	Artix-7	Kintex-7	Virtex-7
Logic Cells	150,000	215,000	480,000	2,000,000
BlockRAM	4.8Mb	13Mb	34Mb	68Mb
DSP Slices	180	740	1,920	3,600
DSP Performance (symmetric FIR)	140GMACs	930GMACs	2,845GMACs	5,335GMACs
Transceiver Count	8	16	32	96
Transceiver Speed	3.2Gb/s	6.6Gb/s	12.5Gb/s	28.05Gb/s
Total Transceiver Bandwidth (full duplex)	50Gb/s	211Gb/s	800Gb/s	2,784Gb/s
Memory Interface (DDR3)	800Mb/s	1,066Mb/s	1,866Mb/s	1,866Mb/s
PCI Express® Interface	x1 Gen1	x4 Gen2	x8 Gen2	x8 Gen3
Analog Mixed Signal (AMS)/XADC		Yes	Yes	Yes
Configuration AES	Yes	Yes	Yes	Yes
I/O Pins	576	500	500	1,200
I/O Voltage	1.2V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V
EasyPath™ Cost Reduction Solution	-	-	Yes	Yes

Principales fabricantes de FPGA

<http://www.xilinx.com/products/silicon-devices/fpga/index.htm>

Additional FPGA Families

Spartan® FPGA Families

- Automotive-grade XA Spartan-6 FPGA
- Automotive-grade XA Spartan-3A FPGA
- Automotive-grade XA Spartan-3A DSP FPGA
- Automotive-grade XA Spartan-3E FPGA
- Spartan-3 FPGA
- Spartan-3A FPGA
- Spartan-3AN FPGA
- Spartan-3A DSP FPGA
- Spartan-3E FPGA

Artix® and Kintex FPGA Families

- Defense-grade Artix-7Q FPGA
- Defense-grade Kintex-7Q FPGA

EasyPath FPGA Families

- EasyPath-7 FPGA
- EasyPath-6 FPGA
- EasyPath- FPGA

Virtex FPGA Families

- Virtex-6 FPGA
- Virtex-5 FPGA
- Virtex-4 FPGA
- Defense-grade Virtex-7Q FPGA
- Defense-grade Virtex-6Q FPGA
- Defense-grade Virtex-5Q FPGA
- Defense-grade Virtex-4Q FPGA
- Space-grade Virtex-5QV FPGA
- Space-grade Virtex-4QV FPGA

[See all Mature FPGAs >>](#)

3.1.2. Interfaces de E/S

Interfaces E/S de FPGA

- ❑ Los interfaces E/S permiten la **transferencia de datos** con el exterior de la FPGA. Están situados en la periferia del dispositivo.
- ❑ Incluyen recursos adicionales: Rpull-up, bloques de retrasos, etc
- ❑ Ofrecen varios tipos de estándares eléctricos (LVTTTL, LVCMOS, etc)
- ❑ La denominación de los interfaces puede variar según cada fabricante:
 - **IOB** (Xilinx)
 - **IOE** (Altera)

Interfaces E/S de FPGA

Niveles de tensión

- Valores de tensión que corresponde al “0” y “1” lógico
- Depende de la tensión de alimentación (V_{cc}) que se aplique al circuito

Idealmente

si

$V_{cc}=5V$ (Familia TTL) →

“1” sería 5V

“0” sería 0V

-Oscilaciones de V
-Ruido en las líneas

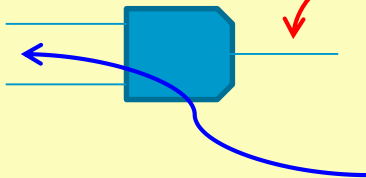
Realidad: los niveles lógicos se corresponden con un rango de valores de tensión y además depende de si son valores de entrada a un circuito digital o a una salida.

$V_{cc}=5V$ (Familia TTL) →

“1” sería [2,4V - 5V]

“0” sería [0V - 0,4V]

Si son valores de salida



“1” sería [2V - 5V]

“0” sería [0V - 0,8V]

Si son valores de entrada

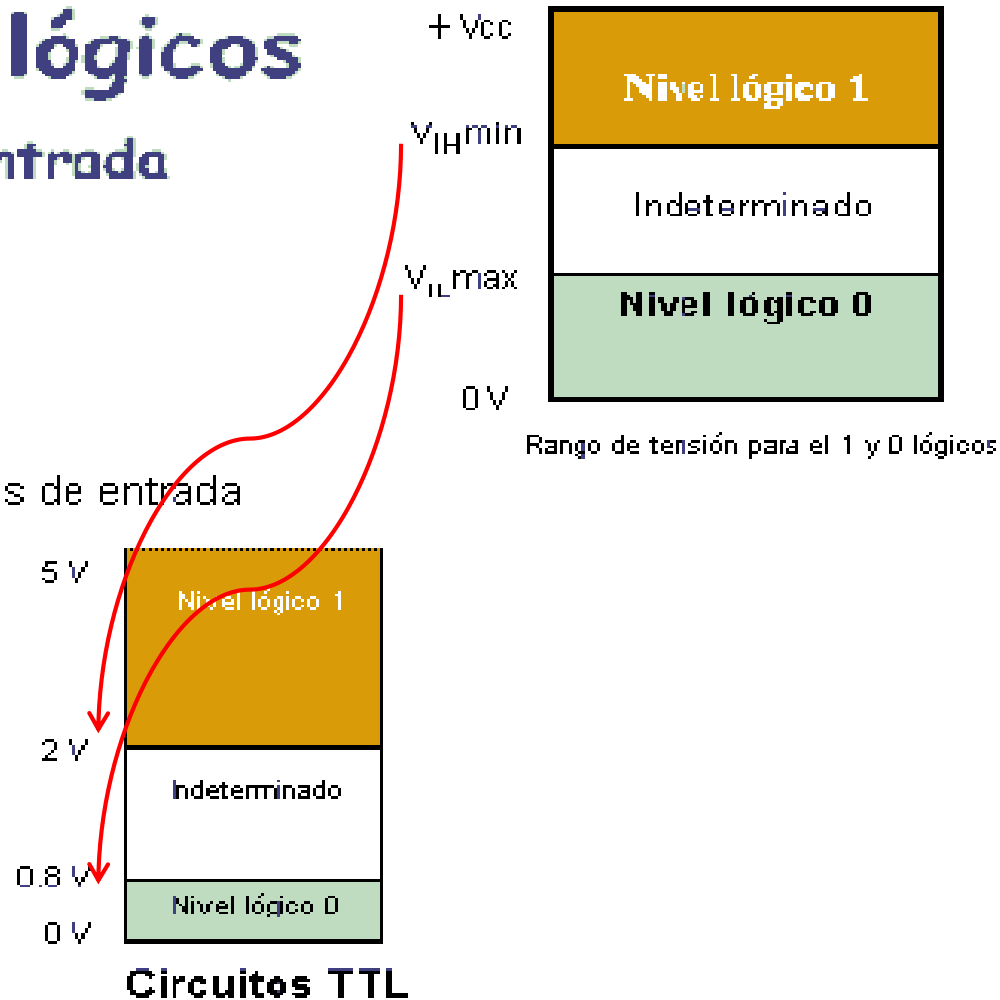
Interfaces E/S de FPGA

Niveles de tensión

Niveles lógicos

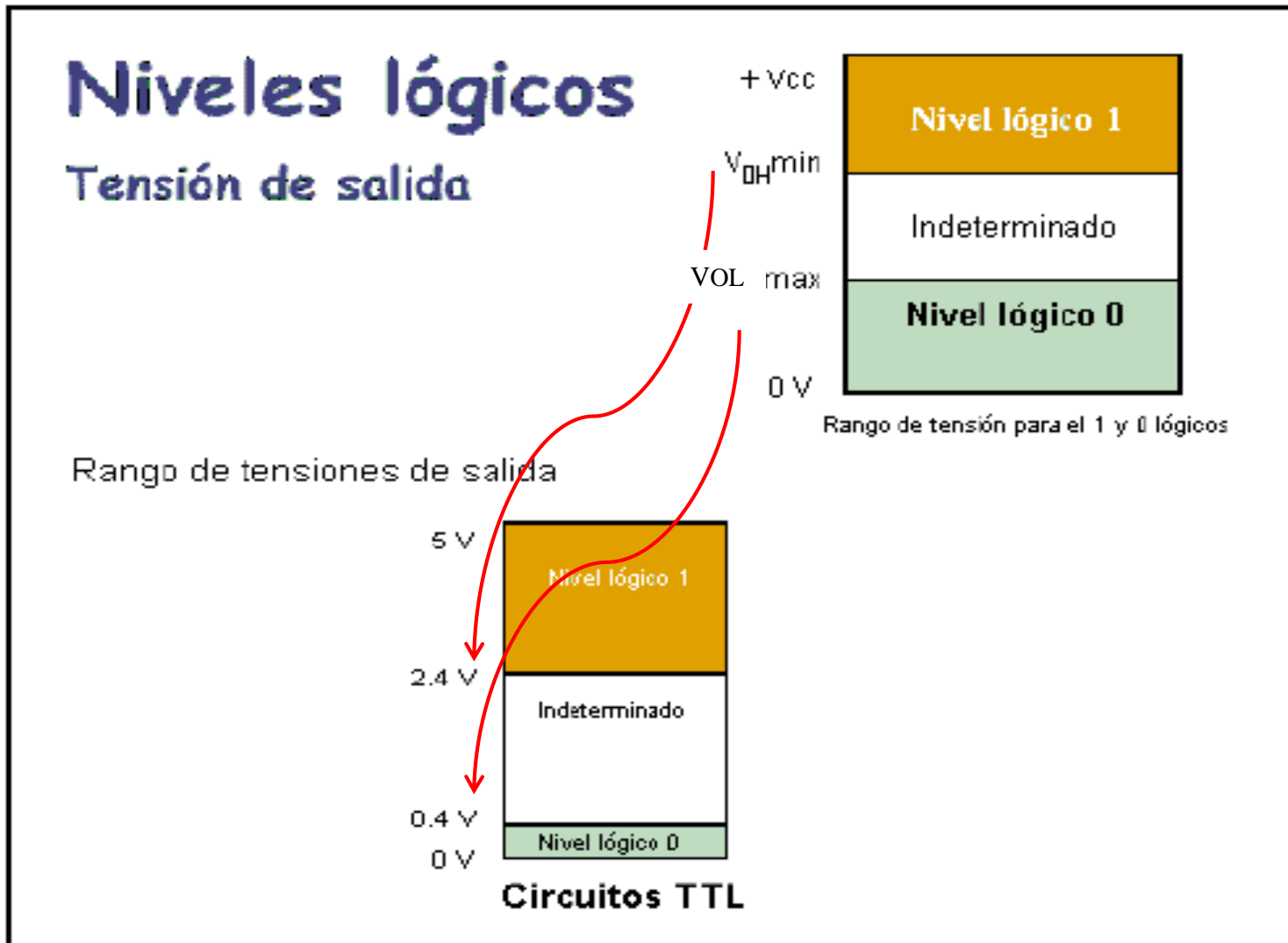
Tensión de entrada

Rango de tensiones de entrada



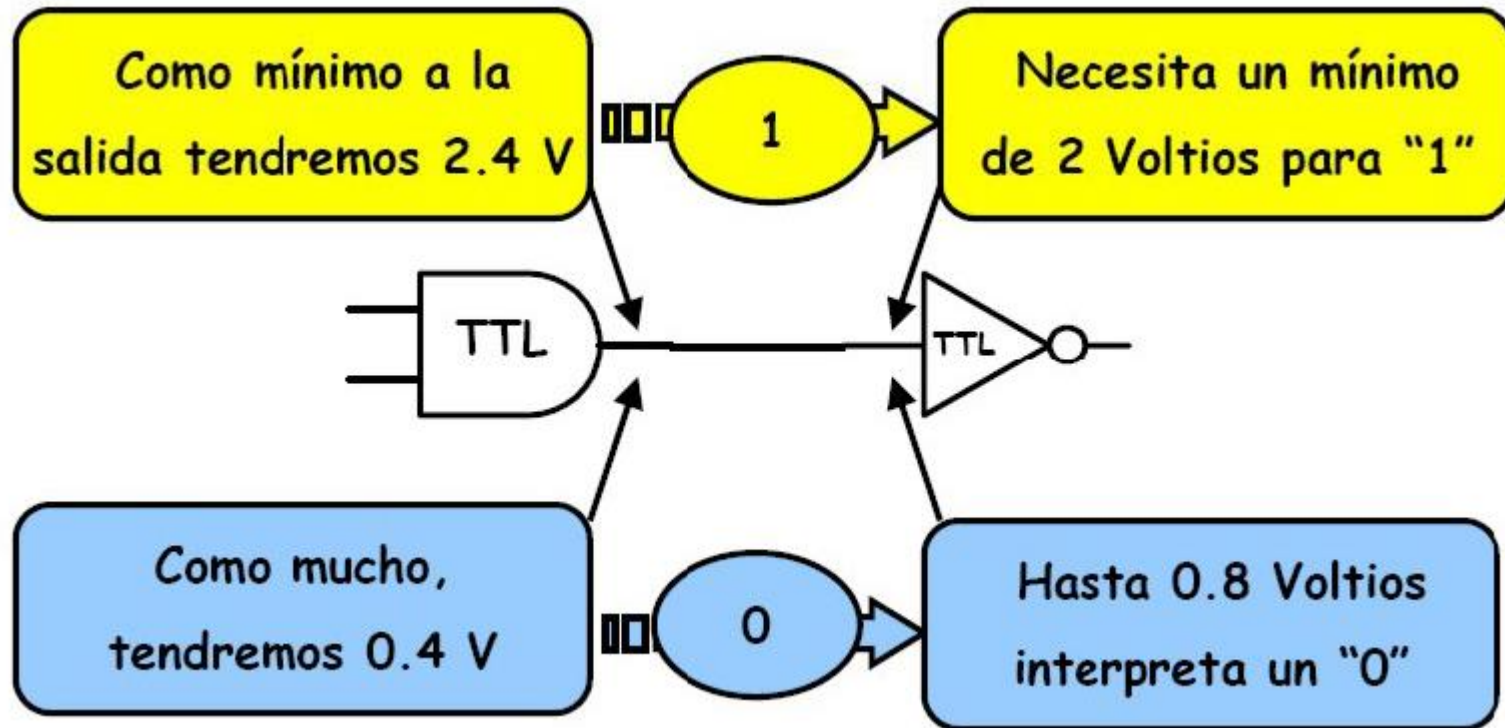
Interfaces E/S de FPGA

Niveles de tensión



Interfaces E/S de FPGA

Niveles de tensión : Margen de ruido

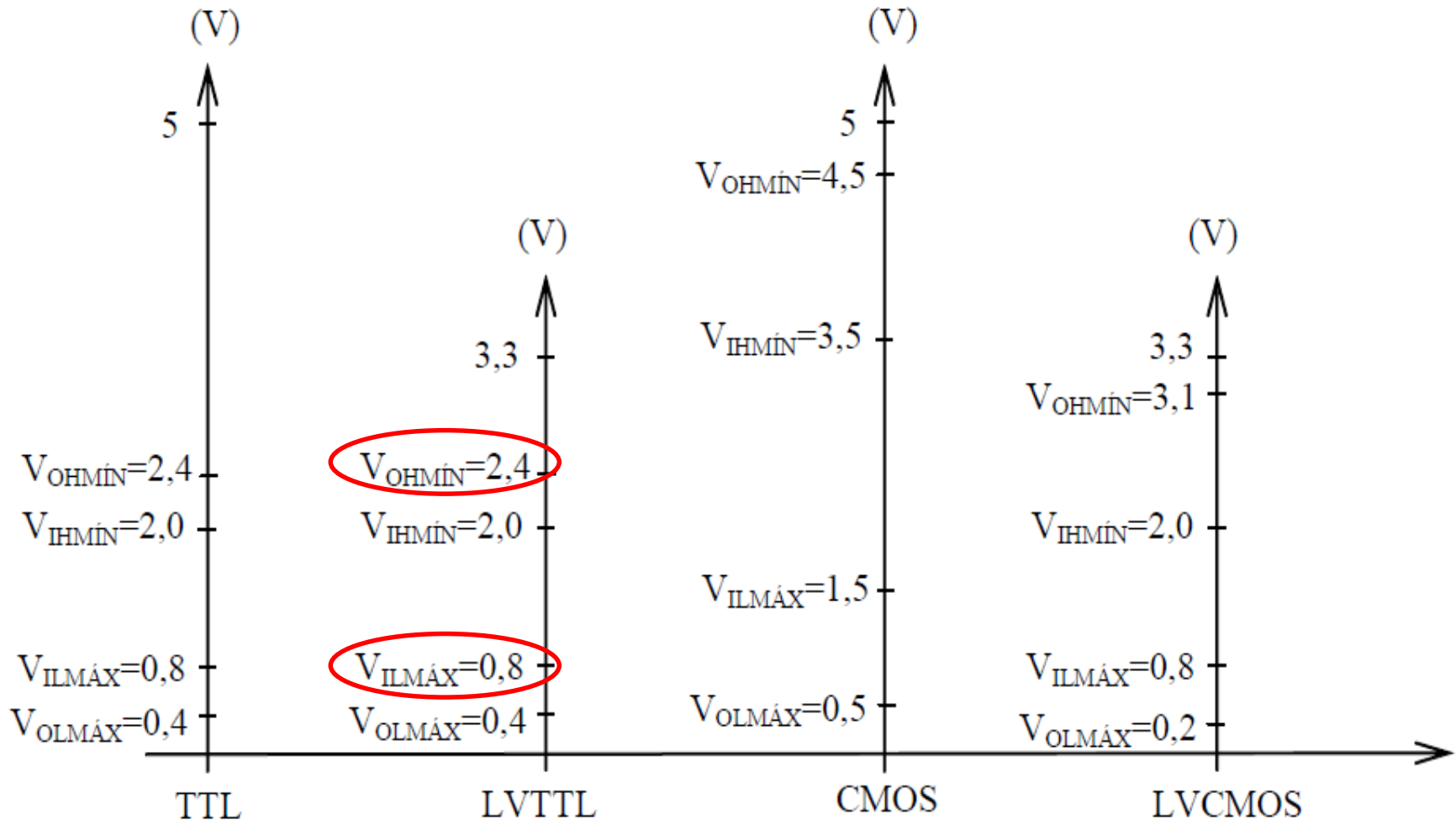


En este ejemplo, el margen de ruido es 0,4. Por ejemplo, si un "0" en una salida es COMO MÁXIMO 0,4 v (y no 0 v como debería ser), aún con un ruido en los cables de 0,4 v, la puerta siguiente entendería que los 0,8 v que recibe corresponden a un "0"

Fuente: http://www2.ate.uniovi.es/fernando/Doc2005/Ei_05/Presentaciones/Familia%20TTL.pdf

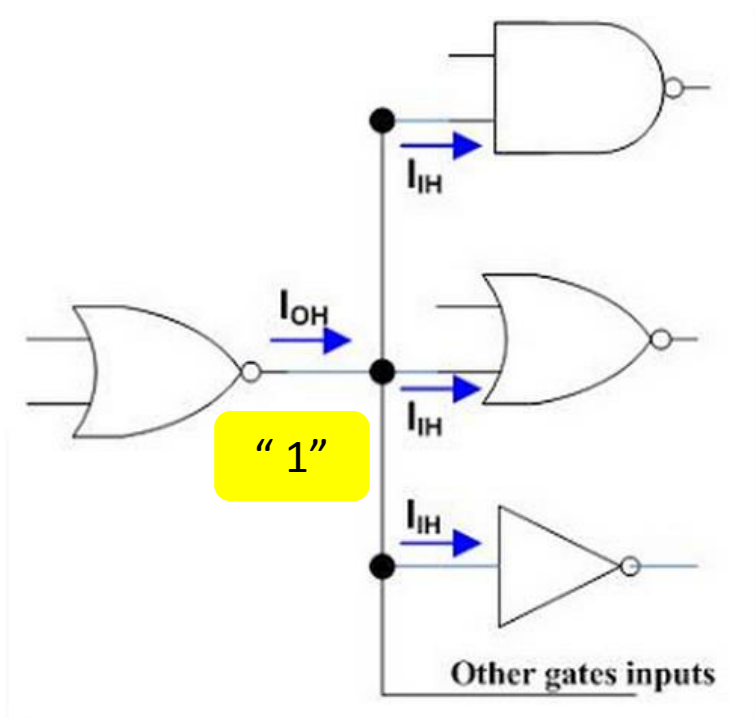
Interfaces E/S de FPGA

Niveles de tensión : Estándares eléctricos

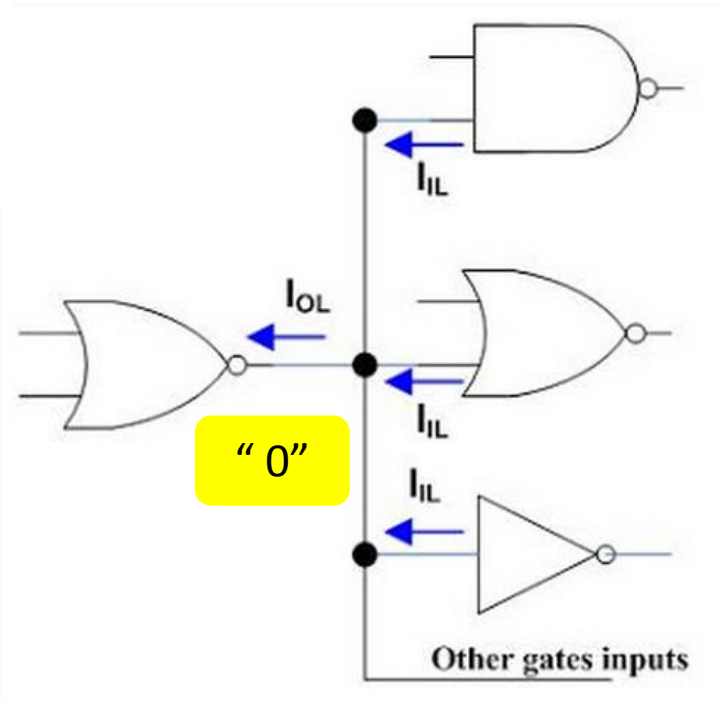


Interfaces E/S de FPGA

Niveles Lógico: Corrientes nominales



$$I_{OH\ MAX} > I_{OH}$$



$$I_{OL} < I_{OL\ MAX}$$

Importante para mantener los niveles de tensión establecidos para ALTO y BAJO

Interfaces E/S de FPGA



Configuration

Spartan-3E FPGAs are programmed by loading configuration data into robust, reprogrammable, static CMOS configuration latches (CCLs) that collectively control all functional elements and routing resources. The FPGA's configuration data is stored externally in a PROM or some other non-volatile medium, either on or off the board. After applying power, the configuration data is written to the FPGA using any of seven different modes:

- Master Serial from a Xilinx Platform Flash PROM
- Serial Peripheral Interface (SPI) from an industry-standard SPI serial Flash
- Byte Peripheral Interface (BPI) Up or Down from an industry-standard x8 or x8/x16 parallel NOR Flash
- Slave Serial, typically downloaded from a processor
- Slave Parallel, typically downloaded from a processor
- Boundary Scan (JTAG), typically downloaded from a processor or system tester.

Furthermore, Spartan-3E FPGAs support MultiBoot configuration, allowing two or more FPGA configuration bitstreams to be stored in a single parallel NOR Flash. The FPGA application controls which configuration to load next and when to load it.

I/O Capabilities

The Spartan-3E FPGA SelectIO interface supports many popular single-ended and differential standards. [Table 2](#) shows the number of user I/Os as well as the number of differential I/O pairs available for each device/package combination.

Spartan-3E FPGAs support the following single-ended standards:

- 3.3V low-voltage TTL (LVTTTL)
- Low-voltage CMOS (LVCMOS) at 3.3V, 2.5V, 1.8V, 1.5V, or 1.2V
- 3V PCI at 33 MHz, and in some devices, [66 MHz](#)
- HSTL I and III at 1.8V, commonly used in memory applications
- SSTL I at 1.8V and 2.5V, commonly used for memory applications

Basys2

Spartan-3E FPGAs support the following differential standards:

- LVDS
- Bus LVDS
- mini-LVDS
- RSDS
- Differential HSTL (1.8V, Types I and III)
- Differential SSTL (2.5V and 1.8V, Type I)
- 2.5V LVPECL inputs

Interfaces E/S de FPGA



Spartan-3E FPGA Family Data Sheet

DS312 July 19, 2013

Product Specification

Module 1: Introduction and Ordering Information

DS312 (v4.1) July 19, 2013

- Introduction
- Features
- Architectural Overview
- Package Marking
- Ordering Information

Module 2: Functional Description

DS312 (v4.1) July 19, 2013

- Input/Output Blocks (IOBs)
 - Overview
 - SelectIO™ Signal Standards
- Configurable Logic Block (CLB)
- Block RAM
- Dedicated Multipliers
- Digital Clock Manager (DCM)
- Clock Network
- Configuration
- Powering Spartan®-3E FPGAs
- Production Stepping

Module 3: DC and Switching Characteristics

DS312 (v4.1) July 19, 2013

- DC Electrical Characteristics
 - Absolute Maximum Ratings
 - Supply Voltage Specifications
 - Recommended Operating Conditions
 - DC Characteristics
- Switching Characteristics
 - I/O Timing
 - SLICE Timing
 - DCM Timing
 - Block RAM Timing
 - Multiplier Timing
 - Configuration and JTAG Timing

Module 4: Pinout Descriptions

DS312 (v4.1) July 19, 2013

- Pin Descriptions
- Package Overview
- Pinout Tables
- Footprint Diagrams

Interfaces E/S de FPGA



Spa

Basys2

Table 81: DC Characteristics of User I/Os Using Single-Ended Standards

IOSTANDARD Attribute	Test Conditions			Logic Level Characteristics	
		I_{OL} (mA)	I_{OH} (mA)	V_{OL} Max (V)	V_{OH} Min (V)
LVTTL ⁽³⁾	2	2	-2	0.4	2.4
	4	4	-4		
	6	6	-6		
	8	8	-8		
	12	12	-12		
	16	16	-16		
LVCMOS33 ⁽³⁾	2	2	-2	0.4	$V_{CCO} - 0.4$
	4	4	-4		
	6	6	-6		
	8	8	-8		
	12	12	-12		
	16	16	-16		

Slew Rate Control and Drive Strength

Table 8: Programmable Output Drive Current

IOSTANDARD	Output Drive Current (mA)					
	2	4	6	8	12	16
LVTTL	✓	✓	✓	✓	✓	✓
LVCMOS33	✓	✓	✓	✓	✓	✓
LVCMOS25	✓	✓	✓	✓	✓	-
LVCMOS18	✓	✓	✓	✓	-	-
LVCMOS15	✓	✓	✓	-	-	-
LVCMOS12	✓	-	-	-	-	-

Interfaces E/S de FPGA

<http://www.altera.com/literature/lit-cyc.jsp>

Documentation: Cyclone Devices

[Home](#) > [Documentation](#) > [Cyclone](#)

The Cyclone® Device Handbook consists of the Cyclone FPGA family data sheet, detailed information on how to use Cyclone features, and Cyclone device package information. To view the handbook, click the link below.

Get more information on [Cyclone Pin-Outs](#).

Check the Knowledge Database for [Known Issues](#) with the Cyclone Handbook.

[Cyclone Device Handbook \(All Sections\)](#) (4 MB)

Section I. Cyclone FPGA Family Data Sheet

- Chapter 1. [Introduction](#) (ver 1.5, May 2008, 87 KB) ←
- Chapter 2. [Cyclone Architecture](#) (ver 1.6, May 2008, 732 KB) ←
- Chapter 3. [Configuration and Testing](#) (ver 1.4, May 2008, 149 KB)
- Chapter 4. [DC and Switching Characteristics](#) (ver 1.7, May 2008, 574 KB)
- Chapter 5. [Reference and Ordering Information](#) (ver 1.4, May 2008, 77 KB)

Section II. Clock Management

- Chapter 6. [Using PLLs in Cyclone Devices](#) (ver 1.5, May 2008, 524 KB)
(Replaces AN 251)

Section III. Memory

- Chapter 7. [On-Chip Memory Implementations Using Cyclone Memory Blocks](#) (ver 1.4, May 2008, 271 KB)
(Replaces AN 252)

Section IV. I/O Standards

- Chapter 8. [Using Selectable I/O Standards in Cyclone Devices](#) (ver 1.6, May 2008, 344 KB)
(Replaces AN 253)
- Chapter 9. [High-Speed Differential Signaling in Cyclone Devices](#) (ver 1.6, May 2008, 307 KB)
(Replaces AN 254)

Interfaces E/S de FPGA

http://www.altera.com/literature/hb/cyc/cyc_c51002.pdf

Features

The Cyclone device family offers the following features:

- 2,910 to 20,060 LEs, see [Table 1-1](#)
- Up to 294,912 RAM bits (36,864 bytes)
- Supports configuration through low-cost serial configuration device
- Support for LVTTL, LVC MOS, SSTL-2, and SSTL-3 I/O standards
- Support for 66- and 33-MHz, 64- and 32-bit PCI standard
- High-speed (640 Mbps) LVDS I/O support
- Low-speed (311 Mbps) LVDS I/O support
- 311-Mbps RSDS I/O support
- Up to two PLLs per device provide clock multiplication and phase shifting
- Up to eight global clock lines with six clock resources available per logic array block (LAB) row
- Support for external memory, including DDR SDRAM (133 MHz), FCRAM, and single data rate (SDR) SDRAM
- Support for multiple intellectual property (IP) cores, including Altera® MegaCore® functions and Altera Megafunctions Partners Program (AMPPSM) megafunctions.

Table 1-1. Cyclone Device Features (Part 1 of 2)

Feature	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
LEs	2,910	4,000	5,980	12,060	20,060
M4K RAM blocks (128 × 36 bits)	13	17	20	52	64

Ejercicio 1: (Importante si vamos a conectar algún elemento externo a la FPGA de Basys2)

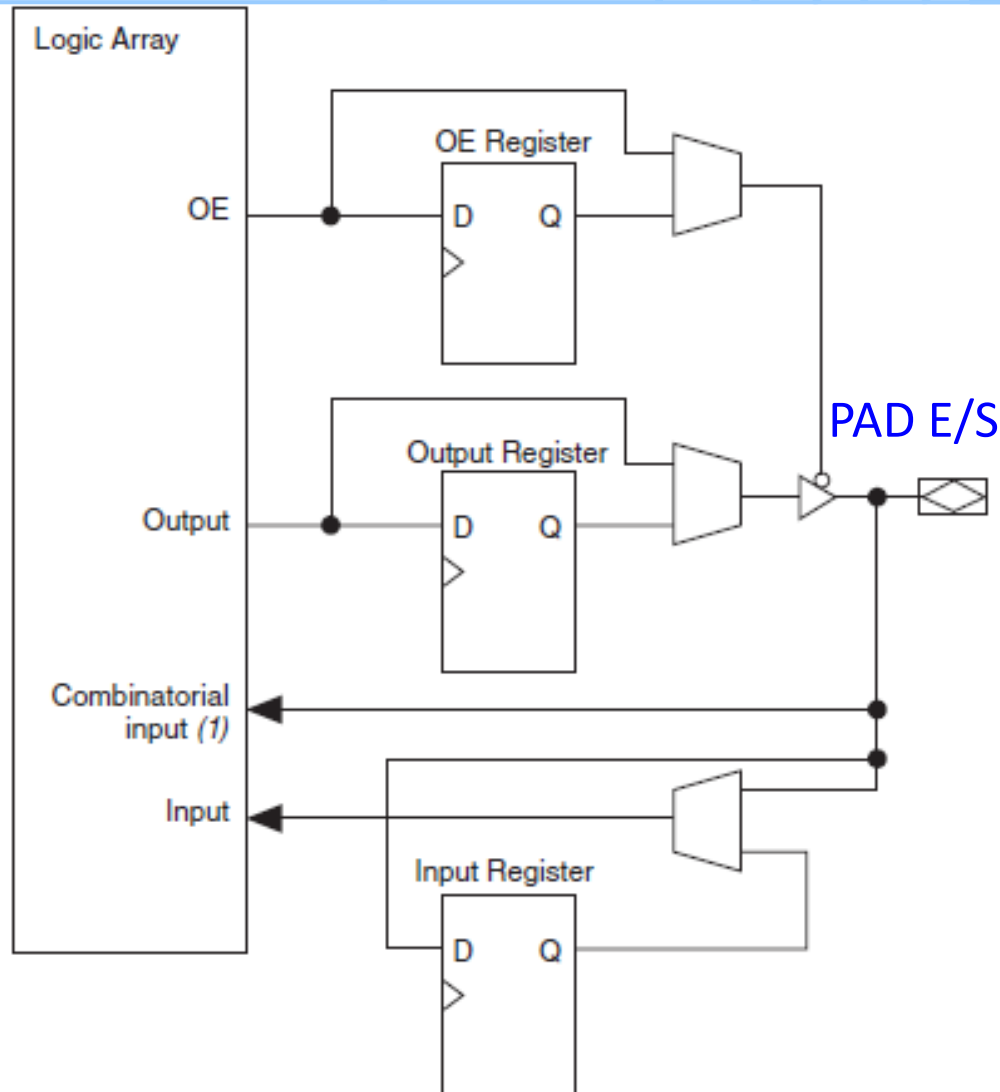
Usando el correspondiente datasheet de la FPGA Spartan3E presente en Basys2 localiza:

1. Los estándares eléctricos con los que puede trabajar.(Tabla80)
2. Los valores de V_{IH} , V_{IL} , para el estándar eléctrico LVCMOS33.(Tabla80)
3. Para el estándar LVCMOS33, ¿cuál es el rango recomendado para V_{CCO} .? (Tabla80)
4. Localiza los valores de V_{OH} , V_{OL} , para el estándar eléctrico LVCMOS33. (Tabla81)
5. ¿Qué rango de corriente puede suministrar la FPGA de BASys2 si se definen sus salidas con un estándar LVCMOS33?

3.1.3. Lógica de los bloques de E/S

Lógica de los bloques de salida

http://www.altera.com/literature/hb/cyc/cyc_c51002.pdf (Pag.40)



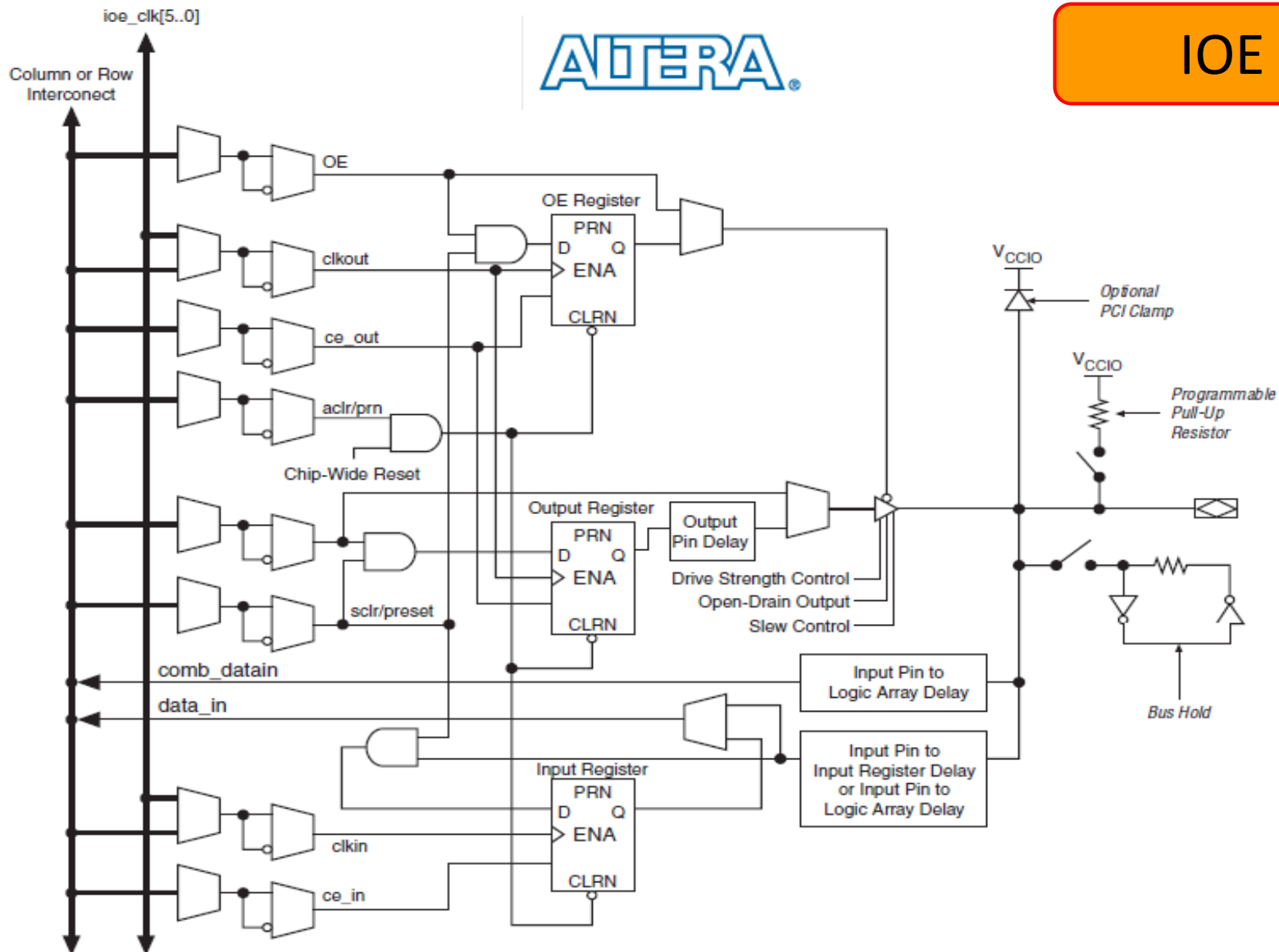
IOE

ALTERA®

Lógica de los bloques de salida

ALTERA

IOE



Lógica de los bloques de salida

<http://www.xilinx.com/support/index.htm#nav=sd-nav-link-19203&tab=tab-sd>

All Programmable SoCs

Zynq-7000

XA Zynq-7000

FPGA Device Families

7 Series

Virtex-6

Virtex-6Q

Virtex-5

Virtex-5Q

Virtex-5QV

Virtex-4

Virtex-4Q

Virtex-4QV

Spartan-6

Spartan-6Q

Extended Spartan-3A

Spartan-3A DSP

Spartan-3AN

Spartan-3A

Spartan-3E

> Spartan-3E

Documentation

Spartan-3E Data Sheets

Spartan-3E User Guides

Spartan-3E Errata

Spartan-3E Customer Notices

Spartan-3E Application Notes

Spartan-3E Package Specifications

Spartan-3E Characterization Reports

Spartan-3E White Papers

Spartan-3E Board and Kit Documentation

See All Spartan-3E Documentation

Answers

See All Spartan-3E Answers


Support Resources

Spartan Series Forum

Device Models

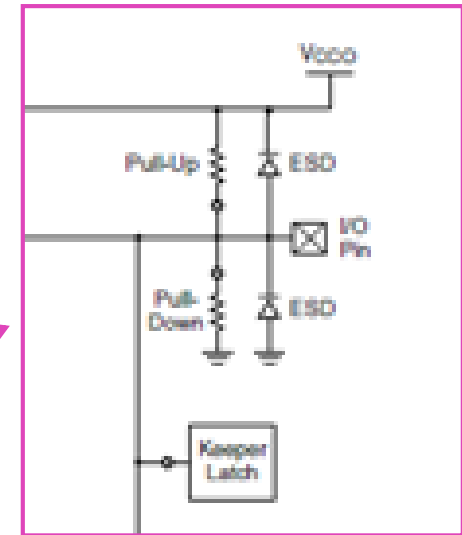
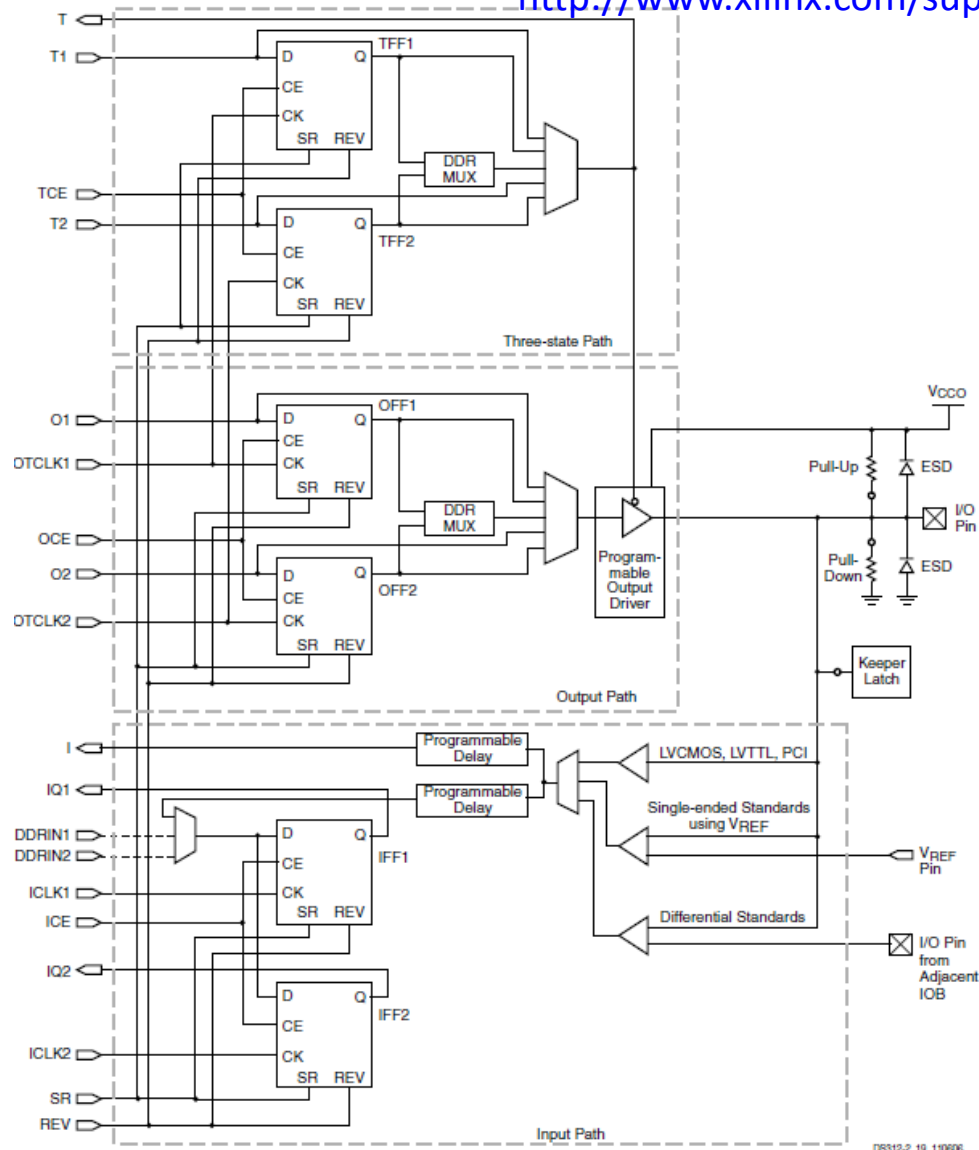
Power Solutions

Package Thermal Data Query

 **XILINX**
ALL PROGRAMMABLE™

Lógica de los bloques de salida

http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf



XILINX
ALL PROGRAMMABLE™

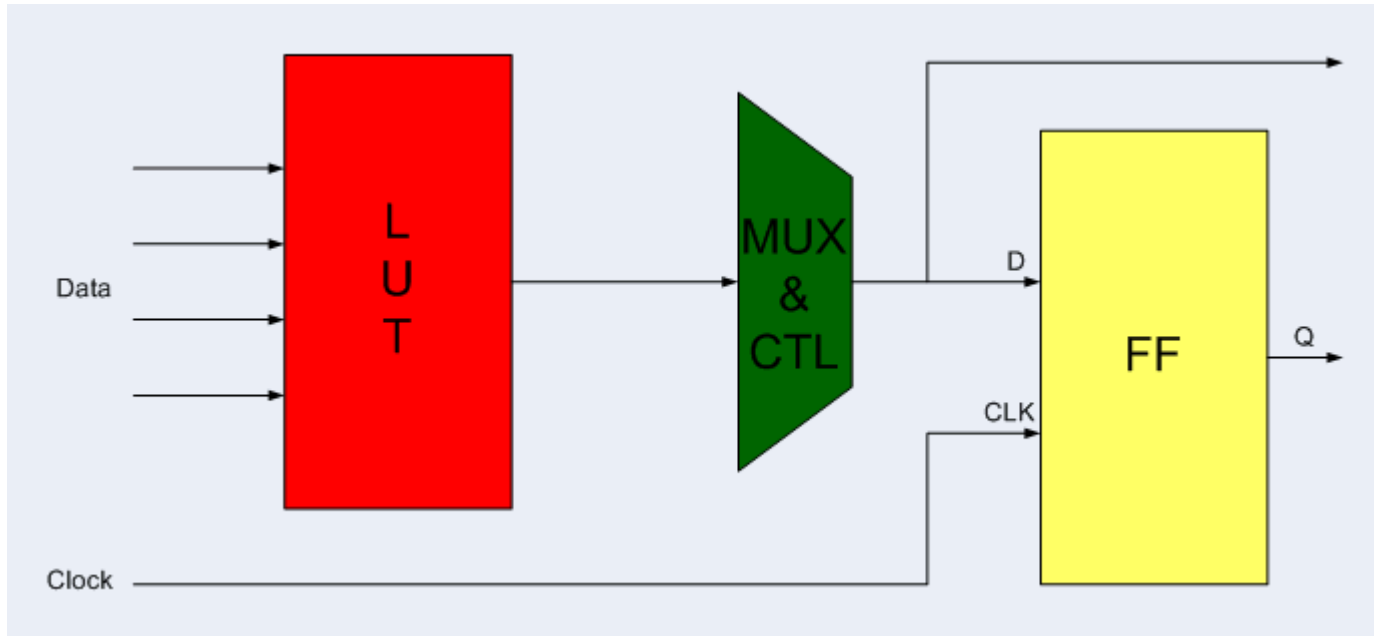
3.1.4. Bloques Lógicos

Bloques lógicos de las FPGA

- ❑ Lógica o recursos incluidos en la FPGA para construir el diseño.
- ❑ Diferente denominación según fabricante:
 - **ALTERA**: LE (*Logic Element*) / ALM (*Adaptative Logic Module*)
 - **XILINX**: CLB (*Configurable Logic Blocks*)
- ❑ Cada fabricante define la lógica constructiva y la cantidad de ésta que incluye en sus dispositivos

Bloques lógicos de las FPGA

Menor unidad lógica

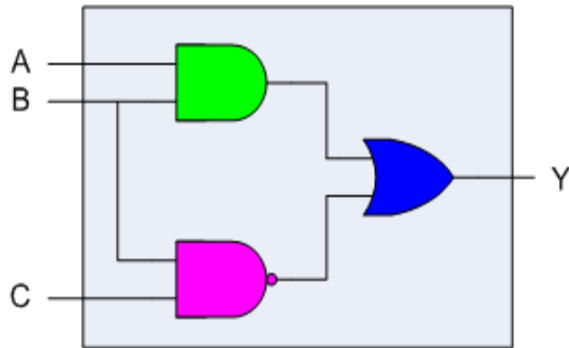


Xilinx → Logic Cell (LC)

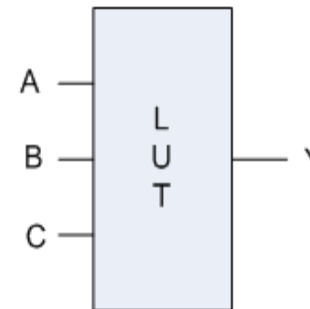
Altera → Logic Element (LE)

Bloques lógicos de las FPGA

(Look-up table) LUT



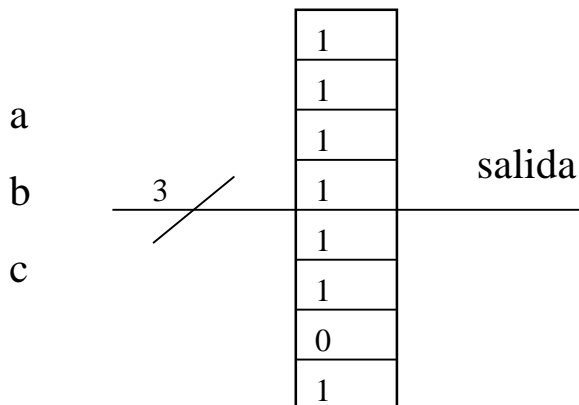
Logic Function



Look Up Table

C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

LUT

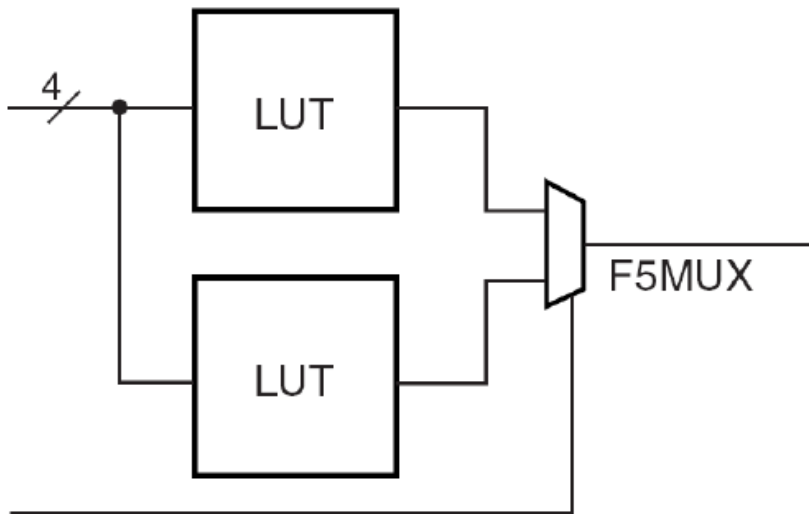


Salida = (a and b) or (b nand c)

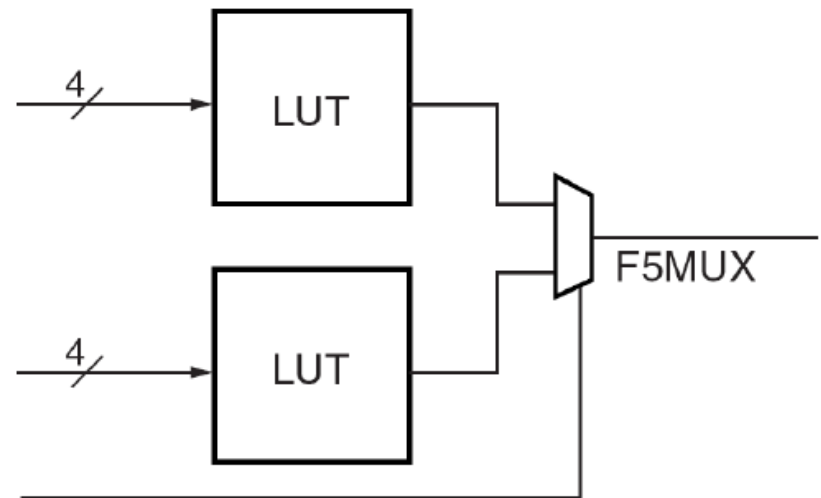
Bloques lógicos de las FPGA

(Look-up table) LUT

Construir funciones lógicas de más de 4 entradas



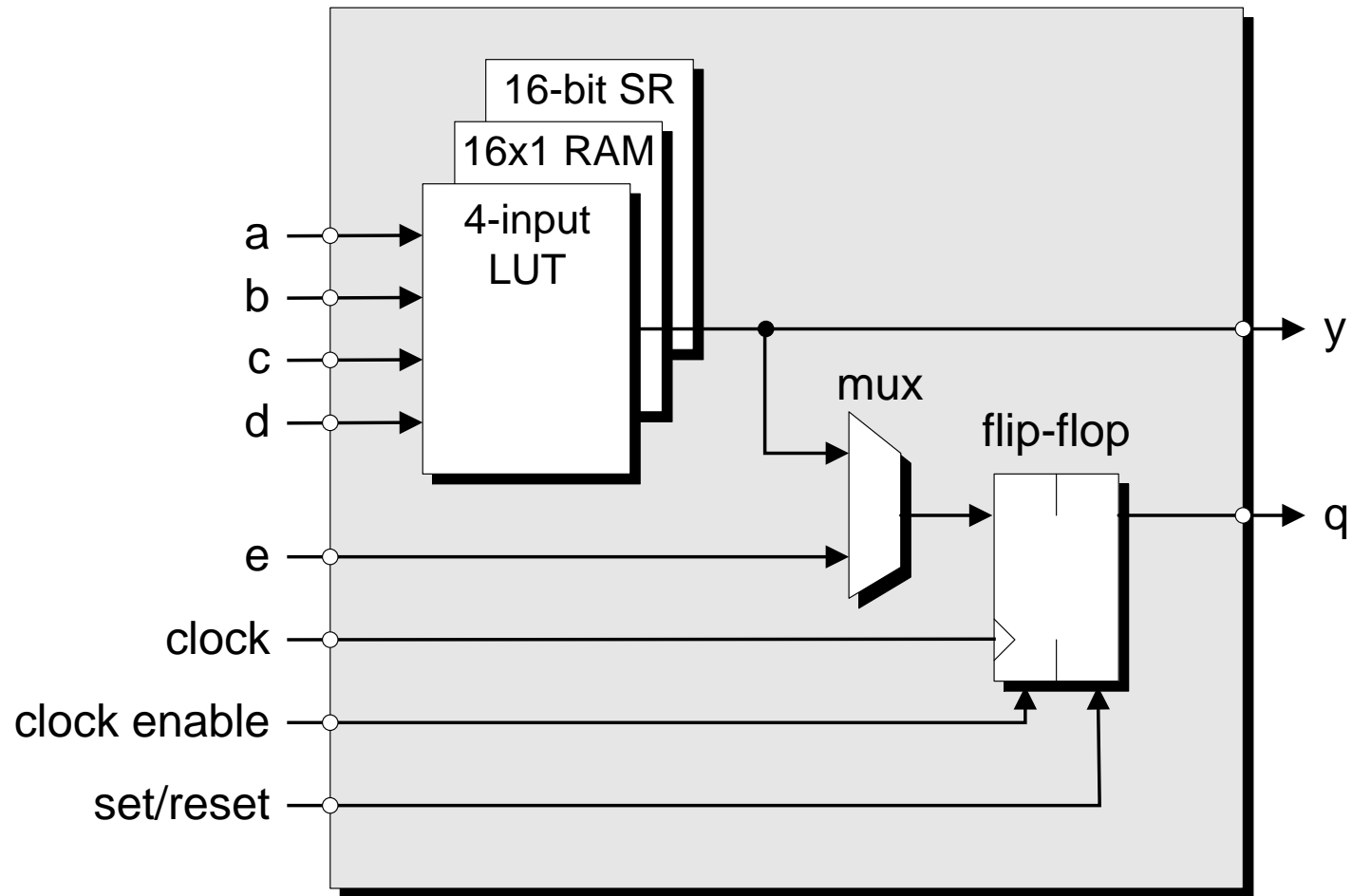
De 5 entradas



De 9 entradas

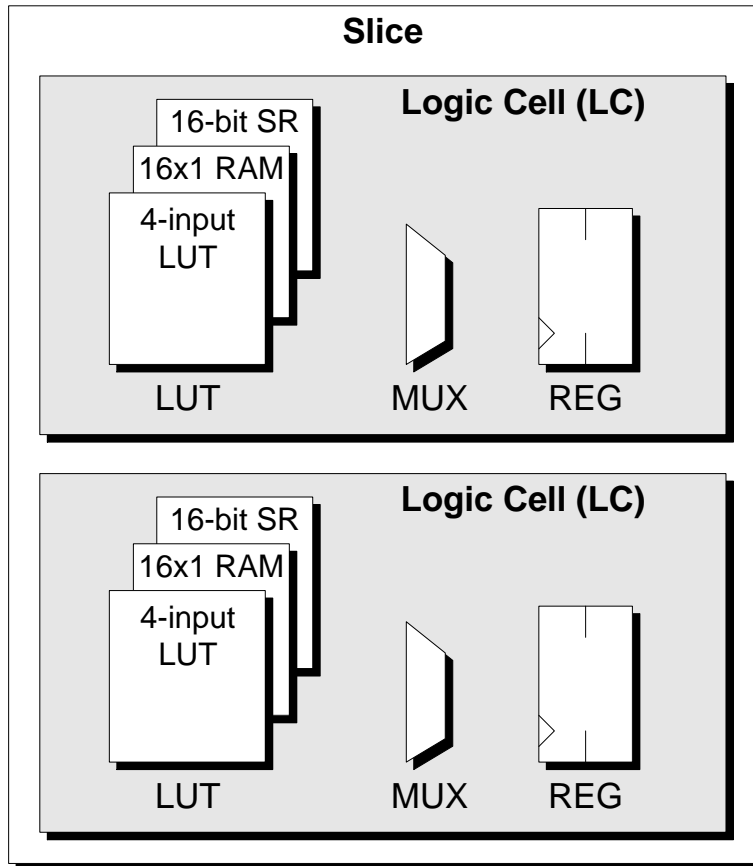
Bloques lógicos de las FPGA

Logic Cell (Xilinx)

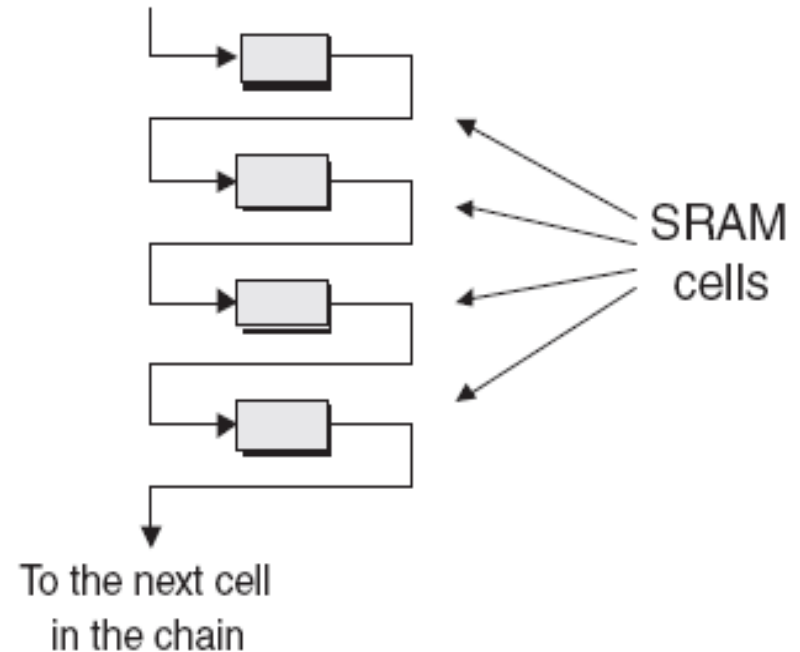


Bloques lógicos de las FPGA

Slice (Xilinx)



From the previous
cell in the chain



The Design Warrior's Guide to FPGAs. Clive "Max" Maxfield

Bloques lógicos de las FPGA

CLB (Configurable Logic Block) (Xilinx)

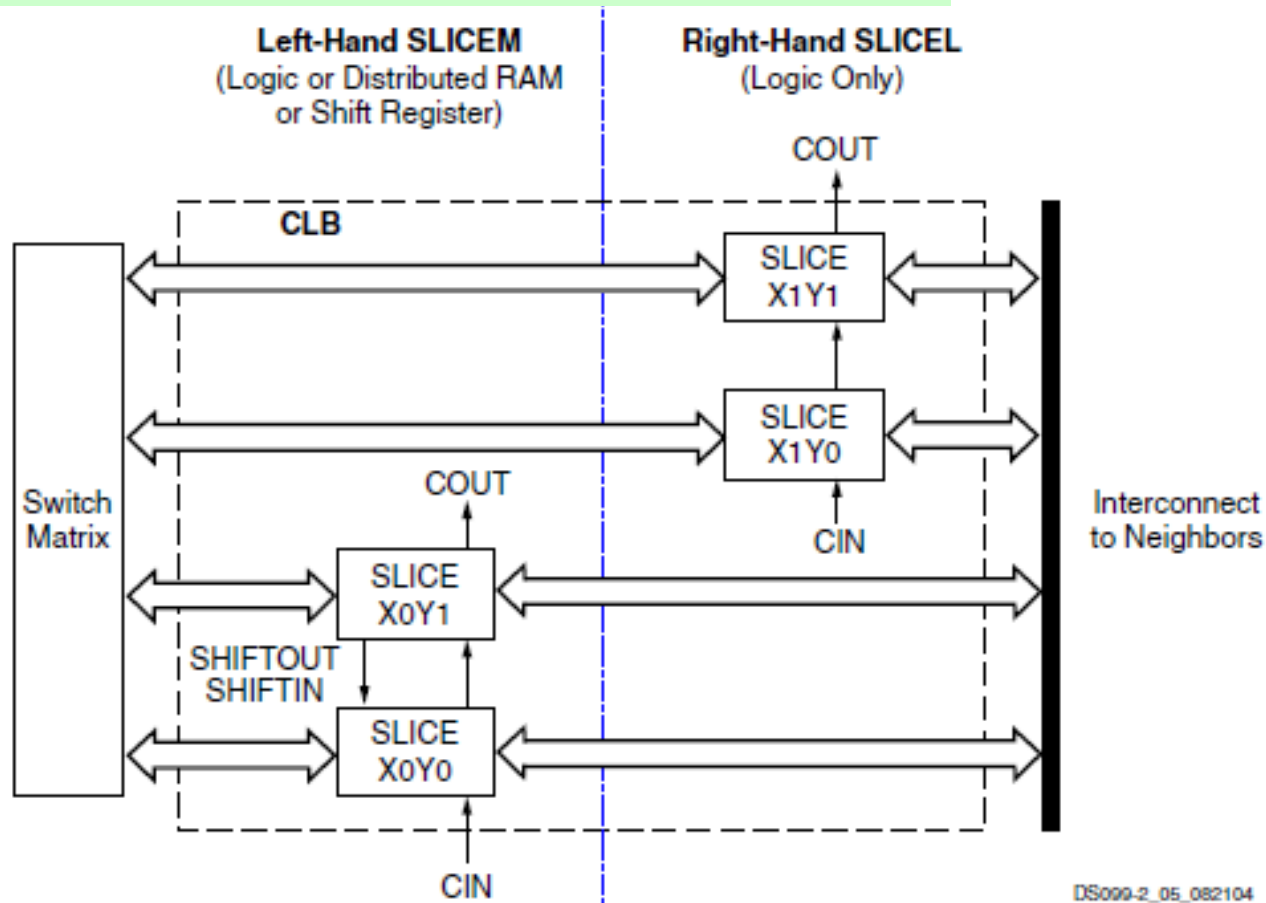
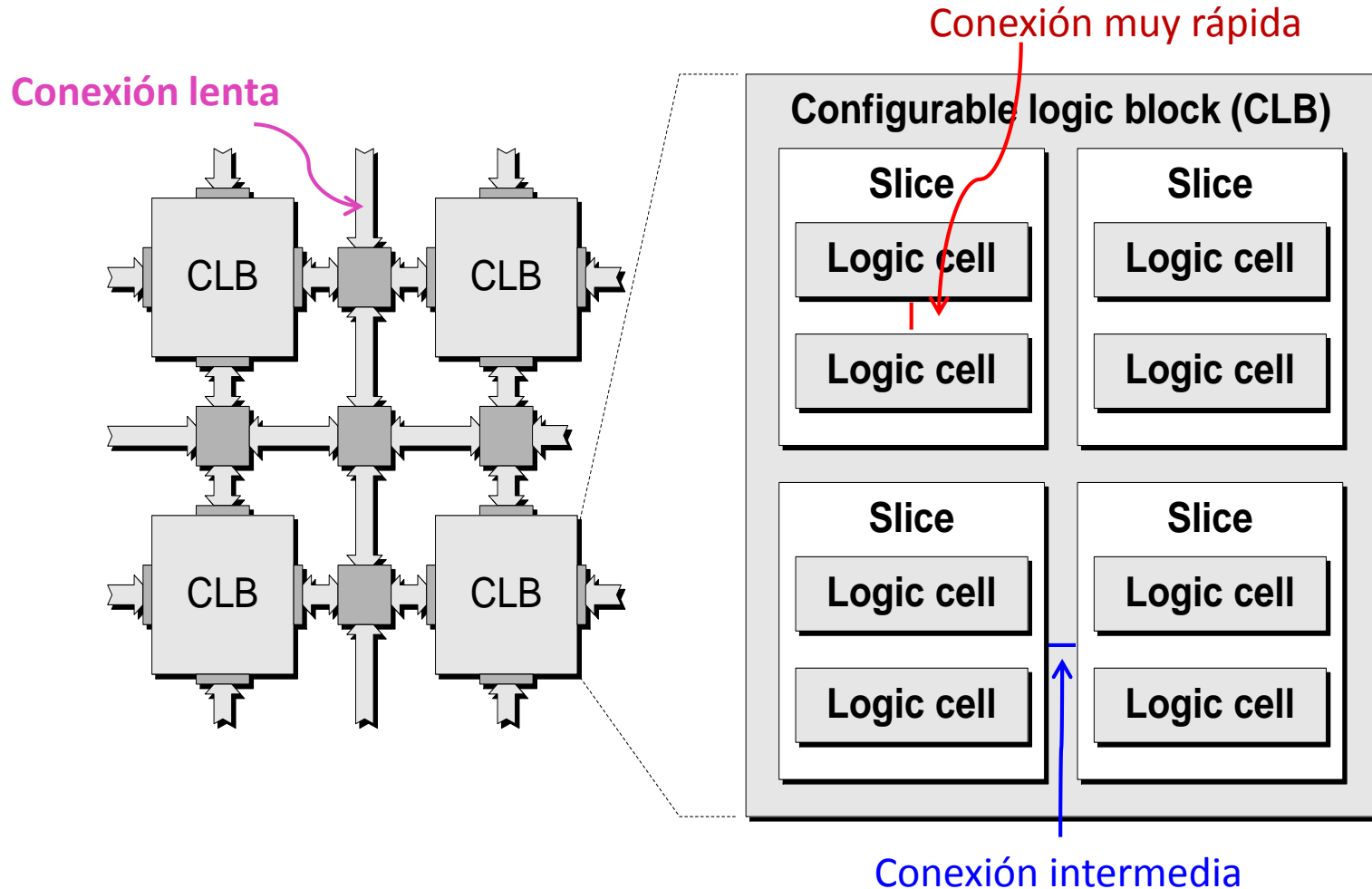


Figure 16: Arrangement of Slices within the CLB

Bloques lógicos de las FPGA

CLB (*Configurable Logic Block*) (Xilinx)



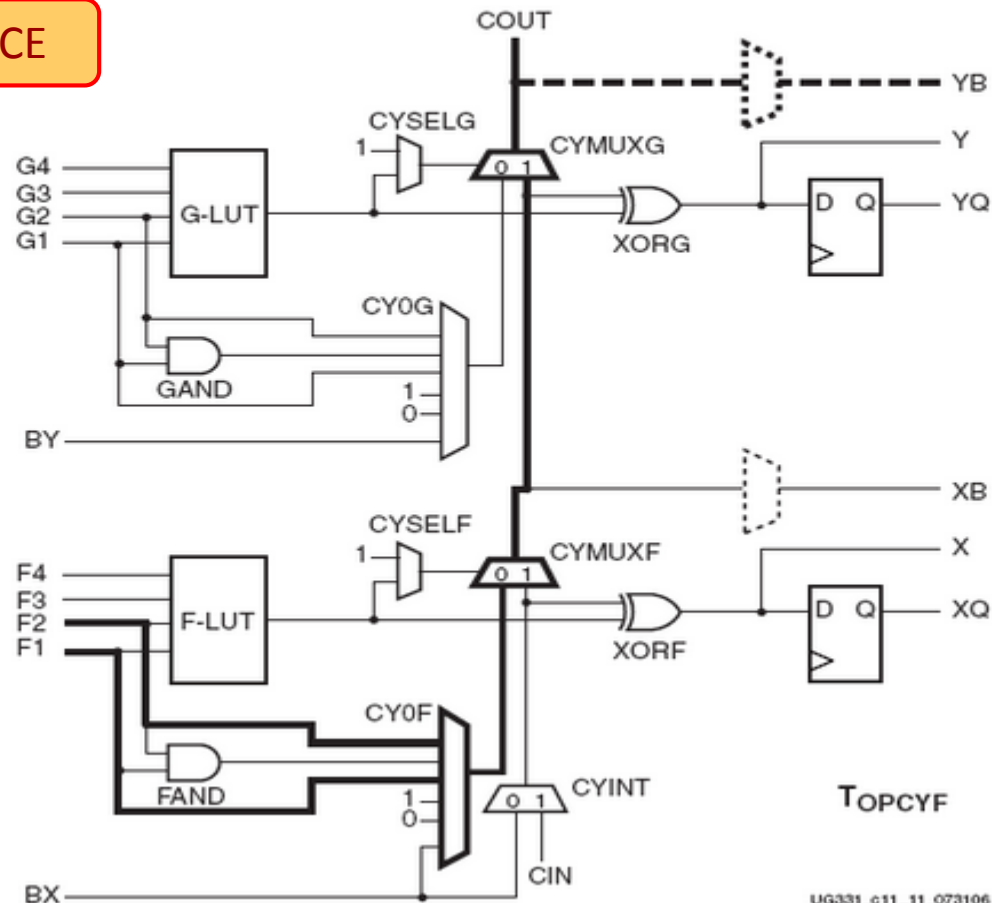
3.1.5. Recursos adicionales

Otros recursos de las FPGA

- Cadenas de acarreo rápido
- Bloques de memoria RAM
- Multiplicadores y sumadores (DSP)
- Núcleos de procesadores embebidos

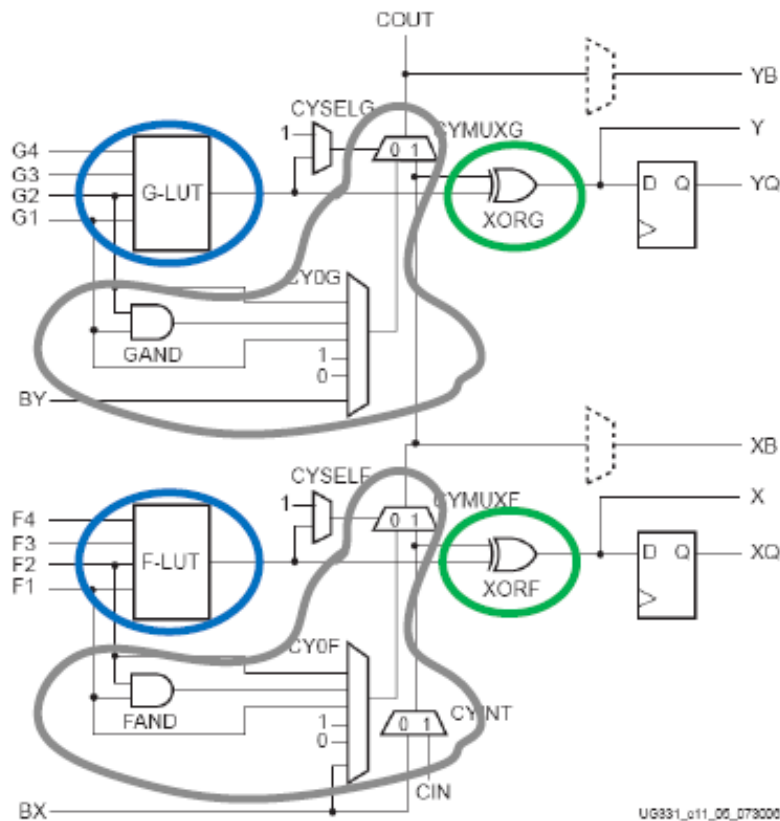
Otros recursos de las FPGA: Cadena de acarreo rápido

1 SLICE

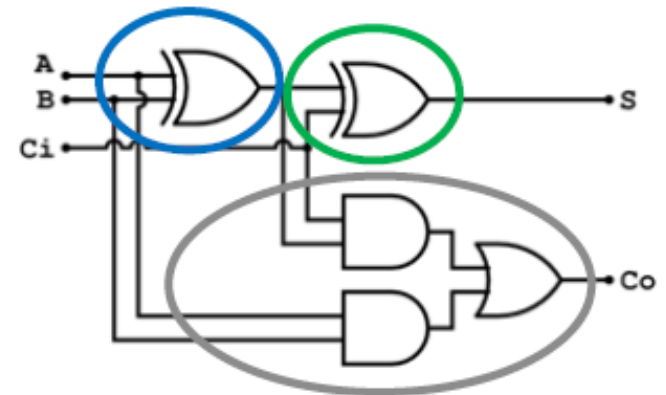


UG331_011_11_073106

Otros recursos de las FPGA: Cadena de acarreo rápido

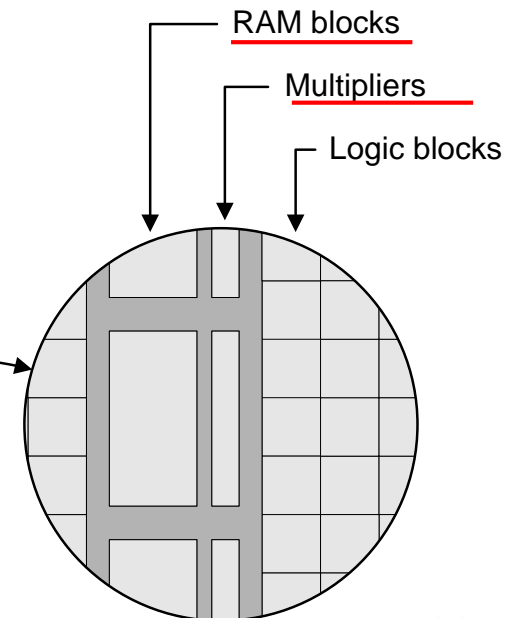
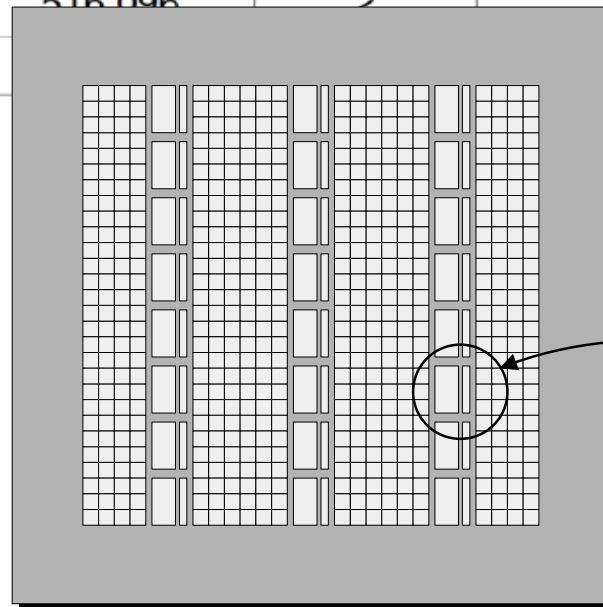


UG331_a11_00_073000



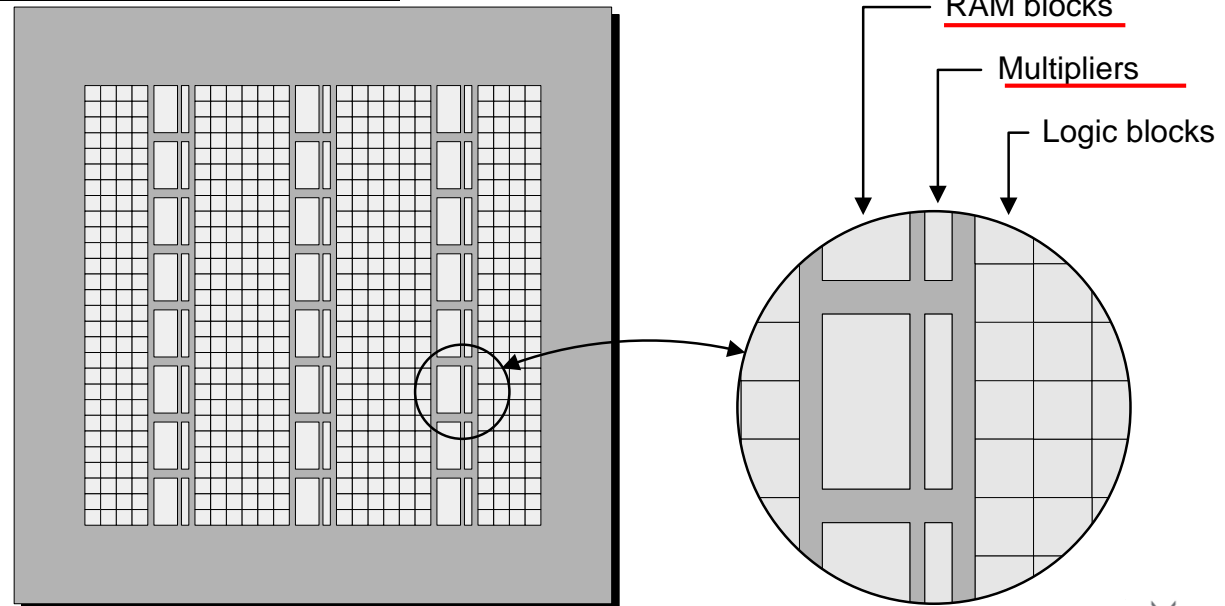
Otros recursos de las FPGA: Bloques de RAM

Device	Total Number of RAM Blocks	Total Addressable Locations (bits)	Number of Columns
XC3S100E	4	73,728	1
XC3S250E	12	221,184	2
XC3S500E	20	368,640	2
XC3S1200E	28	516,096	2
XC3S1600E	36		



Otros recursos de las FPGA: Multiplicador

Device	Distributed RAM bits ⁽¹⁾	Block RAM bits ⁽¹⁾	Dedicated Multipliers
XC3S100E	15K	72K	4
XC3S250E	38K	216K	12
XC3S500E	73K	360K	20
XC3S1200E	136K	504K	28
XC3S1600E	231K	648K	36



Otros recursos de las FPGA: Convertidor A/D

Artix®-7 FPGAs

Artix®-7 FPGAs

Optimized for Lowest Cost and Lowest Power Applications
(1.0V, 0.95V, 0.9V)

	Part Number	XC7A15T	XC7A35T	XC7A50T
Logic Resources	Logic Cells	16,640	33,280	52,160
	Slices	2,600	5,200	8,150
	CLB Flip-Flops	20,800	41,600	65,200
Memory Resources	Maximum Distributed RAM (Kb)	200	400	600
	Block RAM/FIFO w/ ECC (36 Kb each)	25	50	75
	Total Block RAM (Kb)	900	1,800	2,700
Clock Resources	CMTs (1 MMCM + 1 PLL)	5	5	5
I/O Resources	Maximum Single-Ended I/O	250	250	250
	Maximum Differential I/O Pairs	120	120	120
Embedded Hard IP Resources	DSP Slices	45	90	120
	PCIe® Gen2 ⁽¹⁾	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1
	Configuration AES / HMAC Blocks	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) ⁽²⁾	4	4	4

Otros recursos de las FPGA: Procesador embebido

Núcleo Hardware (FPGA-SoC)

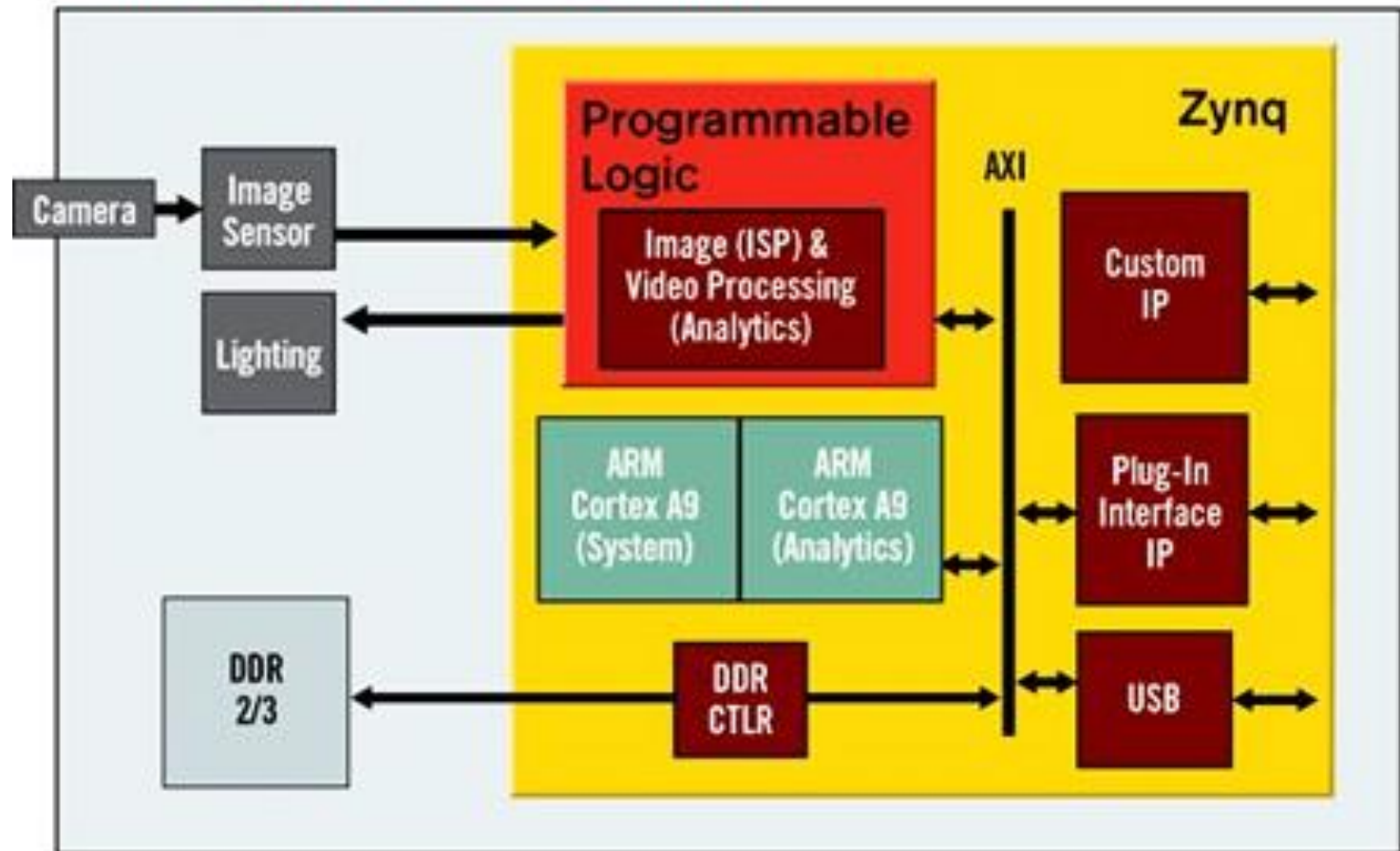
- Eliminan la necesidad de otro chip externo
- Posibilidad de incluir un sistema operativo
- El procesador actuará como controlador de todo el sistema diseñado en la FPGA
- Solo lo incluyen las familias de altas prestaciones (Zynq)

Núcleos ARM-Dual Core

Otros recursos de las FPGA: Procesador embebido

Núcleo Hardware (FPGA-SoC)

Xilinx Zynq-7000 SoC Solution



Núcleo Software (Soft-core)

➤ Ventaja sobre el Nucleo HW

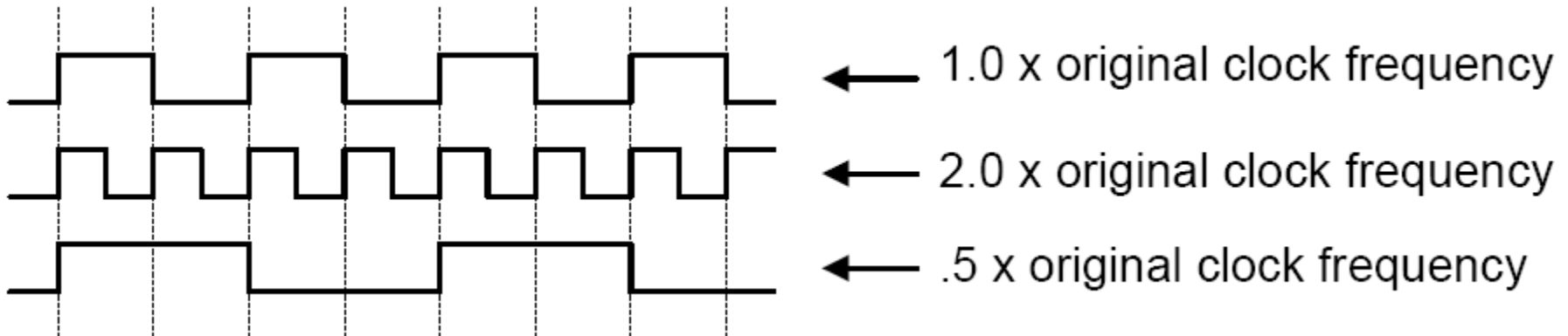
- Solo lo implemento si lo necesite
- Los fabricantes ofrecen un modelo de procesador que se puede personalizar para la aplicación.

Otros recursos de las FPGA: Gestor de reloj

Digital clock manager es una función tal que recibe una señal de reloj externa y genera un número de señales “hijas”. (**Xilinx**)

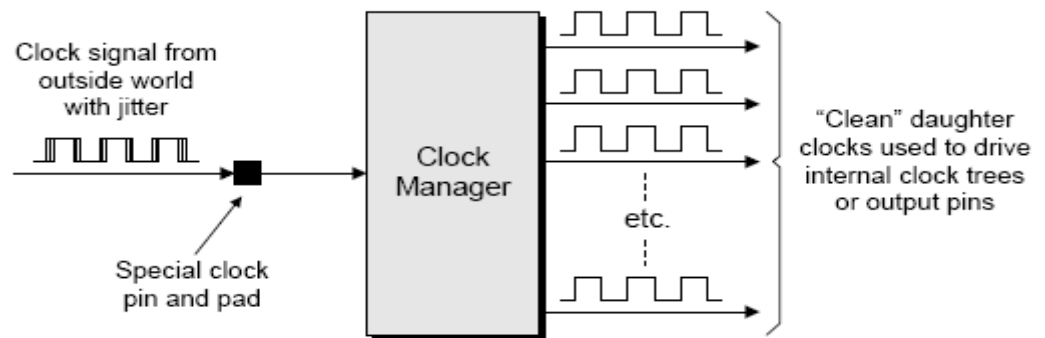
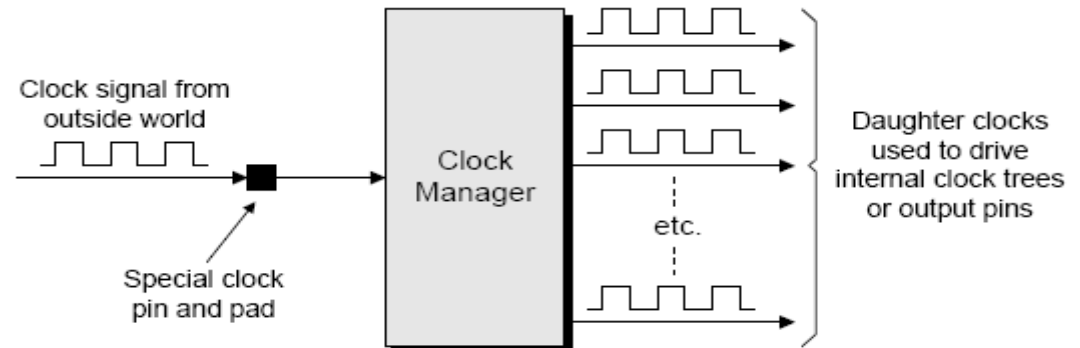
Se utiliza para:

➤ Síntesis de frecuencia: cuando la frecuencia que viene del exterior no es la frecuencia necesaria (**multiplicando** o **dividiendo** la **frecuencia externa**)



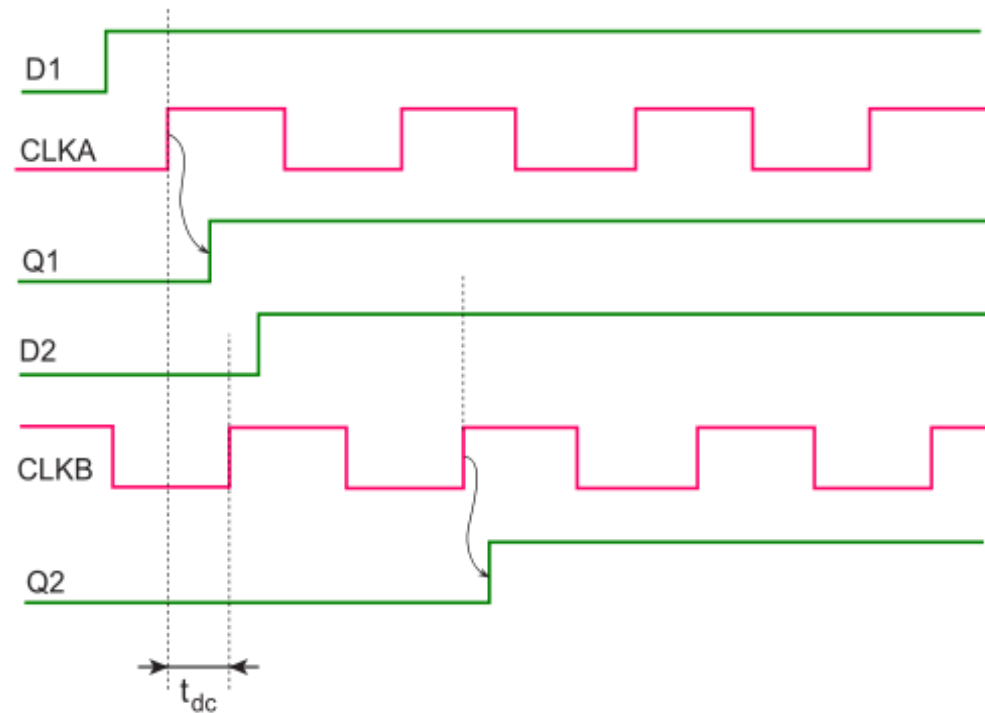
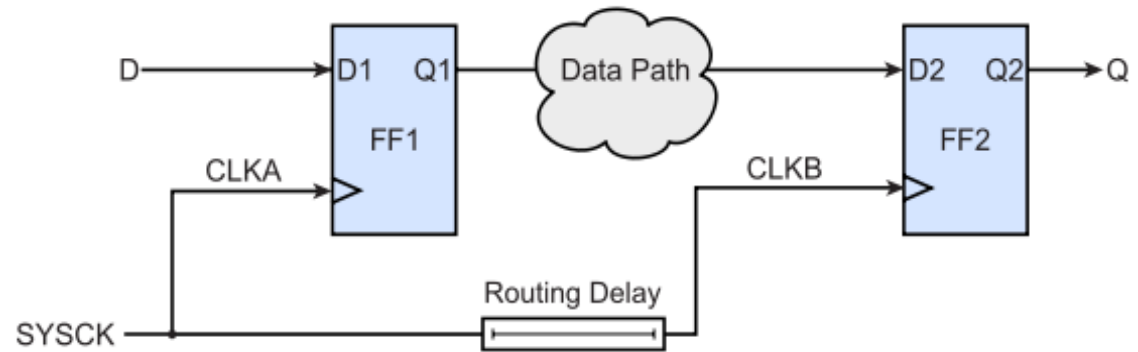
Otros recursos de las FPGA: Gestor de reloj

➤ Detectar y **corregir** el fenómeno conocido como “**jitter**”



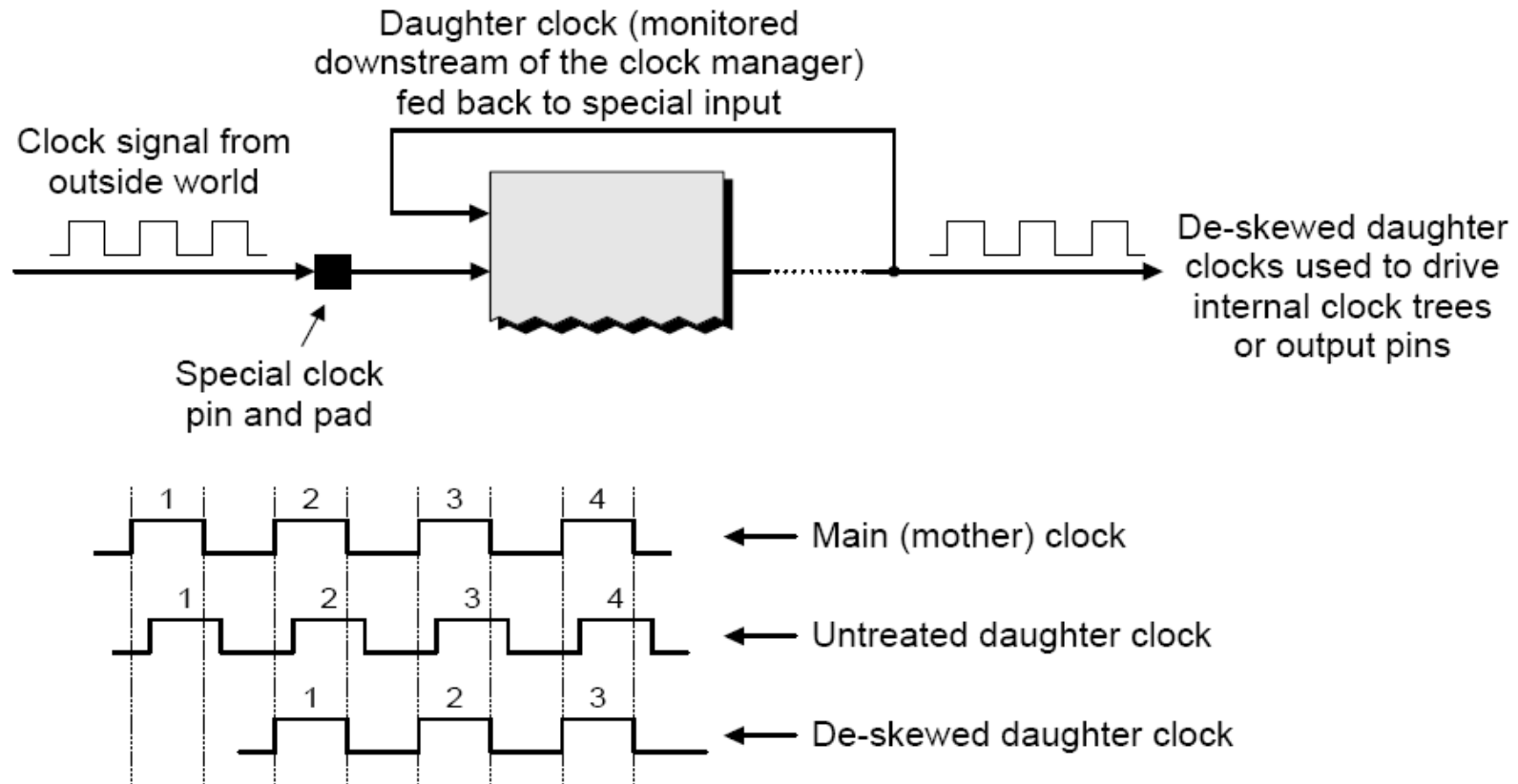
Otros recursos de las FPGA: Gestor de reloj

➤ Corrección skew:



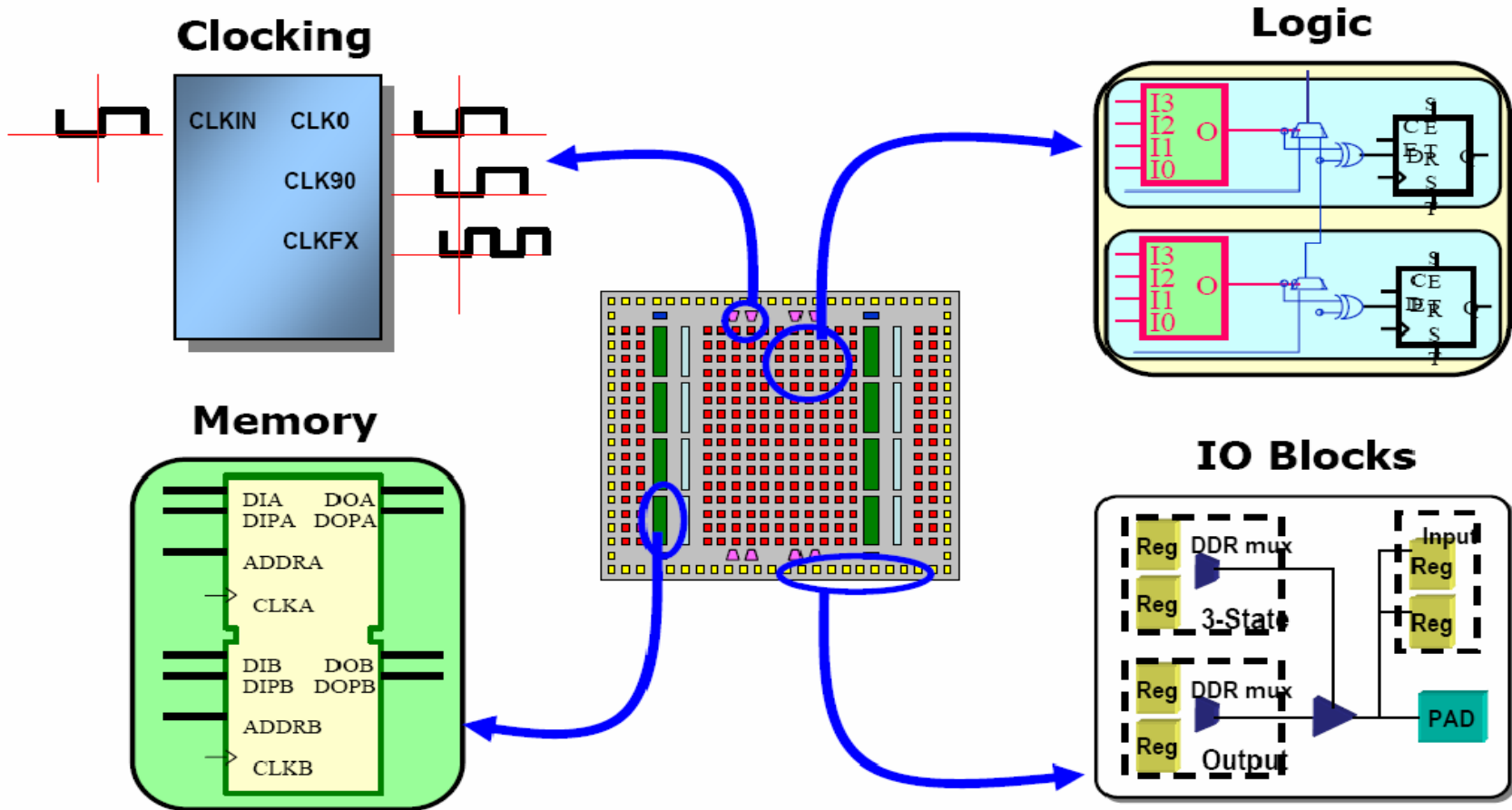
Otros recursos de las FPGA: Gestor de reloj

- **Corrección auto-skew:** Se realiza comparando la señal hija con el reloj externo.



Arquitectura de la FPGA

Basic FPGA architecture

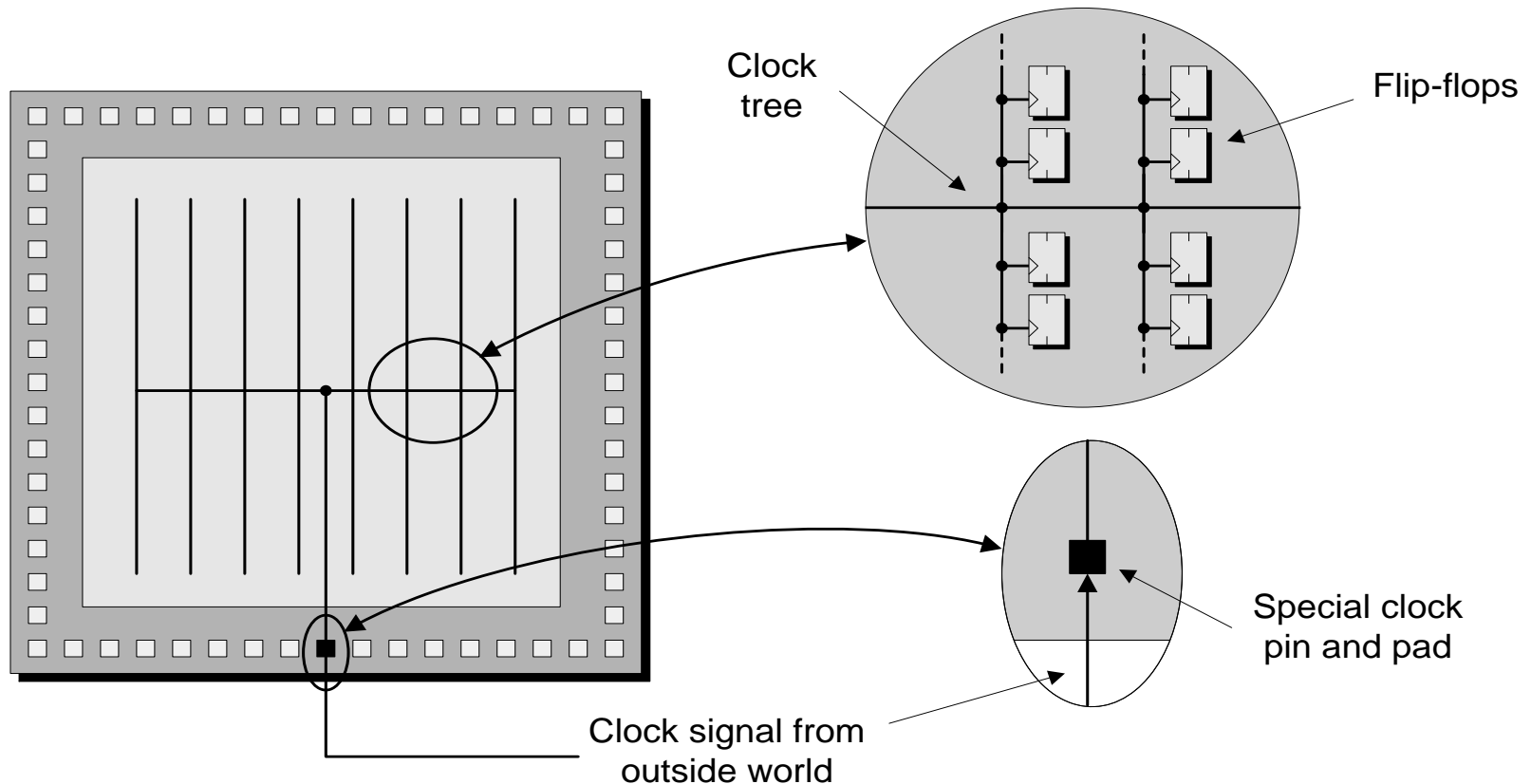


Fuente: Javier Serrano, CERN

3.1.6. Infraestructura de reloj

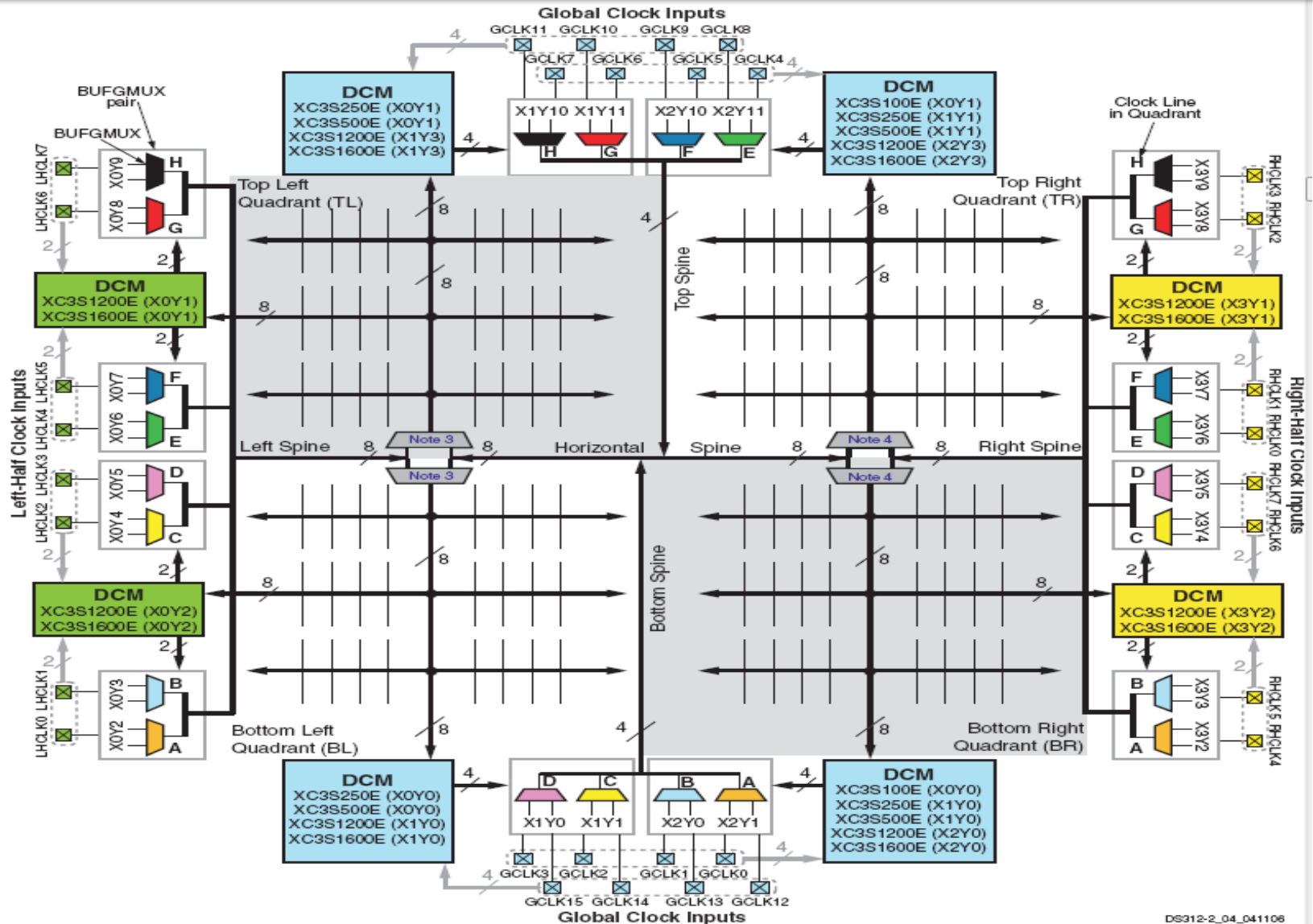
Infraestructura de reloj

La señal de reloj es distribuida dentro de la FPGA mediante una estructura en árbol.



C. Maxfield

Infraestructura de reloj



DS312-2_04_041108

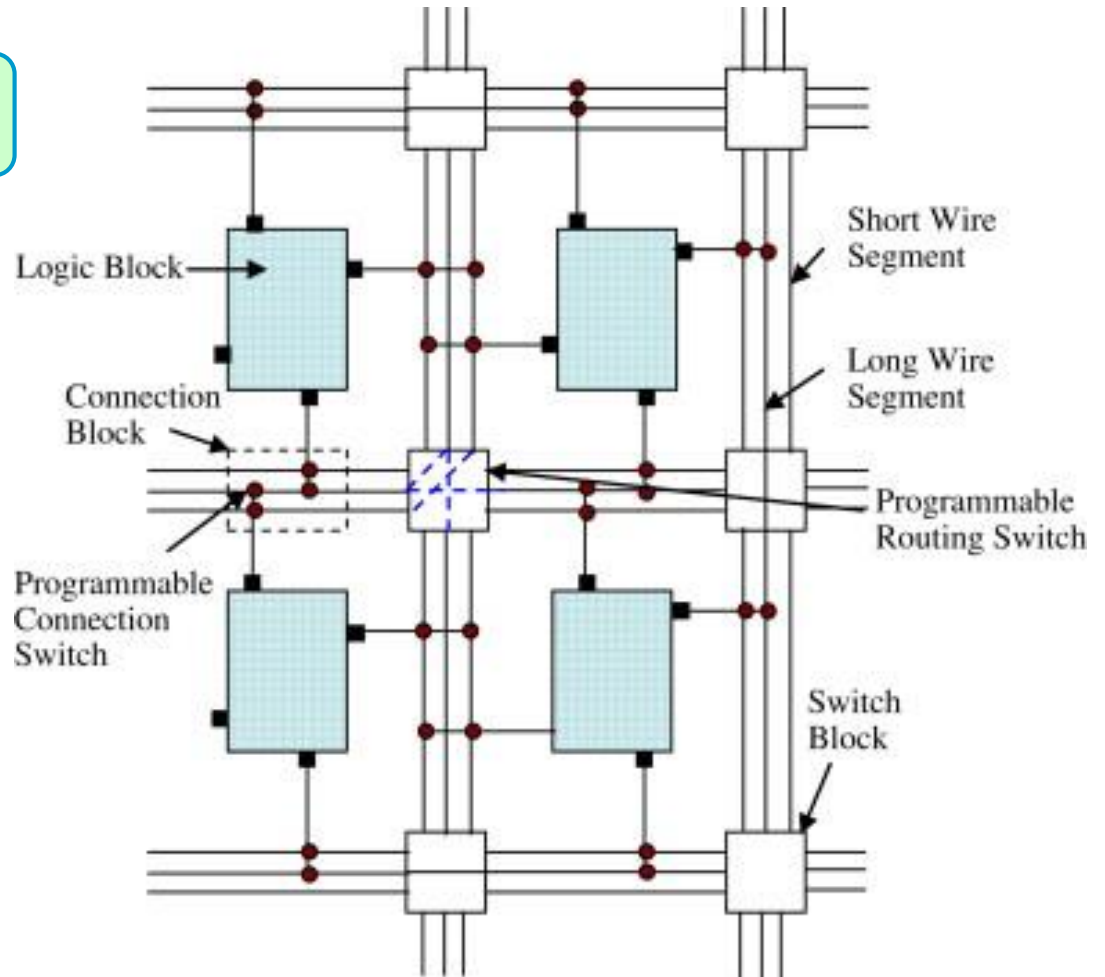
3.1.7. Interconexiones jerárquicas

Interconexiones jerárquicas

- **Conexiones directas** entre CLB's adyacentes → Muy rápidas
- **Conexiones de propósito general** → Más lentas, pasan al menos por un SB. Interconectan CLB's lejanos.
 - Single
 - Double
- **Líneas de interconexion largas** : No pasan por SB programables para evitar retardos
 - Verticales y Horizontales
 - Líneas largas globales/dedicadas (CLK y RESET)

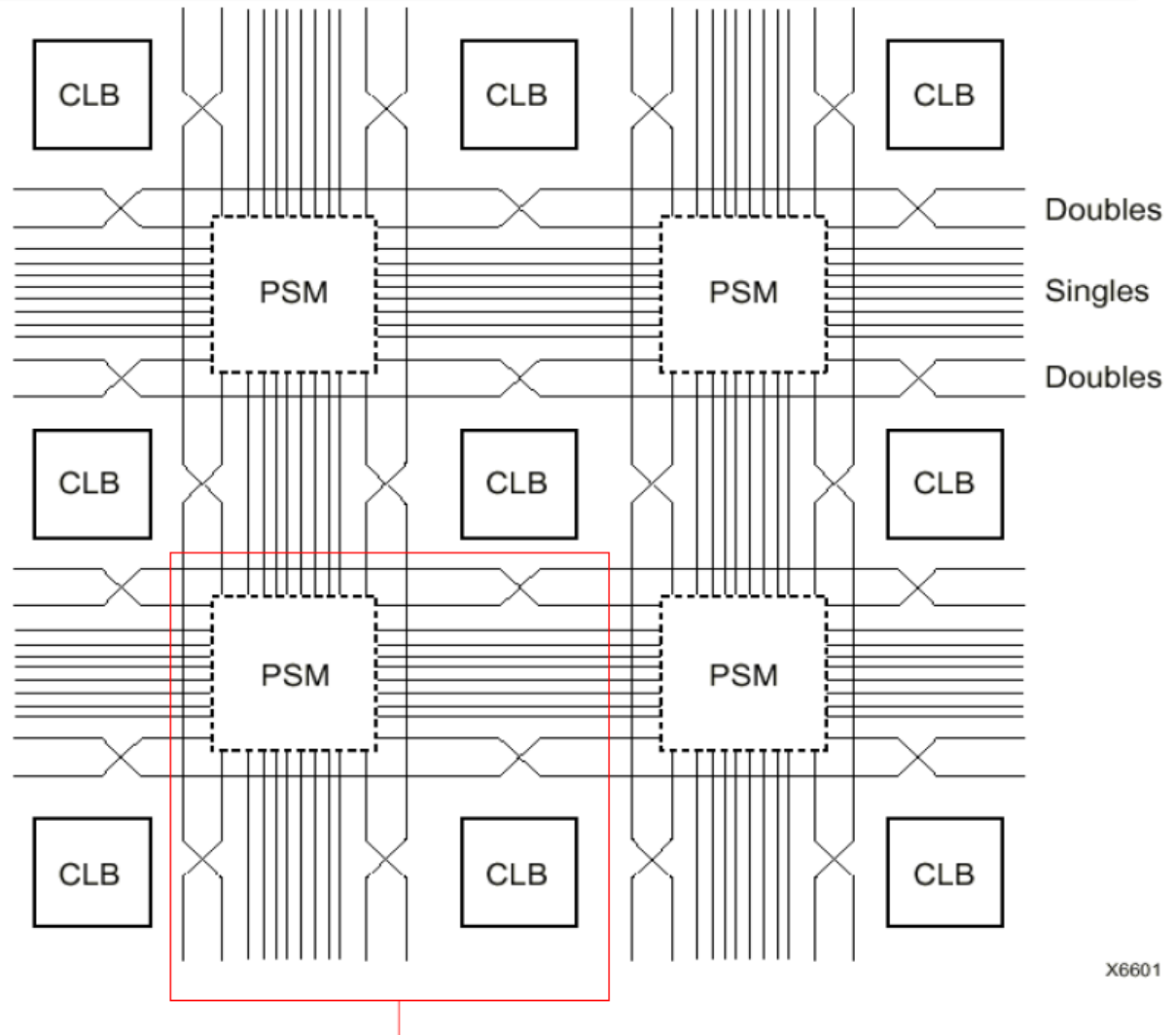
Interconexiones jerárquicas

Conexión directa



Interconexiones jerárquicas

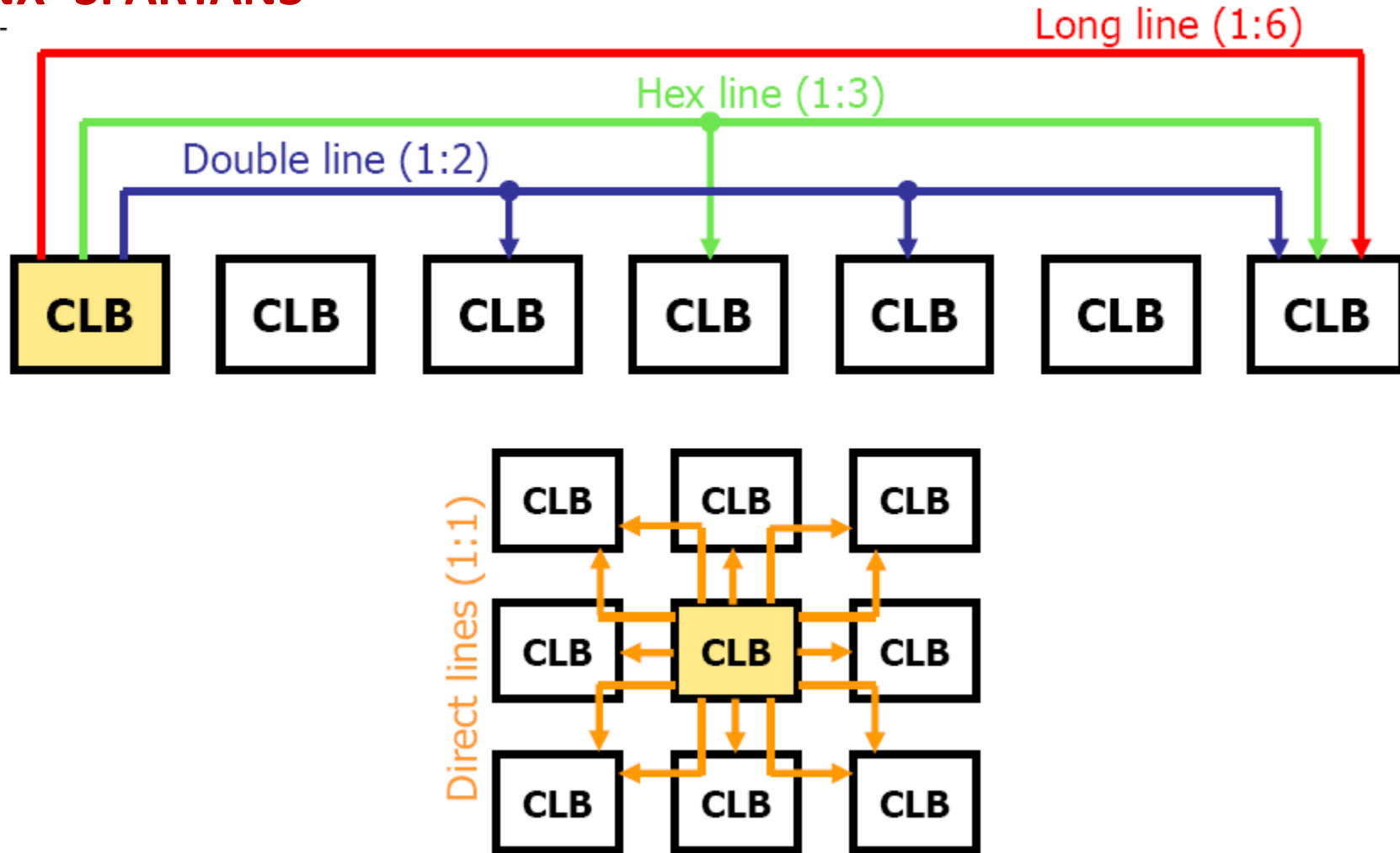
Conexión de
propósito
general



X6601

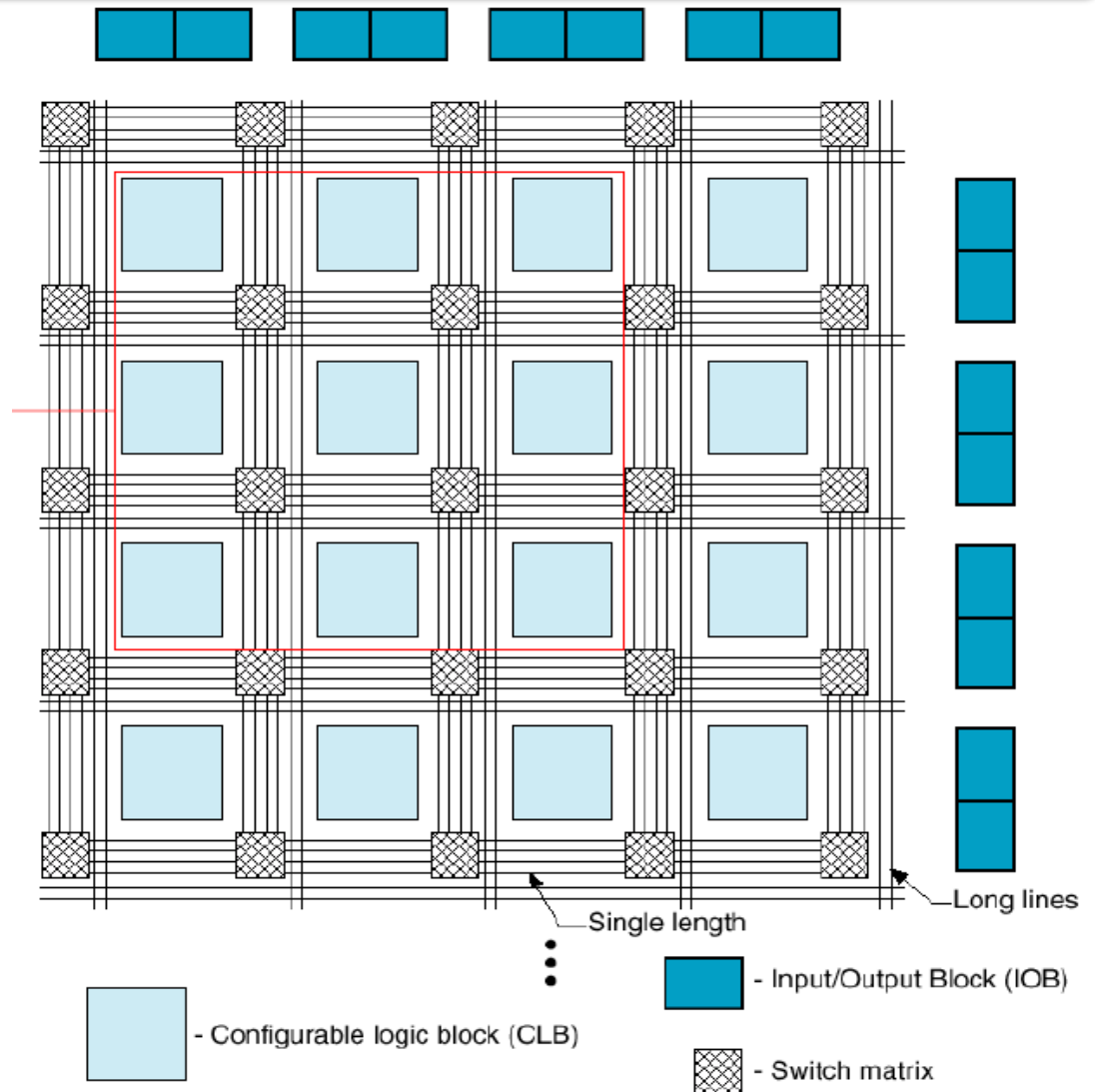
Interconexiones jerárquicas

XILINX- SPARTAN3

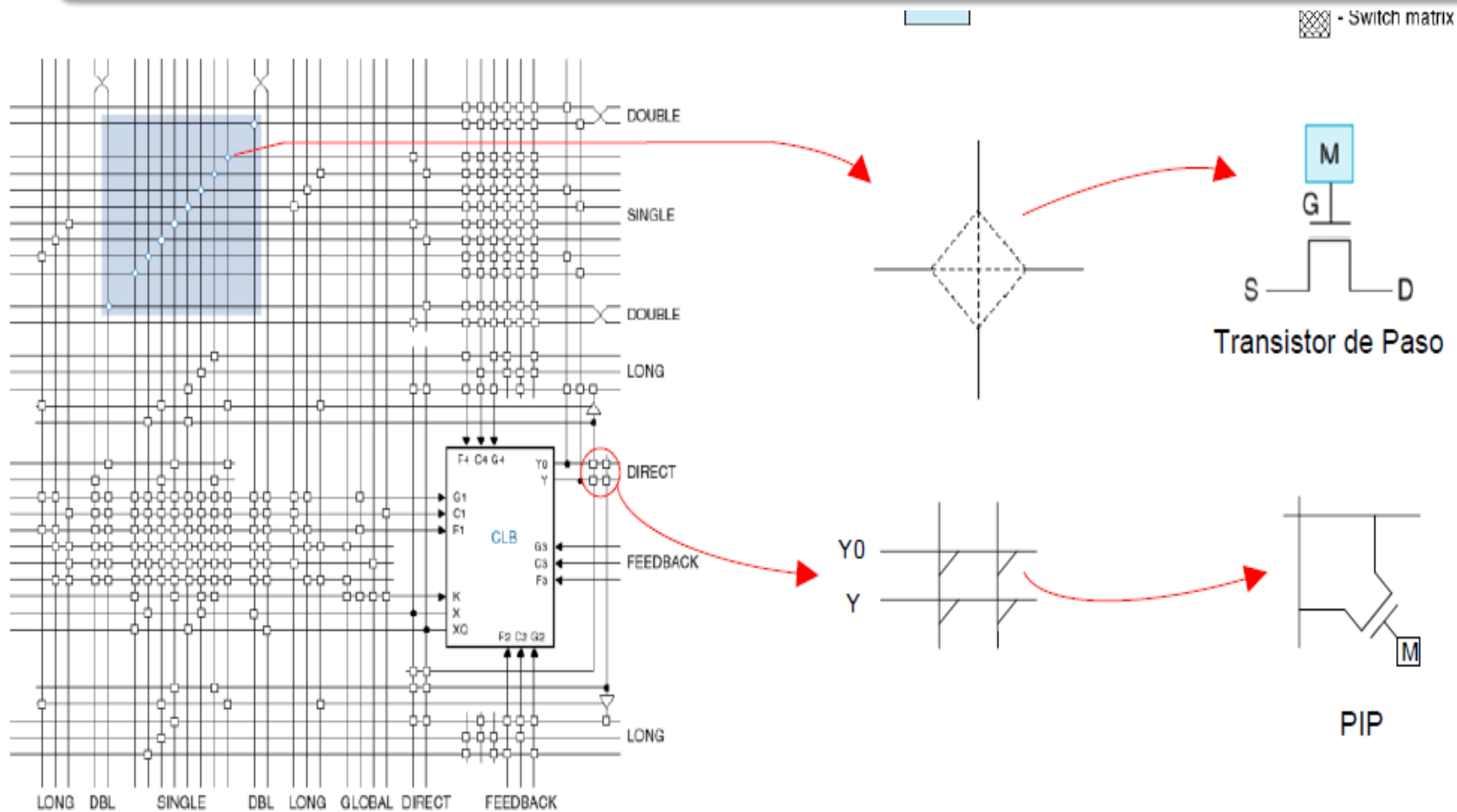


Interconexiones jerárquicas

Líneas de
interconexión
largas



Interconexiones jerárquicas

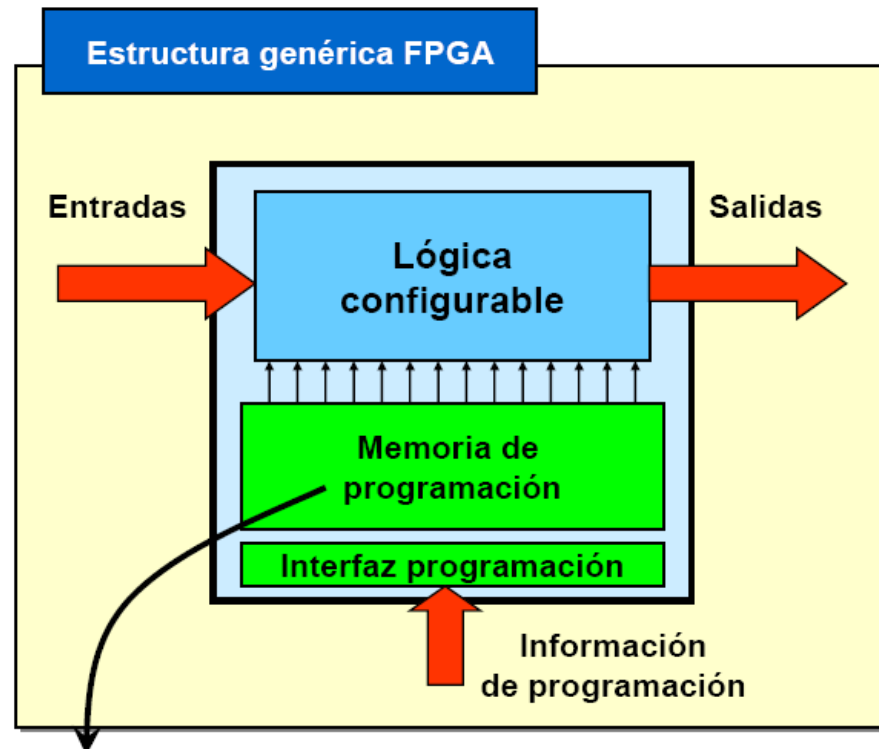


3.1.8 Programación de las FPGAs

Configuración de las FPGA

- **Configurar:** generar la secuencia de bits que configura el dispositivo
- **Programar:** Descargar la información de configuración a la FPGA

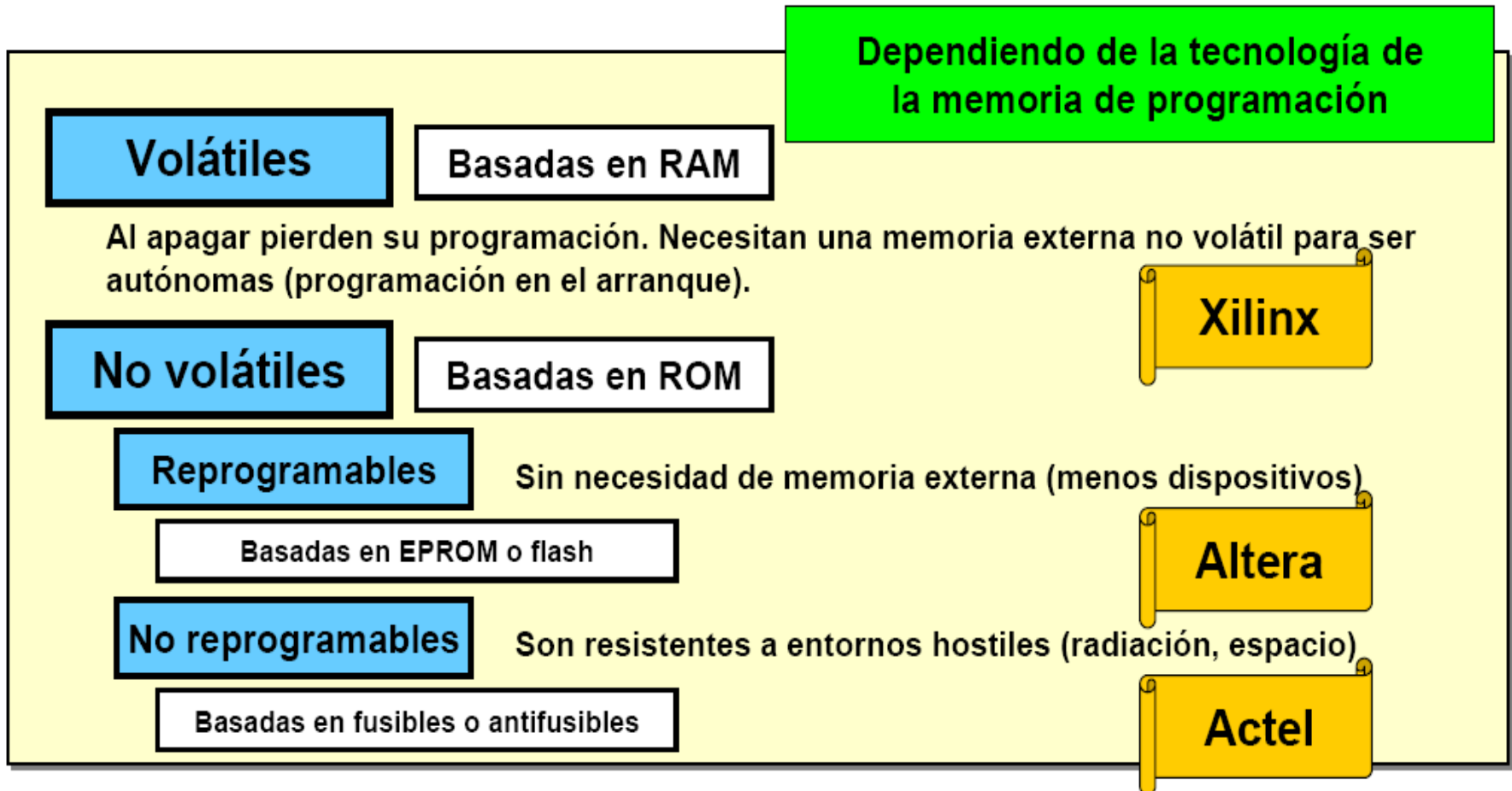
Programar: cambiar las funciones lógicas y las conexiones



La implementación física de la memoria sirve para clasificar las FPGAs

Configuración de las FPGA

Clasificación de las FPGA según el tipo de memoria de programación.



Fuente: Universidad Rey Juan Carlos

Configuración de las FPGA

Clasificación de las FPGA según el tipo de memoria de programación.

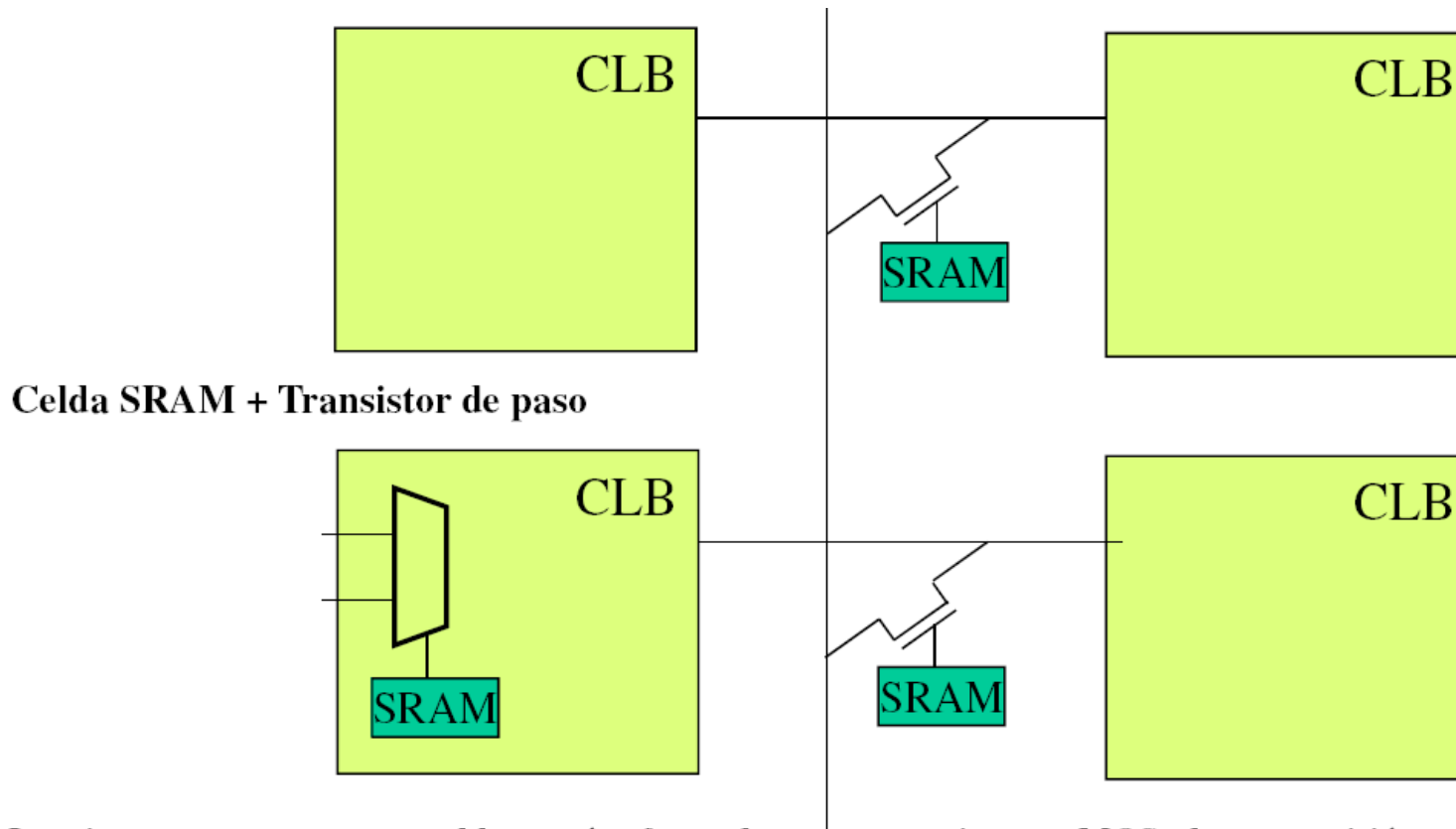
VENTAJAS (SRAM)	DESVENTAJAS (SRAM)
Rapidez en la reprogramabilidad	Volátil
Bajo consumo	Ocupan área del semiconductor

VENTAJAS (FLASH)	DESVENTAJAS (FLASH)
No volátil	Programación lenta (3xSRAM)
	Ocupan área del semiconductor

VENTAJAS (OTP)	DESVENTAJAS (OTP)
Menor retardo	Programables una vez
Menor tamaño, ocupan menos área	Programación externa
Tolerancia a la radiación electromagnética	
No volátil	

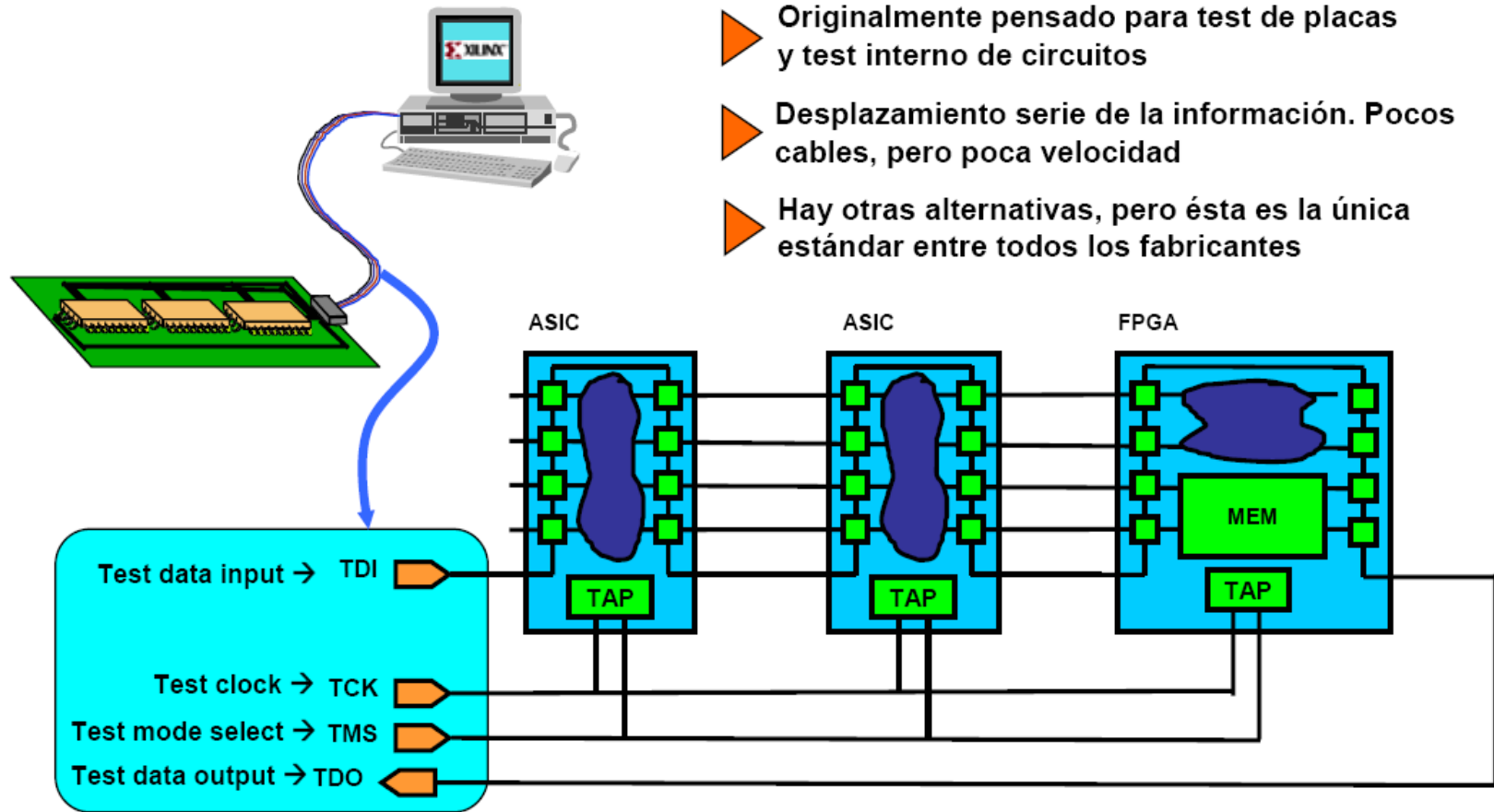
Configuración de las FPGA

Programación SRAM



Configuración de las FPGA

Programación basada en el estándar IEEE 1149.1 (JTAG o Boundary Scan)



Fuente: Universidad Rey Juan Carlos

3.1.9. Otras características de las FPGAs

Otras características de las FPGA

Reconfiguración

➤ Reconfigurabilidad estática:

La configuración de la FPGA sólo cambia durante la fase de diseño. Su funcionalidad no cambia mientras que la aplicación esté en funcionamiento.

➤ Reconfigurabilidad dinámica:

La funcionalidad cambia durante el funcionamiento normal el sistema se adapta a nuevas necesidades del proceso sin cambiar el sistema físico.

Otras características de las FPGA

Reconfiguración estática

- **Realización de prototipos de sistemas complejos:** Permite comprobar el funcionamiento real (no simulación) de un sistema a partir de una descripción de alto nivel. Una vez comprobado el funcionamiento del prototipo, se fabrica un ASIC para implementar el sistema final.
- **Realización de sistemas:** La FPGA permite su modificación sin necesidad de rediseñar de nuevo la placa del circuito . Adaptación a diferentes entornos y normas durante su vida útil. Menores tiempos de diseño y costes, rapidez en la comercialización

Otras características de las FPGA

Reconfiguración dinámica

- **Sistemas autoverificables:** La FPGA se configura inicialmente en modo verificación y se reconfigura después para la aplicación incrementa la fiabilidad pero también el tamaño, la complejidad y el coste.
- **Interfaces de comunicación reconfigurables:** La mayoría de protocolos de buses actuales incluyen mecanismos de autoconfiguración (“plug and play”) de los dispositivos conectados para distribuir los recursos y el modo de comunicación.
- **Computadores reconfigurables:** Reconfiguran su hardware para adaptarse a los algoritmos a realizar en cada instante . Mayor velocidad que un computador de aplicación general, gran complejidad , dificultad para desarrollar SO adecuados.

Otras características de las FPGA

Reconfiguración dinámica

➤ Computadores reconfigurables

Como aceleradores de procesamiento en servidores. La FPGA se configura para realizar tareas paralelas readaptándose al algoritmo necesario en cada caso.

Ejemplo: Microsoft Bing

<http://research.microsoft.com/en-us/projects/catapult/>

<http://streamcomputing.eu/blog/2014-09-16/use-opencl-fpgas/>

BIBLIOGRAFÍA

- **The Design Warrior's Guide to FPGAs.** Clive “Max” Maxfield
- www.xilinx.com
- www.altera.com
- **FPGA 101.** Gina Smith. Editorial Elsevier.