

TEMA 3: Hardware de gestión de memoria y E/S

Contenidos

1. Gestión de memoria. Introducción
2. Memoria Virtual. Paginación, Segmentación, Seg con paginación.
3. Gestión de E/S. DMA.
4. DMA. Gestión de tareas
5. DMA. Estructura Hardware
6. DMA. Secuencia de funcionamiento
7. IOMMU. Funcionamiento, Características, Traducción de estructuras, Interface con el Software

3. Gestión de E/S. DMA

1. La CPU no puede encargarse de las tareas que se realizan de forma externa a ella, porque esto generaría **problemas de sobrecarga y enlentecimiento** en la ejecución de procesos
2. Para atender a las tareas externas, es necesario un disponer de un **elemento externo** que intermedie entre la CPU, la memoria y los dispositivos externos. Estos dispositivos externos se denominan controladores de acceso directo a memoria (DMA)

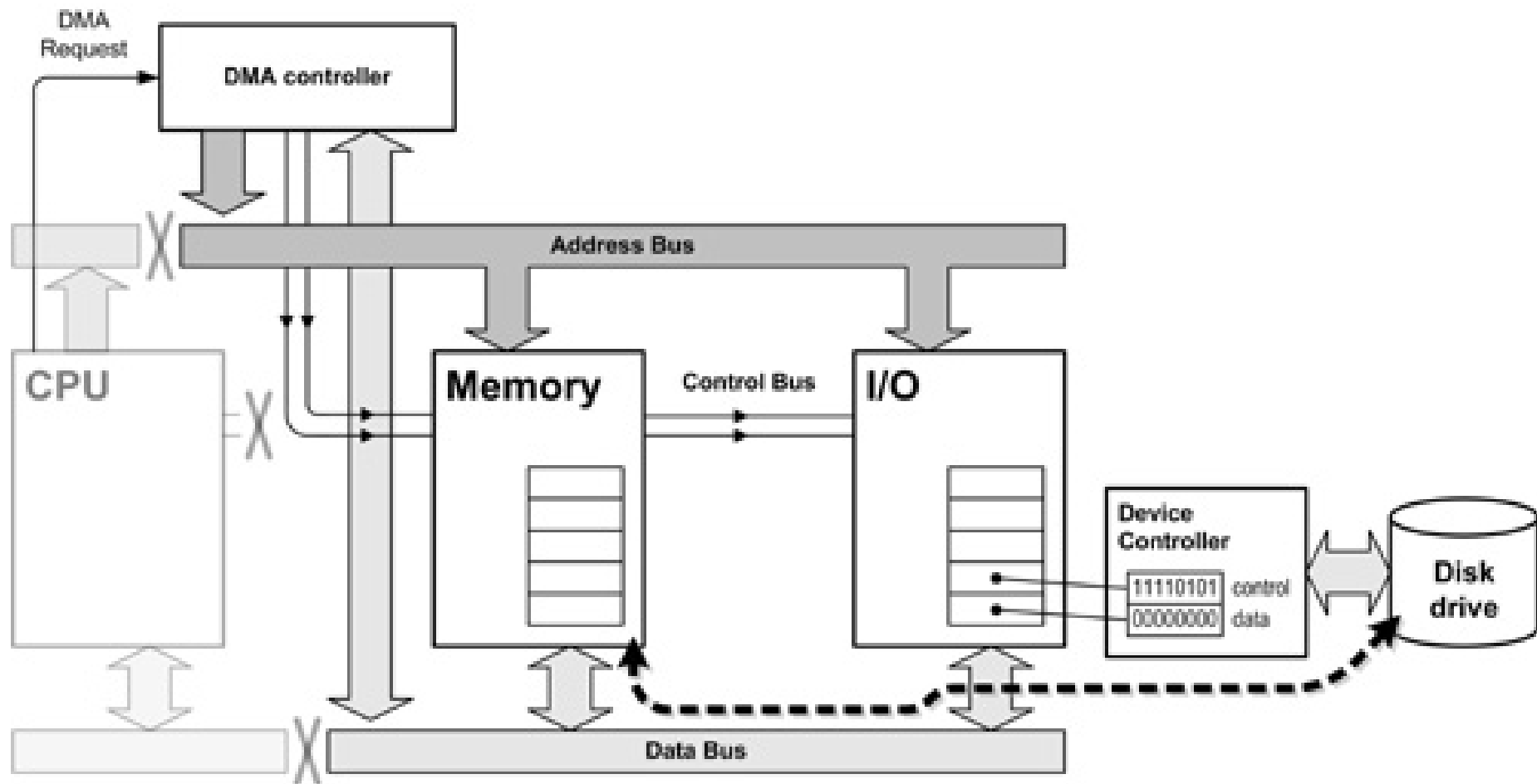
3. Permiten que los datos puedan entrar y salir de la memoria sin que la CPU tenga que utilizar **tiempo de ejecución** en su gestión.
4. La problemática del DMA: complejidad del sistema de cómputo. Modelo de gestión de la memoria, la estructura de la misma, jerarquía, N° de núcleos

El controlador de memoria (MMU) debe trabajar en coordinación con el DMA para poder realizar una verdadera **optimización de la transferencia de información** hacia/desde la memoria.

Funcionamiento Básico del DMA

- Es imprescindible cuando grandes bloques de datos deben ser transferidos entre un dispositivo y la memoria principal.
- La CPU delega esta función en el DMA. Para que se realice, la CPU envía una señal a un chip especial llamado **controlador de DMA**.
- Este chip desconecta la CPU de los buses, obteniendo el control del bus del sistema, gestionando las señales del bus de datos, direcciones y control, para que los datos se comuniquen directamente entre E/S y la memoria. Al terminar, el control se devuelve de nuevo a la CPU.

DMA: esquema básico



4. DMA. Gestión de tareas

- El DMA gestiona dos tareas importantes:
 - **Comunicar datos** entre la CPU y los dispositivos externos
 - **Controlar el funcionamiento** de los dispositivos externos
- La comunicación de los datos se realiza por medio de la memoria del sistema y requiere de la programación previa del controlador de DMA

El controlador de DMA debe actuar como controlador maestro (master) del bus durante la transferencia DMA y debe ser capaz de:

- Solicitar el uso del bus mediante las señales y la lógica de arbitraje necesarias
- Especificar la dirección de memoria sobre la que se realiza la transferencia
- Generar las señales de control del bus
 - Tipo de operación (lectura/escritura)
 - Señales de sincronización de la transferencia

Tipos de transferencias de DMA

Transferencia DMA modo ráfaga

- El DMAC solicita el control del bus a la CPU
- Cuando la CPU concede el bus el DMAC no lo libera hasta haber finalizado la transferencia del bloque de datos
- En caso de sistemas con caché, es necesaria la sincronización.

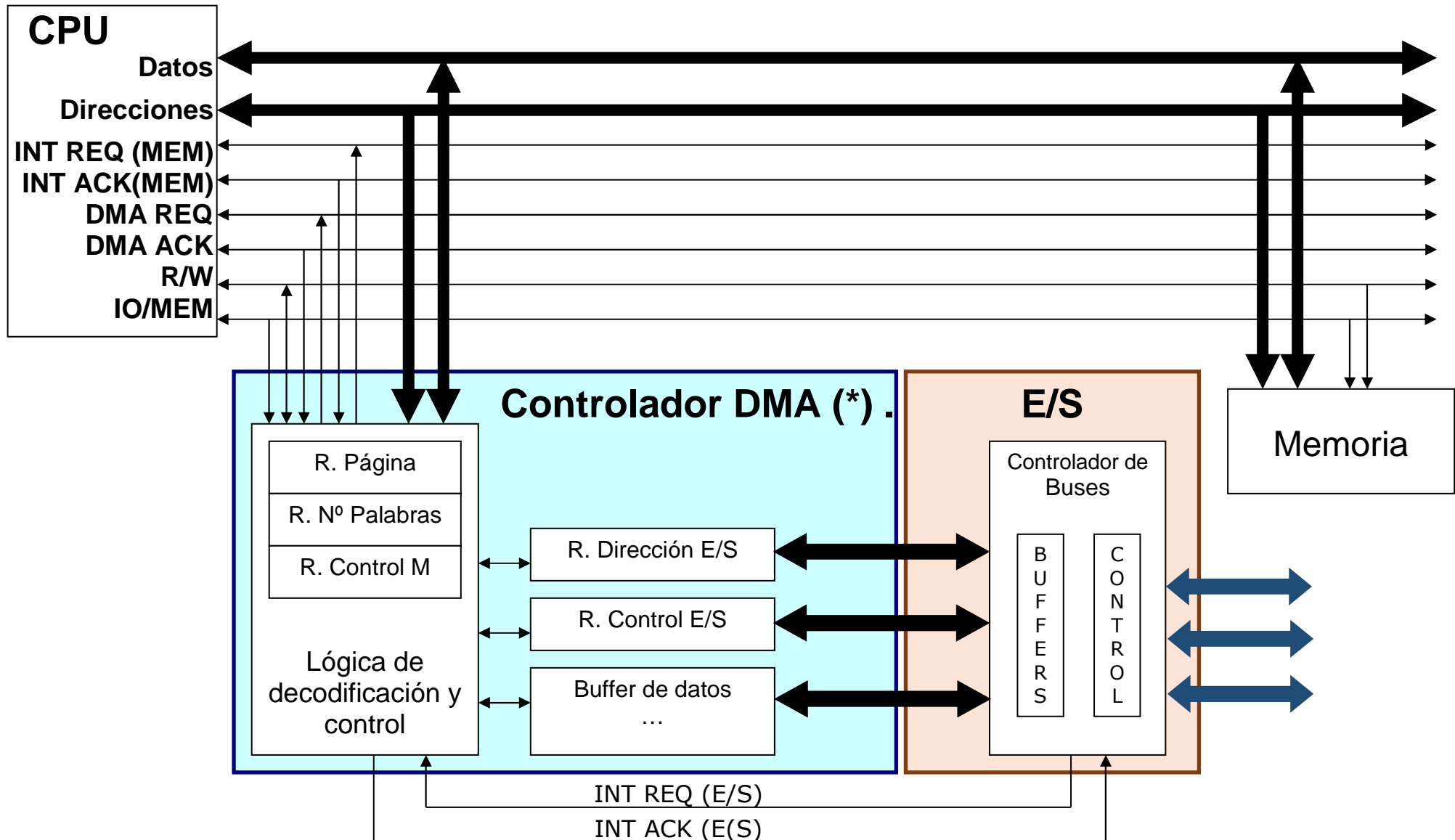
Transferencia DMA modo robo de ciclo (poco utilizado)

- El DMAC solicita el control del bus a la CPU
- Cuando la CPU concede el bus al Controlador de DMA, se realiza la transferencia de una única palabra y después el DMAC libera el bus
- El Controlador de DMA vuelve a solicitar el control del bus tantas veces como sea necesario hasta haber finalizado el bloque
- El DMAC informa de final de la transferencia por medio de una interrupción

5. DMA. Estructura Hardware

- Aparte de hacer posible la transferencia de bloques de memoria en todos los niveles de la jerarquía:
 - El DMA hace de puente/controlador de los diferentes buses que componen la arquitectura externa del computador
 - El DMA también gestiona interrupciones de los dispositivos
 - El DMA “simula” el acceso tradicional mediante puertos de E/S
 - Son el corazón de los Chipsets actuales

Estructura simplificada del Controlador de DMA



Registros de control

- Reg. página (memoria). memoria: almacena la parte de la dirección inicial de memoria o le índice de la página en caso de paginación/segmentación
- Reg. N^o palabras: almacena el número de palabras a transferir y se decrementa después de transferir cada palabra. Se une al registro de página para completar la dirección de acceso
- Reg. Control (memoria): controla la transferencia: Ejemplo: el sentido de la transferencia (lectura o escritura)

- Buffer de datos. Permite que la transferencia desde el periférico o hacia el periférico se realice en el menor tiempo posible. Es imprescindible en modo ráfaga.
- Reg. Dirección de E/S. Almacena la dirección del dispositivo al que se está accediendo
- Reg. Control (E/S). Controla la transferencia entre el Controlador de DMA y el dispositivo

Señales de control

- DMA-REQ: solicitud de servicio DMA
- DMA-ACK: Aceptación del servicio DMA

El controlador DMA debe solicitar el bus (REQ) y esperar a que la CPU le indique que ha cedido el bus (ACK) Antes de activar esta señal el DMAC debe estar en posesión del bus. Una vez que termina el acceso DMA el controlador desactiva la petición (RQ) y al siguiente ciclo de reloj, la CPU vuelve a tomar el control del bus

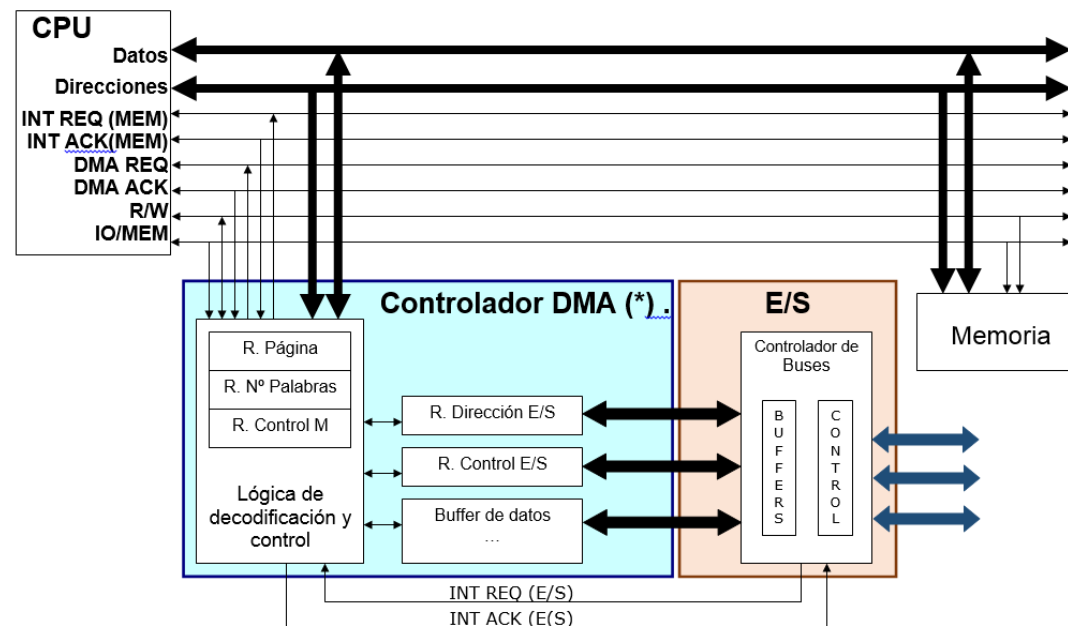
- R/W: Sentido de la transferencia

- INT RQ (MEM). Requerimiento de interrupción. Se utiliza para solicitar acceso a la rutina de control del DMA.
 - INT ACK (MEM), aceptación de interrupción por parte de la CPU. Permite que el controlador DMA envíe información de control o informe del estado de la transferencia DMA
-
- INT RQ (E/S). Requerimiento de interrupción por parte del dispositivo
 - INT ACK (E/S), aceptación de interrupción por parte del controlador de DMA

Tareas a realizar

Vamos a diseñar un CDMA sencillo (Tema 3.2 + Problemas 2 + Práctica 5), capaz de mover datos entre dos memorias. Partiendo del esquema antes visto:

1. ¿Qué elementos digitales harán falta? Asignar elementos al esquema
2. ¿Cuál será el **elemento** digital encargado de controlar todo? ¿Cómo lo "programaremos"?
3. Dibujar un cronograma sencillo del funcionamiento de las dos fases (Entrada y salida). Incluir las señales de control y los buses.



6. DMA. Secuencia de funcionamiento

Secuencia de funcionamiento del DMA

Fase de inicialización

- La CPU le indica al interfaz del periférico la operación a realizar
- La CPU accede a los registros del DMAC para indicar los parámetros de la transferencia
 - Dirección de página \Rightarrow Reg. dir. Memoria o índice de pág.
 - Número de palabras a transferir \Rightarrow Reg. N^o palabras
 - Sentido de la transferencia \Rightarrow Reg. control
- La CPU regresa a sus tareas

Fase de transferencia

- Cuando el periférico ha terminado de transferir la información al buffer lo indica al controlador de DMA mediante una interrupción, seguida de un dato de control.
- El DMA solicita el control del bus mediante la línea DMA REQ
- El DMA recibe la concesión del bus y activa la señal DMA-ACK para indicar Controlador que ha dejado los buses en triestado, a fin de que el Controlador los utilice y realice la transferencia.

- El Controlador debe generar y procesar las señales del bus adecuadas.
 - Dirección de memoria sobre la que se realiza la transferencia
 - Señales de sincronización de la transferencia (master-syncro, slave-syncro, etc.)
 - Señales de lectura/escritura (R/W)

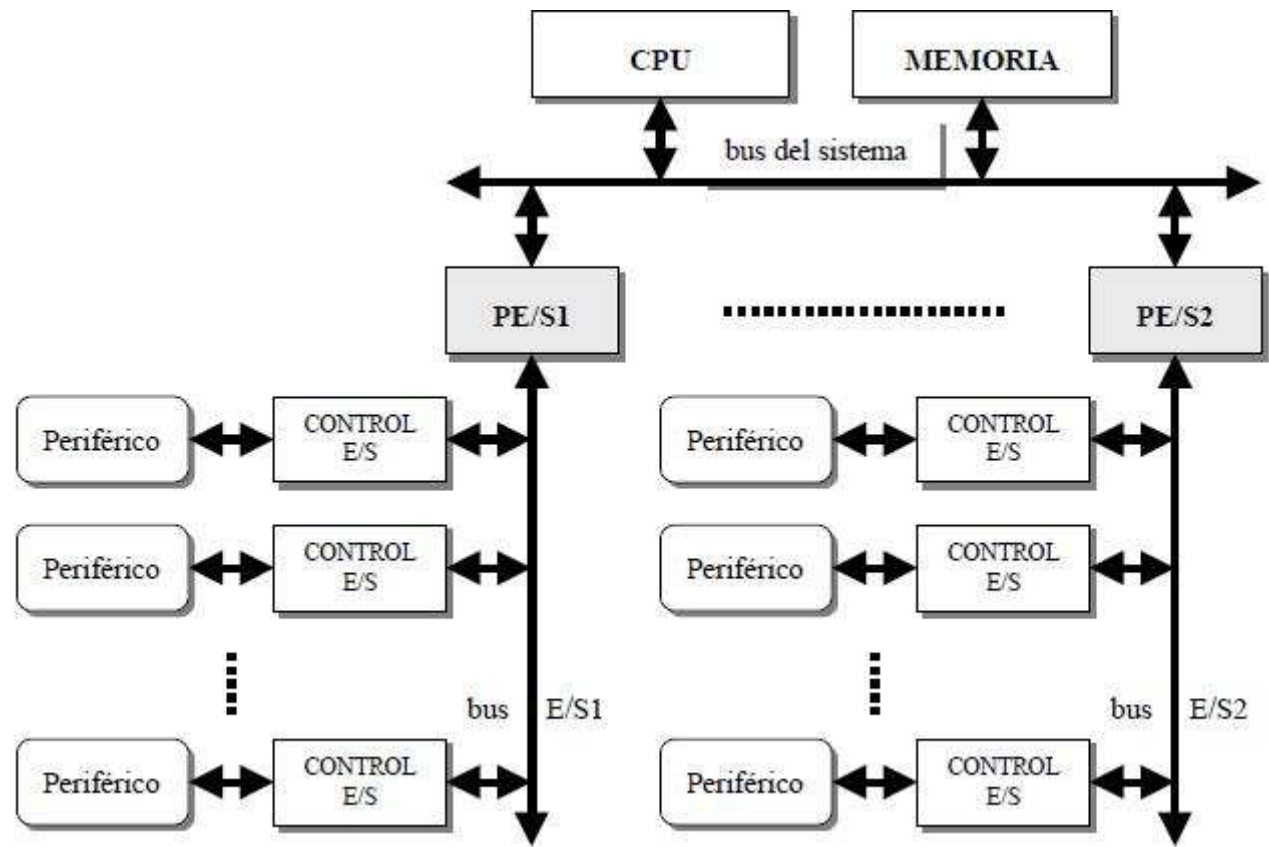
- Después de transferir cada palabra el DMAC debe actualizar sus registros
 - Decrementar el registro de n° de palabras
 - Incrementar/decrementar el reg. de direcciones de mem. (según sean direcciones crecientes o decrecientes)
- En transferencias de robo de ciclo: Se libera el bus después de transferir cada palabra y se vuelve a solicitar para transferir la siguiente
- En transferencias en modo ráfaga: El controlador mantiene el control del bus hasta que se ha transferido el bloque completo

Fase de finalización de la transferencia

- Ocurre cuando el registro de nº de palabras llega a cero
- El Controlador de DMA activa la señal de interrupción para transferir un dato que indique que la transferencia ha terminado.
- Puede ocurrir que la finalización sea únicamente parcial, ya que otro dispositivo con más prioridad haya solicitado el acceso al Controlador DMA. En controlador informa de la circunstancia a la CPU de igual forma.

Tipos de controladores DMA (Procesadores de E/S)

- Monocanal: cuando sólo puede ejecutar una transferencia DMA al mismo tiempo.
- Multicanal:
Atiende a varios dispositivos simultáneamente.

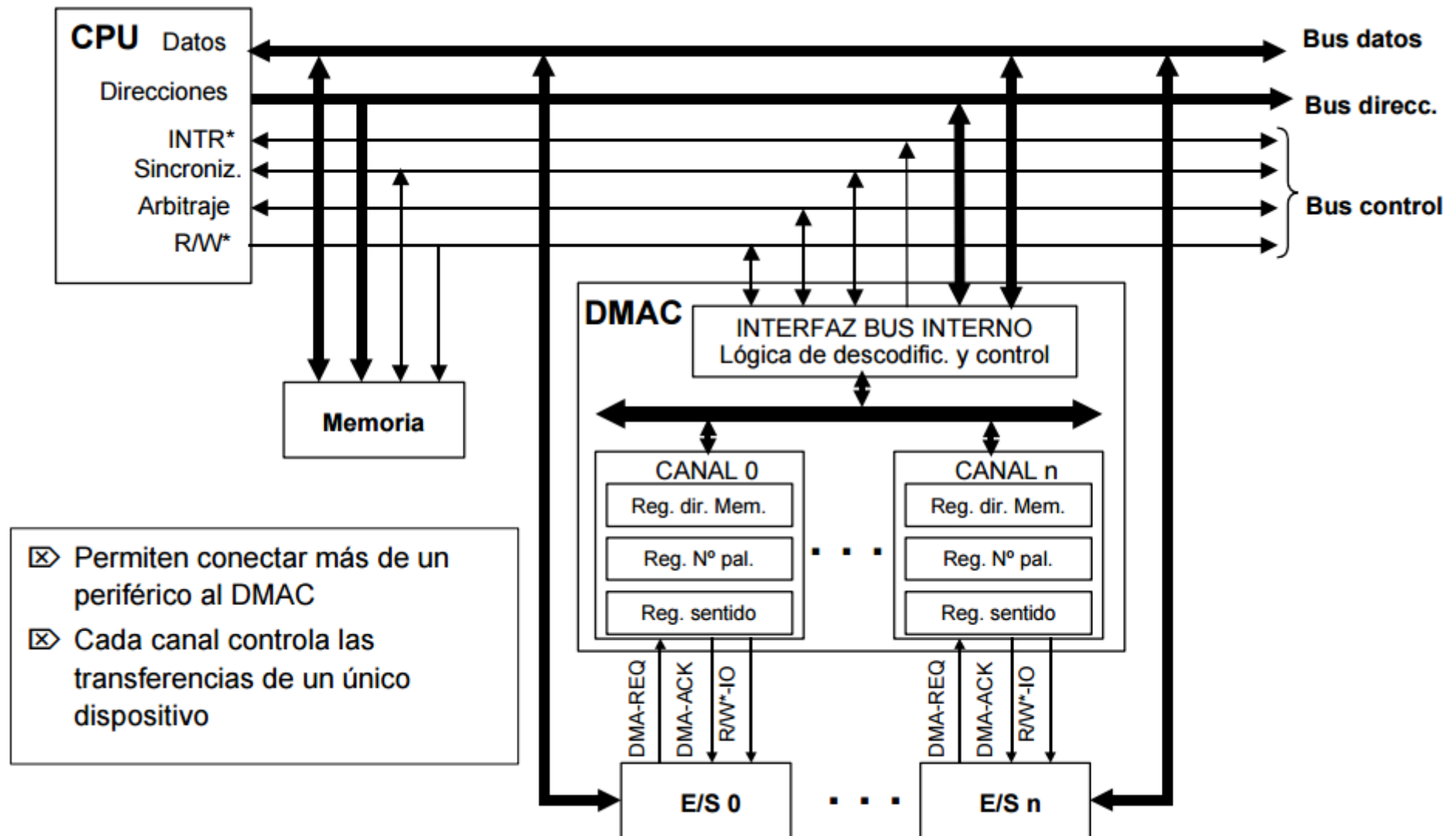


- Multicanal tipo multiplexor
 - Diseñado para trabajar con dispositivos varios dispositivos simultáneamente a de baja velocidad.
 - El canal puede atender de modo alternativo a los distintos periféricos durante cortos intervalos de tiempo en los que se transmite una palabra (Robo de ciclo entre los diferentes canales).

- Multicanal tipo selector
 - Diseñado para trabajar con dispositivos de alta velocidad
 - Puede atender a varios dispositivos pero **no** de forma simultánea
 - Cuando se inicia una transferencia con un periférico no se puede atender a ningún otro hasta que la transferencia haya finalizado por completo.

- Multicanal tipo multiplexor por bloques (mixto)
 - Diseñado para trabajar con dispositivos de alta velocidad que transmiten su información en bloques separados
 - El canal controla las transferencias de varios dispositivos de forma multiplexada en el tiempo pero por bloques
 - Cada canal atiende de forma alternativa a distintos periféricos durante intervalos tiempo en los que se transmite/recibe información

Esquema de un controlador DMA multicanal



Tareas a realizar:

Partiendo de lo planteado anteriormente, indicar:

5. ¿Cómo se programará el DMA desde la CPU? Determinar secuencia de pasos y cronograma.
6. ¿Cómo se coordinará el acceso a memoria en un DMAC donde se puedan requerir diversos accesos al mismo tiempo? (Atender a criterios de prioridad y momento de solicitud)
7. ¿Qué elementos serán necesario incorporar al esquema funcional para que esta coordinación se lleve a cabo

La secuencia de trabajo será idéntica a la planteada hasta ahora:

- Aportaciones G_o
- Mejoras propuestas por otro grupo (G_m)
- Conceptos fundamentales (G_f)