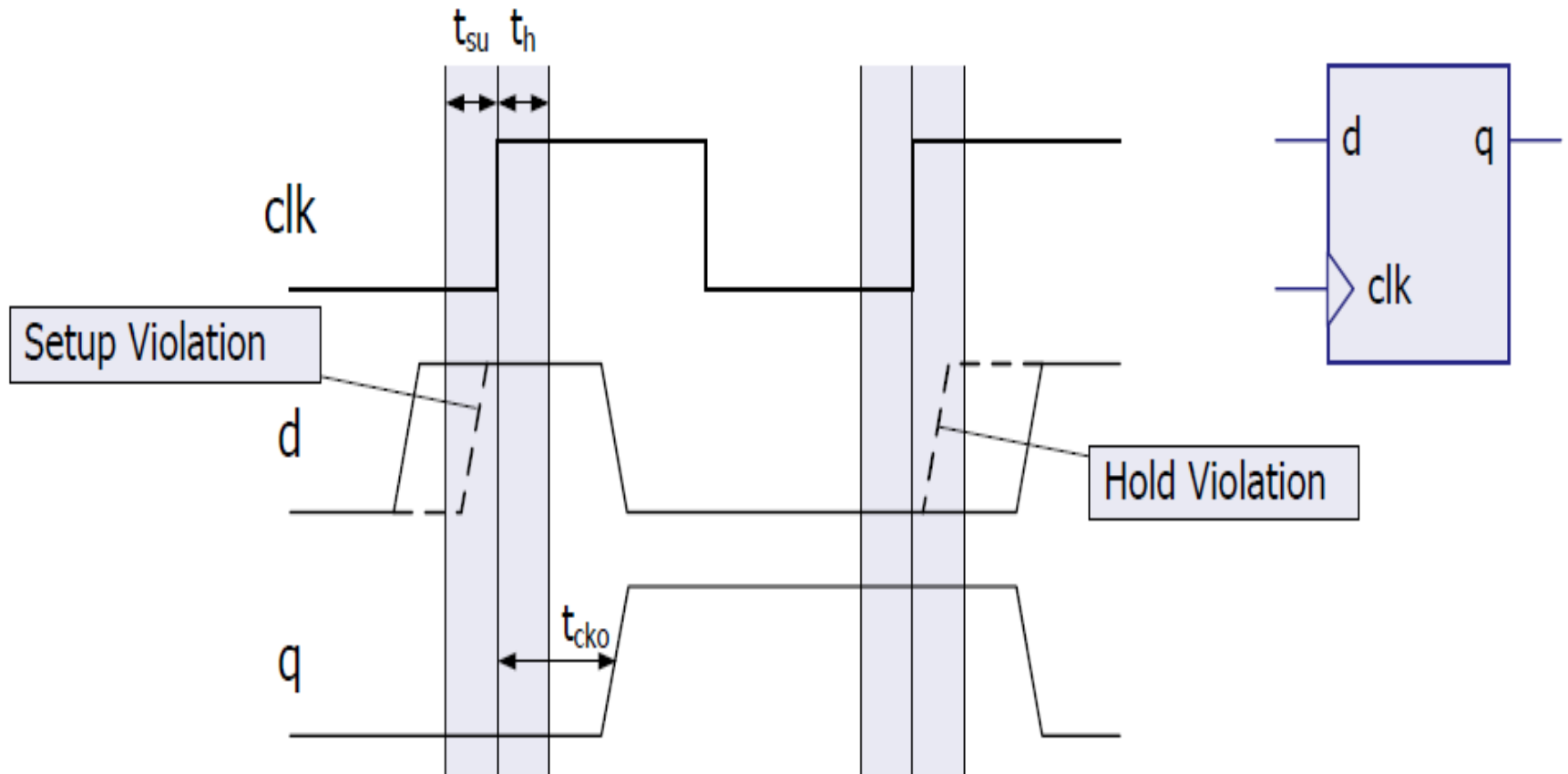


## **3.2. FPGAs: Diseño Síncrono**

### **3.2.1. Cuestiones temporales**

# Parámetros temporales de los Flip-Flop



## Parámetros temporales de los Flip-Flop

**Tiempo de establecimiento o Setup Time ( $t_{su}$ ):** Los FF necesitan que el dato de entrada sea estable un mínimo de tiempo antes de la llegada del flanco de reloj.

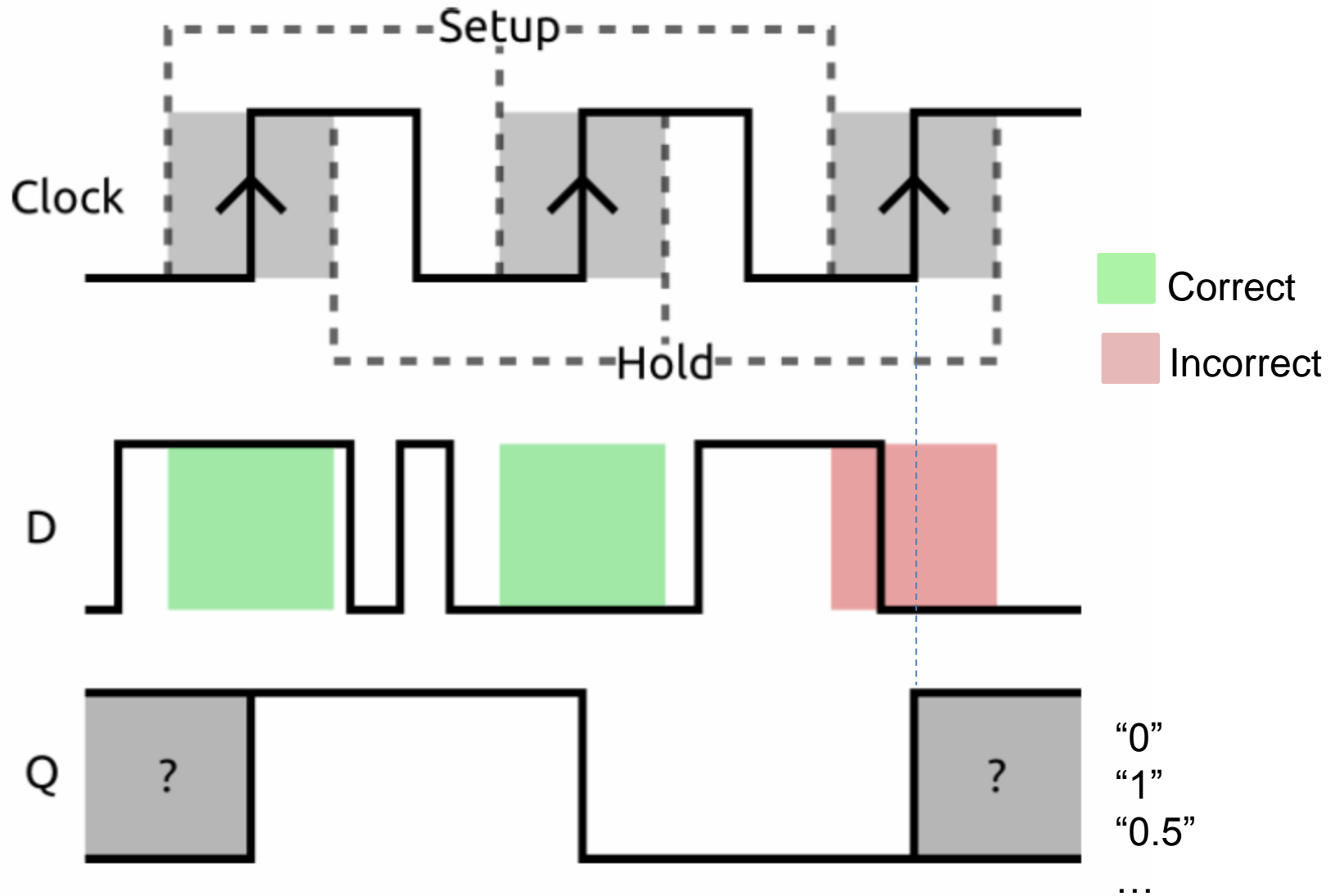
❑ **Tiempo de mantenimiento ó Hold Time ( $t_H$ ):** Es el tiempo máximo posterior al flanco de disparo en que las entradas no deben variar (tiempo necesario para que el biestable procese las entradas).

❑ **Tiempo de propagación ( $t_p$  o  $t_{cko}$ ):** Tiempo necesario para que el efecto de un cambio en la entrada se haga estable en la salida.

## Metaestabilidad en Flip-Flop

- ✓ Se produce cuando las entradas del biestable **no respetan** los **parámetros temporales** dados por el fabricante, en particular los tiempos de establecimiento ( $t_{setup}$ ) y mantenimiento ( $t_{hold}$ ).
- ✓ Si el valor de las **entradas cambia** en el tiempo dado por **( $t_{setup} + t_{hold}$ )** el biestable puede quedar en estado metaestable (Estado en el cual un biestable almacena un nivel lógico no válido ).
- ✓ Consecuencias: la salida ofrecida por el biestable puede ser interpretada como High por unos componentes del sistema y como Low por otros → **Mal funcionamiento !!!!**

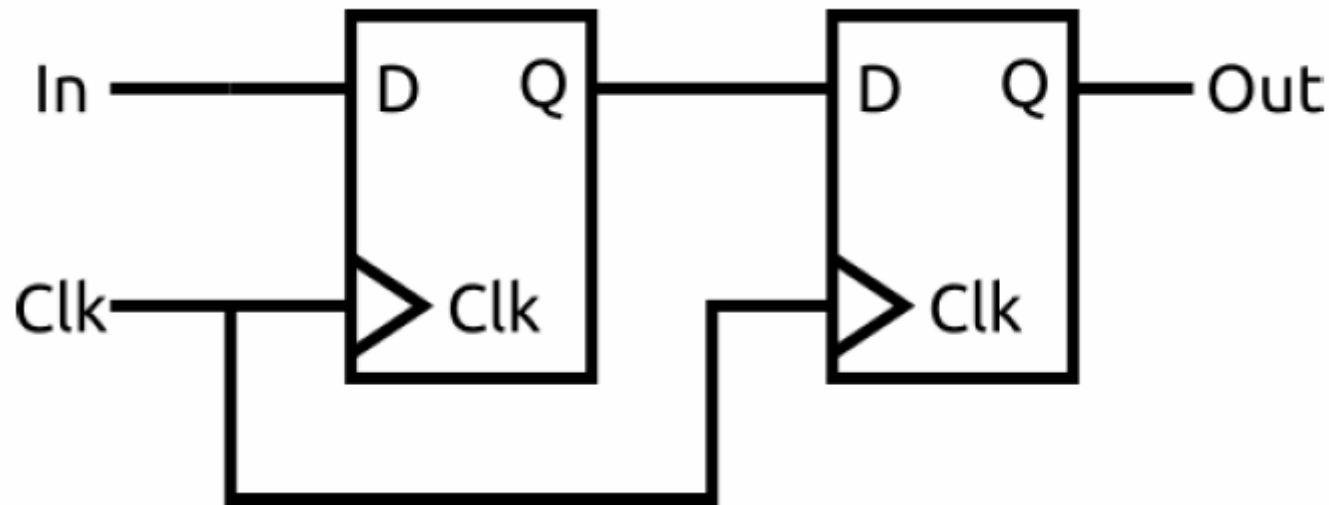
# Metaestabilidad en Flip-Flop



<https://embeddedmicro.com/tutorials/mojo/metastability-and-debouncing>

## Metaestabilidad en Flip-Flop

Solution:



### **3.2.2. Axiomas del diseño síncrono**



# Ventajas del diseño síncrono

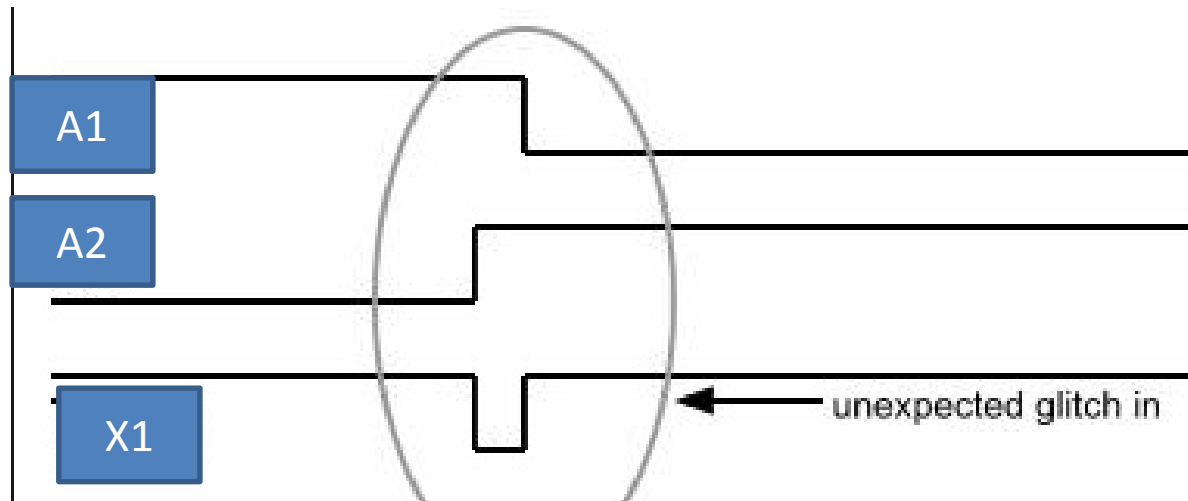
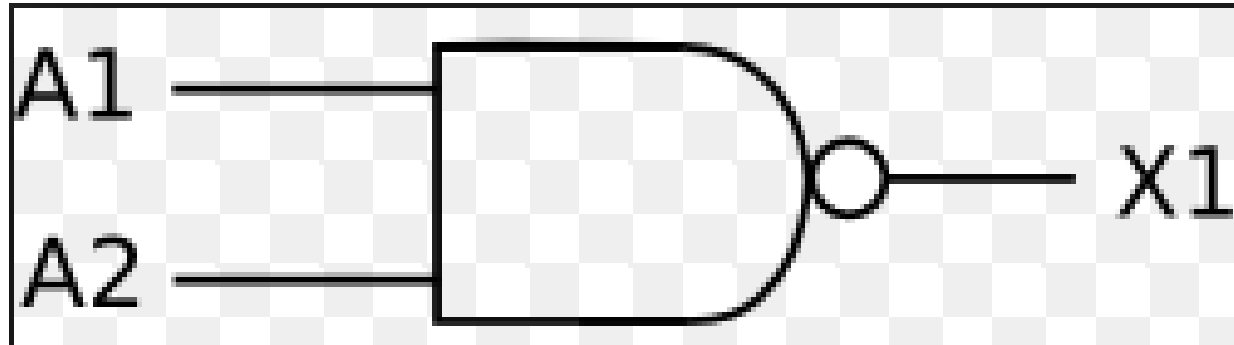
## Ventajas de los sistemas síncronos

---

- ✓ Las señales se muestrean en instantes de tiempo conocidos y bien definidos
- ✓ Inmunes a *glitches* si la frecuencia de reloj es adecuada
- ✓ Se evitan los problemas debidos a variación de retardos en los diferentes caminos de lógica
- ✓ Estables frente a cambios de temperatura, tensión o proceso de fabricación
- ✓ Interfaces sencillas entre distintas entidades
- ✓ Gran disponibilidad de herramientas de síntesis y simulación

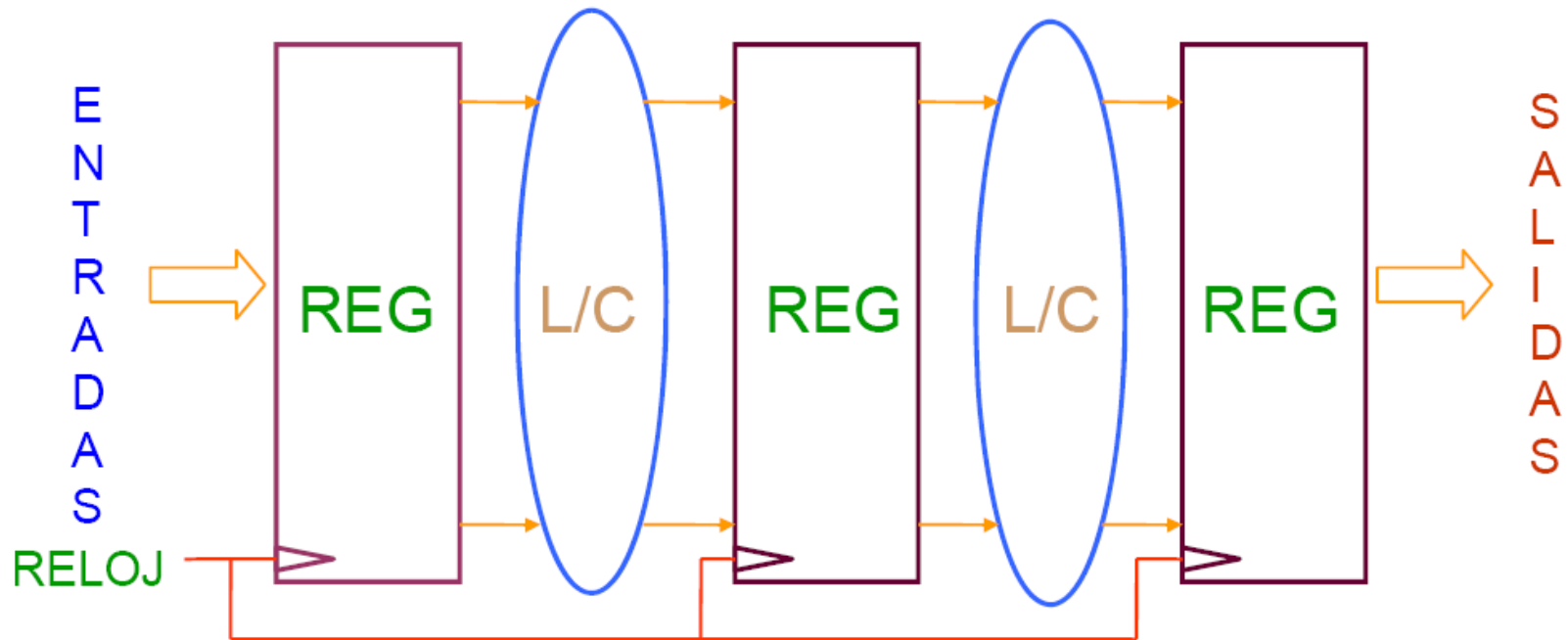
# Ventajas del diseño síncrono

## GLITCH



# Axiomas del diseño síncrono

## Estructura de un Sistema Digital Síncrono



Fuente: *Dpto. de Sistemas Electrónicos y de Control. UPM*

# Axiomas del diseño síncrono

## Axioma 1

Todos los circuitos secuenciales deben realizarse utilizando flip-flops, preferentemente de tipo D, sensibles al mismo flanco de reloj.

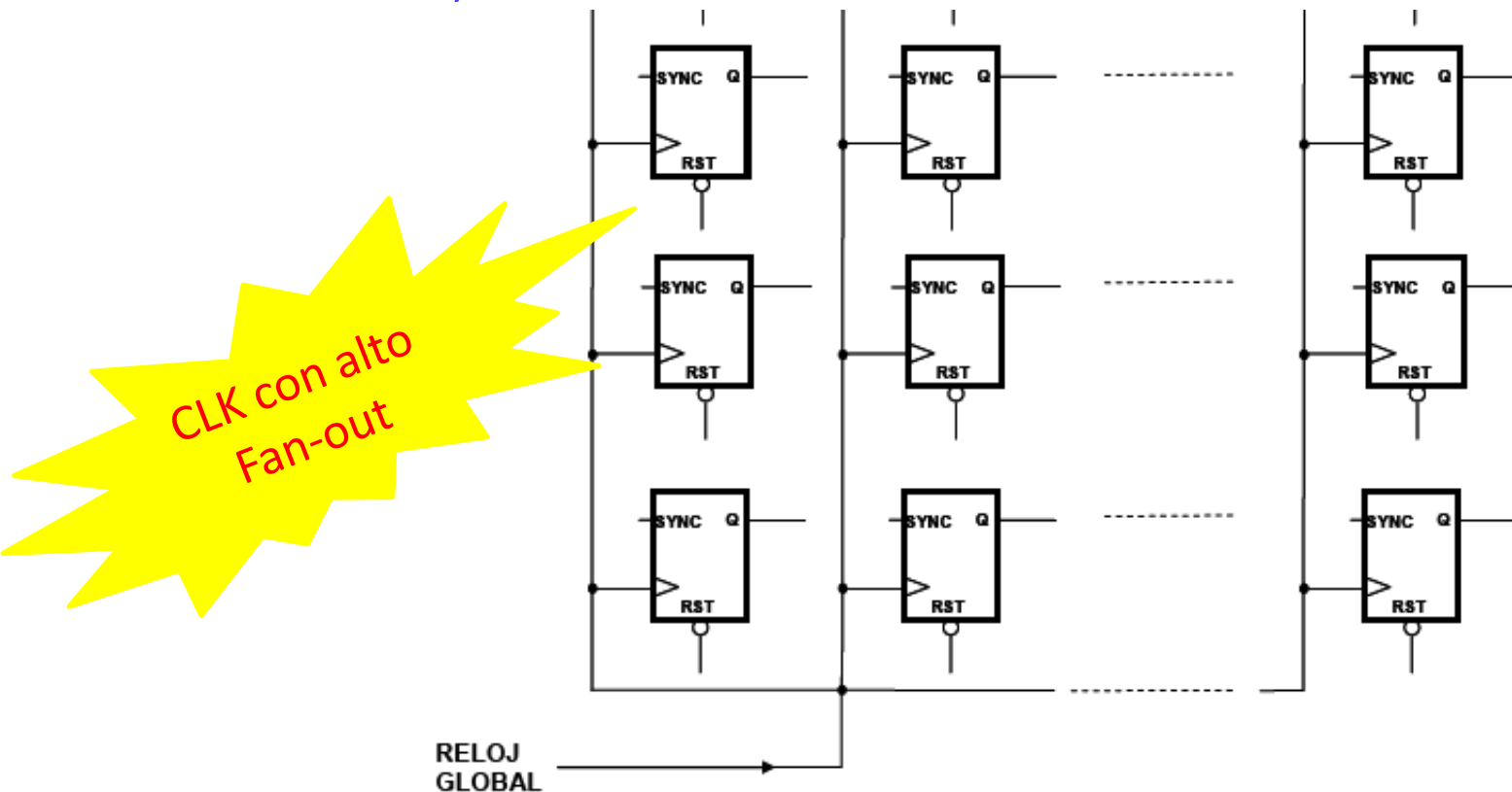
- No usar latches
- FFD habituales en todas las tecnologías FPGA
- Dos tipos de flancos enlentece y complica el diseño

# Axiomas del diseño síncrono

## Axioma 2

Una única señal de reloj para todo el circuito y común para todos los flip-flops del circuito.

- Así el instante de captura de datos de los FFD es el mismo, sucede al ritmo del CLK.

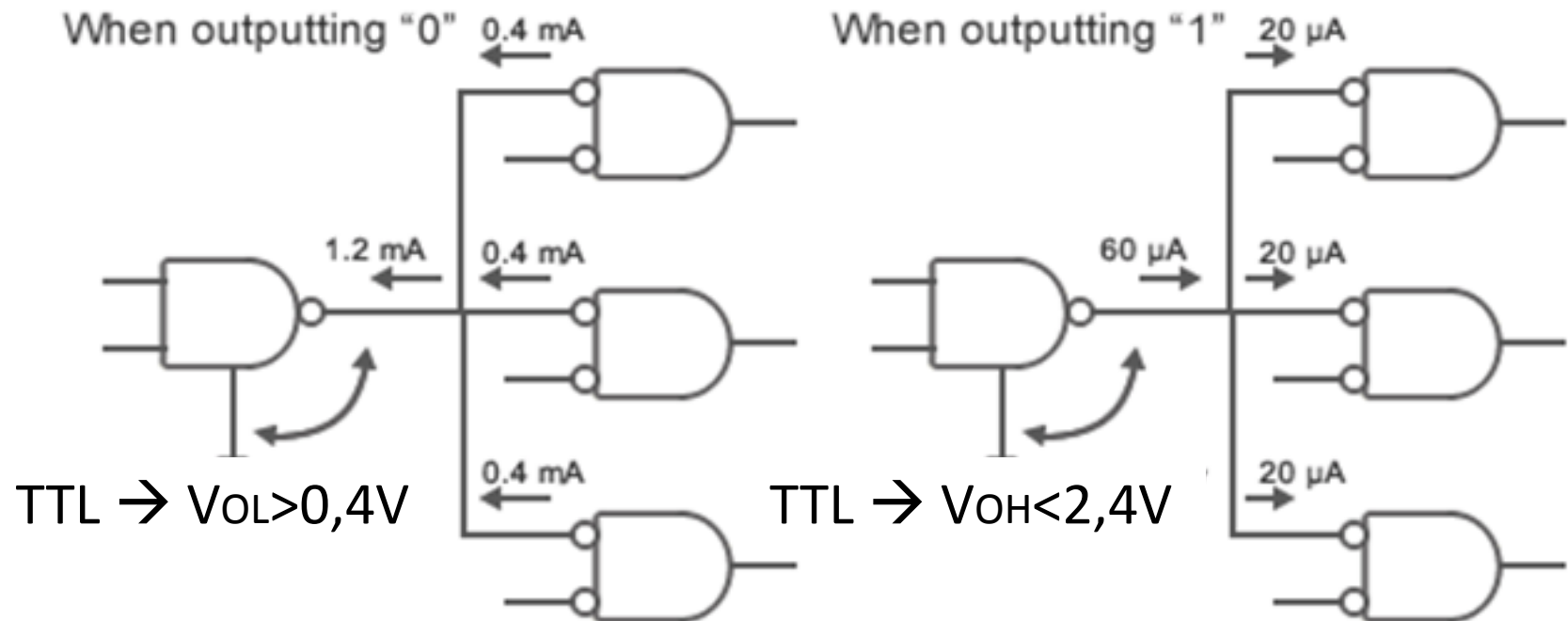


# Axiomas del diseño síncrono

## Problemas en la distribución del reloj: FAN-OUT

La  $I$  que suministra la puerta-fuente aumenta con cada puerta que se añade. Al aumentar esta  $I$ , la caída de tensión interna de la puerta excitadora aumenta y por tanto  $V_{OH}$  disminuye.

**Número excesivo de puertas  $\rightarrow V_{OH} < V_{OH}(\min)$**



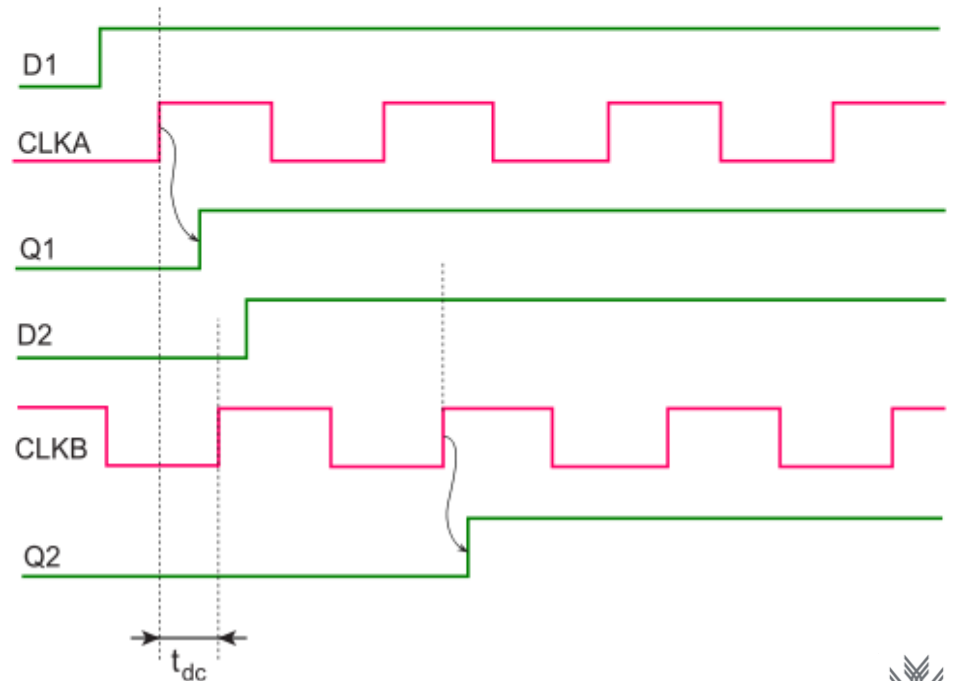
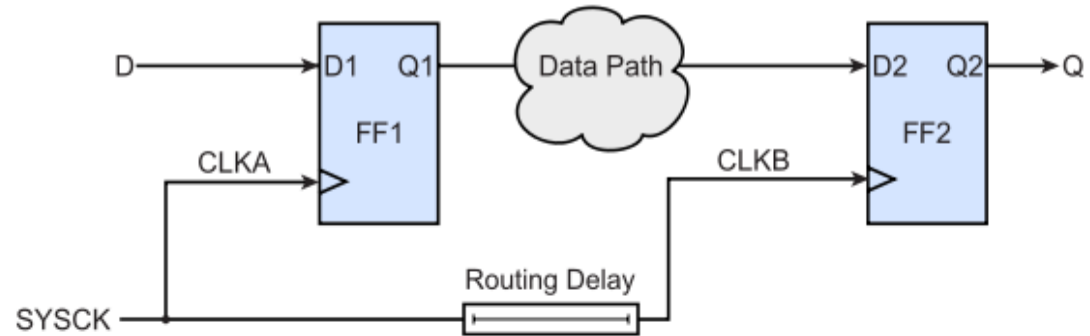
# Axiomas del diseño síncrono

## Problemas en la distribución del reloj: SKEW del reloj

- Los flancos activos del reloj no alcanzan a todos los elementos de memoria (FFD) en el mismo instante.

- Especialmente crítico entre dos FFD adyacentes en el diseño.

- El retardo depende de la longitud de la línea de reloj

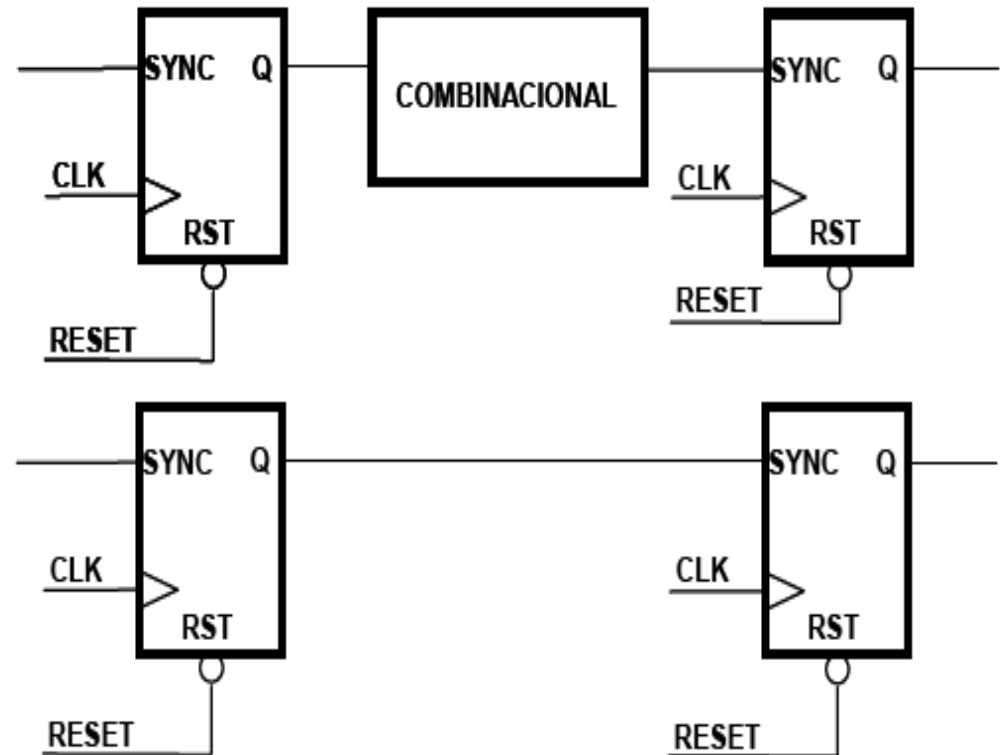


# Axiomas del diseño síncrono

## Axioma 3

Cualquier entrada de un sistema síncrono tiene que ser registrada mediante FFD sincronizados con el reloj del sistema.

- Las variables de entrada externas estarán así presentes durante un mínimo 1 ciclo de reloj.
- Respetar el SETUP y el HOLD





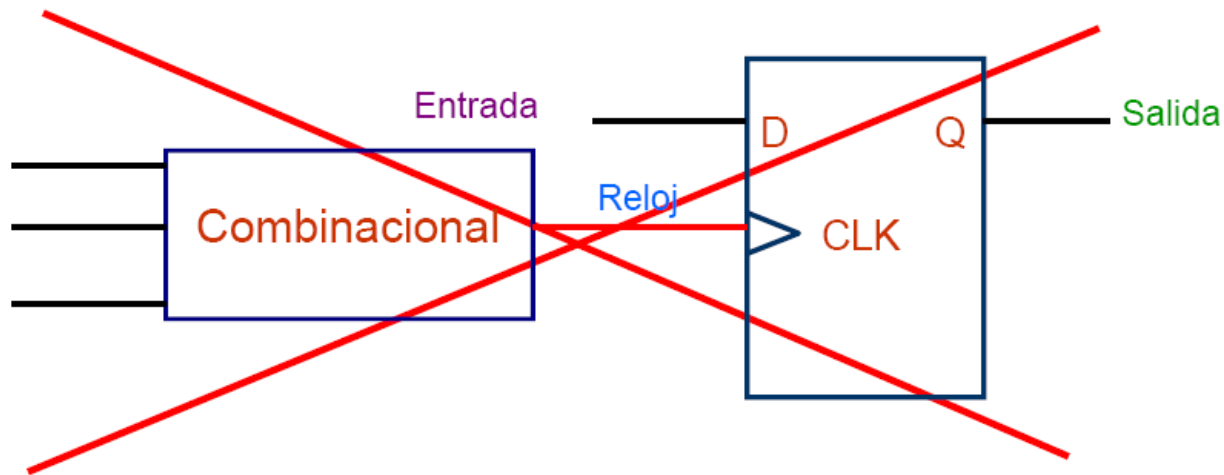
# Axiomas del diseño síncrono

## Axioma 4

La entrada de reloj de los elementos de memoria debe estar controlada directamente por el CLK global.

Si se necesita deshabilitar la carga en el elemento de memoria se debe utilizar una entrada de habilitación de reloj (CE).

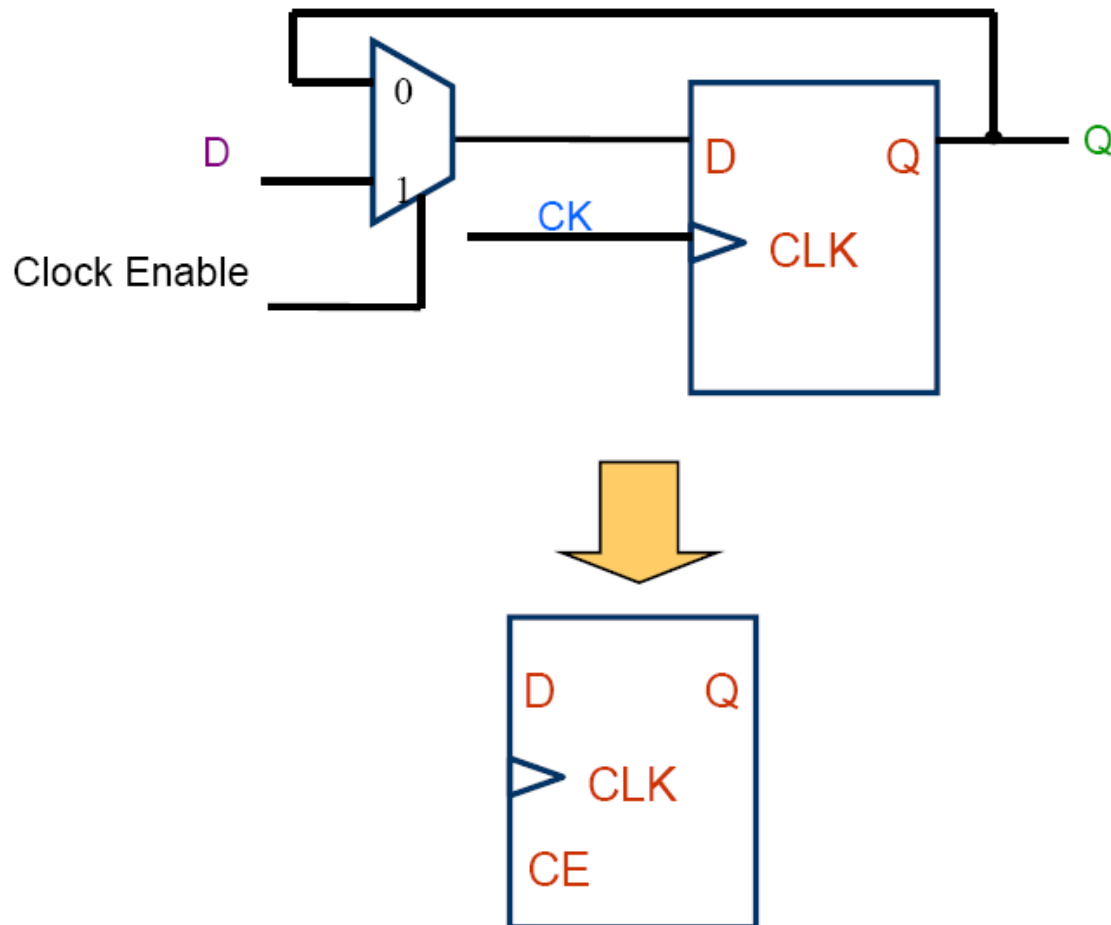
Reloj generado por Lógica Combinacional



# Axiomas del diseño síncrono

## Axioma 4

### Habilitación de reloj



# Axiomas del diseño síncrono

Axioma	Dice...
Axioma 1	Diseñar con FFD
Axioma 2	Mismo CLK para todos los FFD
Axioma 3	Sincronizar las entradas
Axioma 4	Reloj entrada directo a CLK de cada FFD