

Convertidor digital/analógico del LPC4088

Diseño Basado en Microprocesadores

Víctor Manuel Sánchez Corbacho

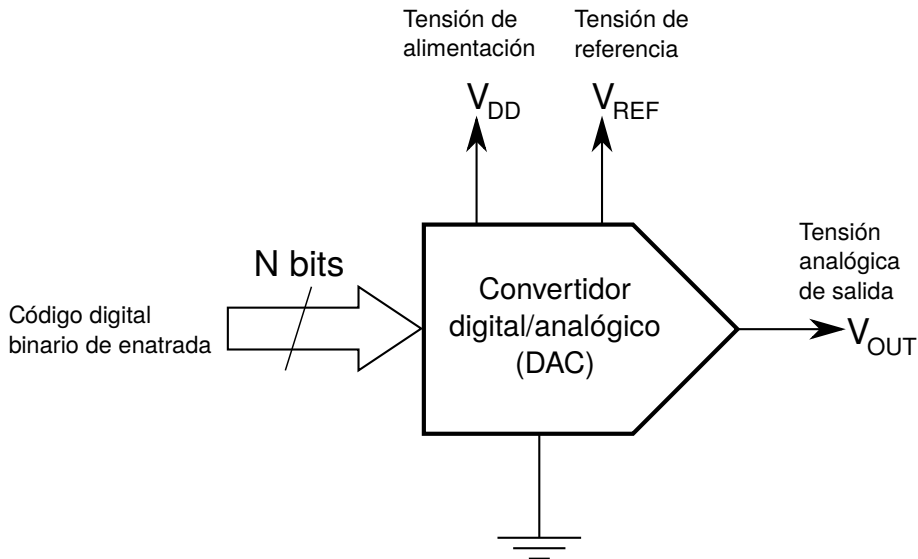
Dpto. de Automática, Electrónica, Arquitectura y Redes de Computadores

2016

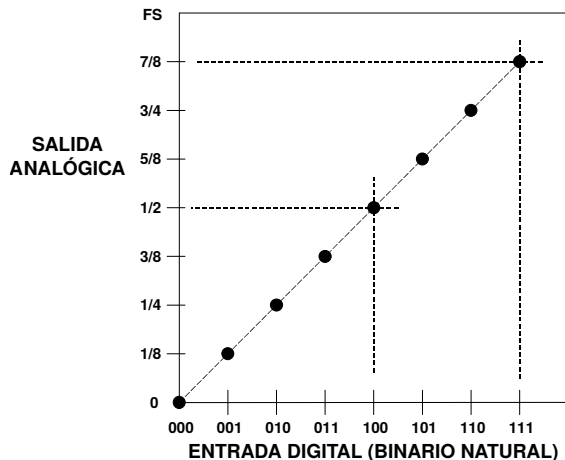
Contenido

- 1 Convertidor digital/analógico
- 2 Características del DAC del LPC4088
- 3 Registros del DAC
- 4 Inicialización del DAC y conversión controlada por software
- 5 Tensión de salida en función del dato digital de entrada

Convertidor digital/analógico (DAC) unipolar



Curva de transferencia de un DAC unipolar de 3 bits



- La tensión de referencia determina la tensión de fondo de escala (FS).
- Tensión 1 LSB:
 - Cambio que se produce en la salida cuando cambia el LSB del código de entrada.
 - También se denomina cuanto (Q) del convertidor.

$$V_{LSB} = Q = \frac{V_{FS}}{2^N}$$

Características del ADC del LPC4088

- Convertidor de cadena de resistencias.
- 10 bits de resolución.
- 1 canal de salida a través del pin P0[26]/AD0[3]/**DAC_OUT**/U3_RXD.
- Rango de salida analógica de 0 a V_{REFP} (V_{REFP} : tensión de referencia aplicada externamente).
- Tasa de conversión de hasta 1 MHz.
- Posibilidad de DMA.
- Puede apagarse para reducir el consumo.

Registros del DAC

Table 685. Register overview: DAC (base address 0x4008 C000)

Name	Access	Address offset	Description	Reset value ^[1]	Table
CR	R/W	0x000	D/A Converter Register. This register contains the digital value to be converted to analog and a power control bit.	0	686
CTRL	R/W	0x004	DAC Control register. This register controls DMA and timer operation.	0	687
CNTVAL	R/W	0x008	DAC Counter Value register. This register contains the reload value for the DAC DMA/Interrupt timer.	0	688

Registro de control CR

Table 686: D/A Converter Register (CR - address 0x4008 C000) bit description

Bit	Symbol	Value	Description	Reset Value
5:0	-		Reserved. Read value is undefined, only zero should be written.	NA
15:6	VALUE		After the selected settling time after this field is written with a new VALUE, the voltage on the DAC_OUT pin (with respect to V_{SSA}) is $VALUE \cdot V_{REFP}/1024$.	0
16	BIAS		Settling time The settling times noted in the description of the BIAS bit are valid for a capacitance load on the DAC_OUT pin not exceeding 100 pF. A load impedance value greater than that value will cause settling time longer than the specified time. One or more graphs of load impedance vs. settling time will be included in the final data sheet.	0
		0	The settling time of the DAC is 1 μ s max, and the maximum current is 700 μ A. This allows a maximum update rate of 1 MHz.	
		1	The settling time of the DAC is 2.5 μ s and the maximum current is 350 μ A. This allows a maximum update rate of 400 kHz.	
31:17	-		Reserved. Read value is undefined, only zero should be written.	NA

Inicialización del DAC

- Seleccionar función DAC_OUT en el pin P0[26]/AD0[3]/**DAC_OUT**/U3_RXD

```
void dac_inicializar(void)
{
    LPC_IOCCON->P2_26 = (1u << 16) | 2;  /* FUNC = 2, ADMODE = 0, DACEN = 1 */
}
```


Realización de conversiones controladas por software

- En el registro CR del DAC:
 - Colocar el dato digital a convertir (10 bits) en los bits 6 a 15.
 - Poner el bit 16 a 0 o a 1 según el tiempo de establecimiento requerido.

```
void dac_convertir(uint32_t valor)
{
    ASSERT(valor < 1024, "Valor para DAC mayor de 1023.");
    LPC_DAC->CR = valor << 6;
}
```

Tensión de salida en función del dato digital de entrada

$$V_{DACOUT} = \frac{VALUE_{DAC}}{2^N} V_{REFP}$$

donde:

V_{REFP} tensión de ref. aplicada a la patilla VREFP: **3.3 V**.

N número de bits de resolución del DAC: **10**.

$VALUE_{DAC}$ dato digital escrito en el registro CR del DAC.

Sustituyendo los valores:

$$V_{DACOUT} = \frac{3.3 \cdot VALUE_{DAC}}{1024} \quad (\text{Voltios})$$