

# ARQUITECTURA DE COMPUTADORES

## Sesión de Problemas con Simulador

---

### Memoria Caché Directa

Departamento de Ingeniería en Automática, Electrónica, Arquitectura y Redes de Computadores  
Universidad de Cádiz

Ángel Vera Herrera  
Jesús Relinque Madroñal  
Mercedes Rodríguez García



# DATOS DEL SIMULADOR

---

Simulador: SMPCache v.3 (desarrollado por la Universidad de Extremadura)

Documentación: <http://arco.unex.es/smpcache/SMPCacheSpanish.htm>

Requisitos: sistema operativo Windows

---

## ENUNCIADO

---

Vamos a trabajar con una memoria caché L1 directa. Características:

- Capacidad de la caché: 16 KB
  - Tamaño del bloque: 64 B
  - Tamaño de la palabra: 64 bits
- 

1. ¿Cuántos bloques tiene la memoria caché del enunciado? ¿y cuántos índices?
2. Identifica a qué se destinan los bits de la dirección (cuáles se dedican a la etiqueta, cuáles al índice, etc.)
3. Configura<sup>1</sup> el simulador con los resultados obtenidos en el ejercicio 1.
4. Carga la traza de memoria EAR.prg<sup>2</sup> usando 4 procesadores. Una vez cargada la traza, ejecuta un análisis en formato texto<sup>3</sup> para obtener los siguientes datos:
  - Tasa de aciertos global.
  - Tasa de fallos global.
  - Número total de remplazamientos.
5. Ejecuta un análisis en formato gráfico<sup>4</sup> y contesta las siguientes preguntas sobre las gráficas de aciertos y fallos.
  - ¿A qué se debe que el porcentaje de fallos sea tan elevado al inicio del análisis, y decrezca muy rápidamente en apenas unos accesos a caché?
  - ¿Y qué el de aciertos sea muy pequeño al inicio y aumente en apenas unos accesos? Apoye esta respuesta con una relación entre los porcentajes de la tasa de aciertos/fallos y un ejemplo con los datos de nuestro análisis.
6. ¿Qué sucedería si disminuyéramos el tamaño de la caché? Probemos con una caché de 128 Bytes. Calcula los bloques necesarios para que el tamaño sea de 128 Bytes, configura la caché con estos datos, ejecuta un análisis en formato texto, analiza los resultados y contrástalos con los obtenidos en el ejercicio 4.

---

<sup>1</sup>PRIMERO: Configurar —> Multiprocesador —> En organización de memoria marcar SMP (Symmetric Multi-Processing también llamada arquitectura UMA -Uniform Memory Access- significa que los diferentes procesadores del equipo comparten el acceso a memoria principal en igualdad de condiciones, de ahí el término "simétrico"); Número de procesadores = 4; SEGUNDO: Configurar —> Memoria principal —> Ancho de palabra = introducir el valor del enunciado; Palabras en un bloque = introducir el valor del enunciado; TERCERO: Configurar —> Caché —> Niveles de caché = 1; Marcar unificada; Bloques en caché = resultado obtenido en el ejercicio 1; Función de correspondencia = directa

<sup>2</sup>Esta es la traza de un programa en C que simula el oído humano: Realiza una conversión sobre un fichero de sonido usando FFTs (transformadas rápidas de Fourier) y otras funciones de la biblioteca matemática utilizando coma flotante. PARA CARGAR LA TRAZA: Archivo —> Cargar traza de memoria —> Localizar la traza EAR.prg —> Marcar P0, P1, P2 y P3

<sup>3</sup>Ver evolución —> Caché —> En formato, marcar texto —> En lugar de ejecución paso a paso seleccionar completa —> Pulsar el botón Ejecutar

<sup>4</sup>Ver evolución —> Caché —> En formato, marcar gráfico —> En lugar de ejecución paso a paso seleccionar completa —> Pulsar el botón Ejecutar

7. ¿Qué sucedería si disminuyéramos el tamaño de la caché? Probemos con una caché de 128 KBytes. Calcula los bloques necesarios para que el tamaño sea de 128 KBytes, configura la caché con estos datos, ejecuta un análisis en formato texto, analiza los resultados y contrástalos con los obtenidos en los ejercicios 4 y 6.
8. Según resultados anteriores, parece idóneo que la caché L1 sea de gran tamaño. Pero, ¿realmente esto es así?