

Procesadores Cell

José María Riol Sánchez

Índice

1. Introducción a Cell	3
1.1. PowerXCell 8i	3
2. Arquitectura de Cell	3
2.1. ¿Qué es el PPE?	4
2.2. ¿Qué es el SPE?	4
2.3. EL Bus de Interconexión de Elementos (EIB)	4
2.4. Controladora de Memoria y E/S	5
3. Referencias	6

1. Introducción a Cell

Cell es una arquitectura de microprocesador desarrollada conjuntamente por Sony Computer Entertainment, Toshiba e IBM.

Cell es la abreviatura de Cell Broadband Engine Architecture. Emplea una combinación de la arquitectura núcleo PowerPC de propósito general y medianas prestaciones, con elementos coprocesadores en cascada, que aceleran notablemente aplicaciones de procesamiento de vectores y multimedia, así como otras formas de computación dedicada.

La primera gran aplicación comercial del Cell fue la videoconsola Playstation 3 de Sony.

1.1. PowerXCell 8i

Es una variante del Cell, fabricado con procesador de 65nm, con soporte de hasta 32 GB de memoria DD3 y mejora de sus prestaciones en coma flotante

En ciertos aspectos, Cell, se asemeja (de manera inversa) a los primeros diseños de **Seymour Cray**.

2. Arquitectura de Cell

Tiene diferentes configuraciones, pero hablaremos de la más básica, que es un chip multinúcleo compuesto de dos elementos, de los cuales hablaremos líneas más abajo(PPE, SPE).

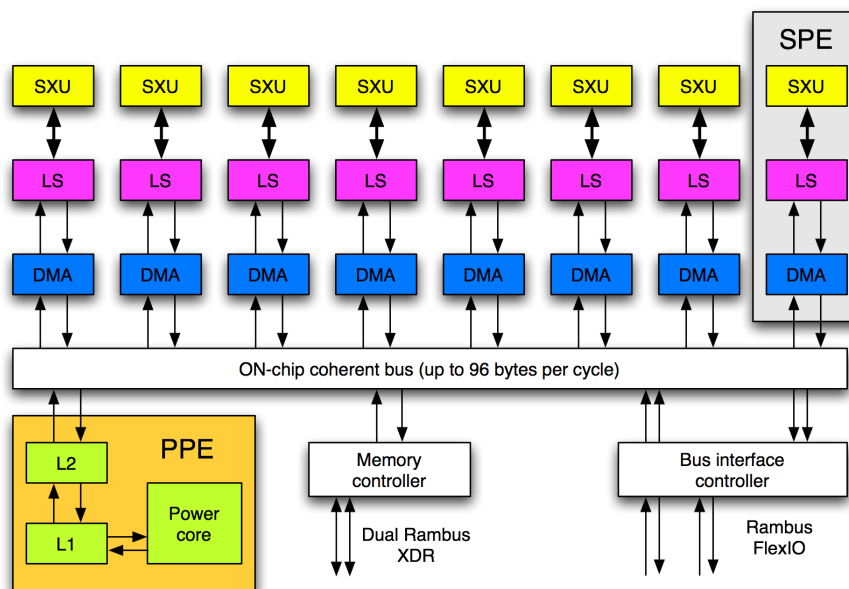


Figura 1: Esquema del procesador Cell.

Características únicas como el subsistema de memoria XDR de RAMBUS y el EIB¹ permite el Cell ser empleado en el campo de la supercomputación, sacando provecho de la habilidad del procesador para **manejar núcleos de coma flotante**.

¹Bus de interconexión de elementos

En un análisis simple, el procesador Cell se puede descomponer en cuatro partes:

- 1.-Estructuras externas de IO.
- 2.-El procesador principal consiste en un núcleo Power ISA v.2.03 de dos vías multihilo simultáneo.
- 3.-Ocho coprocesadores funcionales denominados Synergistic Processing Elements.
- 4.-Un bus de datos circular especializado de gran ancho de banda que conecta la PPE, los elementos IO y las SPEs, llamado "bus de interconexión de elementos." Element Interconnect Bus.

El procesador Cell aúna las SPE² y el PPE³ mediante el EIB para proporcionarles acceso tanto a la Memoria Principal cómo a dispositivos externos de almacenamiento y logrando así el alto rendimiento necesario para tareas matemáticas intensivas cómo generar o transformar datos 3D, realizar análisis Fourier de datos, etc...

2.1. ¿Qué es el PPE?

El PPE tiene el rol de controlador para las 8 SPEs, y es un núcleo de dos vías multihilo basado en arquitectura Power.

El PPE contiene un juego de instrucciones de 32KB y una caché L1 de 32KB y L2 de 512KB. Obsérvese que la caché L2 es de mayor tamaño que la L1 de acuerdo a lo estudiado en la asignatura.

Podemos mencionar también que cada PPU⁴ puede completar dos operaciones de doble precisión por ciclo de reloj, lo cual se traduce en un rendimiento de 6,4 GFLOPS a 3,2 GHZ.

2.2. ¿Qué es el SPE?

Es un procesador **RISC** y **SIMD** de 128 bits que permite la ejecución de instrucciones de precisión doble o sencilla.

Cada SPE está formada por una unidad de sinérgica de proceso y una controladora de flujo de memoria.

Si nos situamos en la generación actual de Cell, cada SPE contiene 256KB de SRAM embebida, destinada para el almacenamiento de instrucciones y datos, que se denomina "almacenamiento local" que no es lo mismo que Memoria Local.

Las SPE puede realizar operaciones con 16 enteros de 8 bits, 8 de 16 bits, 4 de 32 bits o bien 4 números de coma flotante en precisión simple en un solo ciclo de reloj, esto se conoce tal y cómo dimos en clase con el nombre de **paralelismo subword**⁵

2.3. EL Bus de Interconexión de Elementos (EIB)

Cómo su nombre indica, interconecta los diversos elementos del sistema integrados en el chip, es por tanto un bus de comunicaciones interno del procesador Cell. Hoy en día, EIB se implementa como un anillo circular compuesto de 4 canales unidireccionales de 16 B, que rotan en el sentido contrario de las agujas del reloj.

²Elementos sinérgicos de proceso

³Power Processing Element

⁴Unidad de Procesamiento de Físicas

⁵Según el tamaño de la palabra, hará "x" operaciones en paralelo

Cada uno de los participantes en el EIB posee un puerto tanto de lectura cómo de escritura, ambos, de 16 B.

La idea principal de IBM para EIB era implementarlo cómo un conmutador más potente, pero dado su configuración circular, está limitado para ello.

2.4. Controladora de Memoria y E/S

El procesador Cell contiene un macro XIO Rambus doble canal de nueva generación, que interconecta con memoria XDR Rambus.

La controladora adaptadora de memoria (MIC) está separada del macro XIO y ha sido diseñada por IBM. El enlace XIO-XDR corre a 3,2 GB/s en cada pin. Dos canales de 32 bits pueden proporcionar a lo sumo 25,6 GB/s.

El adaptador de sistema empleado en Cell, también un diseño Rambus, es conocido cómo FlexIO. La interface FlexIO está organizada en 12 carriles, siendo cada carril un canal de 8 bits punto a punto. Cinco caminos de 8 bits de ancho punto a punto son carriles de entrada al Cell, mientras que los siete restantes son de salida. Esto proporciona un ancho de banda máximo teórico de 62,4GB/s (36,5GB/s salida, 26GB/s entrada).

La interface FlexIO puede poseer una frecuencia de reloj independiente (típicamente, a 3,2 GHz). Cuatro canales de entrada y cuatro de salida se encargan de implementar la coherencia de memoria.

3. Referencias

Cell ->(<https://es.wikipedia.org/wiki/Cell>).
SPE ->(<https://en.wikipedia.org/wiki/SPE>).
PPE ->(<https://en.wikipedia.org/wiki/PPE>).