



Universidad De Oriente Núcleo De Anzoátegui  
Escuela De Ingeniería Y Ciencias Aplicadas  
Departamento De Computación Y Sistemas  
Lab De Diseño Lógico Código 0724531

Profesor: Dalvin Falcón.

## Informe Práctica #5: Lógica Combinacional MSI. MUXes. Decoders

### Objetivos

Diseñar e implementar circuitalmente un circuito ALU simplificado combinacional utilizando la técnica de MUX y otros MSI para apoyo. El circuito será capaz de realizar: complemento de A; incremento de A en una unidad; decremento de A en una unidad; rotación a la izquierda de A (a través del acarreo)

### Breve descripción de la práctica

Diseñe e implemente circuitalmente, un circuito ALU simplificado combinacional, utilizando la técnica de MUX y otros MSI para apoyo. La entrada la conforman el dato A de 3 bits y la palabra de control de 2 bits C, la cual producirá las siguientes operaciones:

- Complemento de A
- Incremento de A en una unidad
- Decremento de A en una unidad
- Rotación a la izquierda de A (a través del acarreo)

Todas las entradas y salidas se muestran por medio de LED's. Ud decodificará las señales de control según su criterio.

### Desarrollo

A continuación se presenta cada uno de los diseños que conforman la ALU Simplificada, su instalación en el protoboard y su respectivo análisis:

**Nota:** En los análisis de incremento, decremento y complemento, para una mayor comprensión de su funcionamiento, se hizo el análisis por casos (tomando en consideración las tablas del preinforme), de tal manera de tener presente el porqué de cada una de las conexiones y su operatividad.

#### ❖ DISEÑO DEL INCREMENTO (Unidad Aritmética)

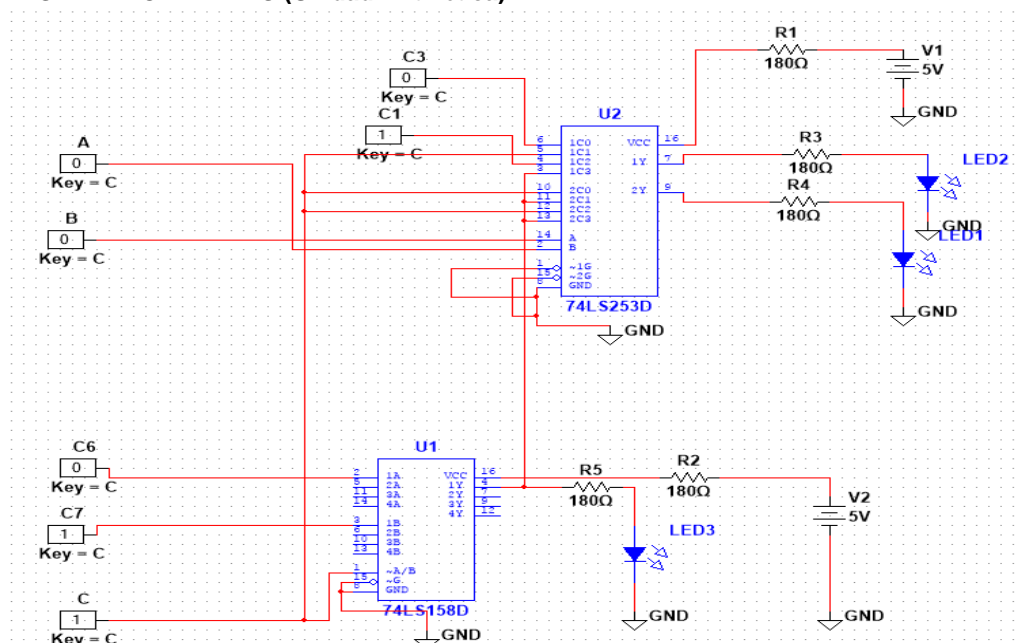
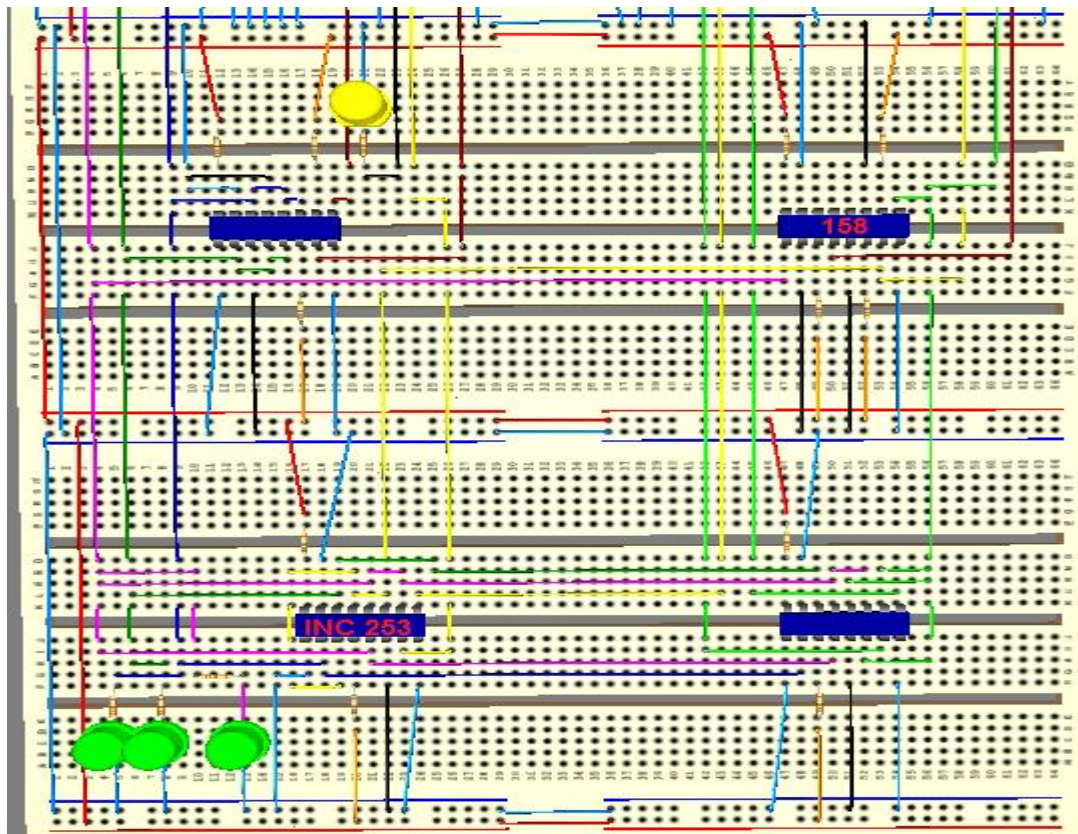
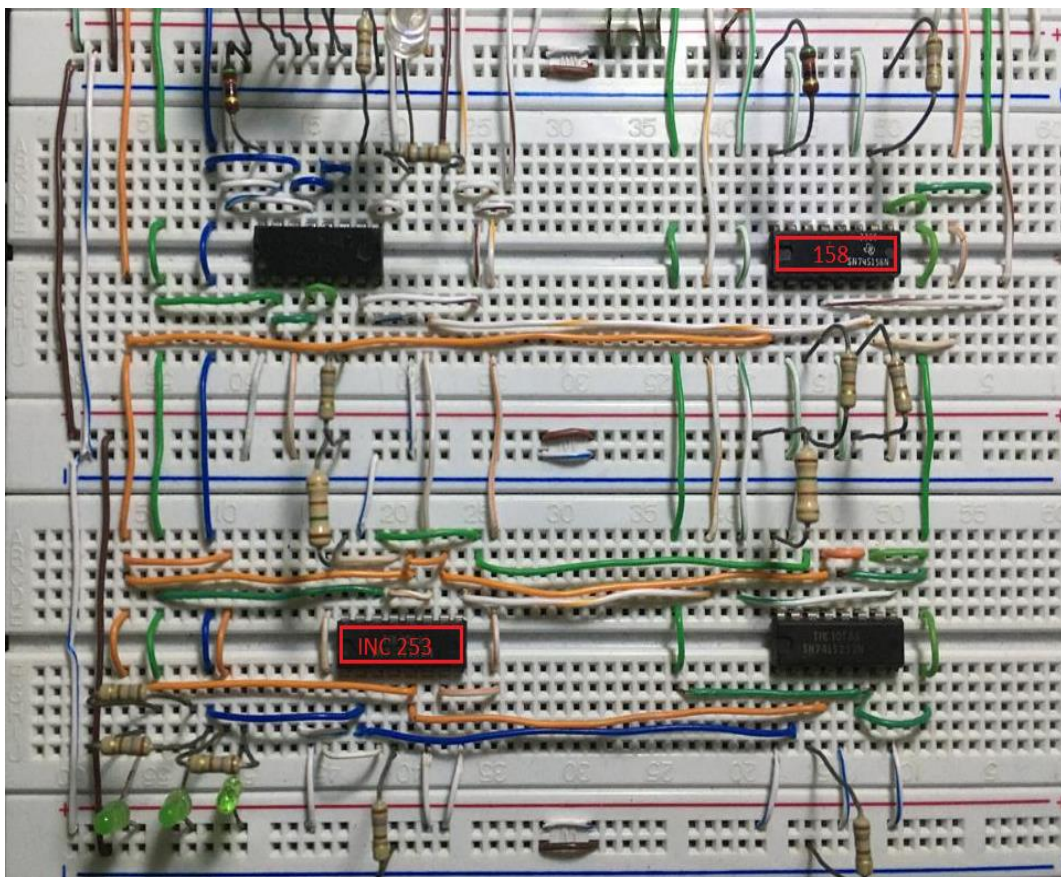


Figura 1.1.1 Diseño real para el sistema de incremento.



**Figura 1.1.2** Diseño en protoboard virtual para el sistema de incremento. (Solo tomar en consideración MUX INC 253 y 158 para la operación incremento).



**Figura 1.1.3** Diseño en protoboard para el sistema de incremento. (Solo tomar en consideración MUX INC 253 y 158 para la operación incremento).

**Análisis:**

Tomando en cuenta las figuras 1.1.1, 1.1.2 y 1.1.3, el MUX 74LS253 funciona para el control de los bits de entrada AB y proporcionar sus respectivas salidas Za y Zb, y el MUX 74LS158 siempre (para todos los casos) como operación complemento del bit de entrada C para obtener la salida Zc. Entonces, tenemos que para el primer par de combinaciones de bits de entradas que pueden ocurrir (000 - 001), notamos que ambos bits de A en su salida Za no cambian, siempre se mantienen en estado lógico bajo "0" (para este par de casos), es por ello que se asigna un "0" (tierra del circuito 0 V) al pin 6 (1C0) del 74LS253, y para el caso del bit B, la entrada C brinda los mismos estados que se necesitan en la salida correspondiente Zb, entonces es por ello que se asigna C al pin 10 (2C0) del 74LS253, de esta manera al poseer una entrada AB=00 (para ambos casos), seleccionan estas líneas de entrada del MUX mencionadas anteriormente y de esta forma brinda en sus salidas pin 7 (1Y) y pin 9 (2Y) del 74LS253, los estados correspondientes al incremento, de esta forma si se tiene "000" incrementa a "001" y si es "001" pasa a "010". Para el segundo par de combinaciones de bits de entrada (010 - 011), se puede notar que para la salida Za, se requiere el valor de C, debido a su réplica en los estados lógicos (0 y 1), de esta manera se asigna C al pin 5 (1C1) y para la obtención de la salida Zb, se asigna Zc para obtener los mismos estados lógicos, es decir (1 y 0), se asigna entonces al pin 11 (2C1) del 74LS253, de esta forma como AB=01, seleccionará las líneas de entrada del MUX antes mencionadas, obteniendo en las salidas para el caso "010" incrementa a "011" y para "011" pasa a "100". Ahora para el tercer par de combinaciones de bits de entrada (100 - 101), los estados lógicos de A con respecto a su salida Za, no cambian, es decir se encuentran en "1", de tal forma se asigna un "1" lógico (5V) al pin 4 (1C2) del 74LS253 y para la salida Zb, el bit de entrada C para ambos casos, ofrece los mismos estados lógicos (0 y 1) respectivamente, entonces por esto se asigna C al pin 12 (2C2) del 74LS253, con estas configuraciones al tener para ambos casos AB=10, debidamente seleccionara estas líneas de entrada, obteniendo así la operación incremento de "100" a "101" y de "101" a "110". Por último, para los casos concretos (110 - 111), para la obtención de las salidas Za y Zb mediante el 74LS253, se apoya en las salidas Zc que ofrece el 74LS158, ya que Zc ofrecerá una igualdad en sus estados lógicos con respecto a las salidas Za y Zb (estados: 1 y 0) respectivamente, es por ello que se asigna Zc al pin 3 (1C3) y al pin 13 (2C3) del 74LS253 y mediante AB=11 (para ambos casos), se realiza la efectiva selección de estas líneas de entrada del MUX para obtención definitiva de las salidas Za y Zb para estos casos, incrementando de "110" a "111" y de "111" a "000" respectivamente.

Es importante mencionar que, mientras el MUX 74LS253 se obtienen las salidas Za y Zb, el MUX 74LS158 proporcionará la salida Zc, siendo un simple complemento del bit de entrada C para todos los casos existentes, si en el pin 1 (selector) del 74LS158, el estado lógico del bit de entrada C es "1", seleccionara la línea de entrada asignada con un "0" lógico (Tierra 0V) y si C es un "0", seleccionara la asignada con un "1" lógico (5V). Cabe destacar que, el pin 4 del 74LS253 que recibe un "1" lógico (5V), se encuentra debidamente protegido con una resistencia de 180ohms, al igual que los pines 16 correspondientes al Vcc de ambos muxs. Ya teniendo en consideración todas estas configuraciones, se refleja el funcionamiento de la operación incremento.

#### ❖ DISEÑO DEL DECREMENTO (Unidad Aritmética)

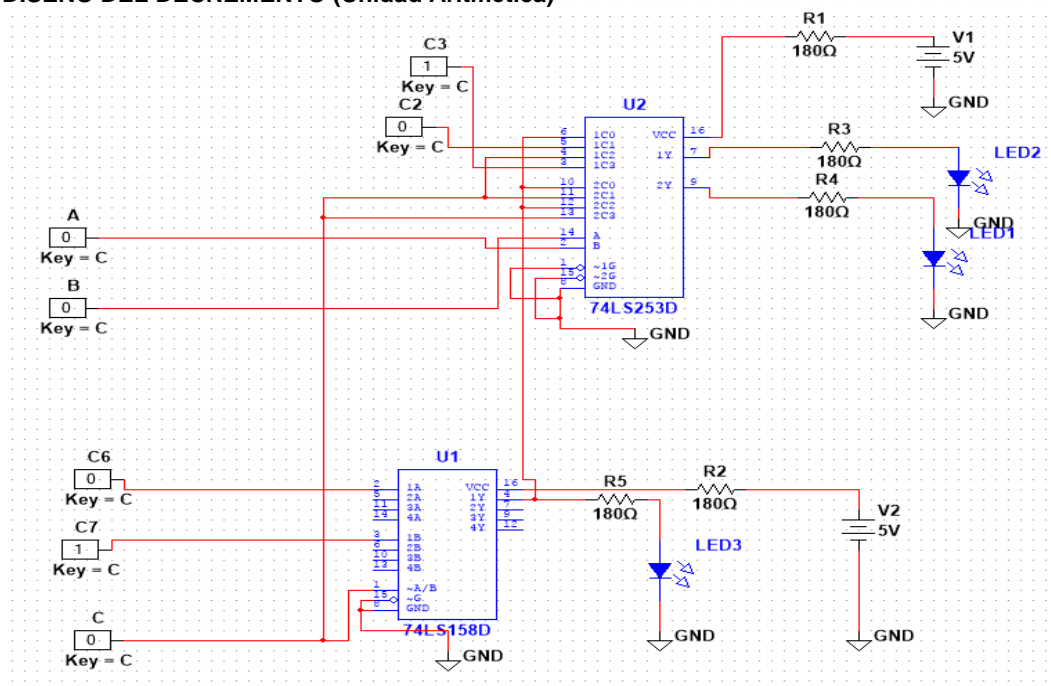
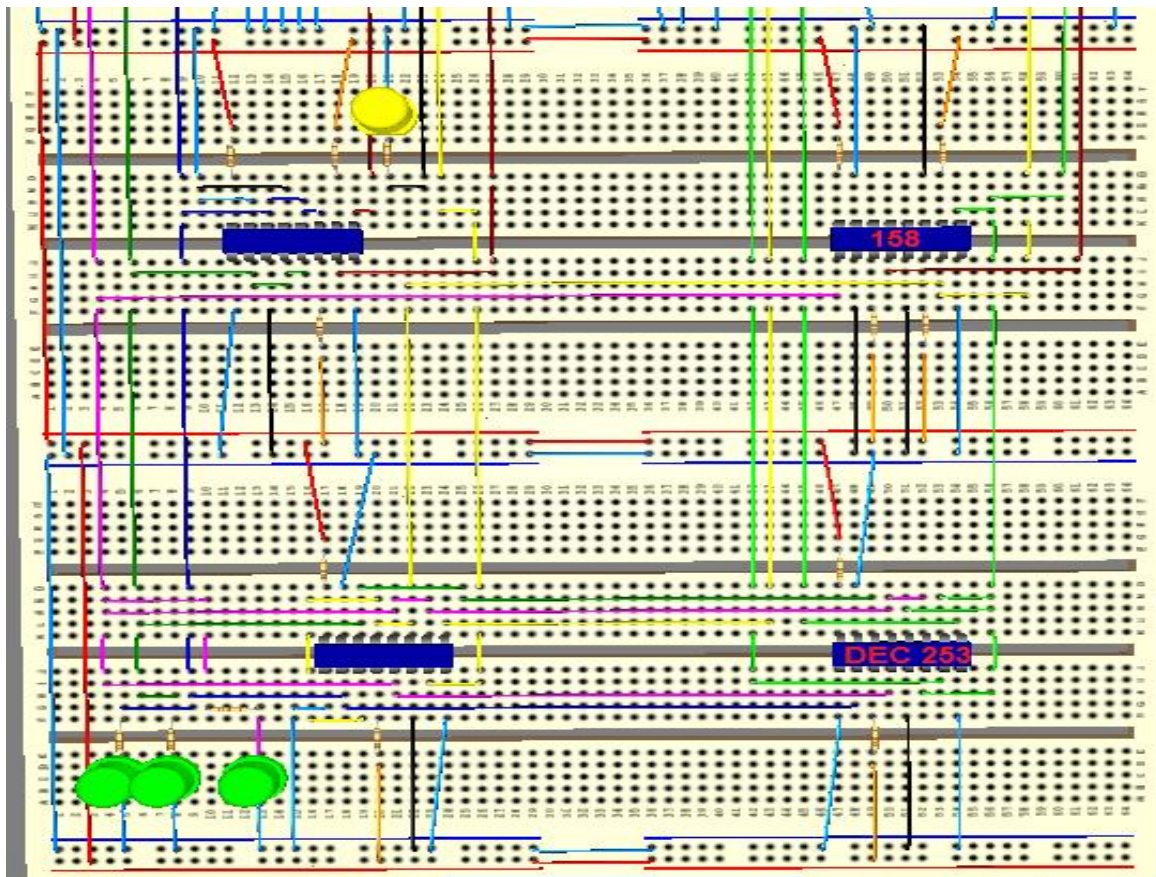
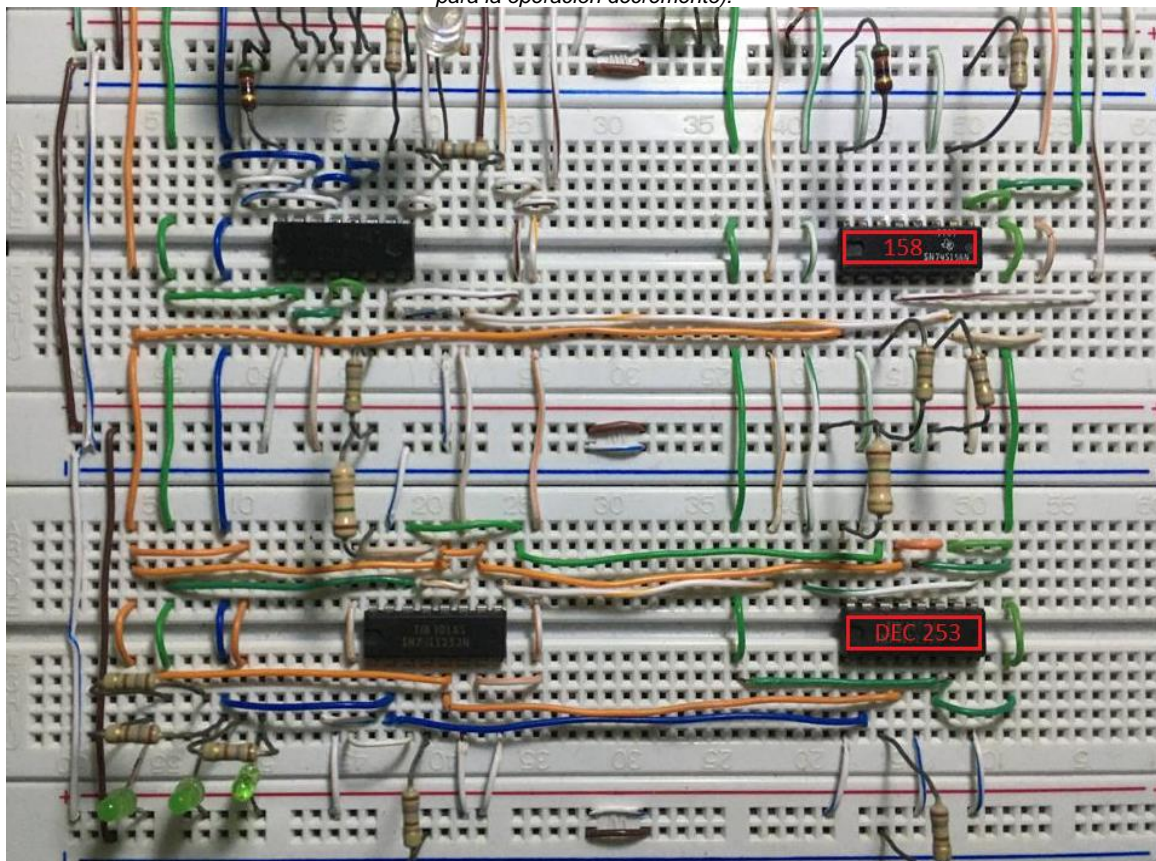


Fig. 1.2.1 Diseño real para el sistema de decremento.





**Fig. 1.2.2** Diseño en protoboard virtual para el sistema de decremento. (Solo tomar en consideración MUX DEC 253 y 158 para la operación decremento).



**Fig. 1.2.3** Diseño en protoboard para el sistema de decremento. (Solo tomar en consideración MUX DEC 253 y 158 para la operación decremento).

**Análisis:**

Tomando en consideración las figuras 1.2.1, 1.2.2 y 1.2.3, el MUX 74LS253 funciona para el manejo de las entradas AB y sus respectivas salidas Za y Zb y el MUX 74LS158 para el manejo de C y su salida en complemento Zc, teniendo en consideración que A y B conectados a los pines 14 y 2 del 74LS253 y C conectado al pin 1 del 74LS158, seleccionan las líneas de entrada para la emisión de sus respectivos estados lógicos en sus salidas. Ahora tenemos que para el primer par de combinaciones de entrada (000 - 001), en ambos casos el complemento de la entrada C puede generar las salidas Za y Zb respectivamente, de esta forma se establece Zc en los pines: 6 (1C0) y 10 (2C0), entonces como AB=00, seleccionarán efectivamente estas líneas o pines anteriormente mencionados, brindando en sus salidas el complemento de C (Zc) para ambas salidas (Za y Zb), mientras que el 74LS158 se encargará de establecer su complemento individualmente donde si C=0 seleccionará un "1" lógico correspondiente al pin 3, y si C=1 seleccionará un "0" lógico (pin 2), generando así el complemento de C en su salida (Zc), de esta forma si la entrada es "000", decrementa a "111" y si es "001", decrementa a "000". Para el segundo par de combinaciones de entrada (010 - 011), para ambos casos como Za no cambia con respecto a la entrada A y su estados lógicos, se establece un "0" lógico en pin 5 (1C1) y para generar la salida Zb correspondiente, se asigna la entrada C ya que replica el mismo comportamiento lógico que Zb (0 y 1), entonces se establece C en el pin 11 (2C1), dado que AB=01, seleccionará las líneas de entrada 1C1 y 2C1 del 74LS253 mencionadas anteriormente, de esta forma genera en sus salidas el decremento respectivo, si la entrada es "010" pasa a "001" y si es "011" decrementa a "010". Ahora para el tercer par de combinaciones de entrada (100 - 101) para poder generar la salida Za, se establece C para ambos casos, ya que C replica ambos estados lógicos de este par de combinaciones en sus salidas Za (0 y 1), entonces C se asigna al pin 4 (1C2) del 74LS253 y para la salida Zb, se asigna Zc debido a la igualdad en sus comportamiento de estados lógicos en sus salidas (1 y 0), estos estados lógicos los brinda el 74LS158, que mediante el complemento de C para ambos casos (0 y 1), establece las salidas correspondientes (Zc), esta salida irá conectada al pin 12 (2C2) del 74LS253 para brindar la salida Zb, entonces como AB=10 para ambos par de combinaciones, seleccionará las líneas de entrada del 74LS253 antes mencionadas, obteniendo de esta manera el decremento de "100" a "011" y de "101" a "100". Para el último par de combinaciones de entrada (110 - 111) tenemos que para cualquiera de estas combinaciones, las salidas para Za en decremento siempre será un "1" lógico, por lo tanto, se asigna "1" al pin 3 (1C3) del 74LS253 y para Zb será el mismo comportamiento que tendrá la entrada C para ambos casos, es decir, "0" y "1" respectivamente, entonces al pin 13 (2C3) del 74LS253 se asigna C, entonces como AB=11 se seleccionan ambas líneas de entrada mencionadas anteriormente y de esta manera se generan las salidas Za y Zb con éxito mediante los pines 7 (1Y) y 9 (2Y), pasando de "110" en decremento a "101" y de "111" a "110".

Cabe destacar que, en el MUX 74LS253, el pin 3 que recibe un "1" lógico (5V), se encuentra protegido con una resistencia de 180 ohms, por algún caso de irregularidad en la corriente, al igual que en el pin 3 del 74LS158. A su vez, se encuentran debidamente protegidos los VCC (pines 16) de ambos muxs y los pines 8 a su correspondiente tierra del circuito (0V). Ahora, la entrada C y su salida Zc, hace acto de presencia el 74LS158, donde si C representa un estado alto "1", en Zc será bajo "0" y si C es bajo "0", en Zc será alto "1", básicamente el 74LS158 en el pin 1 (selector), se fija la entrada C y se asignan a las líneas de entrada los estados bajo "0" y alto "1" respectivamente, para su debida selección.

#### ❖ DISEÑO DE COMPLEMENTO (Unidad lógica)

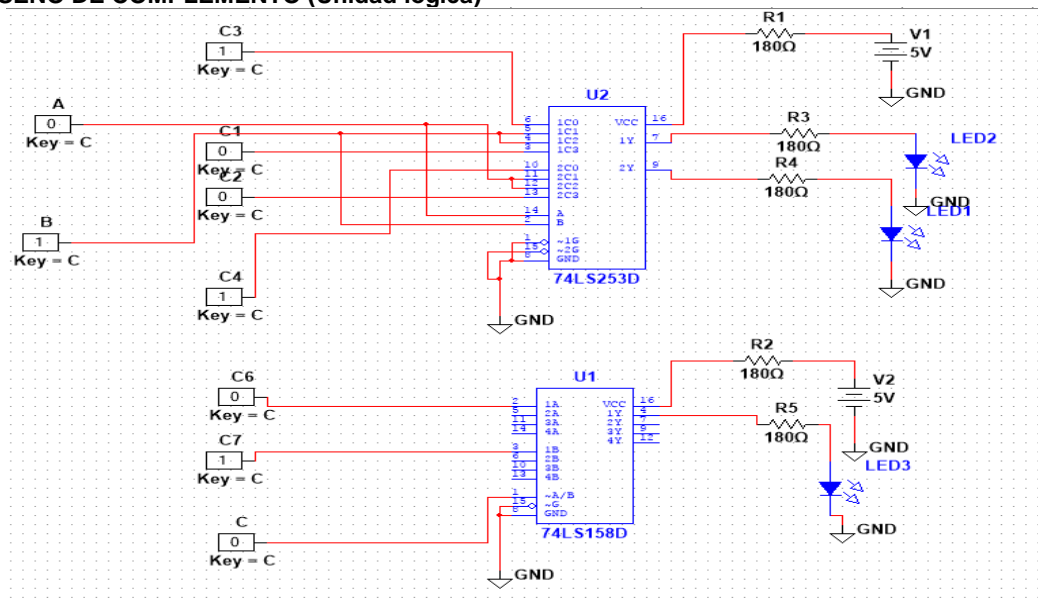


Fig. 1.3.1 Diseño real para el sistema de complemento.



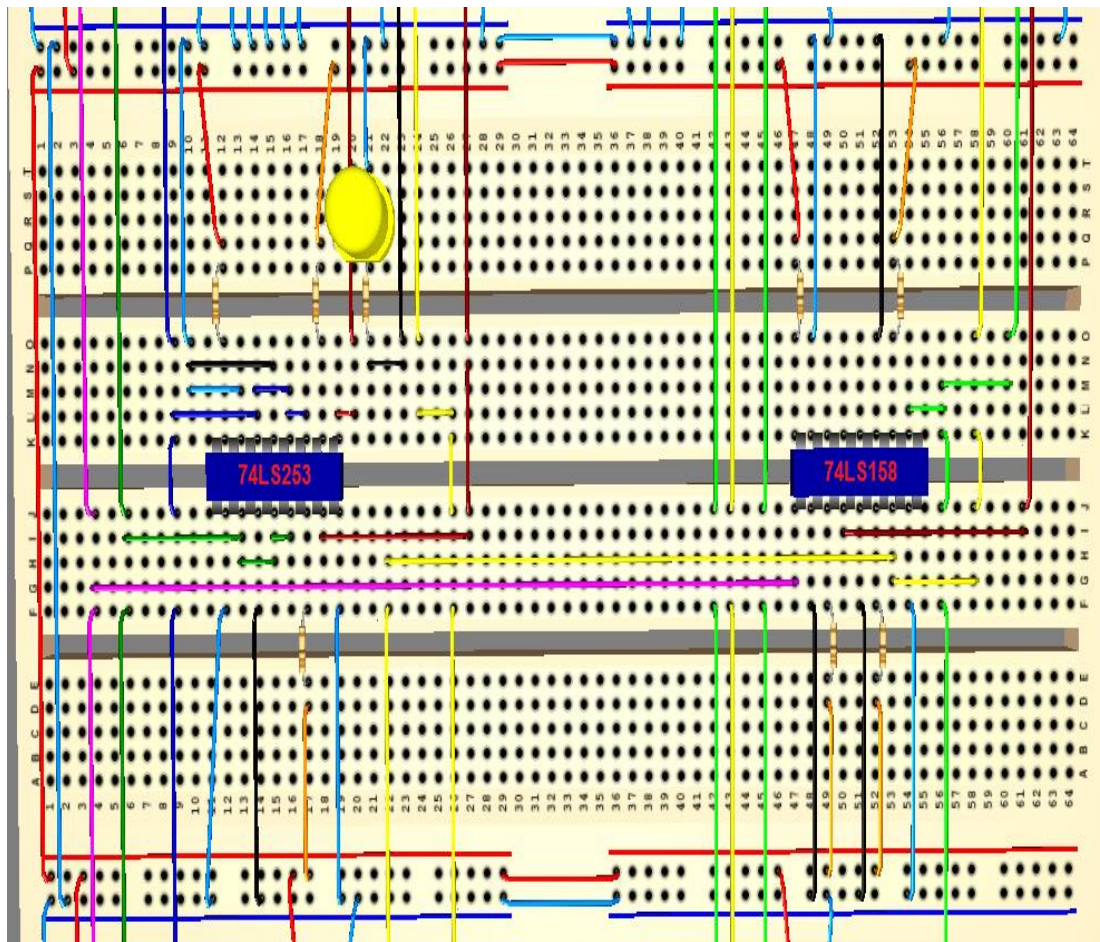


Fig. 1.3.2 Diseño en protoboard virtual para el sistema de complemento.

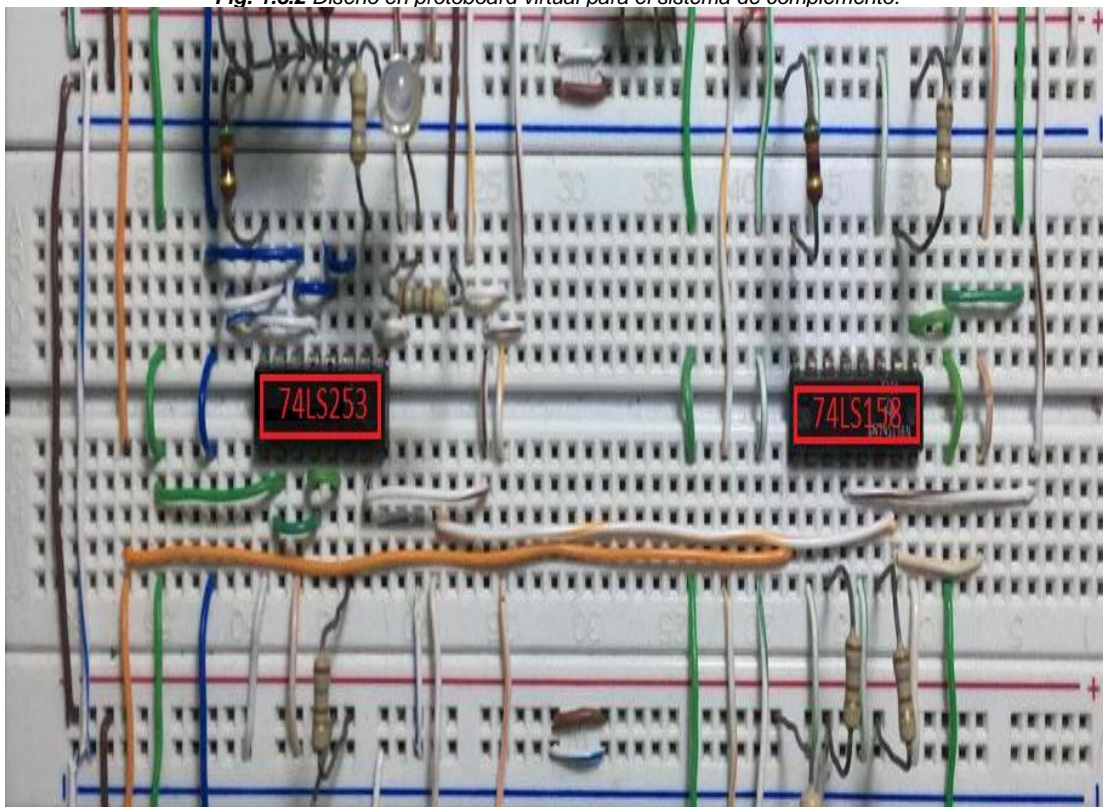


Fig. 1.3.3 Diseño en protoboard para el sistema de complemento.

**Análisis:**

En cuanto a las figuras 1.3.1, 1.3.2 y 1.3.3, tenemos al MUX 74LS253 para el manejo de AB y sus respectivas salidas Za y Zb, tenemos que para el primer par de combinaciones de entrada (000 - 001), en ambos casos las salidas Za y Zb correspondientes, son el estado contrario a las entradas AB, es decir, estado lógico alto "1", por lo tanto al pin "6" (1C0) y pin "10" (2C0) del MUX 74LS253 se le asigna un "1" lógico, de esta manera al introducir estos pares de combinaciones de entrada AB=00 (conectados a los pines 14 y 2), seleccionara la primera línea de entrada del MUX en ambas secciones, generando así en las salidas, el estado Za y Zb requerido, mediante los pines 7 (1Y) y 9 (2Y). Para el segundo par de combinaciones de entrada (010 - 011) tenemos lo siguiente, para poder obtener A y B complementados en Za y Zb, se conecta en el pin 5 (1C1), el estado lógico de B y en el pin 11 (2C1) el estado lógico de A, de esta manera se genera el complemento respectivo de ambas entradas en las salidas 1Y (pin 7) y 2Y (pin 9), esto ocurre ya que AB=01 y seleccionara las entradas del MUX (1C1 y 2C1) respectivamente, obteniendo el cambio de A en "0" a "1" y de B en "1" a un "0" lógico en su salida. Ahora para el tercer par de combinaciones de entrada (100 - 101) podemos apreciar que al pin 4 y al pin 12, se tiene conectado las entradas B y A respectivamente, esto va a generar el complemento en Za y Zb de AB en este par de combinaciones de entrada, para estos casos como la entrada A es "1" en Za será "0" y como en B ambos son "0", en Zb se mostrará un estado lógico alto "1", de esta forma satisfaciendo la operación complemento. Cabe destacar que, al igual que en los demás pares de casos, A y B deciden qué línea se seleccionará, en este par de casos sería las líneas (Pin 4 "1C2" y Pin 12 "2C2") respectivamente. Para el último par de combinaciones de entrada 110 - 111), tenemos que tanto A como B en ambos casos, poseen un estado lógico alto "1", entonces, se necesita establecer un estado lógico bajo "0" en las salidas Za y Zb para cumplir el complemento, se asigna a los pines: 3 (1C3) y 13 (2C3) un estado lógico bajo "0", representado por la tierra del circuito (0V), de esta manera como AB=11 en ambos casos, seleccionara las líneas de los pines del MUX antes mencionados, emitiendo en sus salidas Za y Zb, los estados lógicos bajos "0", mediante los pines 7 (1Y) y 9 (2Y).

Cabe mencionar que, en los pines 6 y 10 del MUX 74LS253, donde se asigna un "1" lógico (5V), es necesario el establecimiento de resistencias de protección ante alguna irregularidad en la corriente, para estos casos se fija en 180 ohms. También se establece una resistencia de protección en el pin 16 (Vcc). Ahora tomando en consideración la entrada C y su salida Zc, hace acto de presencia el MUX 74LS158, donde si C representa un estado lógico alto "1", en Zc será bajo "0" y si C es bajo "0", en Zc será alto "1", entonces básicamente el 74LS158 en el pin 1 (selector), se fija la entrada C y se asignan a los pines 2 y 3, los estados lógicos bajo "0" y alto "1" respectivamente, de tal manera que, si C es alto "1", selecciona la entrada en pin 2 (bajo "0") y si C es bajo "0", seleccionará la entrada en pin 3 (alto "1") y posteriormente emitiendo Zc en su salida. Teniendo así el funcionamiento de la operación complemento. Es importante mencionar que al pin 3 (alto "1" 5V), se establece una resistencia de protección de 180 ohms al igual que en Vcc (pin 16) y en pin 2 y 8, conectado a la tierra del circuito (0V).

#### ❖ DISEÑO DE LA ROTACIÓN (Unidad lógica)

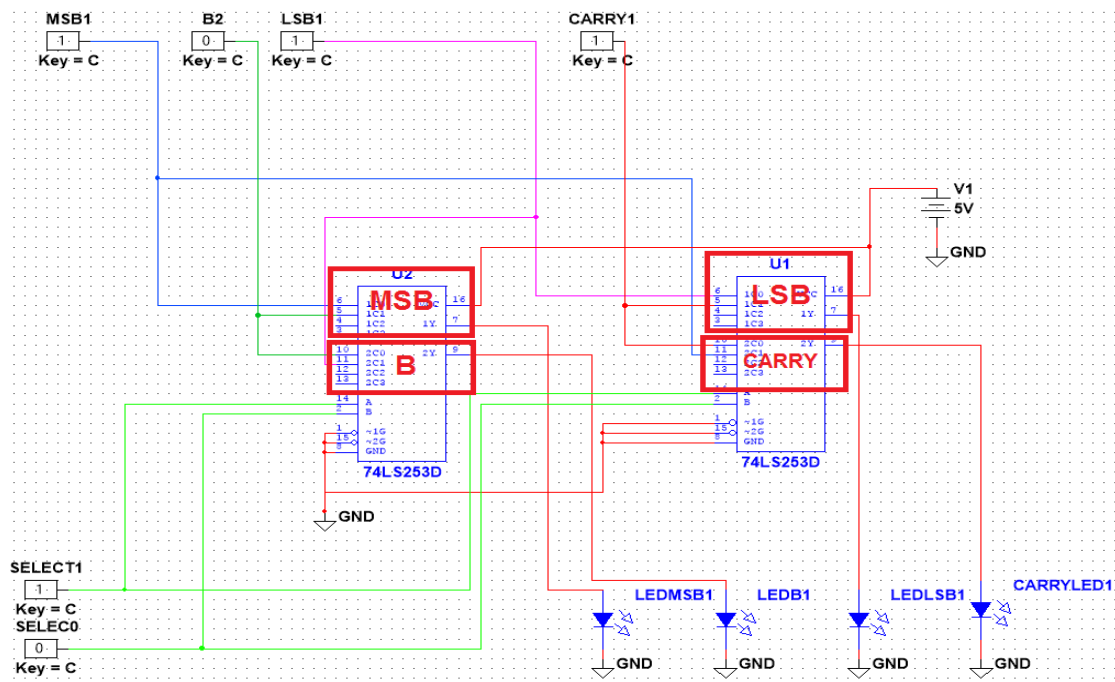
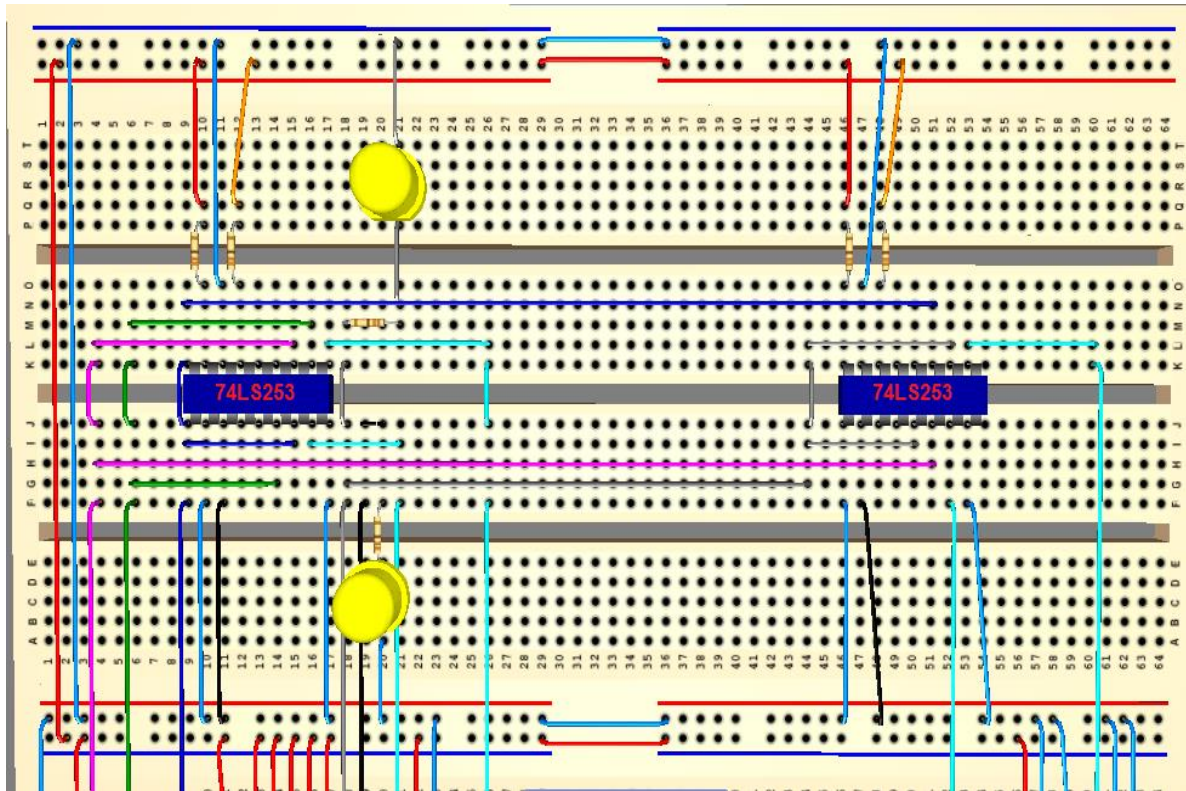
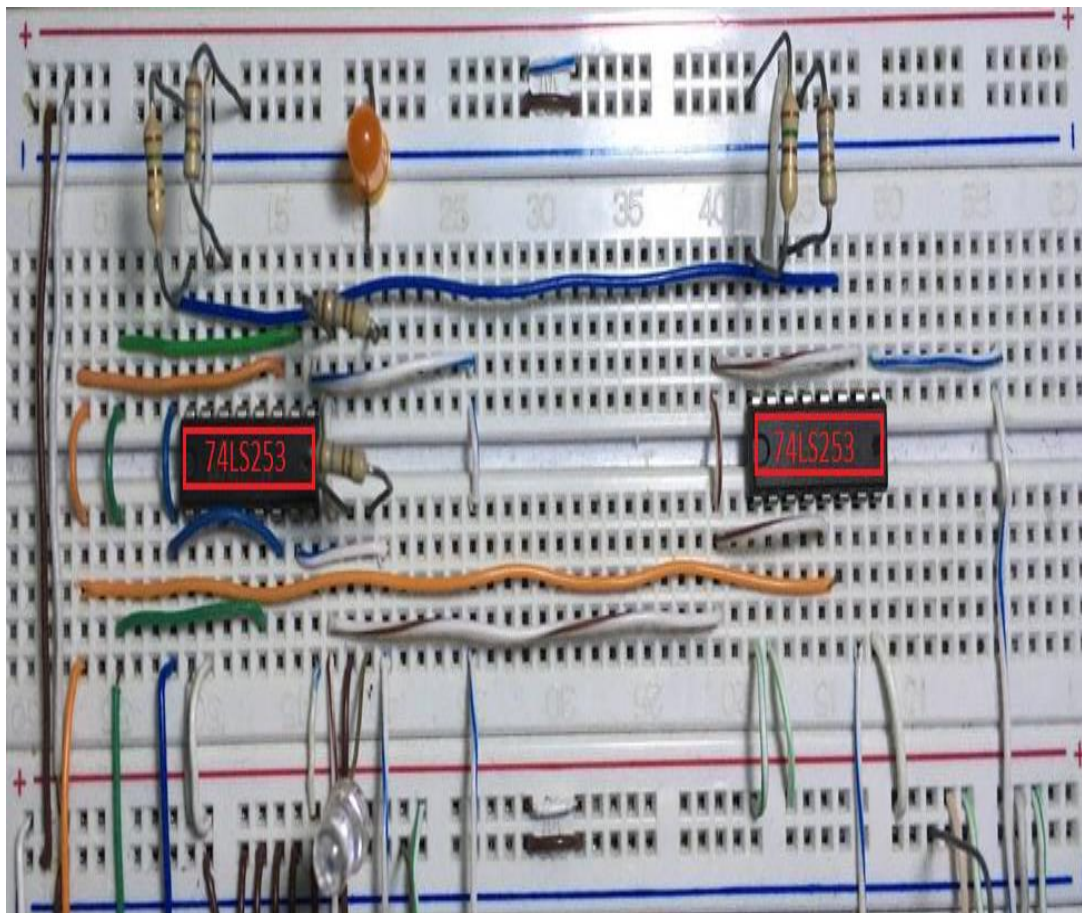


Fig. 1.4.1 Diseño real de registro de desplazamiento de 3 bits + Acarreo para la ALU





**Fig. 1.4.2** Diseño en protoboard virtual de registro de desplazamiento de 3 bits + Acarreo para la ALU



**Fig. 1.4.3** Diseño en protoboard de registro de desplazamiento de 3 bits + Acarreo para la ALU

**Análisis:** En las Fig 1.4.1, 1.4.2 y 1.4.3 puede observarse en comparación directa la distribución y funcionamiento del sistema de rotación a la izquierda con acarreo. El sistema funciona de la siguiente manera,



(conviene acompañar la explicación junto con el datasheet del multiplexor 74ls253 presente en el apartado de Materiales y equipos del preinforme): como ya se estableció anteriormente, la conexiones de los multiplexores (segmentados en dos y dedicando cada uno a los bit de la palabra y acarreo) reciben el bit propio y el bit inmediato anterior. y completando así el desplazamiento en una posición de la palabra, en una explicación simple. Las conexiones se explican primeramente estableciendo las entradas en los pines de selección.  $S_1 = 0$ ,  $S_0 = 1$ , pin 2 y pin 14 respectivamente, de esta manera se configura el dispositivo para que tome con relevancia las entrada de datos de I1, esto es, I1a e I1b, pin 5 y pin 11, respectivamente, y en los que se recibe la entrada del bit anterior. De la misma manera, las entradas I0a (pin 6) o I0b (pin 10) recibe el valor de entrada de bit asignado, su principal. Describiendo esto más específicamente:

**Primer multiplexor 74ls253 (izquierdo):** La entrada I0a (pin 6) recibe como principal el valor de entrada del bit más significativo (MSB), mientras la entrada I1a (pin 5) recibe la desviación de la entrada del bit inmediato anterior (lo que sería el bit central de la palabra A); la salida Za (pin 7) representará el valor del MSB en el LED luego de hecha la operación (Se dirige al pin 4 del primer multiplexor de los destinados a control y salida\*). Por su parte, la entrada I0b (pin 10) recibe como principal el valor de entrada del bit central de la palabra A, mientras la entrada I1b (pin 11) recibe la desviación de la entrada del bit menos significativo (LSB). la salida Zb (pin 9) representará el valor del B (bit central) en el LED luego de hecha la operación (Se dirige al pin 12 del primer multiplexor de los destinados a control y salida\*).

**Segundo multiplexor 74ls253 (derecho):** La entrada I0a (pin 6) recibe como principal el valor de entrada del bit menos significativo (LSB), mientras la entrada I1a (pin 5) recibe la desviación de la entrada del bit de acarreo; la salida Za (pin 7) representará el valor del LSB en el LED luego de hecha la operación (Se dirige al pin 4 del segundo multiplexor de los destinados a control y salida\*). Por su parte, la entrada I0b (pin 10) recibe como principal el valor de entrada del bit de acarreo, mientras la entrada I1b (pin 11) recibe la desviación de la entrada del bit más significativo (MSB). la salida Zb (pin 9) representará el valor del acarreo en el LED luego de hecha la operación (Se dirige al pin 12 del segundo multiplexor de los destinados a control y salida\*).

Nota: las dos explicaciones anteriores puede observarse gráficamente en el diseño de Fig 1.4.1.

Por otra parte, los pines 1, 15 y 8 se conectan a tierra, mientras el 16 se conecta a la fuente de 5v en medio con una resistencia de protección de 150Ω. Los pines no mencionados (pin 3, 4, 12 y 13) de ambos multiplexores no tienen utilidad funcional en el sistema de rotación.

\*Nota: el análisis de los multiplexores de control y salida especificará de mejor manera la configuración, por ahora, bastará nombrarlo.

#### ❖ MUX'S PARA PALABRA DE CONTROL Y SALIDAS

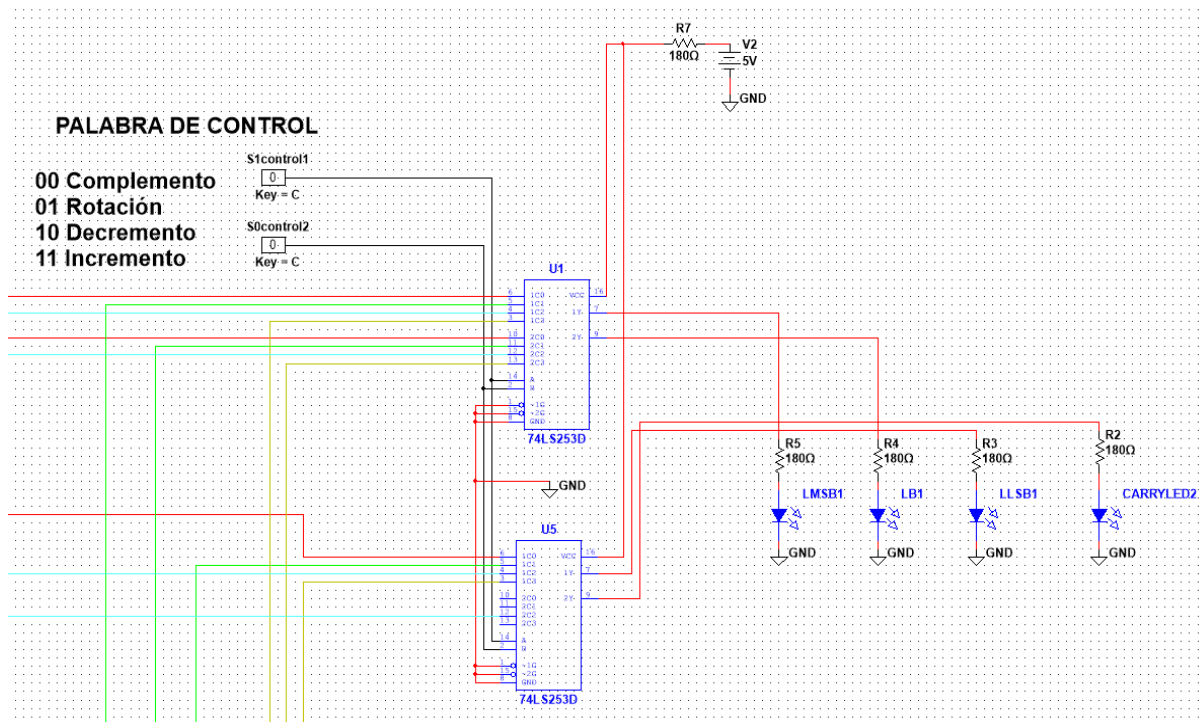


Fig 1.5.1 Diseño con multiplexores para palabra de control y salidas.

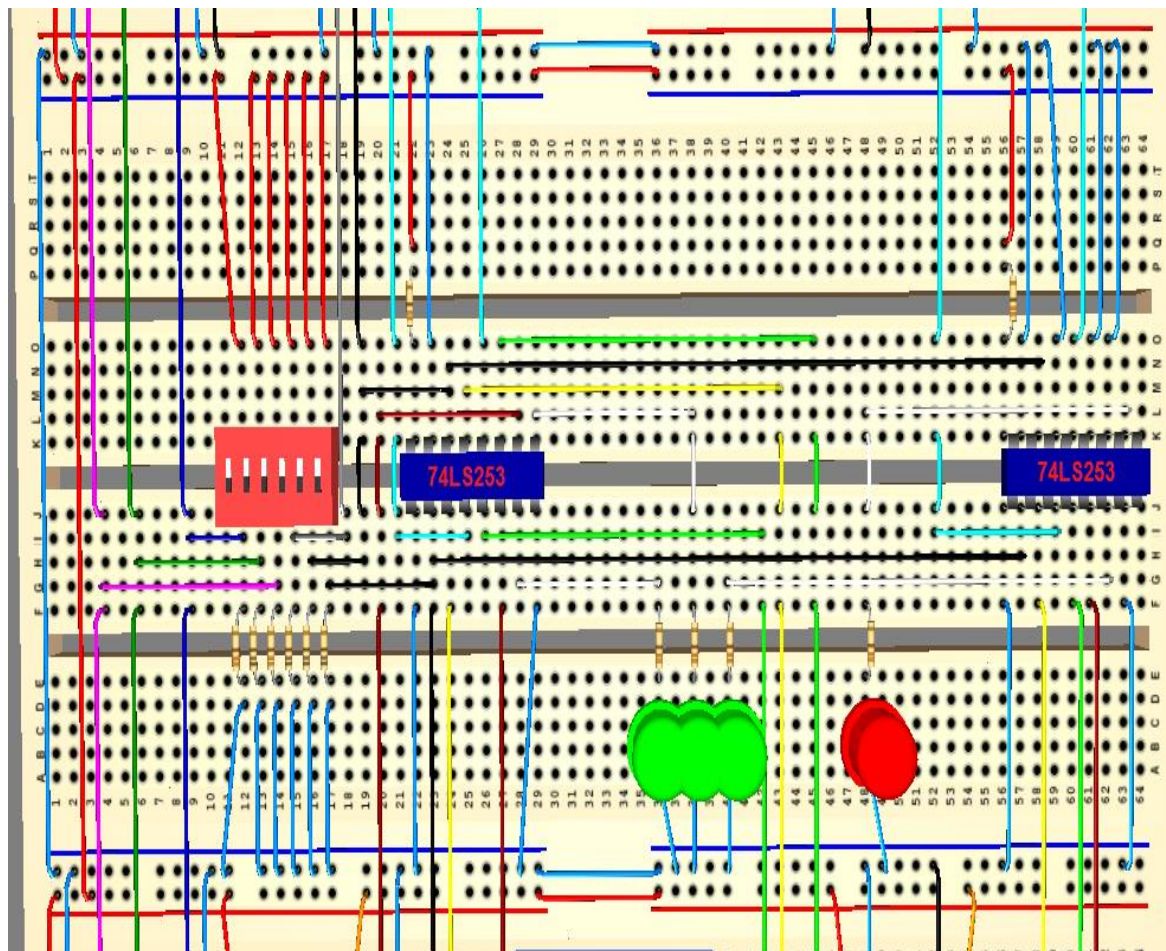
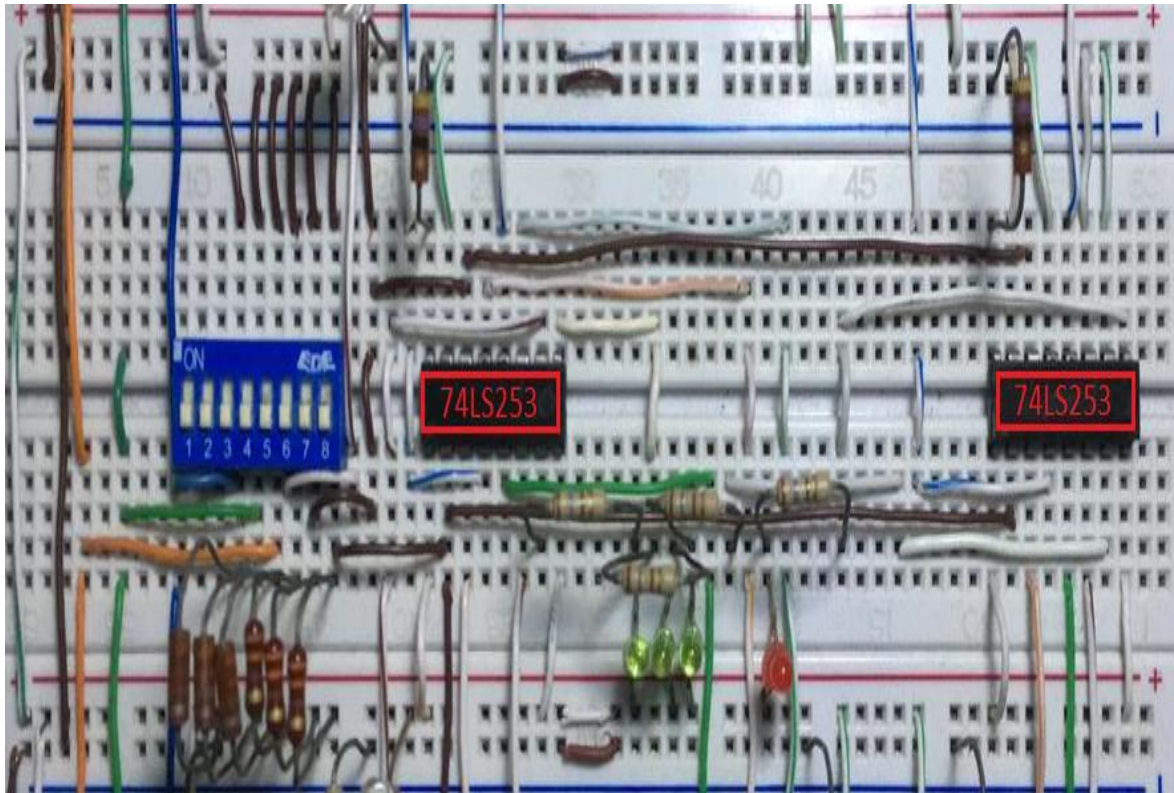


Fig 1.5.2 Diseño en protoboard virtual de multiplexores para palabra de control y salidas.





**Fig 1.5.3** Diseño en protoboard de multiplexores para palabra de control y salidas.

**Análisis:** Antetodo, se presenta un DIP Switch de 8 salidas, requiriendo únicamente 6 de ellas para el funcionamiento del sistema de la ALU. A continuación se presenta la jerarquía:

Salida DIP Switch	Función
S1	SIN UTILIDAD
S2	SIN UTILIDAD
S3	MSB
S4	B
S5	LSB
S6	CARRY
S7	S1 palabra de control (modo)
S8	S0 palabra de control (operación)

**Tabla 1.** Detalles de funciones para las salidas del DIP switch

Se utilizaron 6 resistencias  $330\ \Omega$  como protección en las salidas del DIP Switch. La tabla 3 presenta las conexiones de los LED's en el protoboard real que ilustran los valores de salida del DIP switch y que serán las entradas de las operaciones y de control.

Los multiplexores de control y salida, conformados por dos multiplexores 4:1 74ls253 tienen la tarea de indicar la operación a realizar mediante las entradas de selección y de enviar las señales de éstas a los LED's que representarán los resultados. Ellos encauzan todo el sistema de la ALU

El sistema de selección de las operaciones dadas por la palabra de control funciona de la siguiente manera: los dos multiplexores 74ls253 comparten la misma entrada de selección asignada, que será influida por el bit de la palabra de control correspondiente. Ilustrando más claramente esto, la palabra de control S1 tiene asignado el pin 14 (S0 según su datasheet) de ambos multiplexores, y de la misma manera, la palabra de control S0 tiene asignado el pin 2 (S1 según su datasheet) de, igualmente, ambos multiplexores. Esta comunicación brinda la cantidad de pines necesarios para recibir como entradas todas las salidas de las operaciones (de 3 a 4, según el caso) y de cada dos salidas de los multiplexores se obtienen los bits señales que recibirán los LED's finales. Por otra parte, el ordenamiento de las salidas de las operaciones en los multiplexores sigue un principio sencillo: cada operación tiene asignada un Data Input del multiplexor (I0, I1, I2 e I3) y al ser cuatro operaciones, encuentra su punto justo; la organización se puede observar en la Tabla 2.

Data input MUX 4:1 74ls253	Operación
I0	Complemento
I1	Decremento
I2	Rotación
I3	Incremento

**Tabla 2.** Asignación de las operaciones según los Data input del Mux real

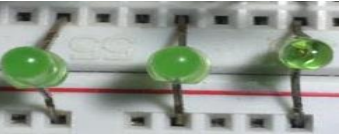
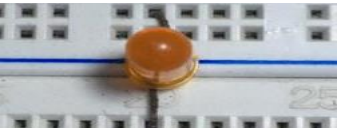

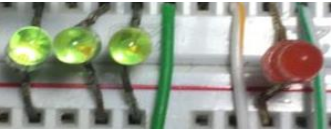
Un acercamiento más detallado para cada multiplexor y sus funciones se explica a continuación:

**Primer multiplexor 74ls253 (izquierdo):** Este dispositivo tiene como finalidad primera recibir la entrada y salida de los bits correspondiente al MSB y al B (bit) central de la palabra A y representarlos mediante LED's (verdes en ambos casos). Los pines 6 (I0a) y 10 (I0b) tienen asignados los dos primeros bits de la operación de Complemento. Los pines 5 (I1a) y 11 (I1b) reciben como entrada los dos primeros bits de salida de la operación de Decremento. Por otra parte, los pines 4 (I2a) y 12 (I2b) reciben como entrada los dos primeros bits de salida de la operación de Rotación. Finalmente, los pines 3 (I3a) y 13 (I3b) reciben como entrada los dos primeros bits de salida de la operación de Incremento. Por su parte, las salidas las entregan los pines 7 (Za) y 9 (Zb), dirigiéndose a los LED's del MSB y del B, respectivamente, previo paso por resistencias de protección de 180Ω. Como ya se explicó anteriormente, el pin 14 (S0) recibe y cubre la palabra de control S1, mientras el pin 2 (S1) hace lo mismo con la palabra de control S0. Los pines 1, 5 y 18 se conectan a tierra, mientras el 16 lo hace a la fuente de 5v previo paso por una resistencia de protección de 150 Ω.

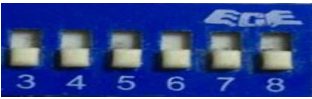
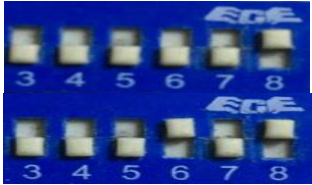

**Segundo multiplexor 74ls253 (derecho):** Este dispositivo tiene como entrada (entre otras) y salida los bits correspondiente al LSB de la palabra A y al CARRY. El pin 6 (I0a) tiene asignado de la operación de Complemento. El pin 5 (I1a) recibe como entrada el último bit de salida de la operación de Decremento. Por otra parte, los pines 4 (I2a) y 12 (I2b) reciben como entrada el último bit de salida y el bit de acarreo de la operación de Rotación. Finalmente, el pin 3 (I3a) recibe como entrada el último bit de salida de la operación de Incremento. Por su parte, las salidas las entregan los pines 7 (Za) y 9 (Zb), dirigiéndose a los LED's del LSB (verde) y del CARRY (rojo), respectivamente, previo paso por resistencias de protección de 180Ω. De igual manera que el multiplexor anterior, el pin 14 (S0) recibe como entrada y cubre la palabra de control S1, mientras el pin 2 (S1) hace lo mismo con la palabra de control S0. Los pines 1, 5 y 18 se conectan a tierra, mientras el 16 lo hace a la fuente de 5v previo paso por una resistencia de protección de 150 Ω. Los pines 10 (I0b), 11 (I1b) y 13 (I3b) no tienen utilidad funcional en el sistema.






Conexión	Esquema	Protoboard real		Bits	LEDs Asignados
MSB/LED				MSB/B/LSD	
B / LED					
LSD / LED					
CARRY C / LED				CARRY C	
Rotación OP					
Complemento OP					
Incremento OP				S1/S0 Palabra de Control	
Decremento OP					
Palabra de Control					
Salidas a LED's				Salidas MSB/B/LSD/C	
Tierra					
Voltaje					

**Tabla 3.** Comparación de cables usados para protoboard virtual contra protoboard real.  
LED's asignados en protoboard real para funciones de entrada y salida.

Palabra de control			Salida	Función	Tipo	DIP SWITCH
S7	S8	C (S6) in				
0	0	X	$F = \bar{A}$	Complemento	Lógica	
0	1	0 / 1	$F = A \ll \text{shl } A$	Rotación	Lógica	
1	0	X	$F = A - 1$	Decremento	Aritmética	



1	1	X	$F = A+1$	Incremento	Aritmética	
---	---	---	-----------	------------	------------	---

**Tabla 4.** Especificación del uso del DIP switch para ejecutar las funciones.

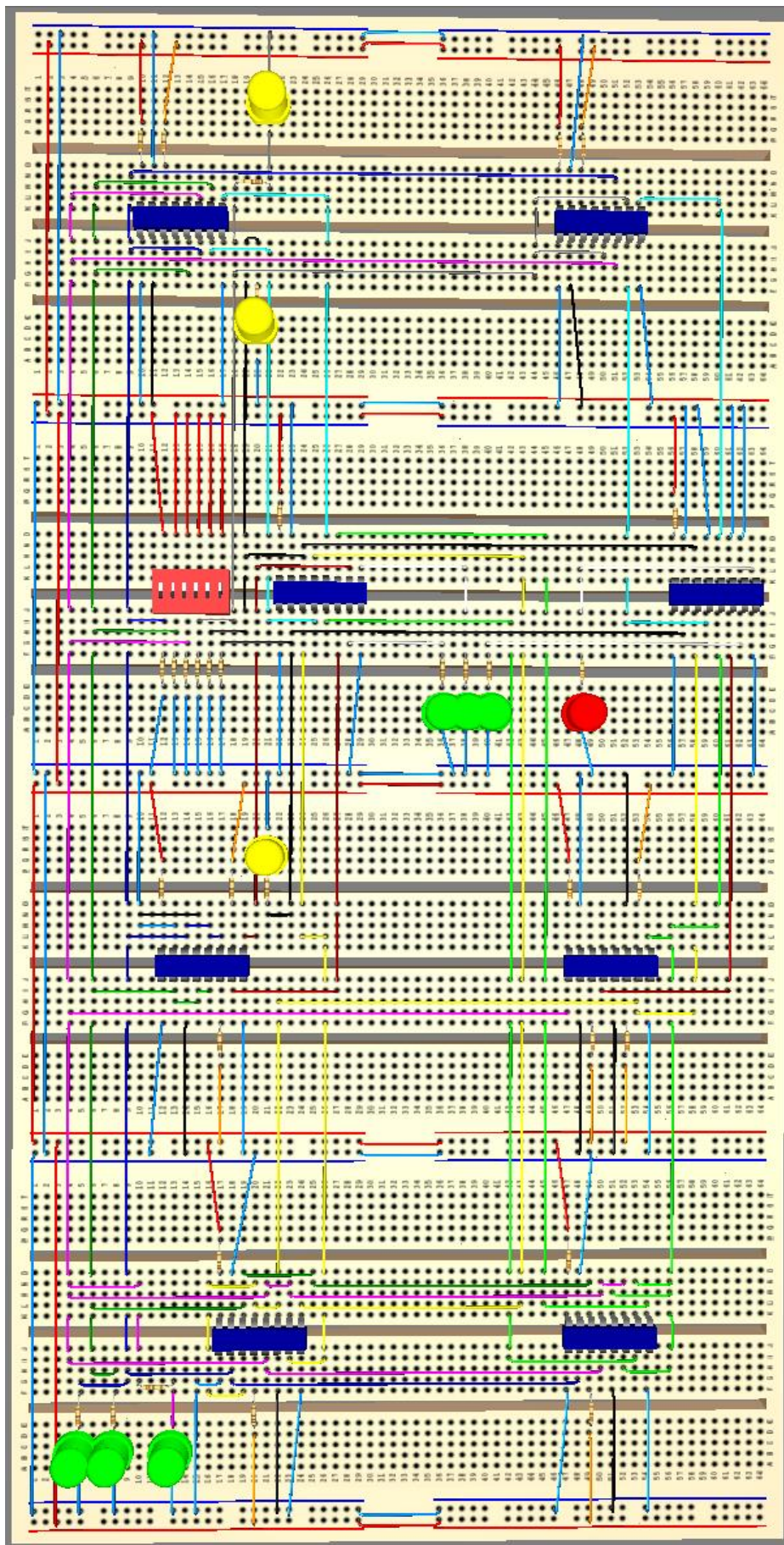


Fig 2.1.2 Diseño final en protoboard virtual y unificación reducida de la ALU.



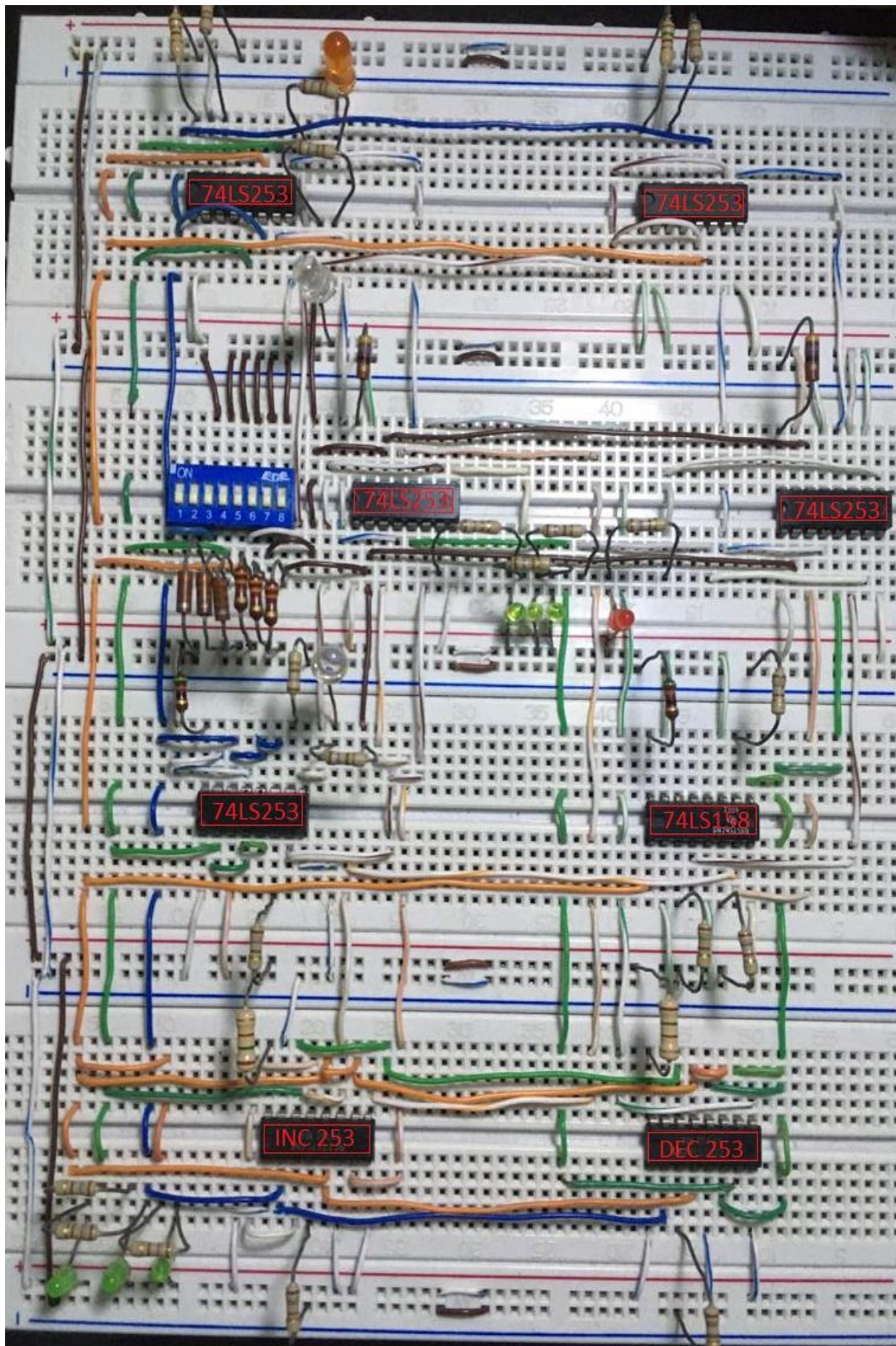
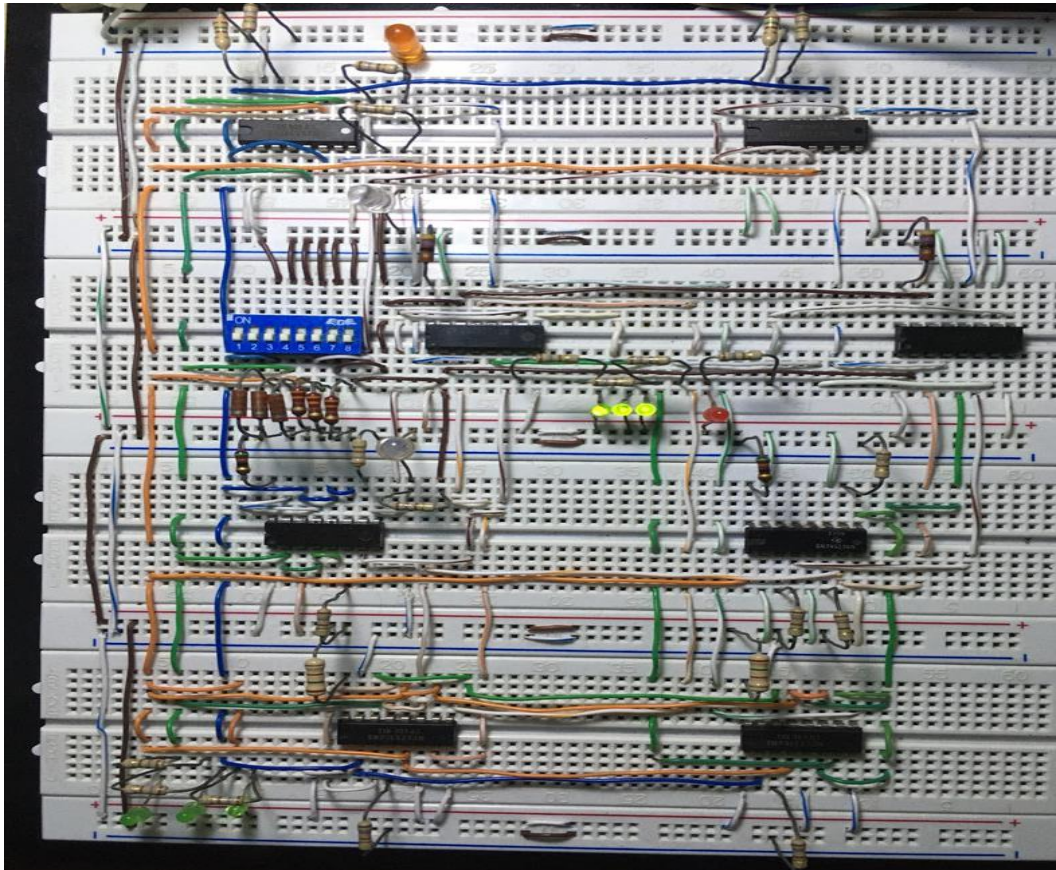


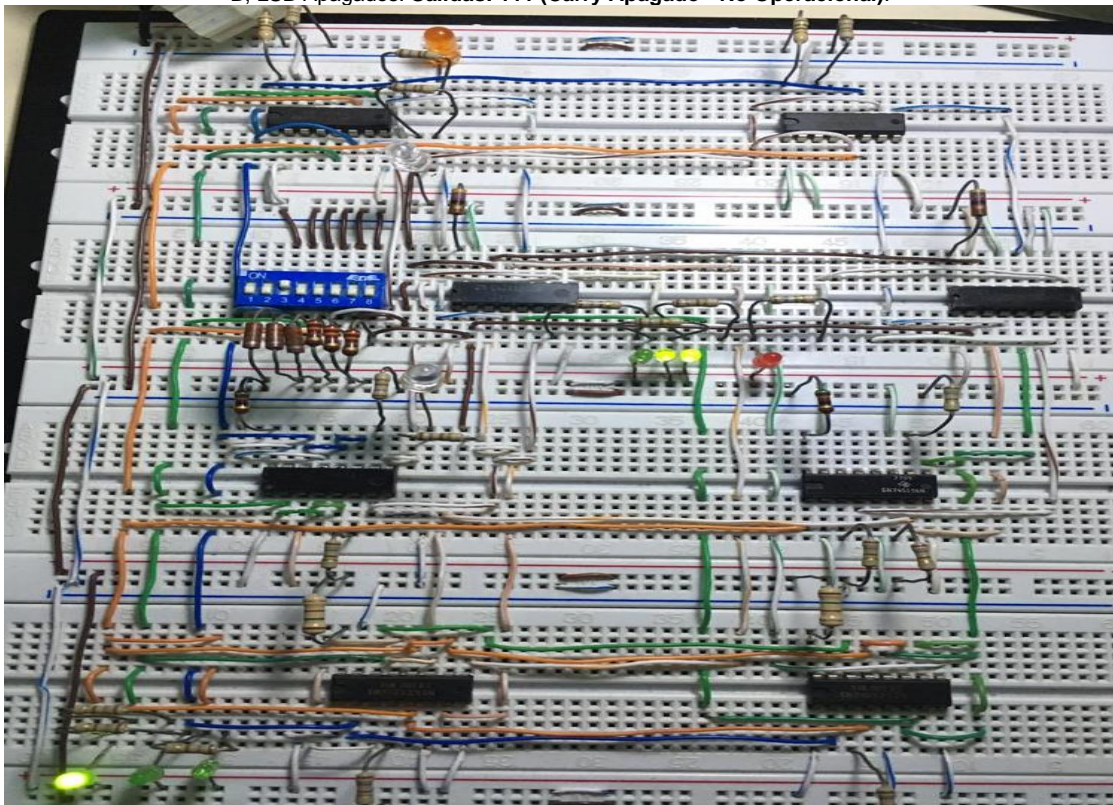
Fig 2.1.3 Diseño final en protoboard y unificación reducida de la ALU.



A continuación se mostrará el funcionamiento de la ALU para las distintas secuencias y operaciones:

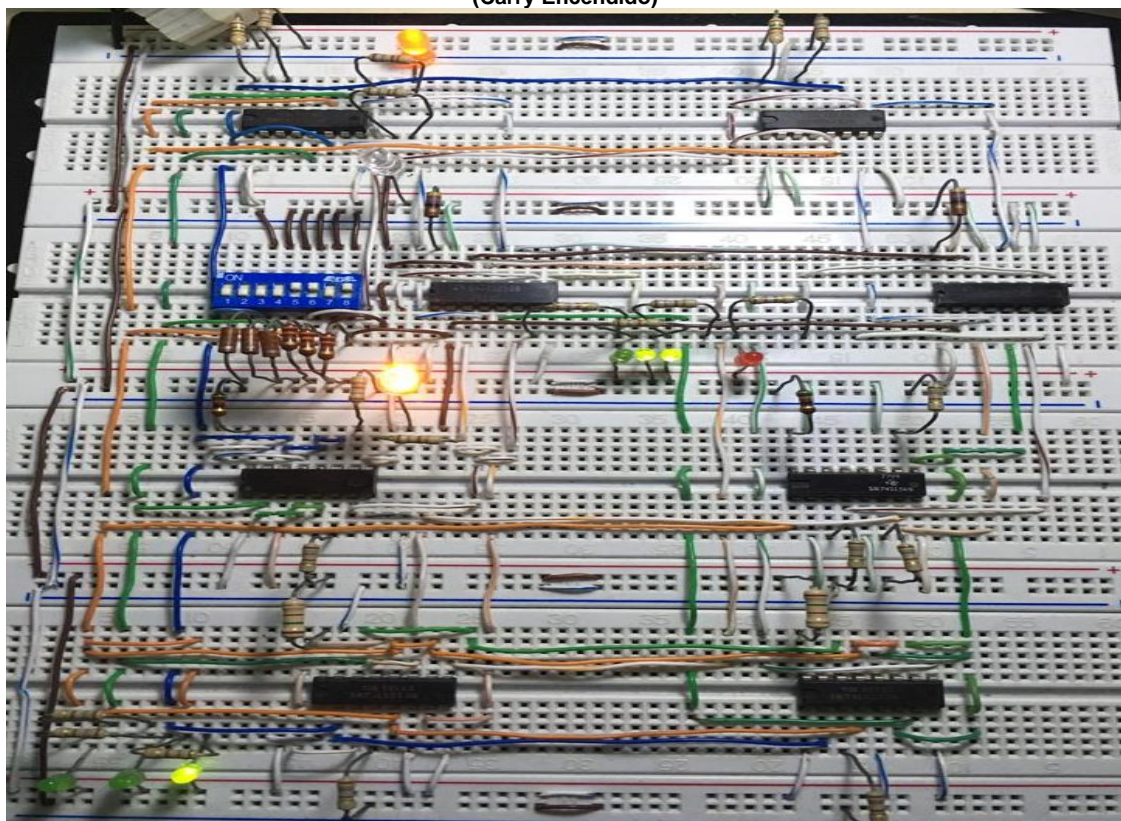
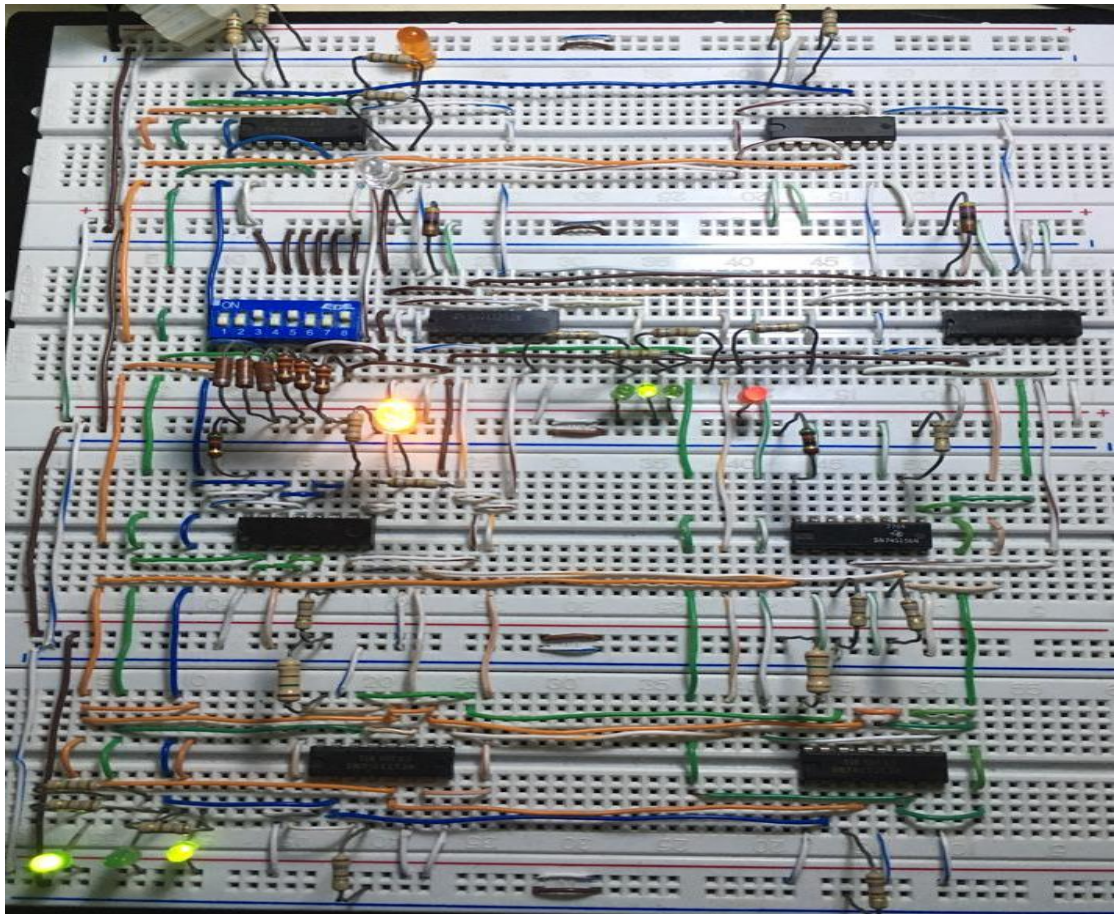


**Fig 2.1.4** Operación Complemento en funcionamiento en protoboard (MSB=0 | B=0 | LSB=0 | C=X) (S3 S4 S5 S6). LEDs MSB, B, LSB Apagados. **Salidas: 111 (Carry Apagado - No Operacional).**

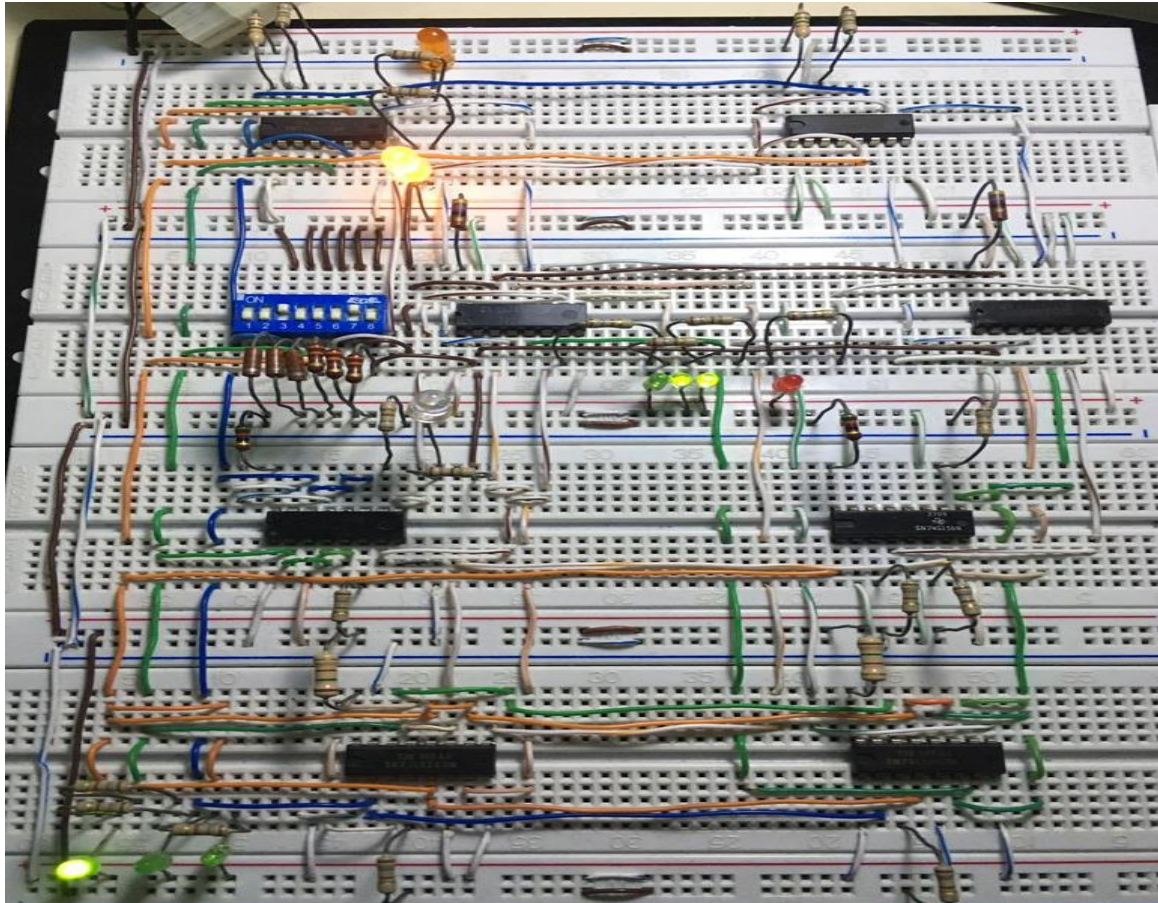


**Fig 2.1.5** Operación Complemento en funcionamiento en protoboard (MSB=1 | B=0 | LSB=0 | C=X) (S3 S4 S5 S6). **Salidas: 011 (Carry No Operacional)**

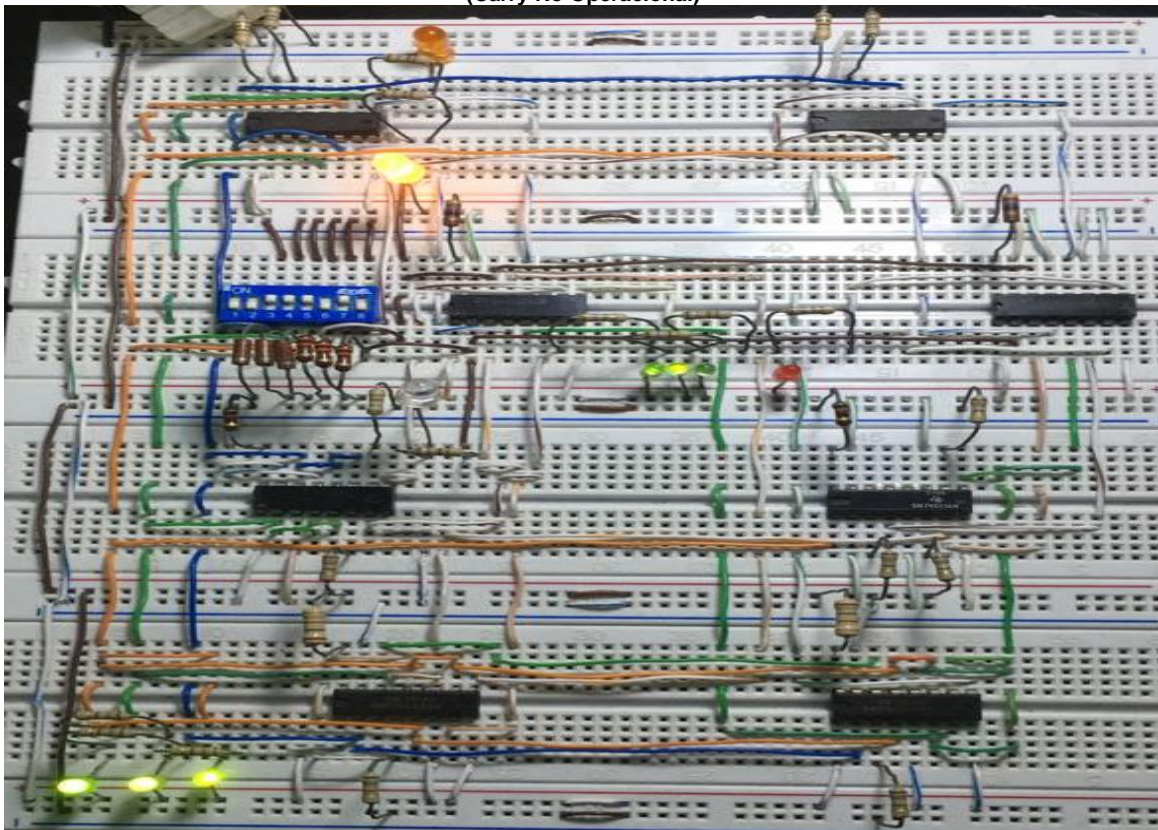






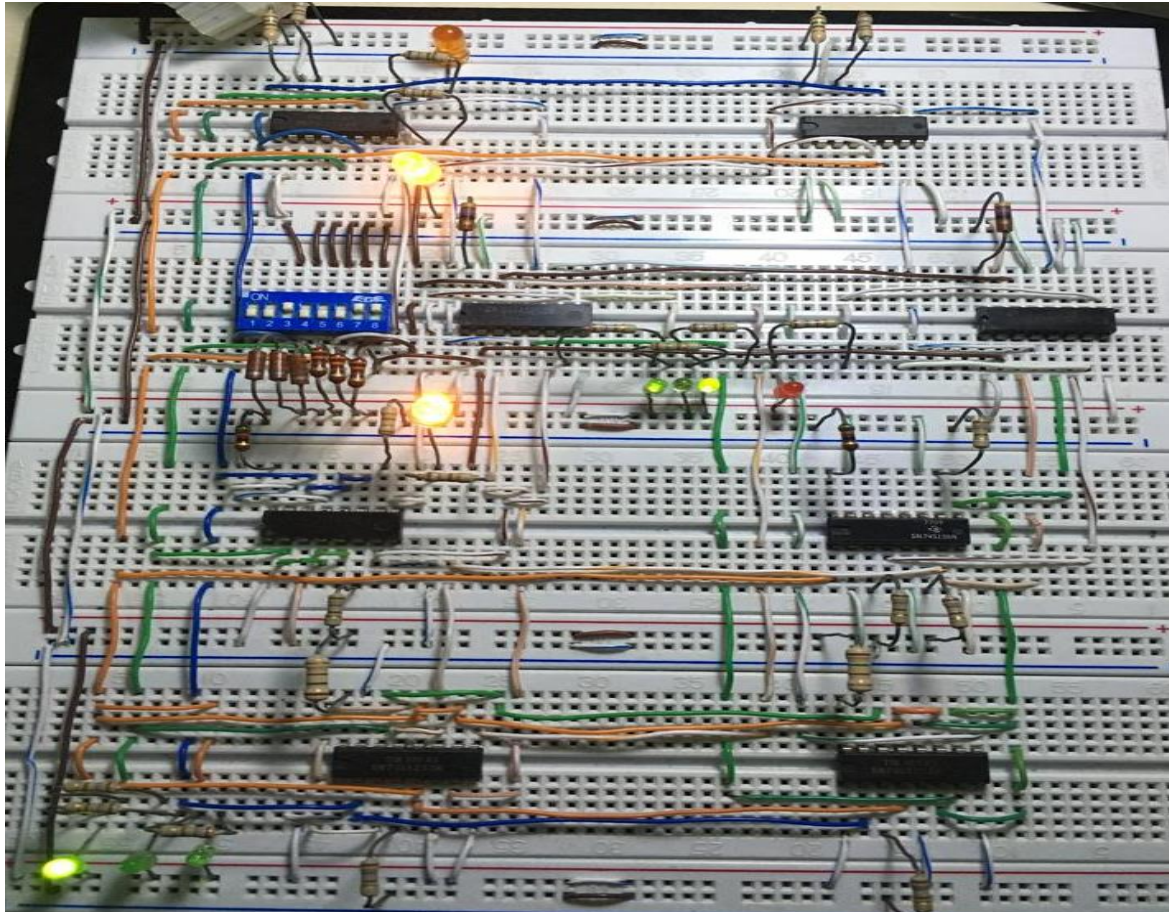


**Fig 2.1.8** Operación Decremento en funcionamiento en protoboard (MSB=1 | B=0 | LSB=0 | C=X) (S3 S4 S5 S6). **Salidas: 011**  
(Carry No Operacional)

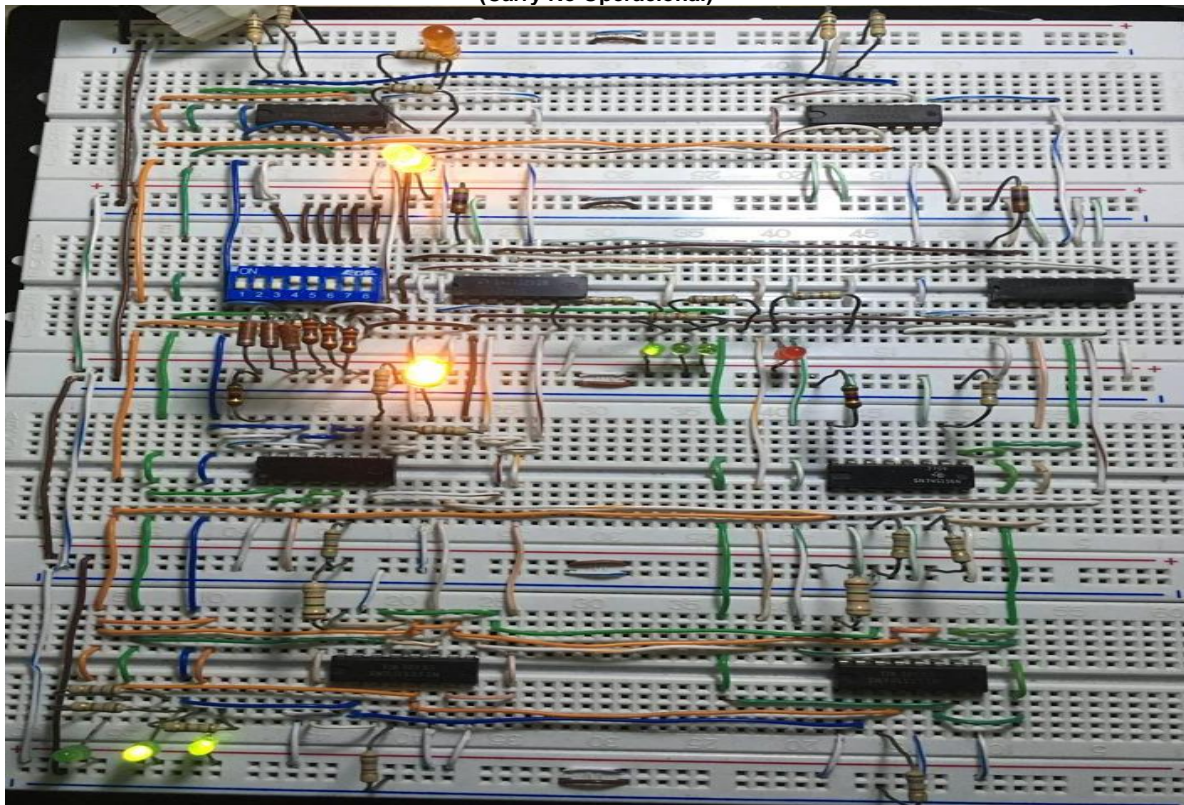


**Fig 2.1.9** Operación Decremento en funcionamiento en protoboard (MSB=1 | B=1 | LSB=1 | C=X) (S3 S4 S5 S6). **Salidas: 110**  
(Carry No Operacional)





**Fig 2.1.10** Operación Incremento en funcionamiento en protoboard (MSB=1 | B=0 | LSB=0 | C=X) (S3 S4 S5 S6). **Salidas: 101**  
(Carry No Operacional)



**Fig 2.1.11** Operación Incremento en funcionamiento en protoboard (MSB=0 | B=1 | LSB=1 | C=X) (S3 S4 S5 S6). **Salidas: 100**  
(Carry No Operacional)  
**Conclusiones**

Esta práctica sirvió como fundamento para el estudio, análisis y entendimiento funcional de la ALU, que junto con la Unidad de Control son las partes integral de los microprocesadores. A pesar de haberse estudiado de manera específica la ALU, vale recordar el macro entorno al que pertenece y convive. El microprocesador es el chip más importante de cualquier placa madre. El procesador es realmente el elemento central del proceso de tratamiento de datos. La CPU gestiona cada paso en el proceso de los datos. Actúa como el conductor y el supervisor de los componentes de hardware del sistema. Asimismo, está unida, directa o indirectamente, con todos los demás componentes de la placa principal. Por lo tanto, muchos grupos de componentes reciben órdenes y son activados de forma directa por la CPU.

En la práctica se simuló el funcionamiento de una ALU, de sus registros de entrada y del circuito de operaciones. El registro de almacenamiento fue sustituido por un sistema básico de manipulación mediante DIP Switch, y que es carente de memoria, pero que en lectura simbólica en él se almacenaría los datos u operandos que intervienen en una instrucción antes de la realización de la operación por parte del circuito operacional, de igual manera, en una ALU real, estos registros también se utilizarían para el almacenamiento de resultados intermedios o finales de las operaciones respectivas.

El acarreo, por su parte, usualmente es utilizado como sistema de comunicación entre las unidades para indicar un sobrepaso en las sumas de los bits de más pesos de los operandos, también sirve para indicar tareas que la unidad lógica deba recibir de la unidad aritmética, o en operaciones más específicas. En la práctica, tuvo su utilidad en la operación de rotación a la izquierda con acarreo, moviendo las posiciones de bits de la entrada en un espacio y convirtiendo la palabra en otra diferente. En sí, para una ALU integrada a un microprocesador, hay numerosas situaciones en el proceso de la información que requieren desplazar de posición los datos almacenados en los registros. Es el caso de algunas operaciones aritméticas como la multiplicación y división por potencias de dos. También cuando se quiere situar uno de los bits del registro en una determinada posición del mismo. La ALU de un procesador puede disponer de registros capaces de efectuar determinado número de desplazamiento de sus bits tanto a la derecha como a la izquierda el gobierno de estos operadores de desplazamiento se realiza mediante las adecuadas señales de control. En este tipo de operadores de desplazamiento a veces el contenido desplazado del registro origen se almacena en el registro destino, pero es frecuente que el contenido desplazado de un registro se deposite en el mismo actuando como origen y destino.

Entre las instrucciones de control sólo se estudiaron unas operaciones selectas y específicas a la ALU, por supuesto, pero estas asignaciones es sólo una de las cuatro formas del control de un microprocesador que son: Instrucciones de transferencia de datos, Instrucciones de cálculo, Instrucciones de transferencia del control del programa e Instrucciones de control (funciones de botones). Estas instrucciones vienen regidas, al menos al nivel de la ALU, por la unidad a activar (aritmética o lógica) y por la cantidad de operaciones que debe ejecutar cada una. En el caso de la práctica, se diseñaron cuatro operaciones asignadas por una justificación lógica y de orden descritas en el preinforme.

Como diseño, se usó todo un sistema basado enteramente en multiplexores de diversos tipos, reduciendo el espacio y manteniendo una comunicación directa entre los elementos que facilita el control de las unidades y probando, en última instancia, el buen funcionamiento.