

**Folha de Dados**  
**Primeira Lista Exercícios**  
**Circuitos Sequenciais e Projeto RTL**

**Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas**

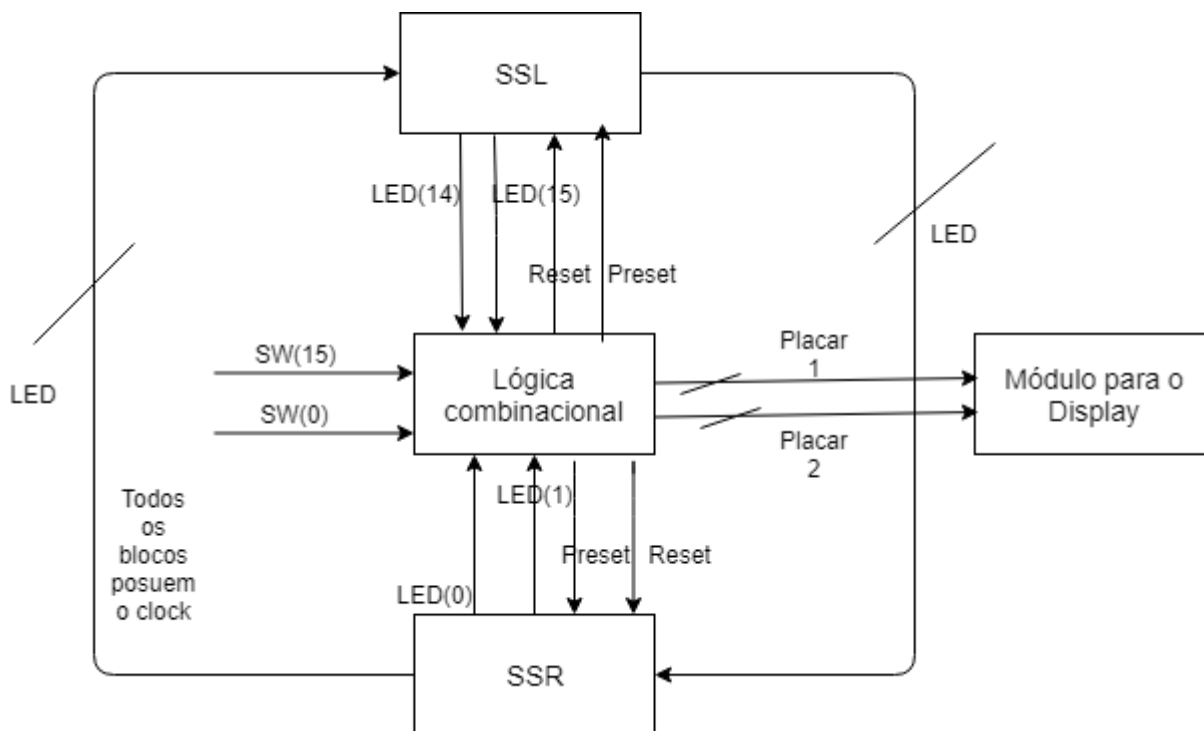
**Instruções:**

1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

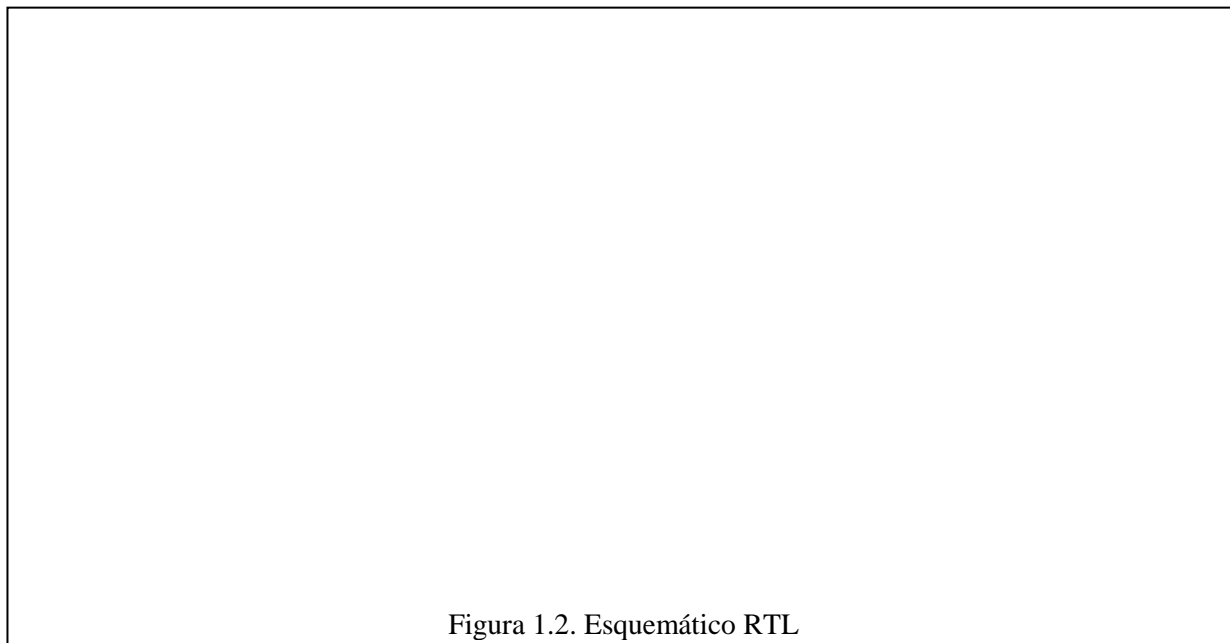
Nome: JHONATHAN NICOLAS MOREIRA SILVA matrícula: 16/0031621

**Exercício 1. Ping-pong leds**

- 1) Diagrama de blocos proposto.



2) Diagrama esquemático (Análise RTL pré-síntese)



3) Estimação consumo de recursos lógicos após a síntese lógica:

| LUTs<br>Total: | FFs<br>Total:  | Pinos de IOs<br>Total: | Blocos DSP<br>Total: | Blocos BRAM<br>Total: |
|----------------|----------------|------------------------|----------------------|-----------------------|
| _____ (____ %) | _____ (____ %) | _____ (____ %)         | _____ (____ %)       | _____ (____ %)        |

4) Consumo de recursos após implementação (processo *Place and Route* - PAR):

| LUTs<br>Total: | FFs<br>Total:  | Pinos de IOs<br>Total: | Blocos DSP<br>Total: | Blocos BRAM<br>Total: |
|----------------|----------------|------------------------|----------------------|-----------------------|
| _____ (____ %) | _____ (____ %) | _____ (____ %)         | _____ (____ %)       | _____ (____ %)        |

5) Análise de timing:

Worst negative slack (setup): \_\_\_\_\_ ns

Worst negative slack (hold) : \_\_\_\_\_ ns

Frequência de operação do circuito: \_\_\_\_\_ MHz

Caminho crítico (net de origem):

Caminho crítico (net de destino):

Maximo path delay: \_\_\_\_\_ ns

6) Layout do circuito após a implementação (após processo *Place and Route* – PAR):

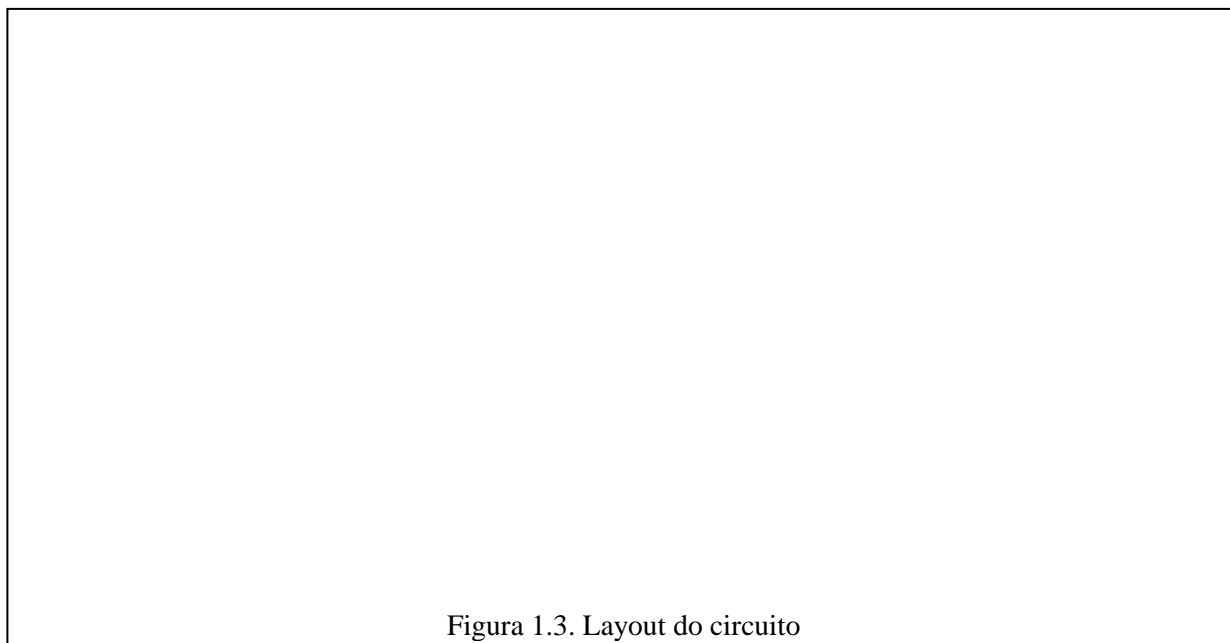


Figura 1.3. Layout do circuito

7) Estimação do consumo de energia após a implementação do circuito:

Potência total: \_\_\_\_\_ (mW)

Potência estática: \_\_\_\_\_ (mW)

Potência dinâmica: \_\_\_\_\_ (mW)

Gráfico de consumo de energia:

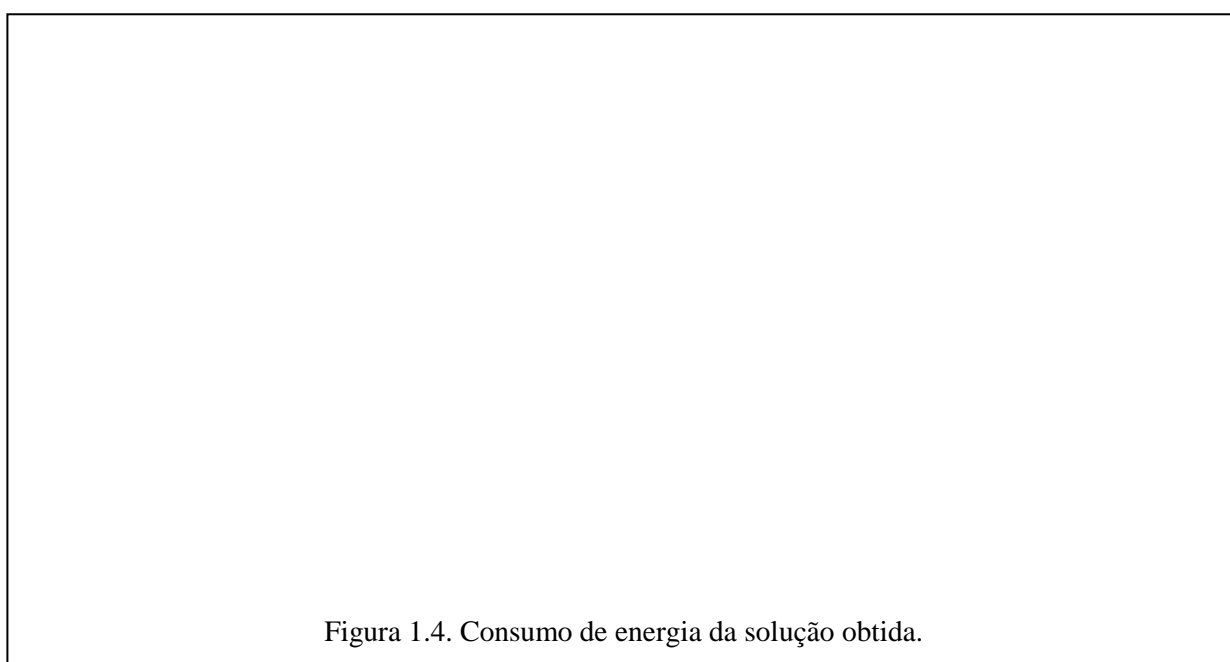
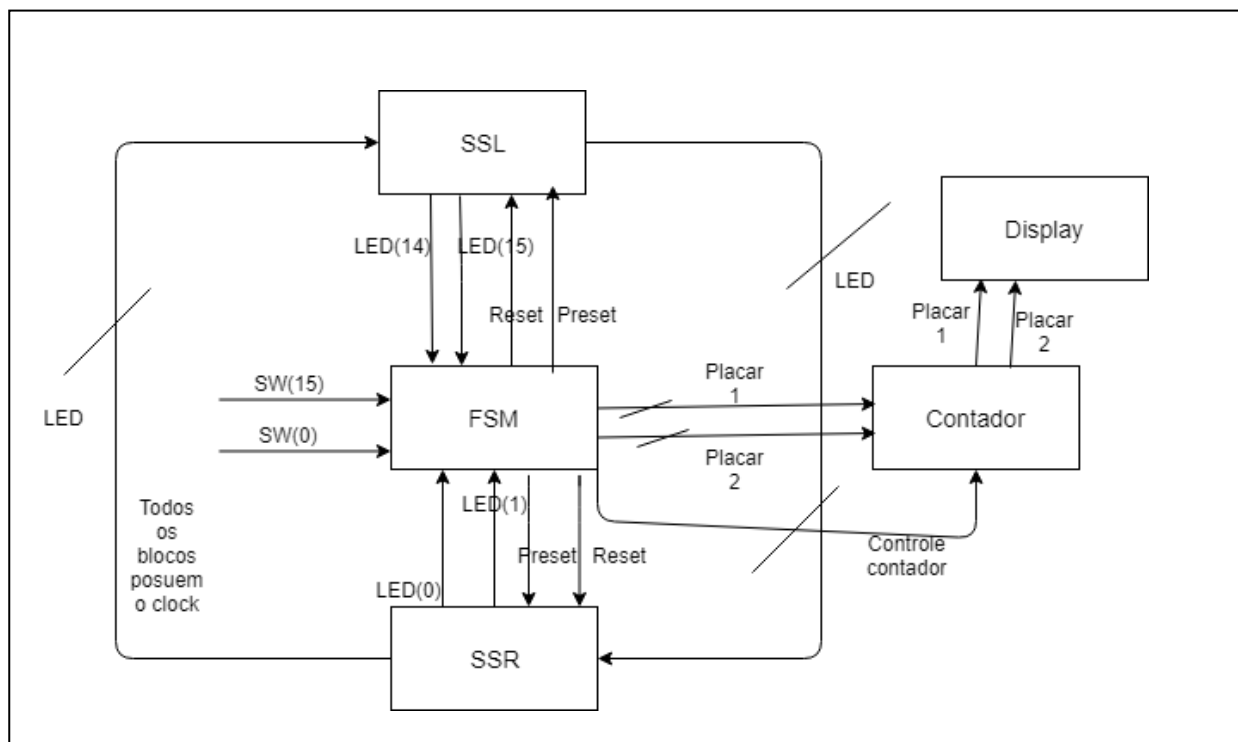


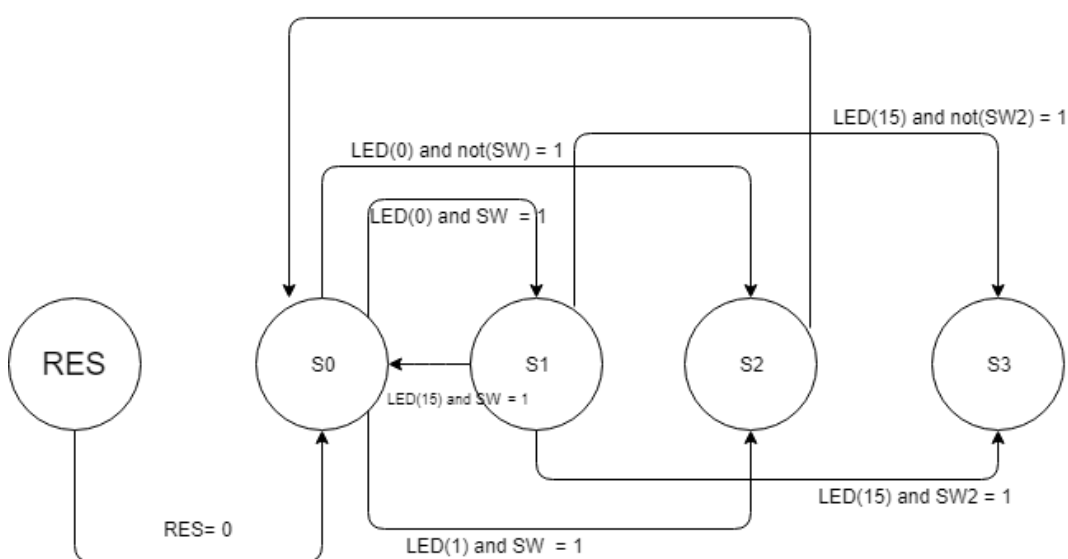
Figura 1.4. Consumo de energia da solução obtida.

## Exercício 2. Ping-pong leds FSM

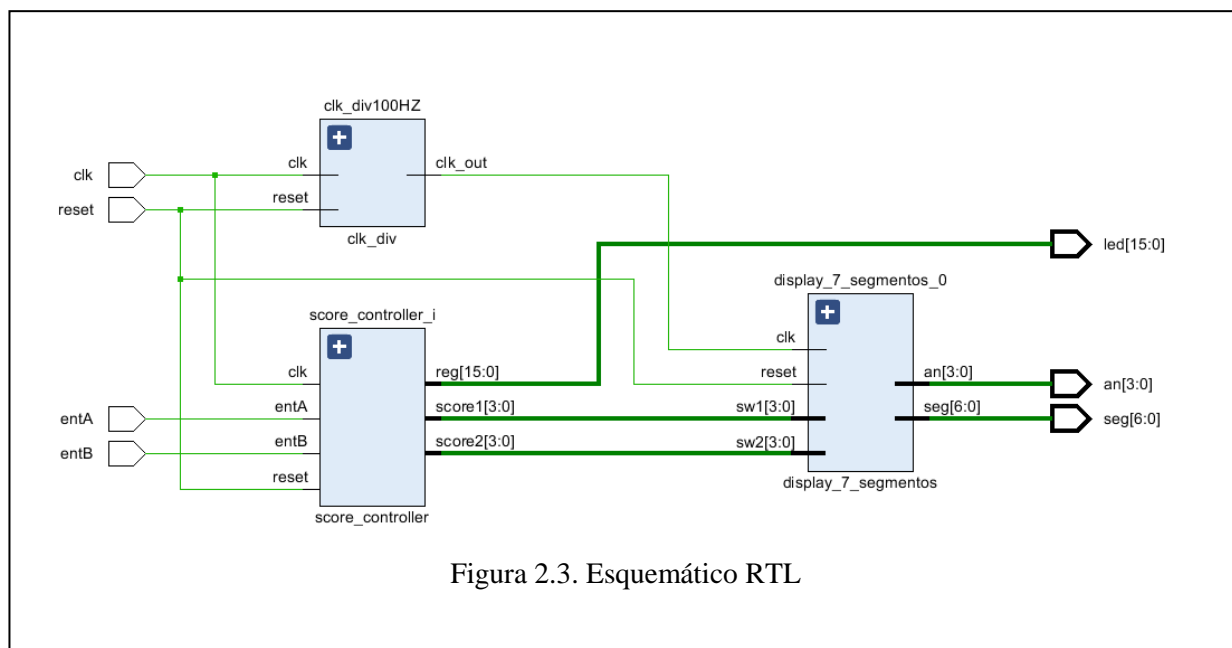
### 1) Diagrama de blocos



### 2) Diagrama de estados:



### 3) Diagrama esquemático (Análise RTL pré-síntese)



### 4) Estimação consumo de recursos lógicos após a síntese lógica:

| LUTs<br>Total: | FFs<br>Total: | Pinos de IOs<br>Total: | Blocos DSP<br>Total: | Blocos BRAM<br>Total: |
|----------------|---------------|------------------------|----------------------|-----------------------|
| 63 (0.3%)      | 96 (0.23%)    | 31(29.25%)             | 0(0%)                | 0(0%)                 |

### 5) Consumo de recursos após implementação (processo *Place and Route* - PAR):

| LUTs<br>Total: | FFs<br>Total: | Pinos de IOs<br>Total: | Blocos DSP<br>Total: | Blocos BRAM<br>Total: |
|----------------|---------------|------------------------|----------------------|-----------------------|
| 63 (0.3%)      | 96 (0.23%)    | 31(29.25%)             | 0(0%)                | 0(0%)                 |

### 6) Análise de timing:

Wors negative slack (setup): 5.590 ns  
 Worst negative slack (hold) :0.293 ns  
 Frequência de operação do circuito: 350 MHz  
 Caminho crítico (net de origem):  
 Caminho crítico (net de destino):  
 Maximo path delay:5.602 ns

7) Layout do circuito após a implementação (após processo Place and Route – PAR):

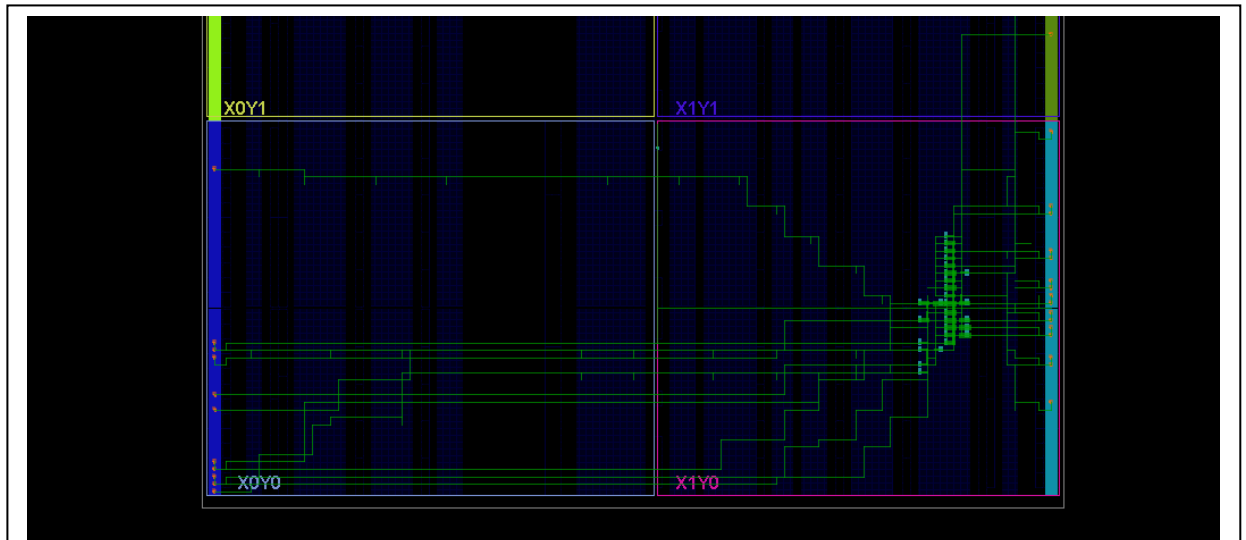


Figura 2.4. Layout do circuito

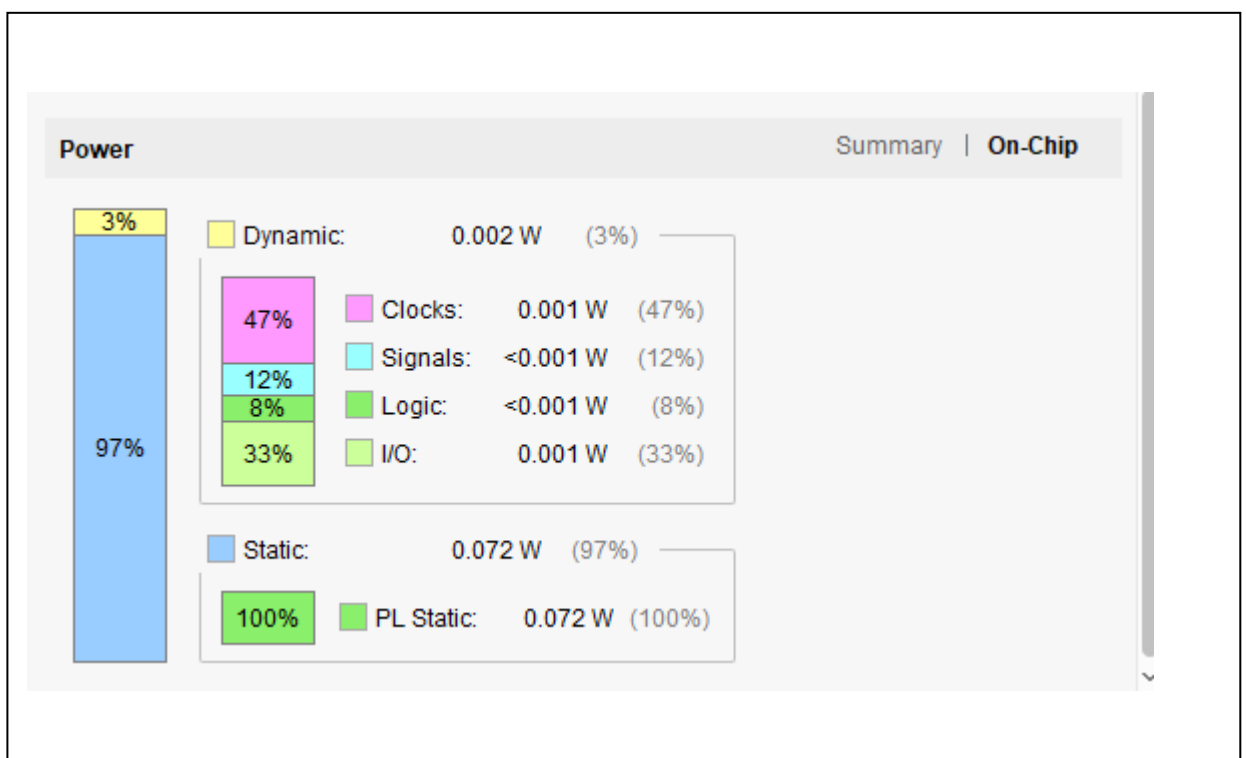
8) Estimação do consumo de energia após a implementação do circuito:

Potência total: 0.074 (mW)

Potência estática: 0.074 (mW)

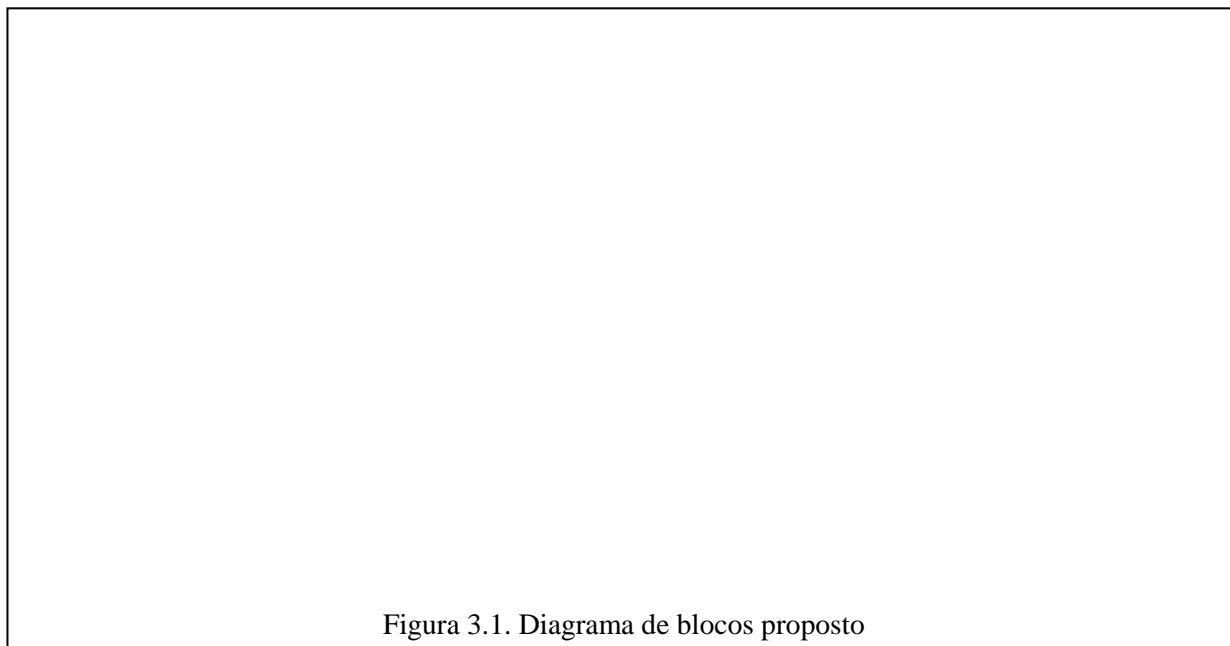
Potência dinâmica: 0.002 (mW)

Gráfico de consumo de energia:

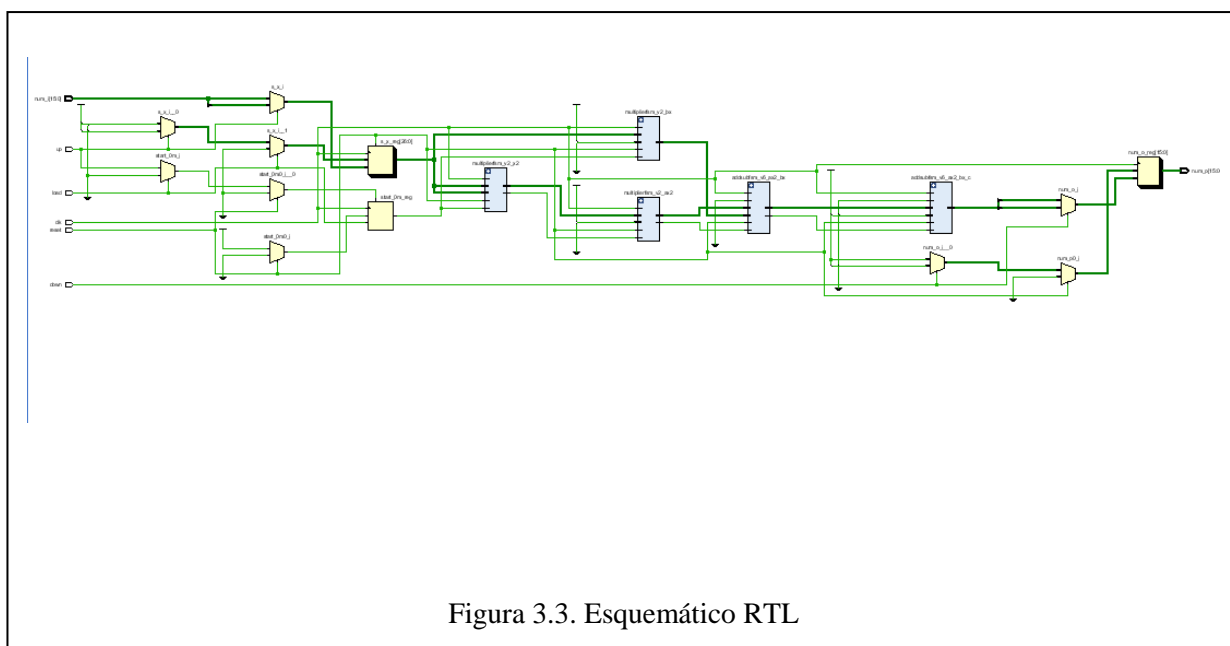


### Exercício 3. Neurônio GMBH de segunda ordem usando IP-Cores em ponto flutuante

- 1) Diagrama de blocos proposto.



- 2) Diagrama esquemático (Análise RTL pré-síntese)



- 3) Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

MSE =

0.00532451

Figura 3.4. Erro em função do tempo (amostra)

- 4) Estimação consumo de recursos lógicos após a síntese lógica:

| LUTs<br>Total: | FFs<br>Total: | Pinos de IOs<br>Total: | Blocos DSP<br>Total: | Blocos BRAM<br>Total: |
|----------------|---------------|------------------------|----------------------|-----------------------|
| 802 (3.86 %)   | 231 (0.56%)   | 37(34.91 %)            | 3 (3.33%)            | 0(0%)                 |

- 5) Consumo de recursos após implementação (processo *Place and Route* - PAR):

| LUTs<br>Total: | FFs<br>Total: | Pinos de IOs<br>Total: | Blocos DSP<br>Total: | Blocos BRAM<br>Total: |
|----------------|---------------|------------------------|----------------------|-----------------------|
| 800 (3.33 %)   | 231 (0.56%)   | 37(34.91 %)            | 3 (3.33%)            | 0(0%)                 |

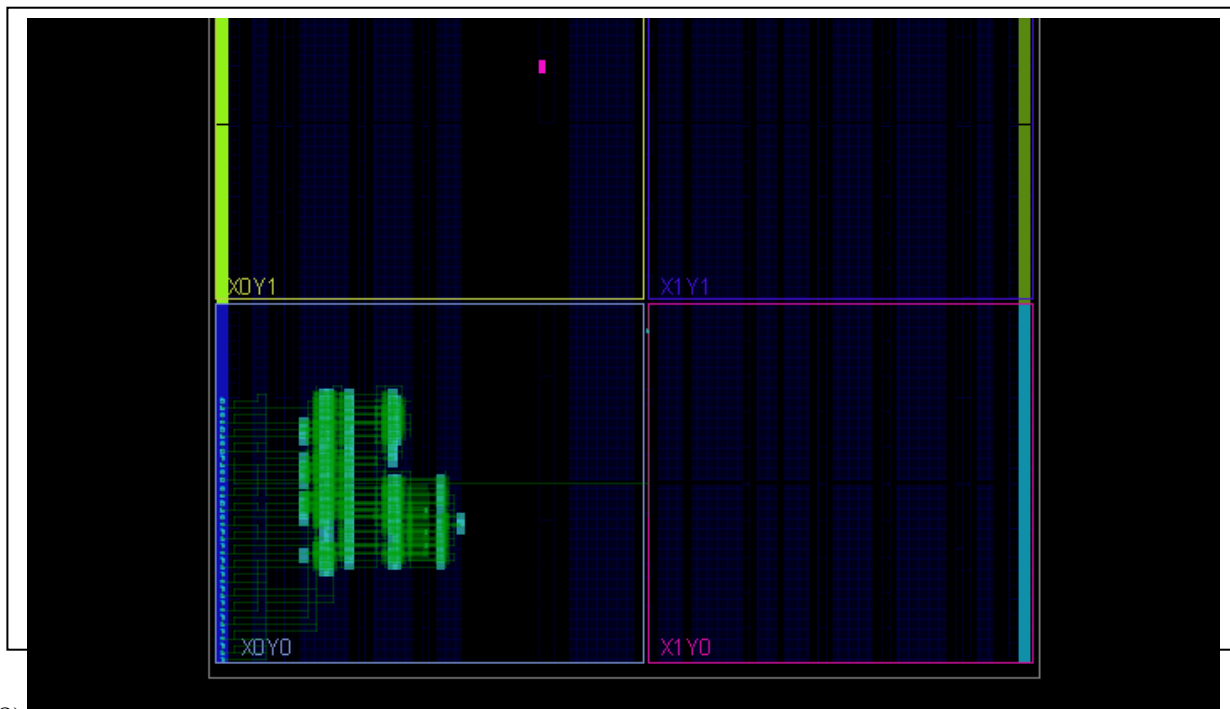
- 6) Análise de timing:

Wors negative slack (setup): 5.990 ns



Worst negative slack (hold) :0.193 ns  
Frequência de operação do circuito: 100 MHz  
Caminho crítico (net de origem): R25  
Caminho crítico (net de destino): R23  
Maximo path delay: 6.00ns

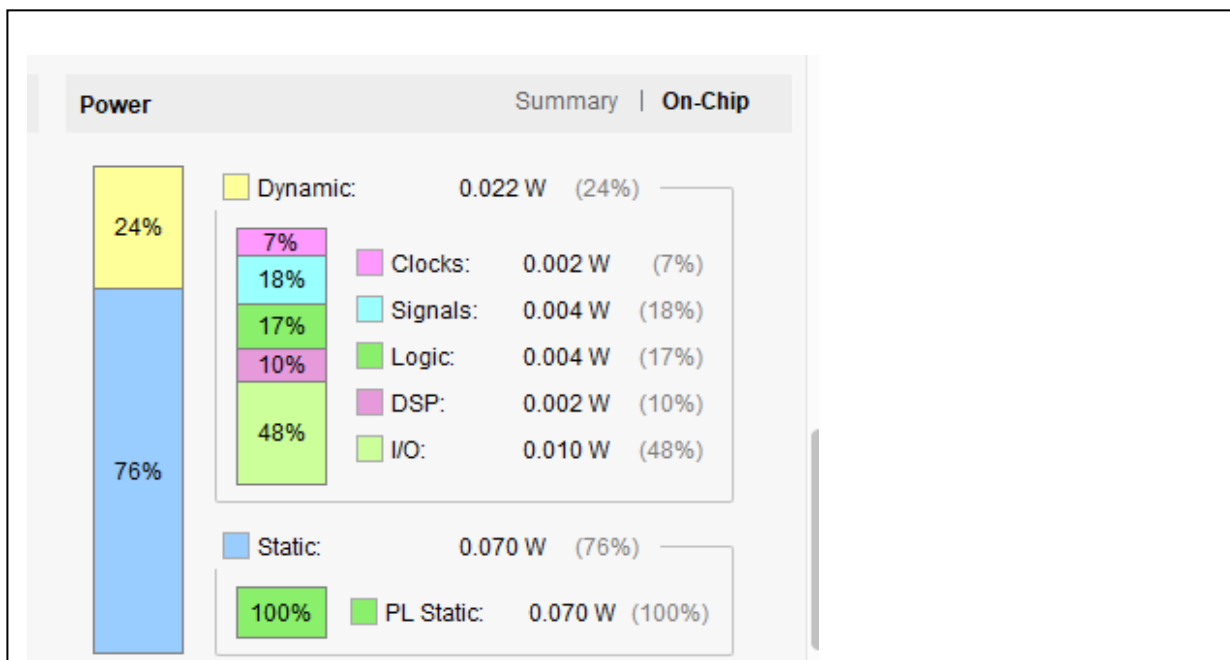
7) Layout do circuito após a implementação (após processo Place and Route – PAR):



8) Estimação do consumo de energia após a implementação do circuito:

Potência total: 0.092 (W)  
Potência estática: 0.070(W)  
Potência dinâmica: 0.022 (W)

Gráfico de consumo de energia:



Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília  
Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).  
Professor: Daniel Mauricio Muñoz Arboleda  
e-mail: damuz@unb.br

---

