Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Folha de Dados - Segunda Lista Exercícios Projeto de Sistemas em Chip Data de entrega: 05 de julho de 2019 às 23:50

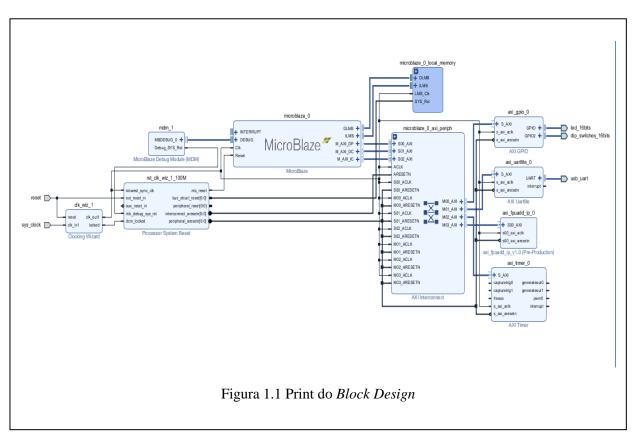
Instruções:

- 1. Organize o repositório em pastas para cada exercício.
- 2. Entregar todos os arquivos necessários para replicar o experimento.
- 3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: <u>Jhonathan Nicolas Moreira Silva</u> matrícula: <u>16/0031621</u>

Exercício 1 (5 pontos). Co-processador FPadd

1) Diagrama de blocos (block design) do sistema em chip



Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



2) Consumo de recursos após implementação (processo *Place and Route - PAR*):

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
3126 (15.03 %)	2777 (6.68 %)	36 (33.96 %)	0 (0 %)	22 (44.00 %)

3) Análise de timming:

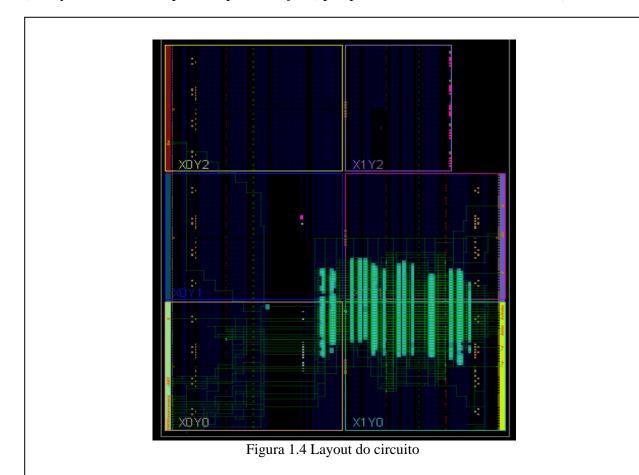
Worst negative slack (setup): 0.025 ns Worst negative slack (hold): 0.751 ns

Frequência máxima de operação do circuito: 100MHz

Setup		Hold		Pulse Width	
Worst Negative Slack (WNS):	0,751 ns	Worst Hold Slack (WHS):	0,025 ns	Worst Pulse Width Slack (WPWS):	3,000 ns
Total Negative Slack (TNS):	0,000 ns	Total Hold Slack (THS):	0,000 ns	Total Pulse Width Negative Slack (TPWS):	0,000 n
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	8502	Total Number of Endpoints:	8502	Total Number of Endpoints:	3278



4) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



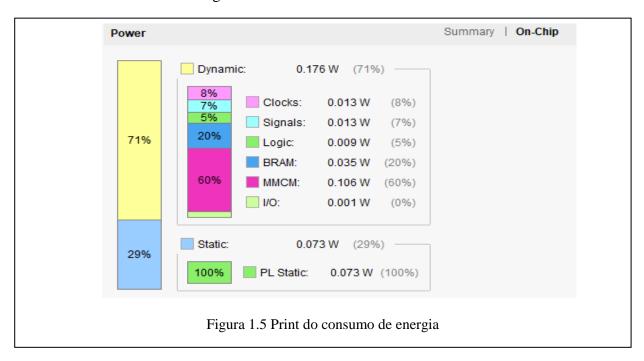
5) Estimação do consumo de energia após a implementação do circuito:

Potência total: 249 (mW)
Potência estática: 73 (mW)
Potência dinâmica: 176 (mW)

e-mail: damuz@unb.br



Gráfico de consumo de energia:



6) Simulação no SDK via terminal.

```
int status;
 u32 DataRead;
 u32 OldData;
 float res = 0.0;
int Whole = 0;
int Thousands = 0;
 unT.f32 = 42.25;
 status = XGpio_Initialize(&GpioOutput,XPAR_GPIO_0_DEVICE_ID);
     if (status != XST_SUCCESS)
 return XST_FAILURE;
 XGpio_SetDataDirection(&GpioOutput, 1, 0x0);
  status = XGpio_Initialize(&GpioInput,XPAR_GPIO_0_DEVICE_ID);
 if (status != XST_SUCCESS)
      return XST_FAILURE;
// Set the direction for all signals to be inputs XGpio_SetDataDirection(&GpioInput, 2, 0x1);
 OldData = 0xFFFFFFF;
 while(1){
DataRead = XGpio_DiscreteRead(&GpioInput, 2);
 if(DataRead != OldData)
xil_printf("Valor na_switche: %d\r\n", DataRead);
   if(DataRead <= 2000)
  unT.f32 = (MATRICULA/MAX) * DataRead;</pre>
   else if (DataRead <= 4000)
     unT.f32 = (ANO/MAX) * DataRead;
   else
      unT.f32 = (MAX/100*SECULO) * DataRead/10;
```

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Exercício 2 (5 pontos). Co-processador RNA

1) Diagrama de blocos (block o	design) do sistema em chip
	Figura 1.1 Print do Block Design

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



2)	Consumo	de recursos a	pós imp	lementaç	ão (proces	so Pla	ce and I	Route -	PAF	₹):
----	---------	---------------	---------	----------	------------	--------	----------	---------	-----	-----

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
(%)	(%)	(%)	(%)	(%)

3)	Analise de timming:	
	Wors negative slack (setup): ns	
	Worst negative slack (hold): ns	
	Frequência máxima de operação do circuito: _	MHz

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



Figura 1.3 Print do timing summary

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



4)	Layout do circuito após a implementação (após processo <i>Place and Route</i> – PAR):
	Figura 1.4 Layout do circuito
	rigata III Zayout do encano
5)	Estimação do consumo de energia após a implementação do circuito:
	Potência total: (mW) Potência estática: (mW)
	Potência dinâmica: (mW)
	Gráfico de consumo de energia:
	Figura 1.5 Print do consumo de energia

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Figura 1.6 Print do terminal do SDK apresentando o resultado

6) Simulação no SDK via terminal.

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

