

Digital Down-converter para o padrão DVDS2x

1st Jhonathan Nicolas Moreira Silva

Matrícula: 160031621

Programa de Engenharia Eletrônica

Universidade de Brasília - FGA

Brasília, Brasil

jnicolas@aluno.unb.br

<https://bitbucket.org/jhonicolas>

2nd Misael de Souza Andrade

Matrícula: 160015669

Programa de Engenharia Eletrônica

Universidade de Brasília - FGA

Brasília, Brasil

misas.andrade@aluno.unb.br

<https://bitbucket.org/misaelandrade>

Resumo—Este documento refere-se ao ponto de controle II da disciplina de projeto de circuitos reconfiguráveis, este mesmo visa mostrar a implementação e caracterização dos módulos de hardware do Digital Down Converter em VHDL.

I. JUSTIFICATIVA

Digital Down-converter(DDC) é um componente que converte um sinal digitalizado RF ou IF com taxa de amostragem alta num sinal de frequência mais baixa de banda limitada, a uma taxa de amostragem mais baixa, a fim de recuperar a informação desse sinal modulado. De forma simplificada, a Figura 1 ilustra a caixa-preta do DDC, em que tem como entrada um sinal digitalizado com alta taxa de amostragem e como saída o sinal em fase e em quadratura.



Figura 1. Down-Converter Genérico

As características do DDC o leva para aplicações chaves em sistemas de comunicações, principalmente em receptores de rádio digital, onde estes geralmente possuem conversores analógicos-digitais(A/D) rápidos para digitalizar sinais RF ou IF de banda limitada, o que gera altas taxas de amostragem. Todavia, em muitos casos o sinal de interesse representa uma pequena parcela dessa banda, consequentemente, para extrair esta parcela a essa alta taxa de dados, é necessário um filtro abusivamente grande. Então, a partir desse ponto o DDC permite mover a faixa de interesse do sinal, de modo que ele tenha sua frequência reduzida, diminuindo a taxa de amostragem, tornando os requisitos de processamento do sinal de interesse e de filtro viáveis.

Para a implementação do DDC, é muito comum a utilização de circuitos integrados para aplicação específica padrão ASSPs(Application-Specific Standard parts), todavia, por mais barato que seja atualmente o custo de fabricação das ASSPs, elas não oferecem a integração e a flexibilização que um FPGA fornece. Além disso, a maior vantagem do uso do FPGA(Field Programmable Gate Array) para implementar um DDC é a velocidade, devido suas grande matriz de blocos lógicos

configuráveis, evidenciando assim o motivo da implementação do DDC por um FPGA no projeto.[1]

II. OBJETIVOS

A. Objetivo geral

O presente projeto tem como objetivo principal desenvolver e implementar no FPGA o componente DDC para o receptor no padrão DVBS2x, para um sinal amostrado de 8 bits. Em conjunto com a implementação e caracterização do DDC em hardware pela linguagem VHDL deve ser elaborado também o modelo de referência do componente em software usando o Matlab.

B. Objetivos específicos

Os objetivos específicos do projeto, originam-se dos módulos necessários para compor o DDC, sendo passíveis de serem integrados entre si ou ramificados em outros. São eles:

- Descrever, simular e implementar o componente do sintetizador de frequência DDS (Direct Digital Synthesizer), que gera uma sinusóide digital amostrada a ser multiplicada pelo sinal.
- Descrever, simular e implementar o componente do Mixer para multiplicar o sinal de entrada pelo sinusóide gerado localmente para mudar o espectro do sinal.
- Descrever, simular e implementar o componente do Decimador(Downsample) de fator de decimação N, que tem a função de subamostrar o sinal recebido, reduzindo sua taxa de amostragem.
- Descrever, simular e implementar o componente do Filtro Digital FIR Passa-baixas de ordem N.

III. METODOLOGIA

Com uma visão geral do DDC sua arquitetura básica é um oscilador, mixers, um par de filtros passa baixa além de um sub amostrador [2]

Observando a figura 2 constata-se que o DDC será dividido em cinco blocos básicos são eles:

- Um oscilador ou Direct Digital Synthesizer (DDS)
- Mixer
- Cascaded Integrator Comb (CIC) filter
- Filtro Compensador FIR (CFIR)
- Filtro Compensador FIR (CFIR)

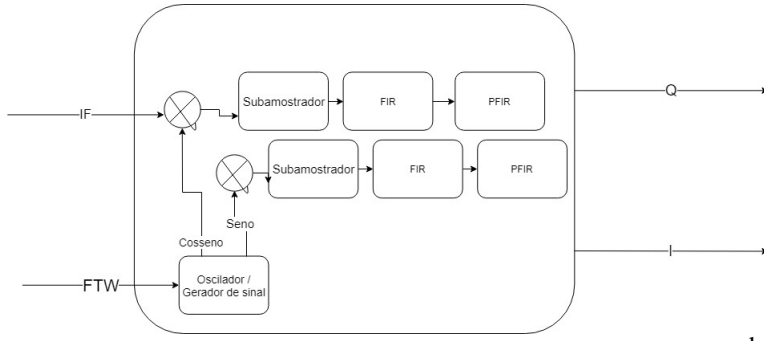


Figura 2. Lógica de um bloco DDC

A. Direct Digital Synthesizer (DDS)

Um sintetizador digital direto ou também conhecido como Oscilador complexo é um componente do DDC responsável por gerar um sinal senoidal com defassagens (seno + cos-seno) ambos na frequência intermediária. A arquitetura desse bloco é relativamente flexível o que facilitará na descrição de hardware, matematicamente uma onda senoidal pode ser obtida rotacionando um vetor em volta do círculo da fase conforme figura 3. O DDS é dividido em dois blocos são eles o acumulados de fase (PA) e o conversor de fase para amplitude (PAC)

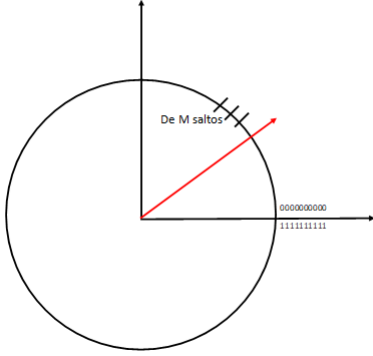


Figura 3. Lógica de um bloco DDS

B. PA

Acumulador de Fase

O acumulador de fase é a parte principal do DDS. Esse bloco é atualizado a cada ciclo de clock. A cada período a fase do acumulador é incrementada com a palavra de ajuste Δf

Essa palavra forma o tamanho do passo entre o relógio e então define quantos passos pular M conforme a figura 3. Nesse caso o próprio PA torna o contador de endereços desnecessário criando uma lógica conhecida como roda de fase que pode ser visualizado na figura 3 um vetor girando em torno de um ponto, sendo que cada passo M forma as amostras de fase de uma onda senoidal completa. Cada vez

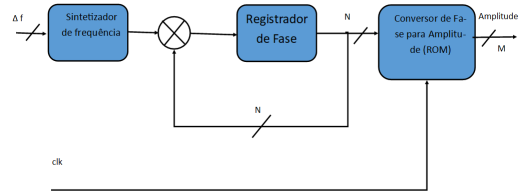


Figura 4. Bloco Acumulador de Fase

que há um pulso de clock PA aumenta o número armazenado na fase no registrador adicionando FTW nesse registrador e a frequência de sincronização é obtida com a equação 1.

$$f_{out} = \frac{(\Delta f * f_{clk})}{2^N} \quad (1)$$

Onde

Δf é a frequência de sintonia da palavra

f_{out} é a frequência requerida na saída

N é o número de bits requeridos para representar FTW

f_{clk} é a frequência do clock

A palavra da frequência de sintonia (FTW) forma um “salto” processo para pular os pontos de fase N -bit da roda de fase. Esses pontos de fase de N bits são conhecidos como tamanho de etapa de fase ou tamanho do salto de fase. O controle sobre o tamanho do salto constitui a resolução do ajuste de frequência do sistema DDS. Quanto maior o tamanho do salto, mais rápido o PA completa a geração de um ciclo de onda senoidal. A saída do Acumulador de Fase (em graus) é obtido usando a fórmula 2

$$PA = \frac{(\Delta f * n * 360^\circ)}{2^N} \quad (2)$$

C. Conversor da Fase para Amplitude PAC

O conversor de fase para amplitude nesse caso será basicamente uma memória ROM onde o endereçamento será dado pelo acumulador de fase e o tamanho dessa memória é de 2^N

$$PAC_{output}x(n) = \sin(PA) \quad (3)$$

D. Mixer

Um mixer é usado para converter o sinal IF para um sinal com base banda ou banda limitada multiplicando a entrada do sinal complexo sinoidal $\cos(wt) - j\sin(wt) = e^{-jwt}$ por isso são gerados dois sinais como saída:

- Sinal em Fase
- Sinal em Quadratura

A figura 5 segue a lógica da equação 4

$$\begin{aligned} Frequencia(A) * Frequencia(B) = \\ Frequencia(A - B) + Frequencia(A + B) \end{aligned} \quad (4)$$

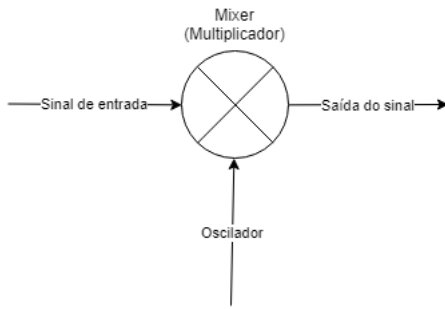


Figura 5. Bloco do Mixer

E. Filtro CIC

A função do filtro digital é suprimir tanto o sinal de banda de devida à mistura de frequência e ruído resultando em aliasing resultados de dizimação e também para maximizar a relação sinal-ruído (SNR). O espectro de sinais de fase e de quadratura pode ser filtrado pois isso é implementável sem grandes problemas em um FPGA. Uma resposta de frequência de filtro digital é sempre simétrico sobre $0.5F_s$. A frequência indesejada os componentes vão para fora da banda de passagem do filtro.

F. CFIR Filter

saída do filtro CIC tem é "filtro de limpeza" onde pode ser aplicado no CIC droop, bem como para atingir a frequência de corte desejada e a forma de filtro. Este filtro é tipicamente um subamostrador por um fator de "2" ou "4" para minimizar a amostra de saída.

IV. METODOLOGIAS DE TESTES

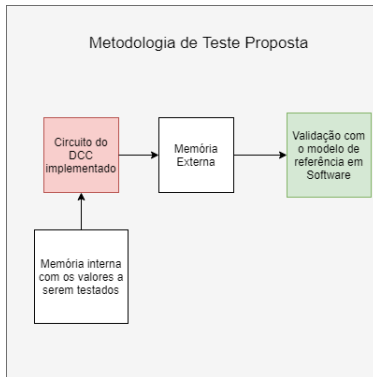


Figura 6. Metodologia de Teste Proposta

A. A nível comportamental

Para as simulações será utilizado um modelo de teste bench disponibilizado não convencional que funciona com máquinas de estados onde no final de cada ciclo é comparado o resultado com o modelo de referência em software.

B. A nível de implementação

Todos os circuitos aqui descritos em VHDL será implementado no FPGA Xilinx Zynq-7000 (XC7Z010-1CLG400C) com o kit de desenvolvimento Zybo para fins de testes utilizando uma memória ROM para que os resultados sejam lidos em tempo de execução e então os resultados serão gravados em uma memória externa (um micro SD, por exemplo) nesse ponto será comparado o resultado obtido com os resultados dos modelos de referência em software desenvolvidos conforme na figura 6.

V. RESULTADOS PARCIAIS

Até o atual momento o projeto possui os seguintes resultados

- Descrição completa do DDS em VHDL.
- Descrição completa do subamostrador.
- Descrição em fase de finalização do Mixer.
- Filtro FIR em fase de desenvolvimento do modelo de software

A. Decimador (Downsample)

O bloco proposto para o downsample foi descrito em VHDL para uma implementação em tempo real, de modo que não há a necessidade de armazenamento prévio de uma quantidade fixa de amostras do sinal a ser subamostrado, o que trás maior robustez ao dispositivo.

Seu funcionamento consiste em contar até um fator N, genérico a nível de síntese, para obter na saída, as amostras múltiplas desse fator. Após a primeira amostra de entrada do sinal, que é sempre a primeira amostra do sinal de saída subamostrado, as seguintes amostras de saída serão sempre as amostras de índices múltiplos do fator N. Após a descrição em VHDL do downsample, foi obtido o diagrama RTL pré-síntese conforme a Figura 10 (Anexo A).

B. Oscilador

O bloco do oscilador foi descrito conforme a seção IV utilizando uma memória ROM e o acumulador de fase que funciona como um um endereçamento. conforme mostrado na figura 7

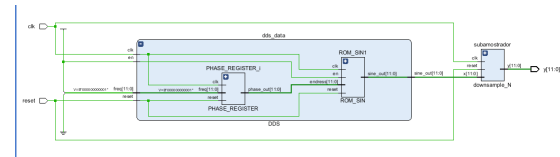


Figura 7. Resultados da implementação do mixer e downsample

Os recursos utilizados até agora foram conforme a figura 8

VI. REQUISITOS

Os requisitos para a execução do projeto do Digital Down Converter são baseados até o momentos em:

- Fazer o componente com o tamanho dos dados configuráveis em tempo de síntese para que projeto possa

| Resource | Estimation | Available | Utilization... |
|----------|------------|-----------|----------------|
| LUT | 65 | 20800 | 0.31 |
| FF | 58 | 41600 | 0.14 |
| BRAM | 1.50 | 50 | 3.00 |
| IO | 14 | 106 | 13.21 |
| BUFG | 1 | 32 | 3.13 |

Figura 8. Recursos utilizados até o momento

ser implementado independentemente da arquitetura do FPGA.

- Tornar a frequência do oscilador do bloco DDS configurável em tempo de síntese.
- A frequência do sinal de saída deve ser centrada em zero.
- Em caso de *trade-off* entre arquiteturas dos componentes a performance e a quantidade de DSPs devem ser os principais requisitos de escolha.
- A frequência do sinal de entrada deve ser plausível de configuração em tempo de síntese.

Dados os conhecimentos a respeito do DDC e com base nos requisitos apresentados, tem-se na Figura 6 (Anexo A), a proposta para a entidade do projeto em VHDL. A entidade apresenta o mapeamento das entradas e saídas do DDC e também dos parâmetros genéricos requisitados. Observa-se que os valores atribuídos são exemplares levando em consideração a placa ADALM-PLUTO com um conversor A/D de 12 bits de resolução.

REFERÊNCIAS

- [1] ANDRAKA, Ray. High Performance Digital Down-Converters for FPGAs. San Jose, Ca: Xcell Journal, 2000.
- [2] EUROPEAN TELECOMMUNICATIONS STANDARDS INSTITUTE. ETSI EN 301 545-2 V1.2.1: Digital Video Broadcasting (DVB); Second Generation DVB Interactive Satellite System(DVB- RCS2); Part 2 Lower Layers for Satellite Standard. Sophia Antipolis: European Telecommunications Standards Institute, 2014.
- [3] SAVVOPOULOS, Panayiotis; ANTONAKOPOULOS, Theodore. COMPARATIVE PERFORMANCE ANALYSIS OF SYMBOL TIMING RECOVERY FOR DVB-S2 RECEIVERS. Patras, Greece: University Of Patras, 2006.
- [4] LIMA, Eduardo R. de et al. A Detailed DVB-S2 Receiver Implementation: FPGA Prototyping and Preliminary ASIC Resource Estimation. Campinas: Eldorado Research Institute, 2014.
- [5] HARRIS, Fred et al. Cascade linear phase recursive half-band filters implement the most efficient digital down converter. San Diego: Springer Science+business Media, 2012.
- [6] CHANGRUI, Wu et al. Design and FPGA Implementation of Flexible and Efficiency Digital Down Converter. Wu Changrui: Ieee, 2010.

VII. ANEXOS

A. Anexo A

```

) --! Previous entity of the DDC project

) entity ddc_previous_entity is
    Generic ( word_length      : integer := 12;                --! ADC and DAC Resolution (12 bits)
              bandwidth_frequency : integer := 200000000;      --! flexible bandwidth synthesis time
              oscillator_frequency : integer := 200000000;      --! flexible frequency of oscillators
    Port      ( clk            : in STD_LOGIC;
                reset          : in STD_LOGIC;
                digital_signal  : in STD_LOGIC_VECTOR (word_length-1 downto 0); --! received signal already digitalised
                imaginary_component : out STD_LOGIC_VECTOR (word_length-1 downto 0); --! imaginary component of the converted output signal
                real_component   : out STD_LOGIC_VECTOR (word_length-1 downto 0); --! imaginary component of the converted output signal
    ) end ddc_previous_entity;

```

Figura 9. Entidade prévia proposta para o DDC.

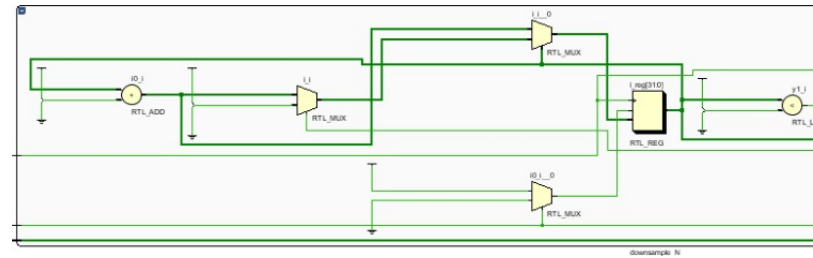


Figura 10. RTL do downsampler.