

FAMÍLIAS E TECNOLOGIAS DIGITAIS

Elaboração: Bertoldo Schneider Jr
Fábio Kurt Schneider

Esta apostila apresenta informações antigas de famílias de circuitos digitais de baixo nível de integração. Estes circuitos ainda podem ser encontrados e ormai importante é compreender para qualquer implementação como se constrói as portas lógicas fundamentais.

Bom leitura.

FAMÍLIAS DE CIRCUITOS LÓGICOS

1-Introdução

Este capítulo é dedicado à análise básica das diversas **famílias de circuitos lógicos digitais**. Esta análise baseia-se no estudo de estruturas internas e características elétricas das mesmas.

Os Circuitos Integrados podem ser classificados conforme vários critérios. Abaixo são apresentadas duas classificações. Na disciplina de Eletrônica Digital II serão empregados C.I.'s do tipo SSI e MSI (no que se refere à integração) e TTL e CMOS (no que se refere à tecnologia/arquitetura interna).

Ainda, estudaremos aqui tecnologias sobre substrato de Silício. Outros tipos de substratos vêm sendo desenvolvidos, apresentando algumas vantagens sobre o Si, embora não sejam ainda comercialmente vantajosos.

1.1.1 Classificação Quanto à Escala de Integração:

- SSI (*Small Scale integration*, Pequena Escala de Integração) 10 portas / C.I.;
- MSI (*Medium Scale integration*, Média Escala de Integração) 10 a 100 portas / C.I.;
- LSI (*Large Scale integration*, Grande Escala de Integração) 100 a 1000 portas / C.I.;
- GSI (*Great Scale integration*, Escala de Integração muito Grande) >1000 portas / C.I.;

1.1.2 Classificação Quanto à Tecnologia Interna:

- Bipolar:
 - DTL (*Diode Transistor Logic*, Lógica de Diodos e Transistores);
 - DCTL (*Direct Coupled Transistor Logic*, Lógica de Transistores diretamente acoplados);
 - RTL (*Resistor Transistor Logic*, Lógica de Transistores e Resistores);
 - RCTL (*Resistor Capacitor Transistor Logic*, RTL com Capacitores);
 - HTL (*High Threshold Logic*, Lógica de alto Limiar);
 - TTL (*Transistor Transistor Logic*, Lógica Transistor-transistor);
 - ECL (*Emitter Coupled Logic*, Lógica de Emissores Acoplados);.
- MOS (*Metal Oxide Semiconductor Logic*, Lógica de MOSFETs):
 - pMOS (MOSFET canal P);
 - nMOS (MOSFET canal N);
 - CMOS (*Complementary MOS Logic*, Lógica MOS complementar) → Há sempre um pMOS e um nMOS em arquitetura complementar.

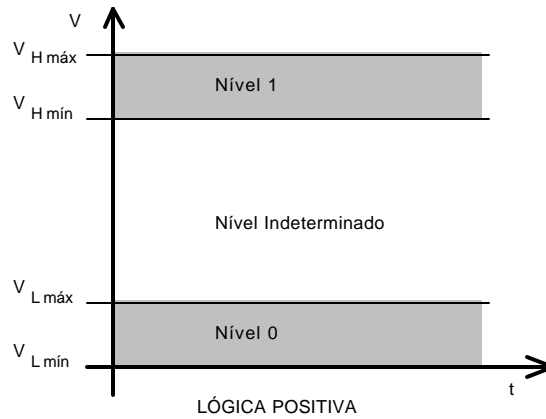
Todas estes tipos de construção de circuitos integrados serão analisados posteriormente. Antes disso, porém, serão analisados os parâmetros elétricos (nomenclatura e significado) dessas estruturas.

1.1.3 Parâmetros Elétricos:

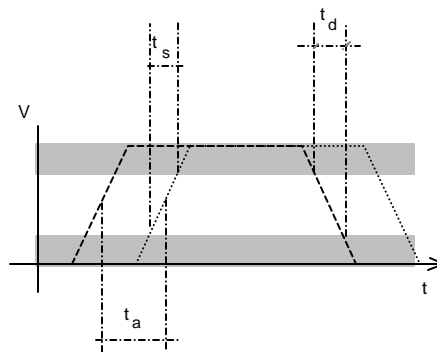
Terminologia I → intensity of current; V → voltage (tensão); t → time (tempo); Índices: _I → input (entrada); _O → output (saída); _H → high (1); _L → low (0); _a → *delay* (atraso); _p → *propagation* (propagação); _c → *commutation* (comutação)

- I_{IH} : Corrente de entrada para nível alto;
- I_{IL} : Corrente de entrada para nível baixo;
- I_{OH} : Corrente de saída para nível alto;
- I_{OL} : Corrente de saída para nível baixo;

- V_{IH} : Tensão de entrada para nível alto;
- V_{IL} : Tensão de entrada para nível baixo;
- V_{OH} : Tensão de saída para nível alto;
- V_{OL} : Tensão de saída para nível baixo;

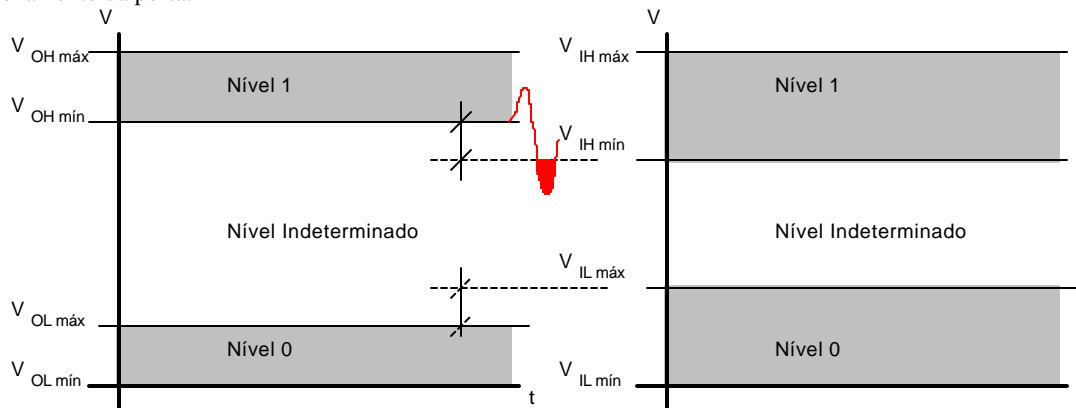


- t_a : tempo de atraso de propagação (tempo que uma saída lógica leva para “responder” a uma informação inserida na entrada;
- t_c : tempo de comutação ou de chaveamento - é o tempo de transição entre níveis de tensões de uma unidade lógica. Pode-se ainda classificar a comutação em t_s , tempo de subida, o tempo que o dispositivo leva para ir do nível zero para o nível 1 e t_d , tempo de descida, tempo que leva para comutar de um estado lógico 1 para o estado 0.



Outras 2 características importantes para trabalharmos com circuitos lógicos são a imunidade ao ruído e a capacidade de fornecer/drenar corrente (drive currents). O primeiro refere-se à capacidade de um circuito funcionar adequadamente mesmo na presença de um determinado nível de ruído e o segundo à capacidade de um circuito fornecer/drenar corrente para/de os circuitos a ele conectados de forma a manter um funcionamento adequado.

1.1.4 Imunidade à Ruído: Capacidade de manter o funcionamento adequadamente mesmo na presença de ruídos em suas entradas e saídas. Se até um determinado nível de ruído V_n , a lógica do circuito não for comprometida, diz-se que o circuito é imune a ruídos de até um nível de V_n volts. Na figura abaixo, a parte hachurada do ruído compromete o funcionamento da porta.

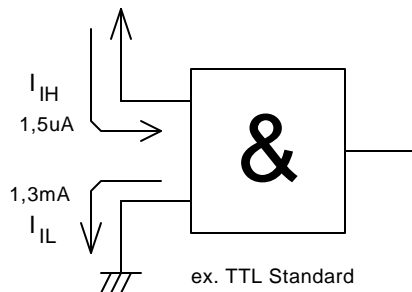


Para a determinação da imunidade ao ruído, deve-se considerar o pior caso, ou seja, o menor valor entre $(V_{OHmin} - V_{IHmin})$ e $(V_{ILmax} - V_{OLmax})$.

1.1.5 Correntes de entrada e saída.

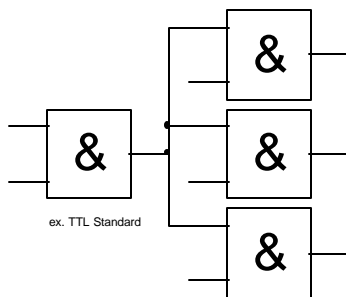
O estudo das correntes de entrada e saída de um dispositivo lógico é importante no sentido de que se pode determinar com certeza a máxima carga que cada porta pode suportar sem que entre em desfunção, bem como tomar providências para que as entradas funcionem nominalmente. Quando falamos de correntes de entradas de uma porta, estamos falando de *FAN IN*, enquanto que as correntes de saída estão relacionadas ao termo *FAN OUT*.

1.1.5.1 FAN IN (Correntes de entrada)



O termo FAN IN significa leque de entrada, isto é, o conjunto das informações das correntes de entrada. O FAN IN é dado normalmente em amperes, nas formas de corrente de entrada para nível alto, *fan in 1* ou I_{IH} e corrente de entrada para nível baixo, *fan in 0* ou I_{IL} . As correntes de entradas significam as correntes quiescentes, ou seja, as correntes necessárias para o perfeito funcionamento das entradas (quando falarmos das correntes de saídas, veremos que estas são fornecidas com seus valores máximos). Na figura abaixo, ilustra-se este conceito.

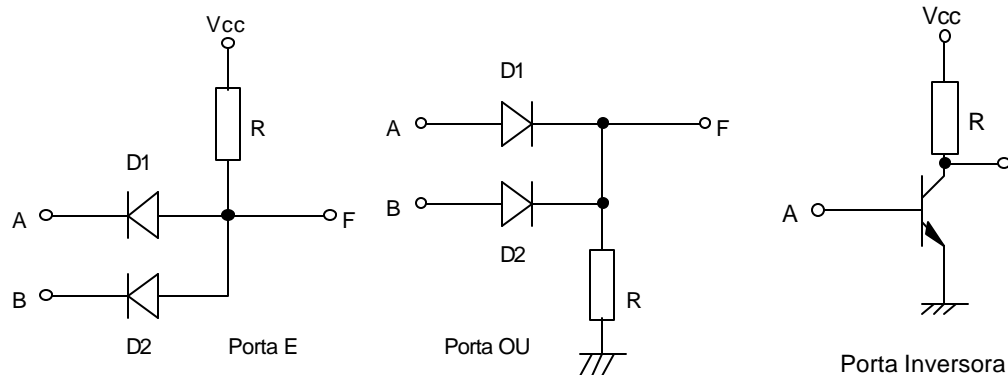
1.1.5.2 FAN OUT (Correntes de saída)



O termo *FAN OUT* significa leque de saída e corresponde ao conjunto de informações sobre as correntes de saída. *FAN OUT*, ao contrário de *FAN IN*, não é fornecido em amperes, mas sim, convencionalmente, como o número de entradas-padrão (da mesma família) que uma saída consegue excitar com garantia. É um número adimensional e tem um sentido estritamente doméstico (não tem sentido falar sobre fan out entre famílias diferentes, embora possamos calcular facilmente a capacidade excitatória de uma família para outra). Por exemplo, se tomarmos a porta desenhada acima, podemos dizer que o *FAN OUT* daquela família é 3 se a saída for capaz de drenar $3 \times 1,3mA$ das três entradas a ela ligadas e fornecer $3 \times 1,5uA$ para as mesmas (vide figura abaixo).

A seguir serão analisadas as diversas estruturas citadas anteriormente.

1.2-Lógica com diodos (Diode Logic)



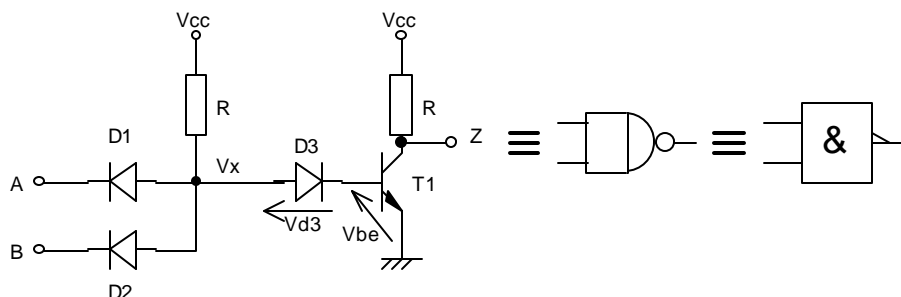
1.3-Transistor Funcionando Como Inversor

vide figura acima

1.4-Família DTL (Diode Transistor Logic)

A família DTL (Lógica de diodos e transistores) é uma extensão da lógica com diodos, permitindo formar além dos blocos E ou OU, os blocos NE e NOU.

O circuito básico da porta NE DTL é visto na figura:



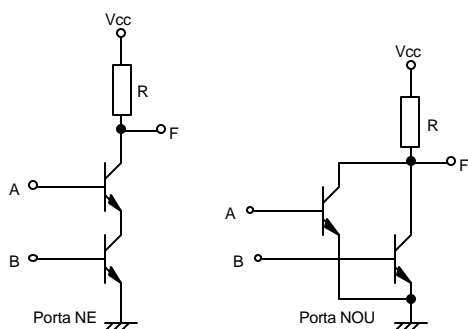
Exercício: Desenhe a porta NOU DTL.

Se uma das entradas estiver em nível zero (0V), o seu diodo correspondente estará conduzindo, o que é condição suficiente para que o transistor esteja cortado ($V_x = V_{D1} = V_{D2} < (V_{D3} + V_{BE})$). A única possibilidade do transistor entrar em regime de saturação (saída igual a ZERO) é quando $A=B=1$.

Principais características: bloco lógico básico é a porta NE, tempo de atraso da ordem de 30ns, fan-out ≈ 8 , potência/bloco $\approx 10\text{mw}$, imunidade ao ruído da ordem de 1,4V. Isso é facilmente compreendido, pois o início de condução do transistor T1 acontece quando $V_{BE} + V_{D3}$ for menor que V_x , i.e., 1,4V.

1.5-Família DCTL (Direct-Coupled Transistor Logic)

A família DCTL (Lógica de transistores diretamente acoplados) permitem alimentação de baixa tensão, em torno de 3V.

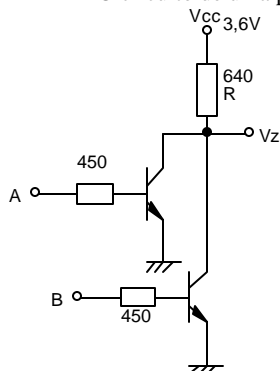


Fan-out igual a 2 (limitação), baixa potência em função do menor número de resistores internos, imunidade ao ruído baixa, em função do fato de que qualquer variação da tensão de entrada poderá fazer, facilmente, com que um dos transistores saia da situação de corte e entre em situação de saturação.

1.6-Família RTL (Resistor-Transistor Logic)

A família RTL (Lógica de transistores e resistores) é uma das primeiras famílias transpostas para os circuitos integrados. Essa família é semelhante à família DCTL somente que seus circuitos não possuem acoplamento direto dos transistores. Analogamente à família DCTL, possui circuitos simples e de fácil compreensão.

O circuito de uma porta NOU na família RTL é visto na figura:



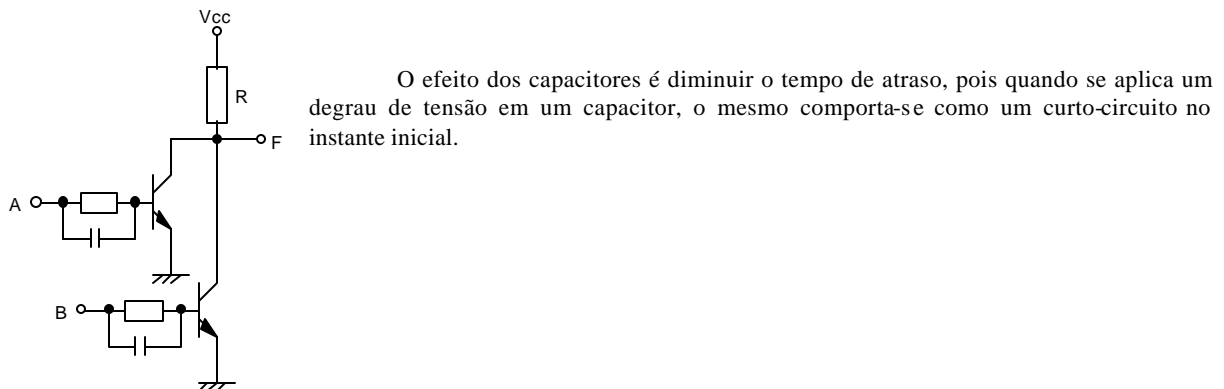
Exercício. a) Determine as tensões da saída (V_z) para 0,1,2,3,4 e 5 cargas-padrão. b) Conclua sobre a dependência entre V_z e o número de cargas.

V_z	No Cargas
	0
	1
	2
	3
	4
	5

Características gerais: Fan-out igual a 5, potência dissipada por bloco da ordem de 10mW, devido à introdução dos resistores de base, tem-se maior imunidade ao ruído que na família DCTL e tempo de atraso típico da ordem de 12ns. A maior imunidade ao ruído é devido ao fato de o ruído, para polarizar a junção base-emissor do transistor, deve perder energia sobre o resistor de 450 ohms. A tensão associada a esta perda é justamente o incremento de imunidade a ruídos que esta família tem em relação ao circuito correspondente sem resistor.

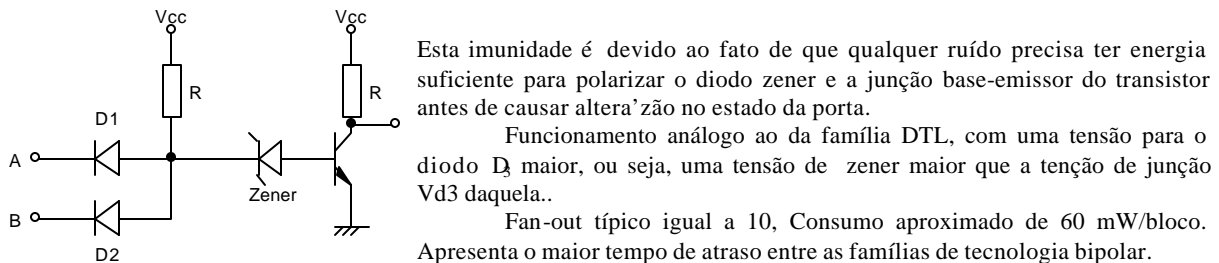
1.7 Família RCTL (Resistor-Capacitor Transistor Logic)

A família RCTL (Lógica de Transistor-resistor-capacitor) é semelhante à RTL, apenas com a introdução de capacitores para diminuir o tempo de atraso, ou seja, aumentar a velocidade de comutação.



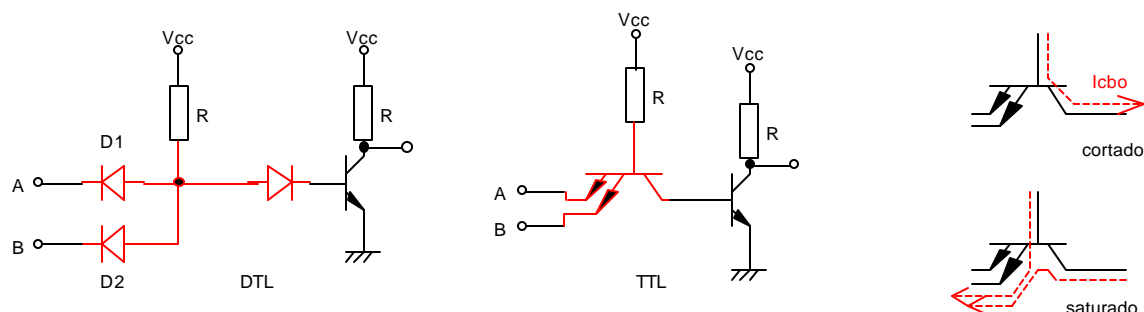
1.8 Família HTL (High Threshold Logic)

A família HTL (Lógica de alto Limiar) apresenta alta imunidade ao ruído (emprego em equipamentos industriais).



1.9 Família TTL (Transistor-Transistor Logic)

A família TTL (Logica de Transistores Bipolares) é derivada da família DTL (vide comparação na figura), diferenciando-se no uso de **Transistores Multiemissores**, o que resulta em uma série de vantagens, tais como: eliminação da rede de diodos e resistores de entrada, maior velocidade de comutação e ainda, maior facilidade de construção em escala integrada, tornando-se menor o custo por unidade.



O transistor multiemissor funciona exatamente do mesmo modo que os bipolares comuns. Para a polarização de uma junção base-emissor, precisa-se de um $V_{be}=0,6V$ e uma vez polarizada esta junção, existirá uma corrente de coletor que passará pelo(s) emissor(es) polarizado(s). Nesta condição, a corrente de coletor do transistor de entrada “tenta” drenar corrente da base do transistor de saída, cortando-o. Com o transistor de saída cortado, a saída permanece em nível lógico um. Quando, no exemplo acima, as duas junções base-emissor estiverem não polarizadas, existirá uma corrente de fuga, a I_{CBO} , corrente base-coletor com emissor em aberto, que será suficiente para polarizar o transistor da saída, levando a mesma para o nível zero.

1.9.1 Entrada em aberto: Quando deixamos uma entrada em aberto, teremos a respectiva junção base-emissor não polarizada. Isto tem o mesmo efeito de se colocar o nível um lógico na entrada. Por isso, diz-se que uma entrada em aberto é uma entrada em um. Na prática, onde problemas de acoplamento de ruído de HF são bem conhecidos, sempre devemos garantir o nível 1 ligando-o fisicamente a V_{cc} , i.e., não devemos confiar no expediente de deixar entradas em aberto, geralmente aparecerão problemas.

Para se aumentar o número de entradas do bloco NE, basta aumentar o número de emissores do transistor multiemissor de entrada.

1.9.2 Especificações da Família TTL:

1.9.2.1 Séries 74/54 Simbologia

Geralmente, observaremos nos CI's com tecnologia TTL um código semelhante ao mostrado abaixo:

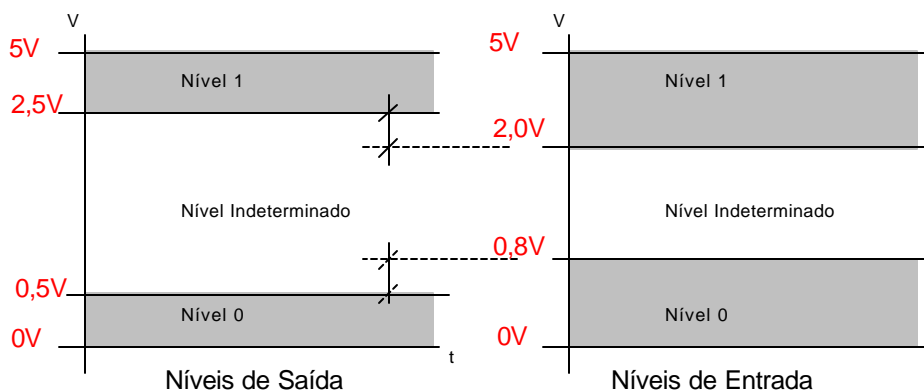
ZZ 74 AC KK XXX NT

onde

ZZ é geralmente o código do fabricante (ex. SN da Texas Inst.). Os números 74 e 54 dizem respeito à **Faixa de Temperatura** de funcionamento. O código 74, conhecido por versão comercial tem características de temperatura para Bipolar na faixa $[0..70^{\circ}C]$ e na versão com compatibilidade CMOS na faixa $[-40..85^{\circ}C]$. O código 54, conhecido por versão Militar tem a faixa de utilização de $[-55..125^{\circ}C]$. As letras que aparecem após o 74/54 especificam a sub-família: nenhum código ou N para *TTL Standard* (TTL padrão ou normal), L para *Low Power*, LS para *Low Power Schottky* (Baixa Potência com Junções Schottky), S para *Schottky* (Junções Schottky), ALS para *Advanced Low Power Schottky* (Baixa Potência/Junções Schottky-avançada), AS para *Advanced Schottky* (Junções Schottky-versão avançada), F para *FASTTM* (FAST (marca registrada)), e C para compatibilidade com CMOS. KK s números identificadores especiais relacionados com o número de bits de barramento de CI's de interface. Os números **XXX** especificam a função do CI(ex. 00 tem quatro portas NE de duas entradas). NT identifica o tipo de encapsulamento. ex. N=300mil DIP Dual in Pine; NT é 300 mil DIP para 24/28 pinos; D=150 mil SO; DW 300 mil SO 20/24/28 pinos; DL 300 mil SSOP (Shrink Small Outline Package) 48/56 pinos 300 mil cerâmico DIL.

1.9.2.2 Alimentação: A versão Comercial (74xx) tem tolerância de 5% na alimentação [de 4,75 a 5,25V] e faixa de temperatura de trabalho entre 0° a $75^{\circ}C$ e a versão militar Militar (série 54xx) uma tolerância de 10% com faixa de temperatura de trabalho entre $-55^{\circ}C$ a $125^{\circ}C$.

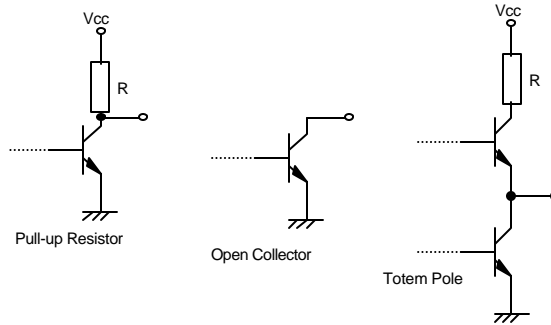
1.9.2.3 Níveis de Entrada e Saída:



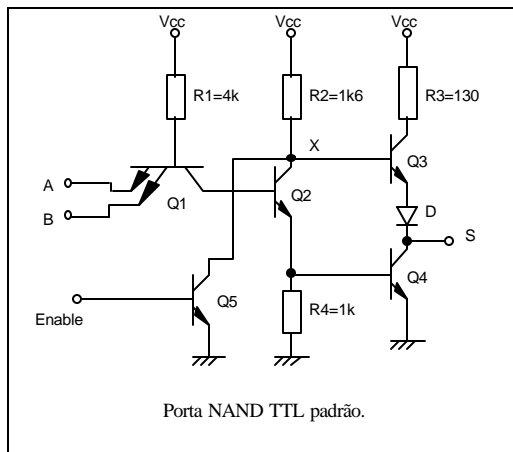
V_{IH} mínimo de 2V, ou seja, para V_{IH} menor do que 2V o bloco pode não interpretar o valor de tensão de entrada como nível 1. V_{IL} máximo da ordem de 0,8V. V_{OH} mínimo é de 2,5V, ou seja, quando um bloco apresentar nível 1 de saída, a tensão de saída mínima (pior caso) será de 2,5V. Pode-se notar que este

valor é compatível com V_{IL} máximo (veja abaixo), i.e., para os piores casos das saídas, a entrada ainda interpretará o nível corretamente (pois os piores casos da saída estão dentro, com folga, dos níveis de interpretação da entrada).

1.9.3 Saídas Padrão:



1.9.4 A porta NE TTL Padrão



A presença de R_3 no coletor de Q_3 caracteriza o *Active Pull-Up Resistor* e o conjunto Q_3 e Q_4 , com ou sem o diodo D ligado no coletor de T_4 (formando um elevador de potencial) caracteriza a saída *Totem-Pole*.

Quando tivermos uma ou ambas as entradas A e B em nível 0, analogamente ao circuito básico, o transistor Q_2 irá cortar, levando (por ausência de corrente de base) Q_4 ao corte. O transistor Q_3 estará com tendência a conduzir, pois por R_2 fluirá uma corrente através de sua base. Nesse caso, aparecerá na saída S um igual a $+V_{CC}$ (nível lógico 1). Quando ambas as entradas estiverem em aberto ou em nível 1, por R_1 fluirá uma corrente (I_{CBO}) que irá saturar Q_2 e consequentemente Q_4 . Devido à elevação do potencial de base pelo diodo D, o transistor Q_3 será cortado e teremos, na saída, um baixo potencial, a tensão V_{CEsat} de Q_4 , aproximadamente de 0,2V, equivalente ao nível lógico zero. Desse modo, notamos

que o circuito se comporta como uma porta NE.

1.9.5 Coletor Aberto

Deve ser ligado um resistor de pull-up externamente quando da utilização do bloco. Essa configuração permite o controle externo da corrente de coletor, proporcionando inclusive o aumento do fan-out. Além disso, permite a ligação conjunta de várias saídas através de um único resistor de coletor, formando uma ligação denominada E por conexão ou por fio.

1.9.6 Função Enable, Tri-State / Estado de Alta Impedância:

Na figura de [Porta NAND TTL padrão] a saída apresenta 3 estados de saída: o estado 0 (Q_4 saturado e Q_3 cortado), o estado 1 (Q_4 cortado e Q_3 saturado) e um terceiro estado de alta impedância (Q_4 e Q_3 cortados), conhecido como terceiro estado. Diz-se que esta saída é do tipo *tri-state* (3S).

Se aplicarmos um nível zero (0V) na entrada E (*enable*, entrada de habilitação), Q_5 será cortado e o circuito funcionará normalmente como uma porta NE. Se aplicarmos nível 1(V_{CC}), o transistor Q_5 saturará e o potencial no ponto X cairá para um valor baixo, levando Q_3 e Q_4 para a situação de corte. O terminal de saída S, neste caso, estará praticamente desconectado do circuito e ocasionará o estado de alta impedância.

Na prática, as aplicações das saídas tri-state são muitas, principalmente em sistemas com micro-processadores, onde vários circuitos integrados compartilham um mesmo conjunto de, formando o que se denomina **barramento de dados** (*Data Bus*). Nesta situação, enquanto um dispositivo utiliza os dados do barramento, todos os outros dispositivos ligados ao mesmo barramento permanecem em estado de alta impedância. É como funciona a memória de um computador.

1.9.7 Características Principais da Família TTL

Bloco lógico básico: porta NE

Fan-out igual típico de 10 para

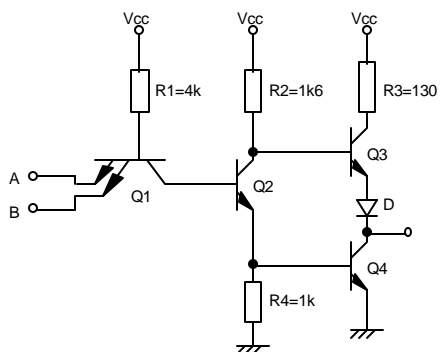
O consumo dessa família é da ordem de 10mW por porta na versão mais comum.

A imunidade ao ruído é relativamente boa, em torno de 0,4 V.

O tempo de atraso de propagação é da ordem de 10 ns na versão mais comum.

1.9.8 Versões dos Circuitos TTL

NAND TTL PADRÃO:



74Lxx ⇒
74Hxx ⇒
Diminuídas
74Sxx ⇒
74LSxx ⇒
Diminuídas.

com D; R1=40kΩ, R2=20kΩ, R3=12kΩ e R4=500kΩ;
sem D; Q4 - Transistor Darlington, Resistências
sem D: Transistores Schottky;
com D: Transistores Schottky; Resistências

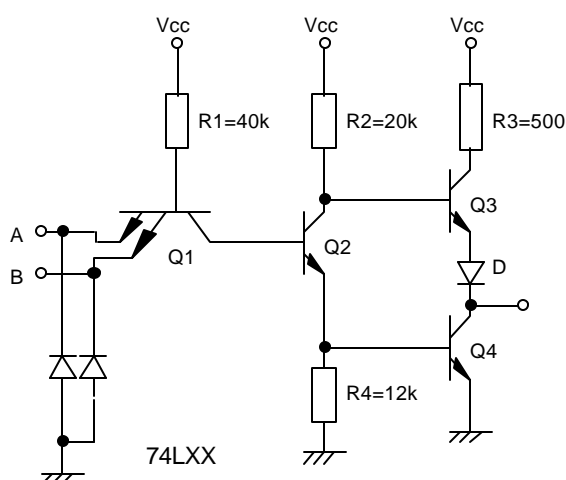
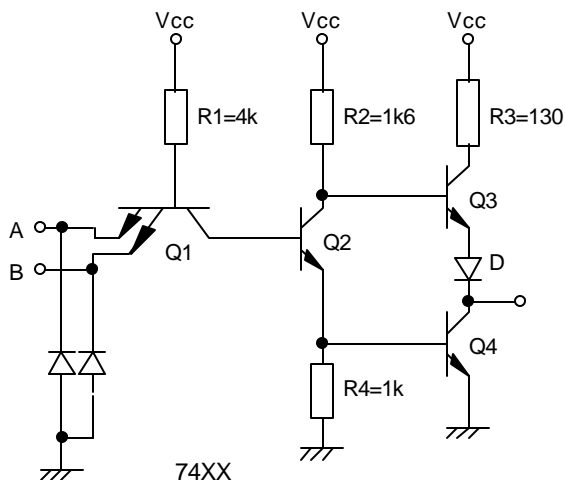
Além dos blocos comuns (Standard), a família TTL possui outras versões de circuitos com a finalidade de atender a solicitações de ordem prática, nos parâmetros relativos a velocidade e consumo.

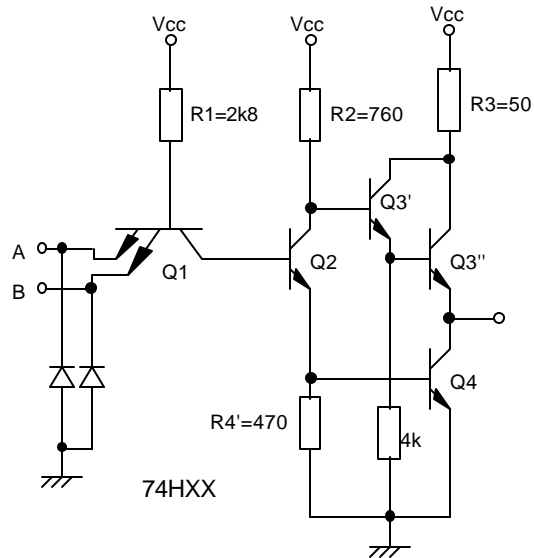
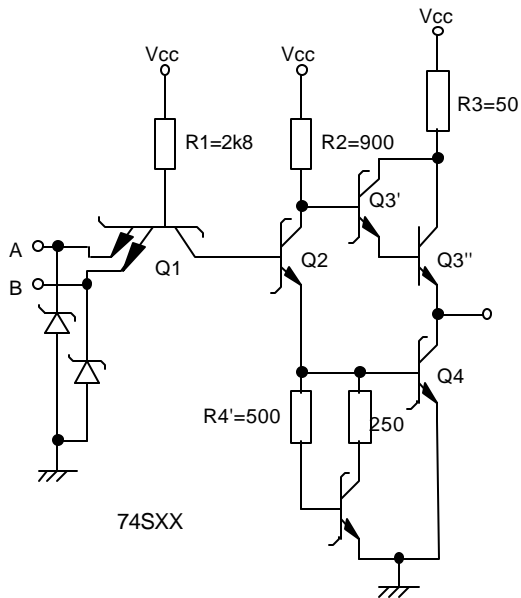
A seguir, mostramos um quadro comparativo com essas versões e respectivas identificações:

Versão	Identificação da série	Tempo de atraso de propagação por porta	Consumo de potência por porta	Observações
Standard	54/74	10 ns	10 mW	comum
Low power	54L/74L	33 ns	1 mW	baixíssimo consumo
High speed	54H/74H	6 ns	22 mW	alta velocidade
Schottky	54S/74S	3 ns	20 mW	altíssima velocidade
Low power Schottky	54LS/74LS	10 ns	2 mW	baixíssimo consumo

A versão Schottky utiliza em seus circuitos junções Schottky, onde se provoca o aparecimento de uma região de depleção na junção entre um metal e um semiconductor. Esse elemento apresenta um tempo de comutação extremamente baixo e consequentemente uma alta velocidade de trabalho.

A seguir, apresenta-se os circuitos internos das diversas sub-famílias TTL.





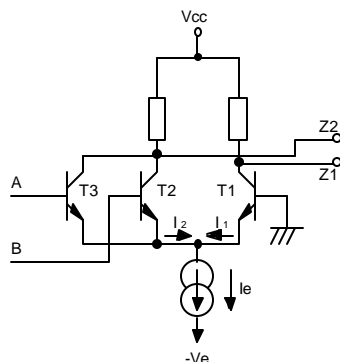
Exercícios:

1) Explique o fato de V_{OL} sem carga ser maior que V_{OL} com carga (usar a carga padrão para a família. Uma carga padrão para uma família é uma entrada típica da mesma família).

2) Dada a tabela, determine: a) o Fan-out de cada sub família; b) quantas entradas S a família LS consegue excitar com garantia? c) quantas entradas LS a família S consegue excitar com garantia?; d) quantas entradas LS a família *Standard* (N) consegue excitar com garantia? e) quantas entradas L a família H consegue excitar com garantia? e f) quantas entradas H a família L consegue excitar com garantia?

Valores máximos			Valores quiescentes					
Sub-família	I_{OL} mA	I_{OH} μ A	I_{IL} mA	I_{IH} μ A	V_{IH} V	V_{IL} V	V_{OH} V	V_{OL} V
N (<i>Standard</i>)	16	-400	-1,6	40	2	0,8	2,4	0,4
L	3,6	-200	-0,18	10	2	0,8	2,4	0,4
H	20	-500	-2	50	2	0,8	2,4	0,4
S	20	-1000	-2	50	2	0,8	2,7	0,4
LS	8	-400	-0,36	20	2	0,8	2,7	0,4

1.10 Família ECL (*Emitter-Coupled Logic*)



A	B	Z1	Z2
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

A família ECL (Lógica de Emissores acoplados) utiliza nos circuitos o acoplamento direto entre emissores dos transistores. Esse fato faz com que os transistores não trabalhem na região de saturação e traz como consequência, um menor tempo de resposta, ou seja, uma velocidade de trabalho alta. De fato, dentre as famílias lógicas aqui estudadas, é a que permite a maior velocidade de comutação (1,55 ns).

Essa família apresenta um bloco lógico com duas saídas, a NOU e a OU, obtidas a partir do mesmo circuito.

O circuito ECL funciona de maneira análoga a um amplificador diferencial. Quando ambas as entradas estiverem em nível zero, os transistores T3 e T2 estarão no limiar da

região de corte, portanto I_2 será pequena e por isso o potencial em Z2 será alto. Se I_2 tem um baixo valor, I_1 terá um valor alto de modo a satisfazer a condição $I_e = I_1 + I_2$. Com isso o transistor T1 estará no limiar da saturação, impondo

assim, um potencial baixo em Z1. Quando pelo menos uma das entradas (A ou B) estiver com potencial alto (nível 1), o seu respectivo transistor (T3 ou T2) estará no limiar da saturação e, com isso, I_2 será elevada, logo o potencial de Z2 será baixo. Se I_2 é elevada, I_1 deverá ser pequena de modo a manter a corrente I_e . Com isso o transistor T3 estará no limiar de corte, impondo assim um potencial alto em Z1. A transposição dessas situações para uma tabela verdade pode ser vista na figura acima, onde se pode ver que a saída Z1 é uma saída OU e a saída Z2 é uma saída NOU.

Aplicações principais desta família se encontram em computadores rápidos e satélites. Tem desvantagem de um alto consumo, fabricação complicada e baixa densidade de integração.

1.10.1 Características da Família ECL

r

Os blocos lógicos principais são a porta OU (saída Z1) e a porta NOU (Z2).

Uma das vantagens de ECL é que possui um fan-out igual a 25.

A potência dissipada pelos blocos dessa família é da ordem de 50 a 70 mW por bloco. Isso se dá pelo fato de não trabalharmos na região de corte e saturação e sim, na região ativa.

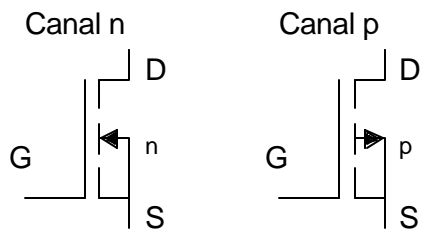
Apresenta uma boa imunidade a ruído.

Como já foi dito, a grande vantagem da família ECL é de possuir um tempo de atraso muito baixo, da ordem de poucos nanossegundos. Atualmente esta família responde numa velocidade de uns 600 MHz.

1.11 Família MOS (Metal-Oxide Semiconductor)

A família MOS (Lógica de transistores MOS-FET) são circuitos formados a partir de transistores MOSFETs, transistores de efeito de campo, construídos a partir da tecnologia MOS (semicondutor de óxido metálico). Ilustra-se abaixo estes transistores.

1.11.1 MOSFET



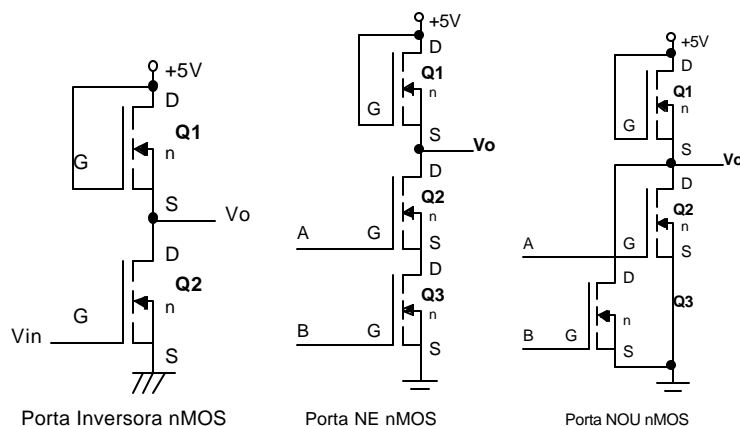
Para o transistor MOS canal n (nMOS) enquanto $V_{GS} \leq 0V$ o transistor está cortado. Quando a tensão V_{GS} for de aproximadamente 1,5 V começa a formação de um canal condutivo entre o dreno e a fonte (source). Quanto maior o valor de $V_{GS} \rightarrow$ maior o canal de condução e, portanto, menor a resistência entre dreno e fonte. Trabalhando em condições de corte e saturação tem-se resistências de corte de 10Ω e de saturação de $1 k\Omega$. O transistor pMOS (MOSFet canal p) funciona de maneira complementar de modo que podemos fazer o seguinte resumo.

Nível lógico zero no gate faz o pMOS conduzir e o nMOS cortar, enquanto que o nível lógico um no gate faz o pMOS cortar e o nMOS conduzir.

O transistor nMOS é 2 vezes mais rápido que o pMOS (maior nível de integração) (**)

A tecnologia MOS apresenta como característica uma maior densidade de integração que os bipolares, de forma a conseguirmos um grande número de componentes dentro de um mesmo encapsulamento. Graças a esta característica, têm grande aplicação em circuitos de memórias de grande capacidade e microprocessadores. Como vantagens desta família temos o baixo custo de fabricação; menor consumo (não utiliza resistores na fabricação de C.I.'s. Os transistores fazem o papel de resistores); menor espaço ocupado (ótimo para C.I.'s com alta escala de integração como memórias e microprocessadores). A principal desvantagem desta família é sua menor velocidade de operação.

1.11.2 Porta Inversora (NOT) utilizando nMOS



O gate do transistor Q1 é colocado em +5 V o que lhe permite estar sempre conduzindo (não saturado) com um canal (D-S) um pouco mais estreito do que em situação de saturação. Este transistor faz a função de um resistor de 100 k Ω . Q2 é o transistor de comutação, trabalhando em condição de corte (10 G Ω) ou saturação (1 k Ω). Se Vin for igual a 0V, Q2 estará cortado. Ter-se-á então um divisor resistivo onde Q1=100 k Ω e Q2 = 10 G Ω . Portanto Vout \approx +5V (nível lógico um). Ao contrário, se Vin = +5V, então Q2 estará saturado. Ter-se-á agora um divisor resistivo onde Q1=100 k Ω e Q2 = 1 k Ω . Portanto Vout \approx 0V (0,05), i.e., nível lógico zero.

1.11.3 Porta NE (NAND) com nMOS

Na figura da porta ne nMOS, Vout somente será igual a (aproximadamente) 0V se Q2 e Q3 estiverem conduzindo, condição que só ocorre se A = B = +5 V. Portanto o circuito tem uma função do tipo NE (Não E ou NAND).

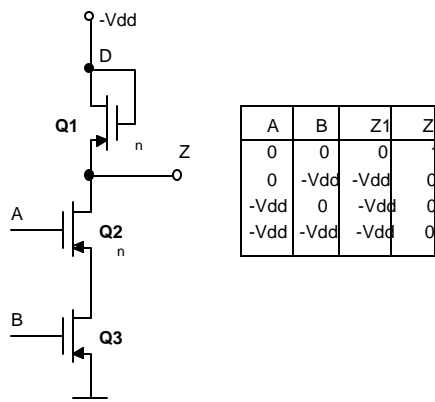
1.11.4 Porta NOU (NOR) com nMOS

Vout somente será igual (aproximadamente) 0V se pelo menos um dos transistores de comutação (Q2 "ou" Q3) estiverem conduzindo, condição que só ocorre se A ou B for igual a +5 V. Portanto é uma função do tipo NOR.

1.11.5 Características do nMOS:

- Atraso de propagação típico = 50 ns;
- Margem de ruído maior que do TTL (\approx 1,5 V para tensão de alimentação de 5 V);
- Fan-out de aproximadamente 50 (Zin alto aumenta o fan-out);
- Complexidade menor que do TTL (só utiliza um tipo de componente no C.I.);
- Sensibilidade estática \rightarrow Como Zin é elevado uma corrente provocada por uma carga estática na entrada provoca Vin elevado que pode danificar o C.I. (Exige-se bancada de trabalho, operador e instrumentação aterrados, assim como exige materiais condutivos (**)) para acondicioná-los).

1.11.6 Logica Negativa



A figura acima representa uma porta com lógica negativa. Para fins de ilustração, desenhou-se o circuito adotando uma outra simbologia, frequentemente encontrada na bibliografia tradicional. Neste circuito, quando pelo menos uma das entradas estiver com 0V, ou seja, nível zero, teremos o respectivo MOSFET cortado, impondo assim uma tensão de saída igual a $-V_{DD}$, pois Q1 está sempre conduzindo. Quando ambas as entradas estiverem em $-V_{DD}$ (nível 1 na lógica negativa), teremos tanto Q1 como Q2 conduzindo, logo o potencial da saída será zero.

Notamos que a impedância de entrada desse circuito é elevada, pois a entrada é feita através dos gates dos MOSFETs. Transpondo esses valores para uma tabela verdade (mostrada na figura anterior), concluímos que o circuito funciona como uma porta NE com lógica negativa.

1.11.7 Características principais da Família MOS

O bloco principal dessa família é a porta NE.

Fan-out igual a 20.

Os blocos dessa família dissipam potências extremamente baixas, levando-se em consideração o grande número de componentes dentro de um mesmo encapsulamento.

Esses circuitos apresentam uma alta imunidade a ruído.

A grande desvantagem dessa família é o elevado tempo de atraso, que é da ordem de 300ns, que como podemos notar, é o maior entre todas as famílias vistas.

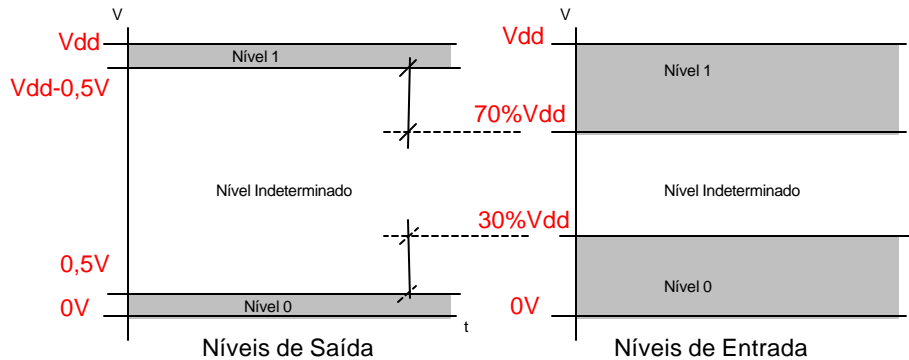
1.12 Família CMOS (Complementary MOS)

A última família abordada aqui é a família CMOS. Nesta família CMOS (MOS com simetria complementar) sempre haverá um transistor pMOS trabalhando com um outro nMOS em simetria complementar. Tem seus circuitos construídos basicamente de pares de MOS canal n e MOS canal p. Suas configurações básicas permitem, como na família MOS, uma grande escala de integração, com os blocos formados a partir dessa técnica, consumindo a mais

baixa potência de todas as famílias estudadas, sendo esta uma de suas mais importantes características. Outra característica importante é o seu grande Fan-out por se tratar de circuitos de alta impedância de entrada.

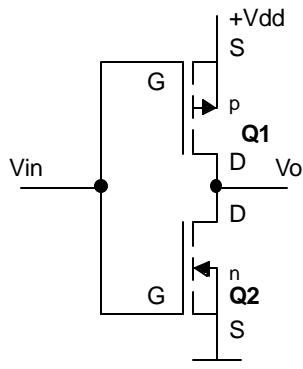
Quanto à alimentação, essa família permite uma larga faixa de tensões que garante um bom funcionamento: desde 3V até 15V (série 40XX) ou de 3V até 18V (série 40XXB). Sua fabricação é mais simples que a da família TTL. Tem uma menor densidade de integração e são circuitos mais complexos se comparada à tecnologia nMOS (**). É também mais rápida que a tecnologia pMOS.

Quanto as características de tensão das entradas e saídas, a família CMOS tem um comportamento tal qual ilustrado na figura abaixo:



Vejamos agora, o funcionamento dos blocos lógicos principais dessa família que são as portas NOU e as portas NE.

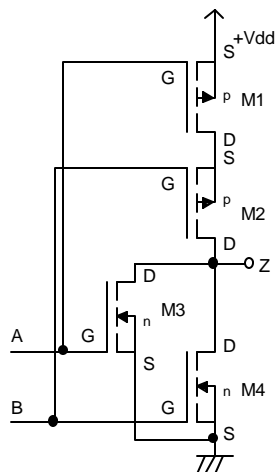
1.12.1 Porta Inversora (NOT) CMOS



Porta Inversora CMOS

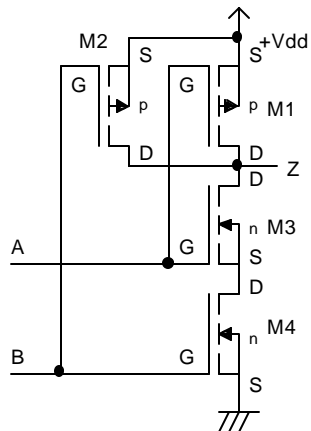
Nesta porta, Um V_{in} de zero volts faz com que Q2 corte e Q1 conduza e a saída terá $V_{dd}-V_{ds}$ (nível lógico 1). Se na entrada tivermos V_{dd} , Q2 satura e Q1 corta e a saída terá V_{ds} (nível lógico zero). O circuito funciona então como um circuito inversor.

1.12.2 Porta NOU (NOR) CMOS



Quando ambas as entradas estiverem em zero, os MOS canal p M1 e M2, estarão conduzindo e os MOS canal n, M3 e M4, estarão cortados; isso fará com que a tensão de saída assumira um valor igual a $+V_{DD}$. Quando pelo menos uma das entradas (A ou B) estiver em $+V_{DD}$ (nível 1), teremos o MOS canal n correspondente, M3 ou M4 conduzindo, fazendo com que na saída tenhamos uma tensão igual a zero. Deste modo, temos um circuito onde a resposta é zero quando uma ou mais entradas têm nível lógico um. O circuito é portanto uma porta NOU.

1.12.3 Porta NE (NAND) CMOS



Quando pelo menos uma das entradas estiver em zero (A ou B), o respectivo MOS canal n, M3 ou M4, estará cortado e o respectivo MOS canal p, M1 ou M2, estará conduzindo, logo teremos na saída uma tensão igual a $+V_{DD}$ (nível 1). Quando ambas as entradas estiverem em $+V_{DD}$, tanto M3 como M4 estarão conduzindo e M1 e M2 estarão cortados, logo, teremos na saída uma tensão igual a zero. Um circuito cuja resposta é zero para ambas as entradas em 1 e zero para os outros casos é um circuito NE. Transpondo essas situações para uma tabela verdade, temos:

A	B	S
0V	0V	$+V_{DD}$
0V	$+V_{DD}$	$+V_{DD}$
$+V_{DD}$	0V	$+V_{DD}$
$+V_{DD}$	$+V_{DD}$	0V

Como sabemos, tanto a partir de portas NOU como a partir de portas NE, podemos esquematizar qualquer outro bloco. A isto chamamos de suficiência das portas NOU e NE, pois com qualquer uma delas, é possível construir qualquer dispositivo digital.

1.12.4 Características Principais da Família CMOS

Blocos lógicos principais portas NOU e NE.

Fan-out maior que 50.

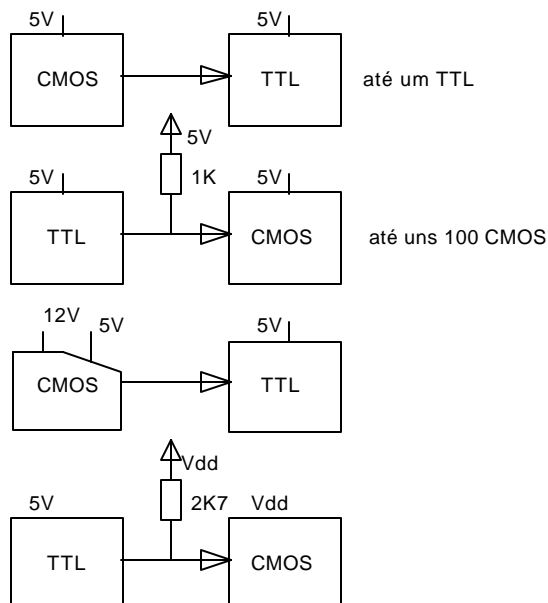
Potência dissipada por bloco da ordem de 10 mW.

Essa família possui uma alta imunidade a ruído (45% V_{cc}).

A grande desvantagem dessa família é o seu tempo de atraso que é da ordem de 60 ns, sendo muito maior que das famílias que utilizam como componentes o transistor bipolar, excetuando-se a família HTL.

Essa família possui também problemas com o manuseio dos circuitos integrados que, devido à eletricidade estática, degrada as junções (embora este problema tenha sido minimizado quase a ponto de não ser mais um problema).

Para contornar o problema, existe no mercado uma série de dispositivos antiestáticos, possibilitando um manuseio mais seguro e uma proteção maior ao circuito. Como já foi dito, as famílias de circuitos lógicos possuem circuitos compatíveis entre si, porém em alguns casos necessitamos conectar blocos de uma família com outros de uma outra família. Nesses casos, para atender tanto às especificações de saída de uma família como às especificações de entrada de uma outra, necessitamos utilizar circuitos chamados circuitos de **interface**.



Os circuitos de interfaces mais utilizados são os que permitem as conexões das famílias CMOS e TTL, fazendo com que através desses circuitos, essas famílias fiquem compatíveis entre si. Estas interfaces podem ser resumidas na figura abaixo. O 74CXX é um CI TTL com compatibilidade CMOS. Suas características de correntes são: $I_{Lmax} = -1\mu A$; $I_{Hmax} = 1\mu A$; $I_{OLmax} = 10\mu A$ e $I_{OHmax} = -10\mu A$.

As várias séries ou sub-famílias CMOS estão ilustradas na tabela abaixo, onde se vê suas principais características:

HC	<i>High Speed CMOS</i>	CMOS de Alta Velocidade
HCT	<i>High Speed CMOS with TTL inputs</i>	CMOS de Alta Velocidade com entradas TTL
AC	<i>Advanced CMOS</i>	CMOS de Alta Velocidade-versão avançada
ACT	<i>Advanced CMOS com TTL inputs</i>	CMOS com entradas TTL-versão avançada
BCT	<i>BiCMOS Technology</i>	Tecnologia BiCMOS (Bipolar/CMOS)
ABT	<i>Advanced BiCMOS Technology</i>	Tecnologia BiCMOS Avançada
LVT	<i>Low Voltage Technology</i>	Tecnologia de Baixa Tensão

1.13 Família BiCMOS

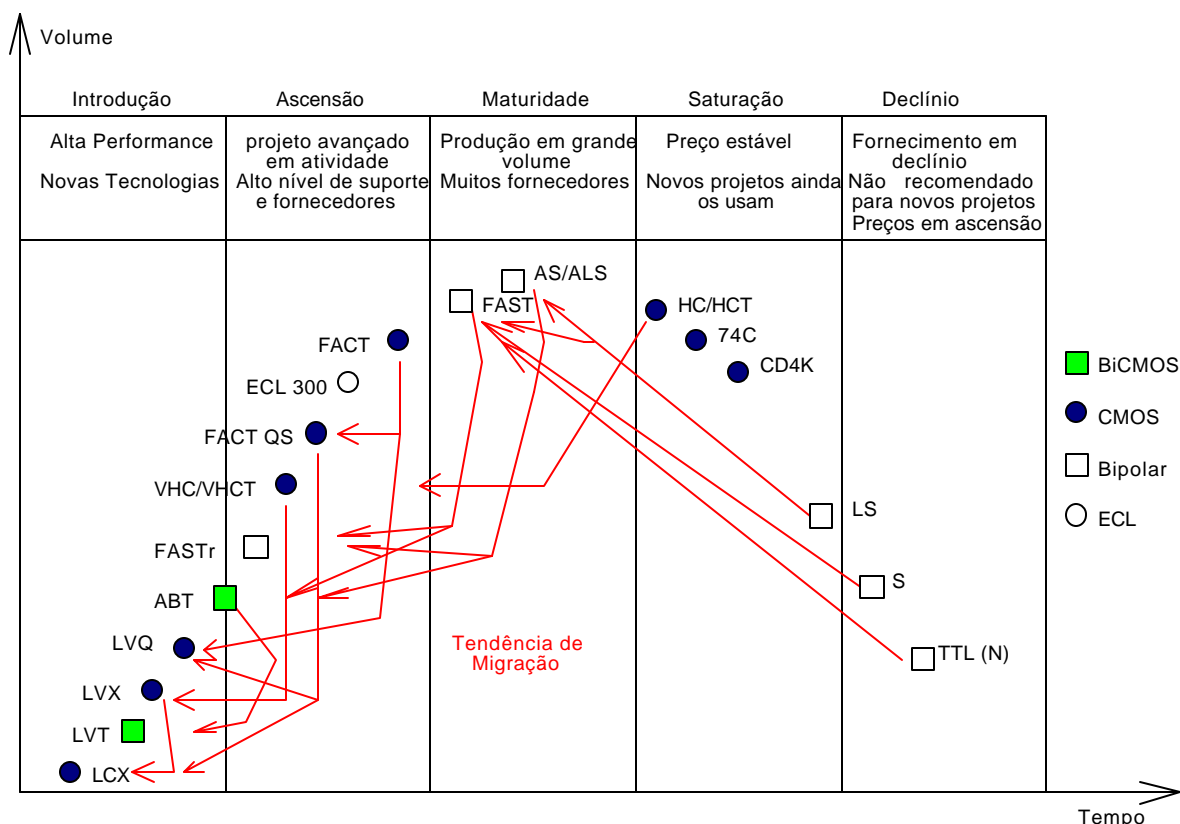
BiCMOS combina as vantagens das tecnologias Bipolar (Alta velocidade) e CMOS (Baixo Consumo). Esta tecnologia de alta performance tem uma maior facilidade de projeto (projeta-se de modo análogo aos de baixa performance), uma vez que a minimização dos problemas de ruído intrínseco, ruídos de chaveamento e consumo em altas frequências, juntamente com outras características desta tecnologia híbrida, reduz os esforços de projeto.

Algumas das vantagens desta tecnologia são: alta velocidade; consumo reduzido tanto em operação dinâmica quanto estática; Saídas bipolares que proveem 48-64 mA, necessárias para aplicações avançadas em barramentos; Ruído de chaveamento menor; saída puramente bipolar com requisitos de corrente e ruídos de acordo com as necessidades atuais; Os estágios de entrada e funcional utilizam principalmente tecnologia CMOS.

O BiCMOS avançado (ABT) tem sua performance melhorada e ainda pode ser integrado a uma escala pouco menor que a metade da escala da BiCMOS normal.

1.14 Tendência atual das Famílias

O gráfico seguinte representa as tendências de migração das famílias, bem como o volume de fabricação atual, seu status tecnológico e suas tecnologias básicas:



1.15 Aplicações básicas para as diversas famílias.

BiCMOS	BIPOLAR-COMPLEMENTARY METAL OXIDE SEMICONDUCTOR
ABT	Alta velocidade, Altas correntes de saída, baixo ruído
LVT	Alta velocidade e altas correntes de saída para aplicações de 3,3 volts.
CMOS	COMPLEMENTARY METAL OXIDE SEMICONDUCTOR
LCX	Alta velocidade possibilitando interoperacionalidade entre sistemas de 5 e 3,3V com saídas tolerantes a 5 V
LVX	Translação de níveis de tensão (5/3,3)
LVQ	Ideal para aplicações exclusivamente de 3,3V.
AC	Propósitos gerais (versão militar disponível com alta resistência à radiação)
ACQ	Especialmente projetada para aplicações sensíveis a ruídos
ACT	Idem AC
ACTQ	Idem ACQ
VHC	Está entrando em substituição à HCMOS. Além de ter baixa potência, baixo ruído e baixa corrente de saída, é mais veloz.
VHCT	Idem VHC
HC	Tende a sair do mercado. Substituída pelas VHC/VHCT, Velocidade moderada. Não aconselhado para novos projetos.
HCT	Idem HC
74C	Aplicação específica para tensões altas (nível CMOS) e altos ruídos.
CD4K	Altas voltagens e altos ruídos. CMOS padrão.
BIPOLAR	TECNOLOGIA BIPOLAR
FASTr	A mais rápida com tecnologia TTL. É uma versão melhorada da FAST.
FAST	Melhor razão velocidade/consumo dentre as famílias TTL-Schottky.
AS	Tecnologia TTL de alta velocidade e altas correntes de saída.
ALS	Baixo ruído de saída e o menor consumo dentre as sub-famílias avançadas TTL.
LS	Famílias bem conhecidas para as quais existirá suporte por algum tempo ainda (conforme National C.).
S	Idem LS, mas não recomendada para novos projetos.
N (TTL)	Idem LS, mas não recomendada para novos projetos.
ECL	EMITTER COUPLED LOGIC
Série 300	Dentre as sub-famílias ECL é a de mais fácil uso, menor consumo e melhor preço/performance. Substitui a série 100.

Família	Limiares	Ruido ₂	--	---	--	delay	Alim.	Ii	Iomax	Icc	Veloc. ₃
Sub-F.	V _{IL} /V _{IH}	V _{OLP}	V _{OLV}	T _S	T _D	T _{AP}	V _{CC} ±10%	I _{IL} /I _{IH}	I _{OL} /I _{OH}	µA	Mhz
BiCMOS BIPOLAR -COMPLEMENTARY METAL OXIDE SEMICONDUCTOR											
ABT	1,1/1,9	0,6	-1,0	1,6	1,4	6,0	5	-5/5	64/-32	30000	277,8
LVT	1,4/1,7	0,3	-0,2	--	--	--	3,3	-10/10	64/-32	12000	243,9
CMOS COMPLEMENTARY METAL OXIDE SEMICONDUCTOR											
LCX	1,3/1,8	0,7	-0,7	2,9	2,4	8,0	3,3	-5/5	24/-24	10	153,8
LVX	--	--	--	4,8	3,7	12,3	3,3	-1/1	4/-4	40	83,3
LVQ	1,6/1,7	0,3	-0,3	3,5	3,2	--	3,3	-1/1	12/-12	50	105,3
AC	2,2/3,0	1,6	-1,5	1,7	1,5	--	3,3/5,0	-1/1	24/-24	80	133,3
ACQ	2,3/2,9	0,9	-0,6	2,4	2,4	--	3,3/5,0	-1/1	24/-24	80	105,3
ACT	0,45/2,1	1,6	-1,6	1,7	1,5	10,5	5,0	-1/1	24/-24	80	100
ACTQ	1,2/2,0	0,9	-0,5	2,5	2,4	10,0	5,0	-1/1	24/-24	80	143
VHC	2,1/2,8	0,7	-0,5	4,1	3,2	10,5	3,3/5,0	-1/1	8/-8	40	117,6
VHCT	--	--	--	--	--	--	5,0	-1/1	8/-8	40	80
HC	2,3/2,4	0,5	-0,3	3,6	4,1	38,0	2/4,5/6	-1/1	6/-6	80	40
HCT	1,3/1,4	0,5	-0,3	4,6	3,9	38,0	5,0	-1/1	6/-6	80	40
74C	--	--	--	--	--	--	3,0-15	-1/1	12/-14	300	14,3
CD4K	--	--	--	--	--	--	3,0-15	10pA	8/-1,25	3	25
BIPOLAR TECNOLOGIA BIPOLAR											
FASTr	0,6/2,2	0,8	-0,8	2,3	1,1	6,6	5	-150/5	64/-15	75	256,4
FAST	0,9/1,8	0,6	-0,3	2,1	1,8	8,0	5	-1600/5	64/-15	90	153,8
AS	0,5/1,9	0,8	-1,4	2,1	1,5	9,0	5	-1m/20	64/-15	90	161,3
ALS	0,8/1,6	0,2	-0,5	2,3	2,3	20,0	5	-100/20	24/-15	27	100
LS	--	--	--	--	--	--	5	-200/20	24/-15	54	55,6
S	--	--	--	--	--	--	5	-400/50	64/-15	120	111,1
N (TTL)	--	--	--	--	--	--	5	-1,6m/40	40/-0,25	41	33,3
ECL EMITTER COUPLED LOGIC											
Série 300--	--	--	--	--	--	--	-5,7/-4,2	0,5/240	-1,8V/50Ω	-65m	645

2.-Ruido causado pelo chaveamento de outras saídas numa saída em repouso. V_{OLP} é o valor em volts do pico máximo acima do valor em tensão da saída em repouso. V_{OLV} é o valor correspondente abaixo.

I_{IL}/I_{IH} em microamperes

I_{OL}/I_{OH} em mA

Icc em mA

T_S - Tempo de subida (rise time) em ns.

T_D - Tempo de descida (Fall time) em ns.

T_{AP} - Tempo de Atraso de Propagação, em ns.

3.-Velocidade máxima para máxima tensão de alimentação especificada.