**LAB8报告**

学号： 2021K8009929010

姓名： 贾城昊

学号： 2021K8009929016

姓名： 李金明

学号： 2021K8009929007

姓名： 牛浩宇

箱子号： 13

1. 实验任务

本实验主要实现了对TLB模块的结构设计和例外支持，并将其加入到流水线CPU中，从而为操作系统的存储管理提供硬件支持。

Exp17要求实现对单个TLB模块的结构设计，使其能够完成最基本的读、写和查找功能，并通过实验提供的测试程序。

Exp18要求在CPU中增添与TLB相关的控制寄存器，包括TLBIDX、TLBEHI、TLBELO0、TLBELO1、ASID、TLBRENTRY；添加对TLB相关指令的支持，包括TLBSRCH、TLBRD、TLBWR、TLBFILL、INVTLB；将TLB模块集成到CPU内，实现从CPU内对TLB进行基本的读、写和查找操作。

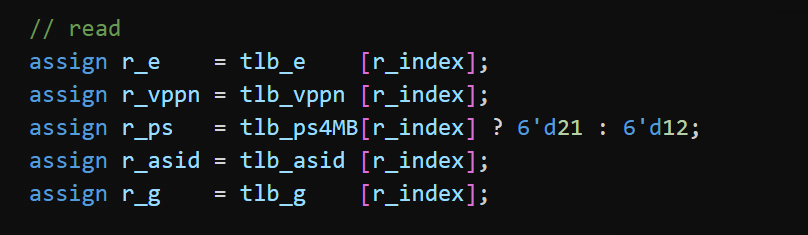
Exp19要求在CPU中添加对TLB例外的支持，包括TLB重填例外、load/store取指操作页无效例外、页修改例外、页特权等级不合规例外；在CPU中添加直接映射配置窗口控制寄存器DMW0和DMW1，并利用TLB查找功能实现CPU访存过程中的虚实地址转换

1. 实验设计
   1. 总体设计思路
      1. Exp17

Exp17对单个TLB模块的设计可根据所需实现的功能分为读、写和查找三部分，下面将从读写功能和查找功能两方面阐述总体设计思路。

* + - 1. **读写功能设计**

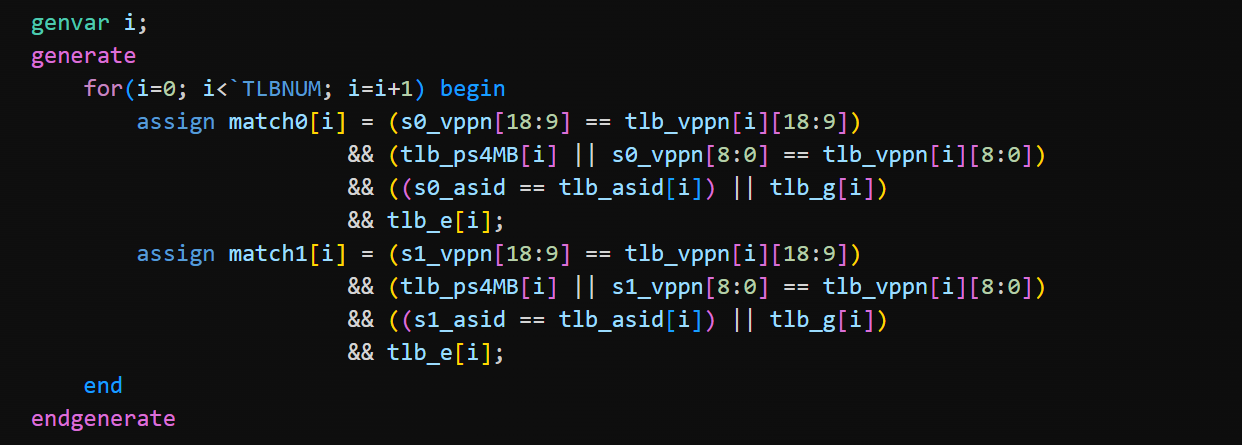
TLB模块的读写方式与寄存器堆的读写方式十分类似。读TLB的方式是根据传入的index将对应表项各个域的数据通过组合逻辑读出；写TLB的方式是根据传入的index和写使能信号，在下一拍将要写的各个域的数据写入对应表项相应位置。但在读写过程中需要注意的是，由于龙芯架构32位精简版只支持4KB和4MB两种页大小，因此尽管TLB表项中的PS域是6bit，但其只有0和1两种取值：0表示页大小为4KB（两个物理页大小均为4KB），1表示页大小为4MB（两个物理页大小均为2MB）。而TLB模块输入和输出中的PS端口标记了页的真实大小，取值分别是6’d21和6’d12，因此在对页表项进行读写操作时需要将两者进行转换。以读TLB为例：



图x. PS字段的含义及其赋值逻辑

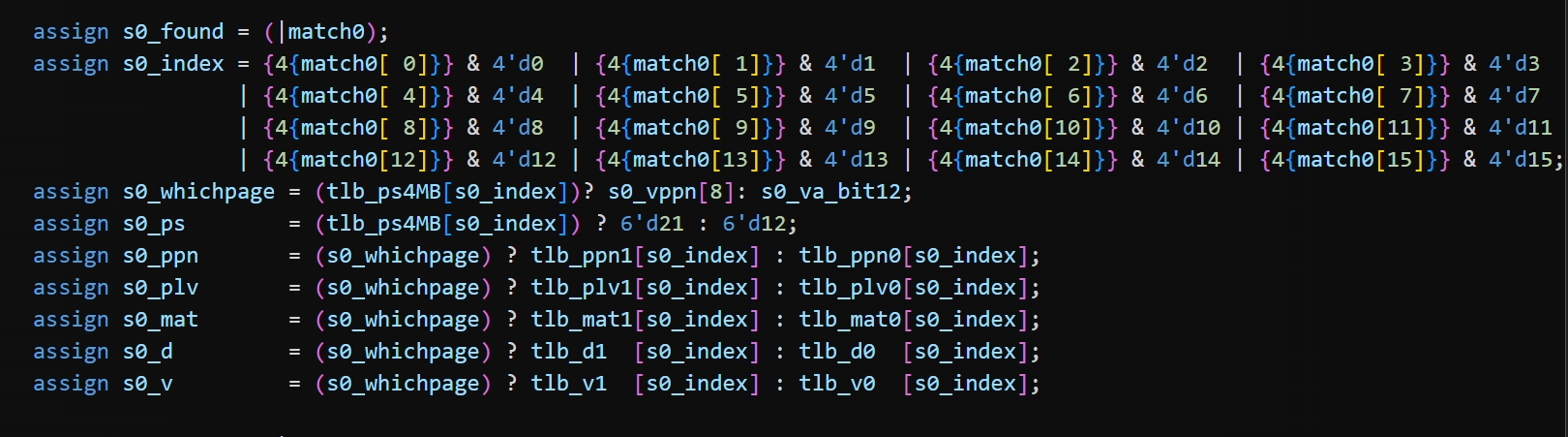
* + - 1. **查找功能设计**

TLB模块提供了两个通道用于查找，一个通道对应取指阶段的查找，另一个通道对应访存阶段的查找。查找的流程是并行化的，即同时对16个页表项的奇偶相邻页表的物理转换信息进行比较和查找，并用两个16位宽的match信号表示查找结果。在代码实现上，可以使用verilog语言中的for循环更方便地实现对页表项的同时匹配和查找过程，匹配和查找的逻辑是：对于每一个页表项，分别要比较和检查以下几点：一个是查看比较部分的存在位E，如果为1则表示页表项存在，若为0表示该页表项为空，查找失败；然后还需要查看比较部分的全局标志位G和地址空间表示位ASID，判断该页表项中的数据是否属于本进程，若属于不属于本进程则查找失败；除此之外，还需要查看比较部分的页大小PS位和虚双页号VPPN位，如果PS位为1，表示页大小为4MB（两个物理页大小均为2MB），此时只需要比较VPPN的高10位是否与s\_vppn的高10位相等，若相等则查找成功；如果PS位为0，表示页大小为4KB（两个物理页大小均为4KB），此时需要比较VPPN和s\_vppn的全部位数。如果以上全部满足则查找成功。



图x. TLB的查找判断逻辑

通过上述查找过程可以获得两个match信号，match0不为全0说明0号通道查找到了匹配的页表项（0号通道用于取指阶段的查找），match1不为全0说明1号通道查找到了匹配的页表项（1号通道用于访存阶段的查找）。match0或match1中哪一位为1则说明命中了对应位的页表项。然后再根据输入的s\_va\_bit12或者s\_vppn决定使用匹配到的TLB表项的偶页还是奇页的查找结果。查找的代码实现如下：



图x TLB的查找结果的输出

* + 1. Exp18

本实验将exp17实现的TLB实例化，并集成到cpu中。为了实现对TLB的操作，本实验增加了TLBSRCH、TLBRD、TLBWR、TLBFILL、INVTLB这五条指令。此外，还需要在csr模块内增加TLB有关的寄存器TLBIDX、TLBEHI、TLBELO0、TLBELO1、ASID、TLBRENTRY，并将TLB的一部分端口与csr相连。如果沿用之前的设计，将csr模块放在wb级中，会使得wb级增加很多不必要的接口。为此，我们将csr移出wb级，成为独立的模块。

* + - 1. **TLB维护指令**

在本实验新增的五条指令中，TLBSRCH、TLBRD、TLBWR、TLBFILL都会在TLB和CSR之间进行数据的传递。TLBSRCH在EXE级根据CSR中的寄存器查询TLB，并将查询结果从EXE级一路传到WB级，在WB级将它写入csr。这种安排使得它可以在EXE级复用访存的TLB查找通路，在WB级复用之前将数据写入csr的通路。TLBRD、TLBWR、TLBFILL均在WB级进行读写。csr寄存器中的相关数据通过端口直接传入WB级，cpu在WB级根据这些数据生成读写需要的数据，并和相关控制信号一起通过端口传给TLB。

不同于以上四条指令，INVTLB并不负责在TLB和CSR之间传递数据，它的数据来源也并非csr寄存器，而是通用寄存器。它会根据存放在寄存器中的ASID和VA，按照op对TLB进行无效操作。它也需要对TLB进行查找，因此我们让它和TLBSRCH使用相同的位于EXE级的数据通路进行查找。

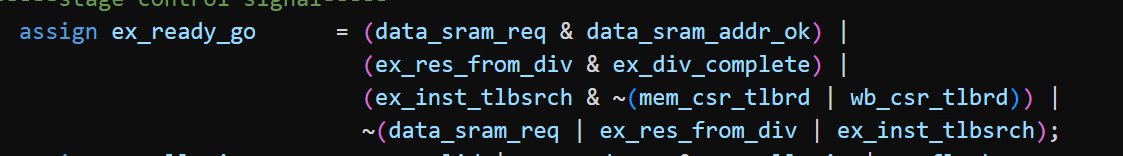
* + - 1. **数据相关**

在增加TLB后，指令在取指和访存时都有可能查找TLB用于虚实地址转换，而TLBWR、TLBFILL、INVTLB都会更新TLB的内容，二者之间形成围绕TLB的写后读相关。此外，所有指令在取指和访存都可能读取CSR.ASID来查找TLB，而TLBRD会更新该寄存器，二者之间形成围绕CSR的写后读相关。为此，考虑到上述情况出现的频率极低，使用前递或者阻塞的操作，对性能提升很小但使流水线逻辑变的更加复杂，所以处于均衡的考虑，对于TLBWR、TLBFILL、TLBRD、INVTLB以及更改ASID或者CRMD寄存器的csr写指令，本组成员的设计是刷新流水级并重新取指；而刷新流水线的操作可以直接复用在之前实验的wb\_flush信号，在WB流水级发出，刷掉前面所有流水级，并把IF的下一个取值PC改为此时WB流水级的PC+4。



图x WB流水级对于TLB数据相关的处理

除此之外，还需要考虑一种写后读相关：当TLBSRCH位于EXE级时，它会用ASID或TLBEHI中的内容查询TLB。此时如果在MEM流水级或者WB流水级恰好有条修改ASID或TLBEHI的指令，或是TLBRD指令，就会引发围绕csr的数据相关。在这种情况下需要将TLBSRCH阻塞在EXE级，等前面的指令写入完成后再允许其流入下一级。



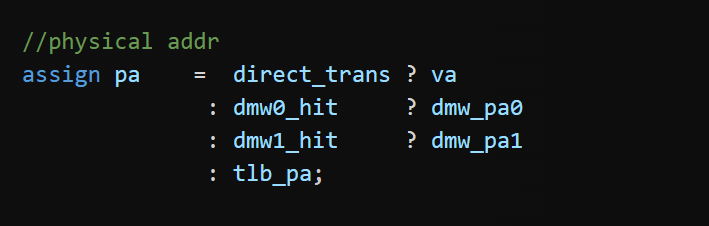
图x EXE流水级的阻塞逻辑

* + 1. Exp19

对exp19设计思路主要从虚实地址转换的过程和TLB例外处理两方面来阐述。

* + - 1. **虚实地址转换过程**

本实验需要支持的虚实地址翻译模式有两种：直接地址翻译模式和映射地址翻译模式。控制寄存器CRMD中的DA域与PG域决定了采用何种地址翻译模式：当DA域为1，PG域为0时，MMU处于直接地址翻译模式，在这种映射模式下，物理地址直接等于虚拟地址；当DA域为1，PG域为0时，MMU处于映射地址翻译模式，此时则先查看配置窗口寄存器DMW0和DMW1，如果能命中且当前特权等级在该配置窗口中被允许，则采用直接映射模式，物理地址等于虚地址低29位拼接上被命中的配置窗口寄存器的高3位；如果两个配置窗口都不命中或特权等级不合规，则采用页表映射模式，需要根据虚地址的VPPN和当前的地址空间标识符ASID查找TLB，并根据查找TLB返回的PPN和虚地址的offset得出物理地址。通过多路选择器并根据当前的地址翻译模式可以得到最终的物理地址，然后将它作为inst\_sram\_addr或data\_sram\_addr传递给转接桥，进而传递到AXI总线进行地址访问。



图x 虚拟地址到物理地址的转换

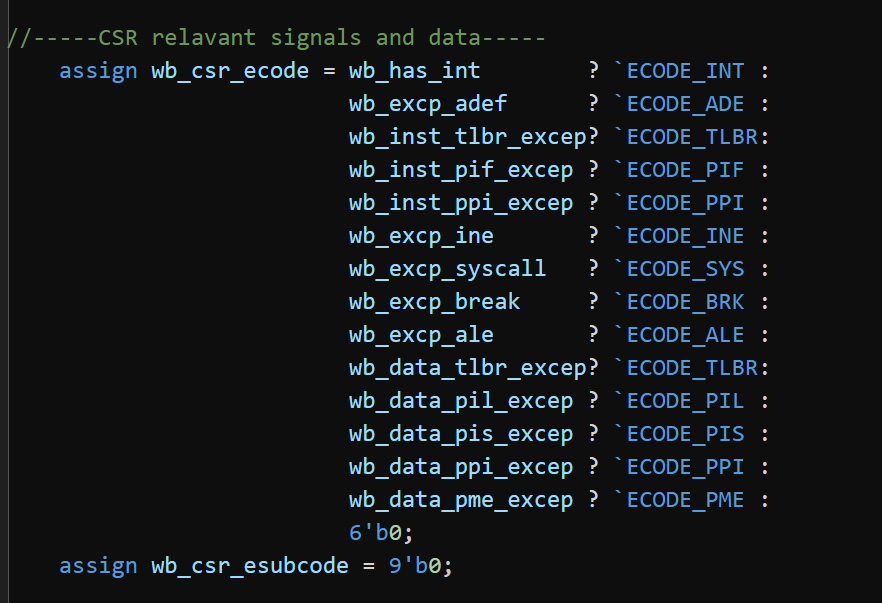
* + - 1. **TLB例外处理**

本实验首先要修改INE例外的逻辑，同时还要增添对PIF、PIL、PIS、PPI、PME和TLBR例外的处理。在之前的实验，INE取指地址错误仅仅处理译码得到的指令不是以及支持的指令，但在本实验还要考虑INVTLB且其op不合法的情况。如果是INVTLB且其op大于6，也要报出INE例外。

TLB重填例外是指在页表映射模式下没有命中TLB，**并且处理TLB重填例外的中断入口区别于其他例外**。取指操作页无效例外（PIF）需要在IF级进行判断，如果此时处于页表映射模式并且查找到的TLB表项无效，即s\_v为0，则报错。load操作页无效例外（PIL）和store操作页无效例外（PIS）需要在EXE级进行判断，判断例外的过程和PIF类似，只是还需要结合指令类型。页特权等级不合规例外需要比较命中TLB表项的PLV域和从CRMD寄存器中取出的当前PLV，如果前者小则报出该错。页修改例外也要在EXE级进行判断，如果此时执行的是store指令且处于页表映射模式，如果命中的TLB表项脏位为0，则报出该例外。

需要注意的是，在EXE级如果触发TLB相关例外，说明虚实地址翻译环节出现错误，没有得到正确的物理地址，因此此时不应该向总线发起请求，即不能拉高data\_sram\_req。此时不向总线发起请求，所以也不用等到总线发来的addr\_ok和data\_ok信号。

此外，在处理例外逻辑时，还要注意这些例外的优先级。根据龙芯架构的指令集手册的说明，IF阶段触发的例外优先级最高，ID阶段次之，EX级再次之。而在IF级触发的例外中，ADEF例外的优先级高于TLB相关例外；在EX流水级触发的例外中，ALE例外的优先级高于TLB的相关例外；在TLB相关例外中，TLBR的优先级最高，然后为PIF或者PIL或者PIS，再其次为PPI，最后为PME。在WB级中，需要按照上面逻辑，比较各个例外的优先级来设置ecode和esubcode：



图x 例外处理的优先级

* 1. 重要模块1设计：TLB模块
     1. 工作原理

TLB 采用全相联查找表的组织形式。在TLB模块中保存了TLB页表的内容，共16个页表项。并通过2个查找端口，1个读端口，1个写端口和一个INVTLB指令端口与外部交换数据。实现了对TLB页表的4种操作：

查找：输入虚双页号vppn、虚地址12位va\_bit12与地址空间标识asid，得到对应物理页的内容。

写：输入页表项数index，并将输入的页表项内容写到对应的页表项里。

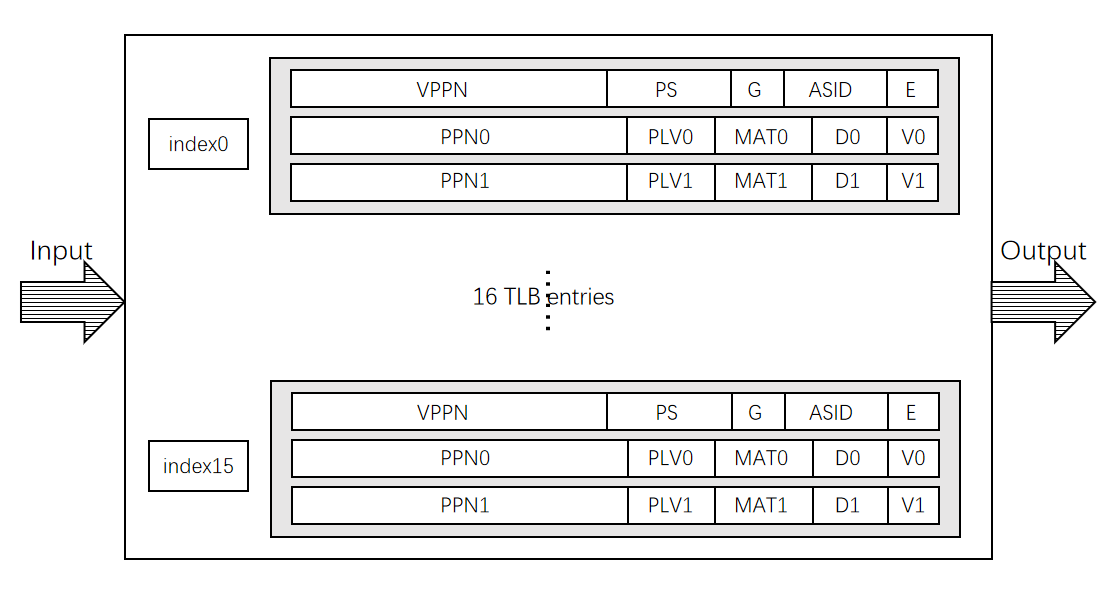
读：输入页表项数index，并得到对应的页表项中的内容。

无效指令INVTLB：使满足opcode对应条件的页表项无效化。

* + 1. 接口定义

表1 TLB模块接口信号

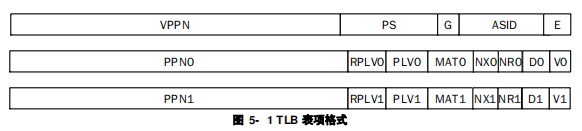
| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| **Search port 0** | | | |
| s0\_vppn | IN | 19 | 查找虚双页号 |
| s0\_va\_bit12 | IN | 1 | 访存虚地址12位 |
| s0\_asid | IN | 10 | 地址空间标识 |
| s0\_found | OUT | 1 | 查找到信号 |
| s0\_index | OUT | 4 | 页表项数 |
| s0\_ppn | OUT | 20 | 物理页号 |
| s0\_ps | OUT | 6 | 页大小 |
| s0\_plv | OUT | 2 | 权限等级 |
| s0\_mat | OUT | 2 | 访存种类 |
| s0\_d | OUT | 1 | 脏页信号 |
| s0\_v | OUT | 1 | 页有效信号 |
| **Search port 1** | | | |
| s1\_vppn | IN | 19 | 查找虚双页号 |
| s1\_va\_bit12 | IN | 1 | 访存虚地址12位 |
| s1\_asid | IN | 10 | 地址空间标识 |
| s1\_found | OUT | 1 | 查找到信号 |
| s1\_index | OUT | 4 | 页表项数 |
| s1\_ppn | OUT | 20 | 物理页号 |
| s1\_ps | OUT | 6 | 页大小 |
| s1\_plv | OUT | 2 | 权限等级 |
| s1\_mat | OUT | 2 | 访存种类 |
| s1\_d | OUT | 1 | 脏页信号 |
| s1\_v | OUT | 1 | 页有效信号 |
| **INVTLB opcode** | | | |
| invtlb\_valid | IN | 1 | 无效指令有效信号 |
| invtlb\_op | IN | 5 | 无效指令操作码 |
| **Write port** | | | |
| we | IN | 1 | 写使能信号 |
| w\_index | IN | 4 | 写页表项数 |
| w\_e | IN | 0 | 写页表项有效信号 |
| w\_vppn | IN | 19 | 写虚拟页号 |
| w\_ps | IN | 6 | 写页大小 |
| w\_asid | IN | 10 | 写进程号 |
| w\_g | IN | 1 | 写全局信号 |
| w\_ppn0 | IN | 20 | 写物理页号0 |
| w\_plv0 | IN | 2 | 写权限等级0 |
| w\_mat0 | IN | 2 | 写访存种类0 |
| w\_d0 | IN | 1 | 写脏页信号0 |
| w\_v0 | IN | 1 | 写页有效信号0 |
| w\_ppn1 | IN | 20 | 写物理页号1 |
| w\_plv1 | IN | 2 | 写权限等级1 |
| w\_mat1 | IN | 2 | 写访存种类1 |
| w\_d1 | IN | 1 | 写脏页信号1 |
| w\_v1 | IN | 1 | 写页有效信号1 |
| **Read port** | | | |
| r\_index | IN | 4 | 读页表项数 |
| r\_e | OUT | 0 | 读页表项有效信号 |
| r\_vppn | OUT | 19 | 读虚拟页号 |
| r\_ps | OUT | 6 | 读页大小 |
| r\_asid | OUT | 10 | 读进程号 |
| r\_g | OUT | 1 | 读全局信号 |
| r\_ppn0 | OUT | 20 | 读物理页号0 |
| r\_plv0 | OUT | 2 | 读权限等级0 |
| r\_mat0 | OUT | 2 | 读访存种类0 |
| r\_d0 | OUT | 1 | 读脏页信号0 |
| r\_v0 | OUT | 1 | 读页有效信号0 |
| r\_ppn1 | OUT | 20 | 读物理页号1 |
| r\_plv1 | OUT | 2 | 读权限等级1 |
| r\_mat1 | OUT | 2 | 读访存种类1 |
| r\_d1 | OUT | 1 | 读脏页信号1 |
| r\_v1 | OUT | 1 | 读页有效信号1 |



图x. TLB模块示意图

* + 1. 功能描述
       1. TLB结构

TLB页表中每一个页表项为一个双页，包含比较部分和物理转换部分，结构如下图：



TLB表项比较部分包括：

VPPN：虚双页号，19位，虚页号最低位不保存在TLB中。

PS：页大小（2的幂次），6位，本次实验中有21（2MB页）和12（4KB页）两种情况。

G：全局标志位，1位，为1时该虚拟地址在所有进程间共享。

ASID：地址空间标识，10位，用于区分不同进程中同样的虚地址。

E：存在位，1位，表示该表项存在。

TLB表项物理转换部分保存一对奇偶相邻页表的物理转换信息，包括：

PPN：物理页号，20位。

PLV：特权等级，2位。

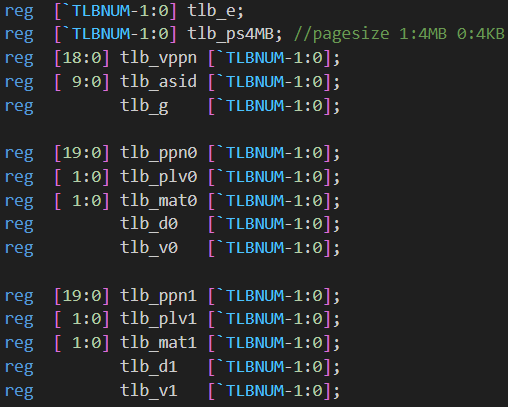
MAT：存储访问类型，2位。

D：脏位，1位，表示该页表项地址范围内有脏数据。

V：有效位，1位，表示该页有效。

RPLV、NX、NR在本次实验中未被定义。

本次实验中实现的TLB页表中包含16个页表项，能保存16对32个页。页大小有2MB与4KB两种，通过ps4MB信号指示。使用16组寄存器来保存页表内容：



* + - 1. TLB操作

**搜索：**

实现两个相同搜索端口的并行搜索，一个用于取指，一个用于内存读写指令。

输入为虚双页号vppn，访存虚地址12位va\_bit\_12与进程号asid。

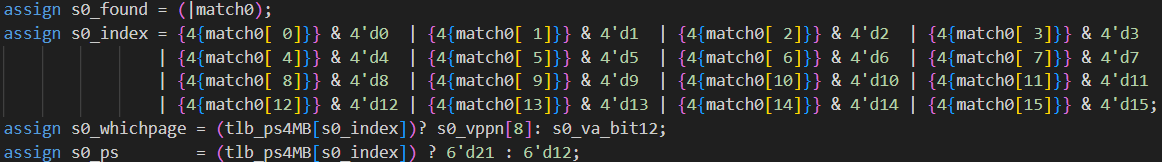
首先搜索有没有匹配的页表项，得到页表中每一项是否匹配的match信号（01表示两个搜索端口）：



当页大小为2MB时，匹配vppn的[18:9]位，页大小为4KB时，匹配vppn的所有位。

如果G位为1则不用考虑ASID，否则对ASID进行匹配。

然后得到found，index，whichpage，ps信号（端口0为例）：



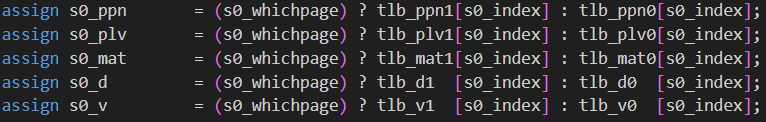
found：是否匹配到。

index：匹配到的页表项的项数。

whichpage：双页中的哪一页，页大小为2MB时通过vppn的第8位来判断，4KB时通过输入的va\_bit12来判断。

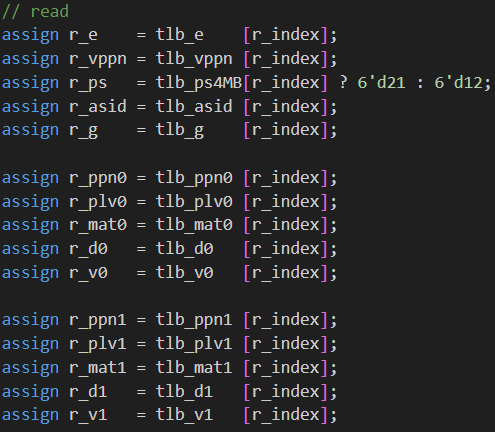
ps：页大小，2MB为21，4KB为12。

最后通过index和whichpage从页表中得到物理转换信息并输出：



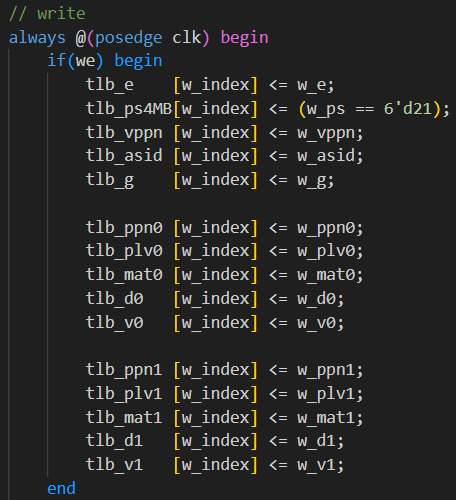
**读：**

根据输入的项数r\_index，将对应页表项内的内容输出即可：



**写：**

根据输入的写使能信号we与项数w\_index，将输入内容填入对应的页表项即可:

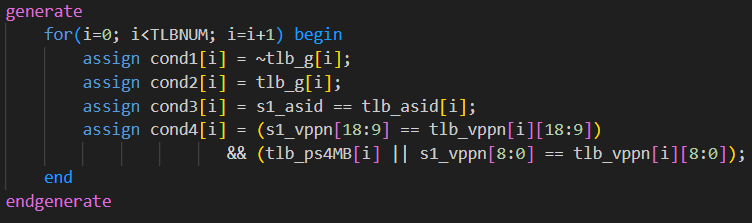


**无效指令：**

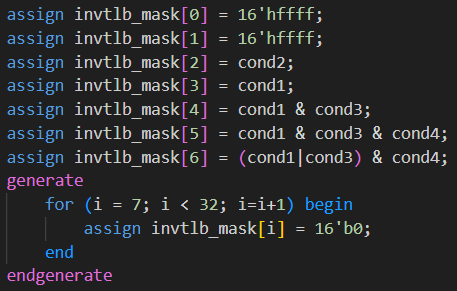
invtlb指令的opcode对应的操作如下表：

|  |  |
| --- | --- |
| opcode | 操作 |
| 0x0 | 清除所有页表项 |
| 0x1 | 清除所有页表项 |
| 0x2 | 清除所有G=1的页表项 |
| 0x3 | 清除所有G=0的页表项 |
| 0x4 | 清除所有G=0，且ASID等于寄存器指定ASID的页表项 |
| 0x5 | 清除所有G=0，且ASID等于寄存器指定ASID，且VA等于寄存器指定VA的页表项 |
| 0x6 | 清除所有G=1或ASID等于寄存器指定ASID，且VA等于寄存器指定VA的页表项 |
| 0x7~0x20 | 不进行清除操作 |

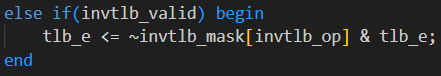
由此对每个页表项，定义4个条件cond1~cond4：



根据cond得到mask信号如下：



在invtlb指令有效时，根据输入的opcode选择mask，将mask对应位为1的页表项无效化（e值清零），为0的页表项不变：



* 1. 重要模块2设计：CSR模块
     1. 工作原理

新增用于虚实地址转换及TLB相关例外处理的寄存器

* + 1. 接口定义

表2 CSR模块接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟输入 |
| resetn | IN | 1 | 复位信号 |
| csr\_num | IN | 14 | 控制状态寄存器读写地址 |
| csr\_we | IN | 1 | 控制状态寄存器写使能 |
| csr\_wmask | IN | 32 | 控制状态寄存器写掩码 |
| csr\_wvalue | IN | 32 | 控制状态寄存器写数据 |
| ertn\_flush | IN | 1 | ertn指令刷新信号 |
| wb\_ex | IN | 1 | 例外发生信号 |
| wb\_ecode | IN | 6 | 例外发生ecode代码 |
| wb\_esubcode | IN | 9 | 例外发生esubcode代码 |
| wb\_pc | IN | 32 | WB级PC值，用于记录例外发生的PC |
| csr\_rvalue | OUT | 32 | 控制状态寄存器读数据 |
| ex\_entry | OUT | 32 | 例外跳转入口地址 |
| tlb\_ex\_entry | OUT | 32 | TLB例外跳转入口地址 |
| has\_int | OUT | 1 | 发生中断信号 |
| ipi\_int\_in | IN | 1 | 核间中断输入 |
| coreid\_in | IN | 32 | 核编号，也是TID初值 |
| hw\_int\_in | IN | 8 | 硬件中断输入 |
| wb\_vaddr | IN | 32 | 出错地址 |
| csr\_tlbehi\_vppn | OUT | 19 | CSR.TLBEHI.VPPN，TLB表项的虚页号 |
| csr\_tlbidx\_index | OUT | 4 | CSR.TLBIDX.INDEX，TLB表项索引 |
| tlbsrch\_we | IN | 1 | TLBSRCH指令的写使能 |
| tlbsrch\_hit | IN | 1 | TLBSRCH查询命中 |
| tlbrd\_we | IN | 1 | TLBRD指令的写使能 |
| tlbsrch\_hit\_index | IN | 4 | TLBSRCH查询命中的索引 |
| csr\_crmd\_rvalue | OUT | 32 | CSR.CRMD的值 |
| csr\_asid\_rvalue | OUT | 32 | CSR.ASID的值 |
| csr\_dmw0\_rvalue | OUT | 32 | CSR.DMW0的值 |
| csr\_dmw1\_rvalue | OUT | 32 | CSR.DMW1的值 |
| r\_tlb\_e | IN | 1 | 从TLB读出的e域信息 |
| r\_ tlb\_vppn | IN | 19 | 从TLB读出的vppn域信息 |
| r\_ tlb\_ps | IN | 6 | 从TLB读出的ps域信息 |
| r\_ tlb\_asid | IN | 10 | 从TLB读出的asid域信息 |
| r\_ tlb\_g | IN | 1 | 从TLB读出的g域信息 |
| r\_ tlb\_ppn0 | IN | 20 | 从TLB读出的偶页ppn域信息 |
| r\_ tlb\_plv0 | IN | 2 | 从TLB读出的偶页plv域信息 |
| r\_ tlb\_mat0 | IN | 2 | 从TLB读出的偶页mat域信息 |
| r\_ tlb\_d0 | IN | 1 | 从TLB读出的偶页d域信息 |
| r\_ tlb\_v0 | IN | 1 | 从TLB读出的偶页v域信息 |
| r\_ tlb\_ppn1 | IN | 20 | 从TLB读出的奇页ppn域信息 |
| r\_ tlb\_plv1 | IN | 2 | 从TLB读出的奇页plv域信息 |
| r\_ tlb\_mat1 | IN | 2 | 从TLB读出的奇页mat域信息 |
| r\_ tlb\_d1 | IN | 1 | 从TLB读出的奇页d域信息 |
| r\_ tlb\_v1 | IN | 1 | 从TLB读出的奇页v域信息 |
| w\_ tlb\_e | OUT | 1 | TLB写行为的e域信息 |
| w\_ tlb\_vppn | OUT | 19 | TLB写行为的vppn域信息 |
| w\_ tlb\_ps | OUT | 6 | TLB写行为的ps域信息 |
| w\_ tlb\_asid | OUT | 10 | TLB写行为的asid域信息 |
| w\_ tlb\_g | OUT | 1 | TLB写行为的g域信息 |
| w\_ tlb\_ppn0 | OUT | 20 | TLB写入偶页的ppn域信息 |
| w\_ tlb\_plv0 | OUT | 2 | TLB写入偶页的plv域信息 |
| w\_ tlb\_mat0 | OUT | 2 | TLB写入偶页的mat域信息 |
| w\_ tlb\_d0 | OUT | 1 | TLB写入偶页的d域信息 |
| w\_ tlb\_v0 | OUT | 1 | TLB写入偶页的v域信息 |
| w\_ tlb\_ppn1 | OUT | 20 | TLB写入奇页的ppn域信息 |
| w\_ tlb\_plv1 | OUT | 2 | TLB写入奇页的plv域信息 |
| w\_ tlb\_mat1 | OUT | 2 | TLB写入奇页的mat域信息 |
| w\_ tlb\_d1 | OUT | 1 | TLB写入奇页的d域信息 |
| w\_ tlb\_v1 | OUT | 1 | TLB写入奇页的v域信息 |

* + 1. 功能描述

在虚实地址转换时，地址翻译模式由CRMD中的DA和PG域控制，为此需要让这两个域能被csr指令更新。当DA=0，PG=1时，处理器核的MMU处于直接地址翻译模式。当DA=0，PG=1时，MMU处于映射地址翻译模式，这种模式又可分为直接映射地址翻译模式和页表映射地址翻译模式。

对于直接映射地址翻译模式，相关配置信息存储在DMW0、DMW1寄存器中，每个窗口除了地址范围信息外，还可以配置该窗口在哪些特权等级下可用，以及虚地址落在该窗口上的访存操作的存储访问类型。存储访问类型由CRMD的DATF和DATM域控制。这些域都只需支持csr指令的读写。

对于没有落在DMW0、DMW1设置的直接映射配置窗口中的地址，需要采用页表映射地址翻译模式，为此也需要在CSR模块中增加TLB相关的控制状态寄存器。TLBIDX包含TLB指令操作TLB时的索引值、PS以及是否有效等信息。TLBEHI包含TLB 表项高位的虚页号，TLBELO0、TLBELO1则包含表项低位的物页号、有效、脏等信息。ASID寄存器包含地址空间标识符等信息。TLBSRCH、TLBRD、TLBWR、TLBFILL指令会对这些寄存器进行读写。于是，这些寄存器更新的逻辑需要考虑两种情况：被TLB维护指令更新，或是被之前实验实现的csr写指令更新。TLBEHI在此基础上还需多考虑一种情况，即在发生例外时将触发例外的虚地址记录到其VPPN域中。根据这些TLB相关的控制状态寄存器，便可以产生传递给TLB模块的各种信号，其中需要注意的是，传递给TLB的w\_e信号在TLB充填例外时恒为1而不受TLBIDX的NE位的影响。

在发生TLB重填例外时，处理器核将通过更新DA和PG来进入直接地址翻译模式。TLB重填例外的入口地址储存在TLBENTRY中，该寄存器也只需支持csr指令的读写。在处理完例外后，处理器执行ETRN指令，此时需要让DA=0，PG=1，回到映射地址翻译模式。因此，DA和PG除了要支持csr指令的更新，还需考虑在发生TLB重填例外和执行ERTN时的更新。

* 1. 重要模块3设计：MMU模块
     1. 工作原理

MMU模块完成虚实地址的转换，包括判断映射模式以及查找TLB等操作，同时MMU模块还会输出一系列用于判断TLB相关异常的信号。

* + 1. 接口定义

表2 MMU模块接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| inst\_sram\_req | OUT | 1 | 指令sram请求信号 |
| inst\_sram\_wr | OUT | 1 | 指令sram读写控制信号 |
| inst\_sram\_size | OUT | 2 | 指令sram该次请求传输的字节数 |
| inst\_sram\_wstrb | OUT | 4 | 指令sram该次请求的字节写使能信号 |
| inst\_sram\_addr | OUT | 32 | 指令sram请求地址 |
| inst\_sram\_wdata | OUT | 32 | 指令sram该次写请求的写数据 |
| inst\_sram\_addr\_ok | IN | 1 | 指令sram该次请求的地址传输OK |
| inst\_sram\_data\_ok | IN | 1 | 指令sram该次请求的数据传输OK |
| inst\_sram\_rdata | IN | 32 | 指令sram该次请求返回的读数据 |
| axi\_arid | IN | 4 | AXI转接桥的读请求ID号 |
| id\_allowin | IN | 1 | ID流水级是否允许IF流水级传入数据 |
| br\_taken | IN | 1 | ID流水级传来的跳转信号 |
| br\_stall | IN | 1 | ID流水级传来的跳转阻塞信号 |
| br\_target | IN | 32 | ID流水级传来的跳转地址 |
| if\_to\_id\_valid | OUT | 1 | 标记IF流水级向ID流水级传递的数据是否有效 |
| if\_to\_id\_data | OUT | 64 | IF模块向ID模块传递的数据 |
| if\_to\_id\_excep | OUT | 1 | IF模块向ID模块传递的异常信息 |
| wb\_to\_if\_csr\_data | IN | 66 | WB模块传给IF模块的csr数据 |
| if\_flush | IN | 1 | 传给IF模块的清空流水线信号 |

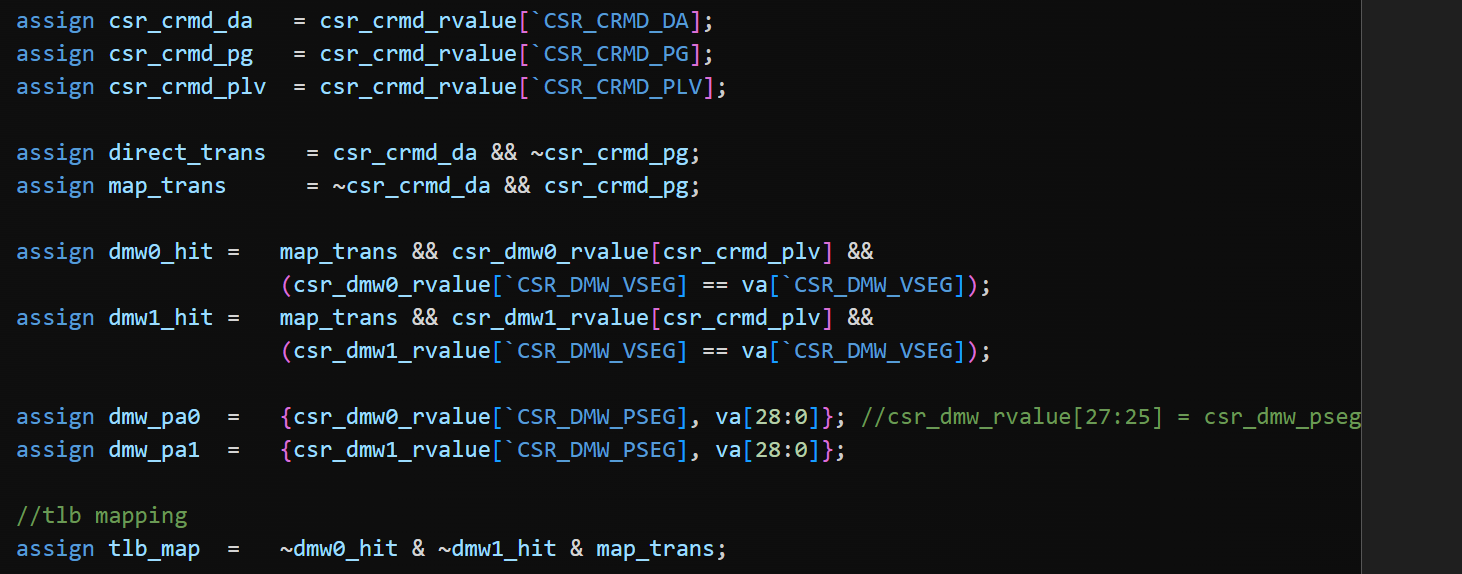
（需要修改。。。。。。。。）

* + 1. 功能描述

MMU模块完成虚实地址的转换，地址翻译模式由CRMD中的DA和PG域控制。当DA=0，PG=1时，处理器核的MMU处于直接地址翻译模式。当DA=0，PG=1时，MMU处于映射地址翻译模式，这种模式又可分为直接映射地址翻译模式和页表映射地址翻译模式。

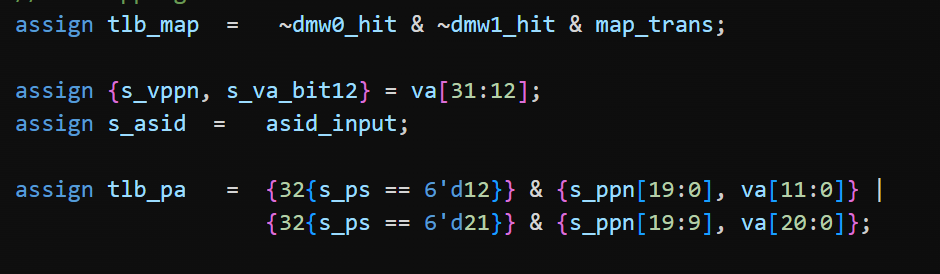
对于直接映射地址翻译模式，相关配置信息存储在DMW0、DMW1寄存器中。每个窗口除了地址范围信息外，还可以配置该窗口在哪些特权等级下可用，以及虚地址落在该窗口上的访存操作的存储访问类型。

当虚地址命中某个有效的直接映射配置窗口时，其物理地址直接等于虚地址的[28:0]位拼接上该映射窗口所配置的物理地址高位。命中的判断方式是：虚地址的最高 3 位（[31:29]位）与配置窗口寄存器中的[31:29]相等，且当前特权等级在该配置窗口中被允许。映射地址翻译模式下，除了落在直接映射配置窗口中的地址之外，其余所有合法地址都必须通过页表映射完成虚实地址转换。



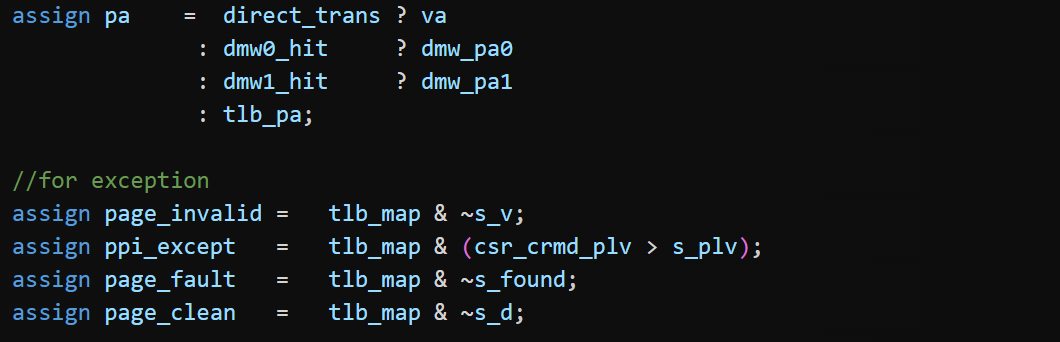
图x MMU模块对于地址翻译模式的判断

对于页表映射地址翻译模式，TLB 作为处理器中存放操作系统页表信息的一个临时缓存，用于加速映射地址翻译模式下的取指和 load/store 操作的虚实地址转换过程。所以只需要把虚拟地址的相关信息传给TLB模块，如果能匹配到页表项，则根据TLB模块返回的PS字段的值，把物理页表项s\_ppn拼接上对应的offset，便可以得到页表映射的物理地址。



图x MMU模块对于页表映射地址翻译模式下的物理地址的产生

如果没有匹配到页表项，则把输出信号page\_fault拉高，方便TLB重填例外的判断。除此之外，MMU模块还会根据TLB模块返回的页表项的V，D，PLV字段的值，对输出信号进行赋值，方便进行load/store取指操作页无效例外、页修改例外、页特权等级不合规例外的判断。

****

图x MMU模块物理地址的产生以及用于例外判断的信号

* 1. 重要模块4设计：IF流水级
     1. 工作原理

IF模块内包含一个伪流水级pre-IF，pre-IF级负责发送请求并等待地址握手，IF级负责接收指令。如果需要取消指令，则将IF级或pre-IF级的对于cancel信号拉高，并把if\_inst\_reg\_valid信号置为0，从而完成对后面返回指令的取消

* + 1. 接口定义

表2 IF流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| inst\_sram\_req | OUT | 1 | 指令sram请求信号 |
| inst\_sram\_wr | OUT | 1 | 指令sram读写控制信号 |
| inst\_sram\_size | OUT | 2 | 指令sram该次请求传输的字节数 |
| inst\_sram\_wstrb | OUT | 4 | 指令sram该次请求的字节写使能信号 |
| inst\_sram\_addr | OUT | 32 | 指令sram请求地址 |
| inst\_sram\_wdata | OUT | 32 | 指令sram该次写请求的写数据 |
| inst\_sram\_addr\_ok | IN | 1 | 指令sram该次请求的地址传输OK |
| inst\_sram\_data\_ok | IN | 1 | 指令sram该次请求的数据传输OK |
| inst\_sram\_rdata | IN | 32 | 指令sram该次请求返回的读数据 |
| axi\_arid | IN | 4 | AXI转接桥的读请求ID号 |
| id\_allowin | IN | 1 | ID流水级是否允许IF流水级传入数据 |
| br\_taken | IN | 1 | ID流水级传来的跳转信号 |
| br\_stall | IN | 1 | ID流水级传来的跳转阻塞信号 |
| br\_target | IN | 32 | ID流水级传来的跳转地址 |
| if\_to\_id\_valid | OUT | 1 | 标记IF流水级向ID流水级传递的数据是否有效 |
| if\_to\_id\_data | OUT | 64 | IF模块向ID模块传递的数据 |
| if\_to\_id\_excep | OUT | 1 | IF模块向ID模块传递的异常信息 |
| wb\_to\_if\_csr\_data | IN | 66 | WB模块传给IF模块的csr数据 |
| if\_flush | IN | 1 | 传给IF模块的清空流水线信号 |

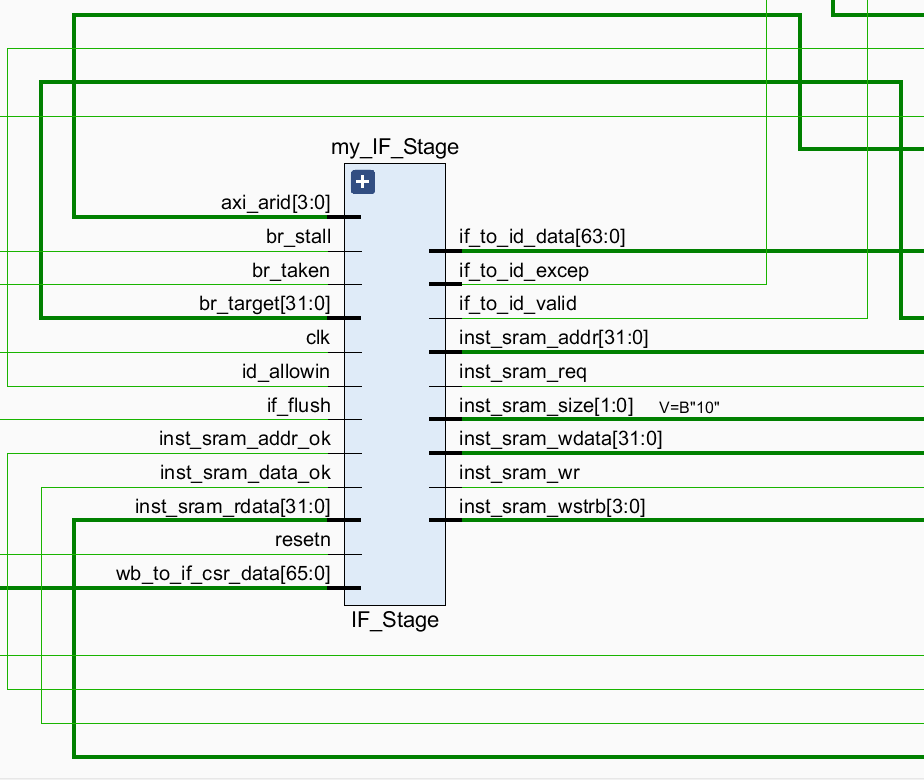
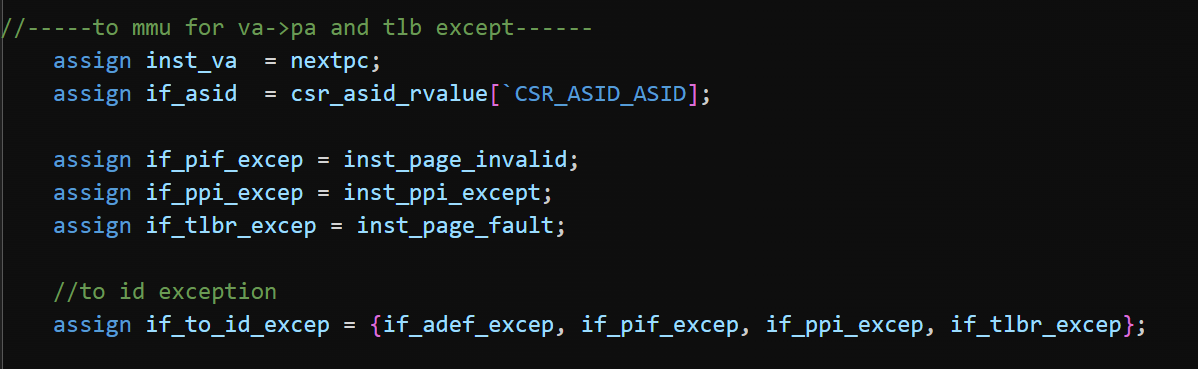


图8 IF模块接口

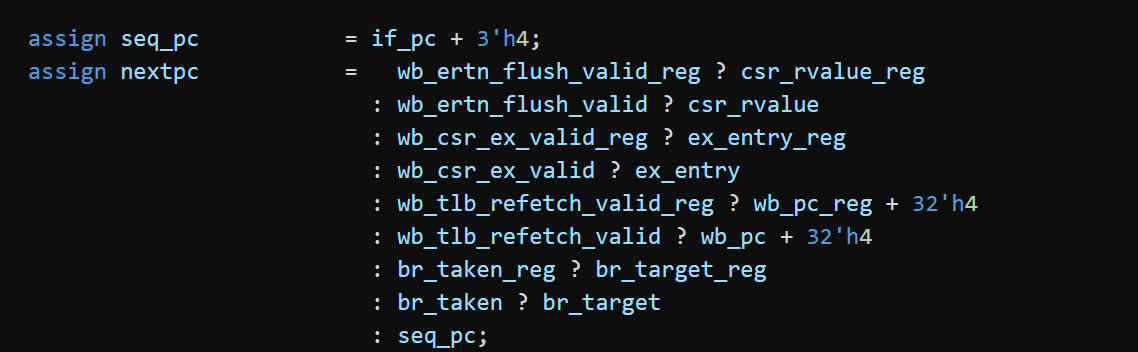
* + 1. 功能描述

在之前实验的基础上，本次实验在IF模块的伪流水级pre-IF中增加了对虚地址nextpc的地址转换功能。为了支持该功能，还需要在其中增添对TLB的查找操作并处理查找过程中出现的例外，然后将这些例外传递给ID级进行下一步操作。而虚实地址的转换以及例外的判断则主要通过MMU模块处理。



图x IF模块的虚实地址转换和TLB例外判断

除此之外，由于新添了流水线的回滚操作，所以将WB流水级的PC传到了IF流水级，用于对nextpc的选择，最终逻辑如下：

****

图x IF模块nextpc更新逻辑的修改

* 1. 重要模块5设计：ID流水级
     1. 工作原理

新增TLB指令的译码，TLB相关例外以及对INE例外的修改。其余不变。

* + 1. 接口定义

表3 ID流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| id\_allowin | OUT | 1 | ID流水级允许IF流水级传入数据 |
| br\_taken | OUT | 1 | 传给IF流水级的跳转信号 |
| br\_stall | OUT | 1 | 传给IF流水级的跳转阻塞信号 |
| br\_target | OUT | 32 | 传给IF流水级的跳转地址 |
| if\_to\_id\_valid | IN | 1 | 标记IF流水级传入ID流水级的数据是否有效 |
| if\_to\_id\_data | IN | 64 | IF流水级传给ID流水级的数据 |
| if\_to\_id\_excep | IN | 1 | IF流水级传给ID流水级的异常信息 |
| ex\_allowin | IN | 1 | EX流水级允许ID流水级传入数据 |
| id\_to\_ex\_data | OUT | 163 | ID流水级传入EX流水级的数据 |
| id\_to\_ex\_excep | OUT | 86 | ID流水级传入EX流水级的异常信息 |
| id\_to\_ex\_valid | OUT | 1 | 标记ID流水级传入EX流水级的数据是否有效 |
| wb\_rf\_zip | IN | 38 | WB流水级向ID流水级传递的regfile的写回信息和前递数据 |
| mem\_rf\_zip | IN | 39 | MEM流水级前递到ID流水级的数据 |
| ex\_rf\_zip | IN | 40 | EX流水级前递到ID流水级的数据 |
| id\_flush | IN | 1 | ID模块收到的清空流水线信号 |
| has\_int | IN | 1 | 若WB模块判断有中断，将ID阶段的指令进行标记 |

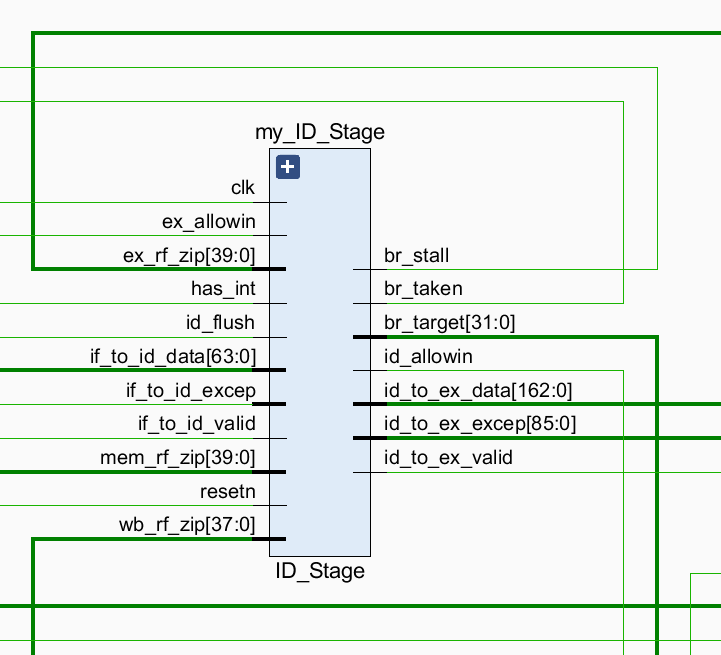


图15 ID流水级接口

* + 1. 功能描述

本实验新增的5条TLB指令在ID级译码，并将控制信号传入EXE级：

另外在之前的实验，INE取指地址错误仅仅处理译码得到的指令不是以及支持的指令，但在本实验还要考虑INVTLB且其op不合法的情况。如果是INVTLB且其op大于6，也要报出INE例外

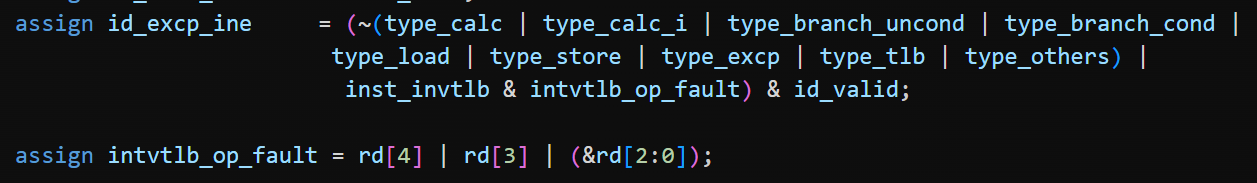


图16 INE例外判断逻辑的修改

* 1. 重要模块6设计：EX流水级
     1. 工作原理

新增虚实地址转换的过程以及TLB例外的判断。根据指令的需要，进行虚实地址转换后向数据RAM发起请求。此外，TLBSRCH在EX级查询TLB，INVTLB也在EX级进行处理。其余功能不变。

* + 1. 接口定义

表4 EX流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| ex\_allowin | OUT | 1 | EX模块允许ID模块传入数据 |
| id\_to\_ex\_data | IN | 163 | ID模块传入EX模块的数据 |
| id\_to\_ex\_excep | IN | 86 | ID模块传入EX模块的异常信息 |
| id\_to\_ex\_valid | IN | 1 | 标记ID模块传入EX模块的数据是否有效 |
| mem\_allowin | IN | 1 | MEM模块允许EX模块传入数据 |
| ex\_to\_mem\_data | OUT | 78 | EX模块传入MEM模块的数据 |
| ex\_to\_mem\_excep | OUT | 87 | EX模块传入MEM模块的异常信息 |
| ex\_to\_mem\_valid | OUT | 1 | 标记EX模块传入MEM模块的数据是否有效 |
| ex\_rf\_zip | OUT | 39 | EX模块前递到ID模块的数据 |
| mul\_result | OUT | 64 | 乘法器得到的结果 |
| data\_sram\_req | OUT | 1 | 数据ram请求信号 |
| data\_sram\_wr | OUT | 1 | 数据ram读写控制信号 |
| data\_sram\_size | OUT | 2 | 数据ram请求字节数 |
| data\_sram\_wstrb | OUT | 4 | 数据ram写使能信号 |
| data\_sram\_addr | OUT | 32 | 数据ram请求地址 |
| data\_sram\_wdata | OUT | 32 | 数据ram写数据 |
| data\_sram\_addr\_ok | IN | 1 | 数据ram地址握手信号 |
| ex\_flush | IN | 1 | 清空流水线信号 |
| mem\_to\_ex\_excep | IN | 1 | MEM模块向EX前传的异常信息 |

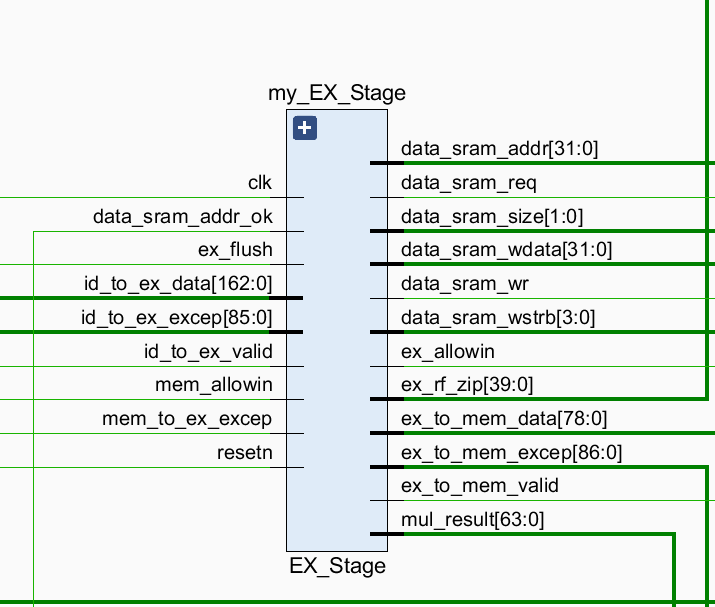


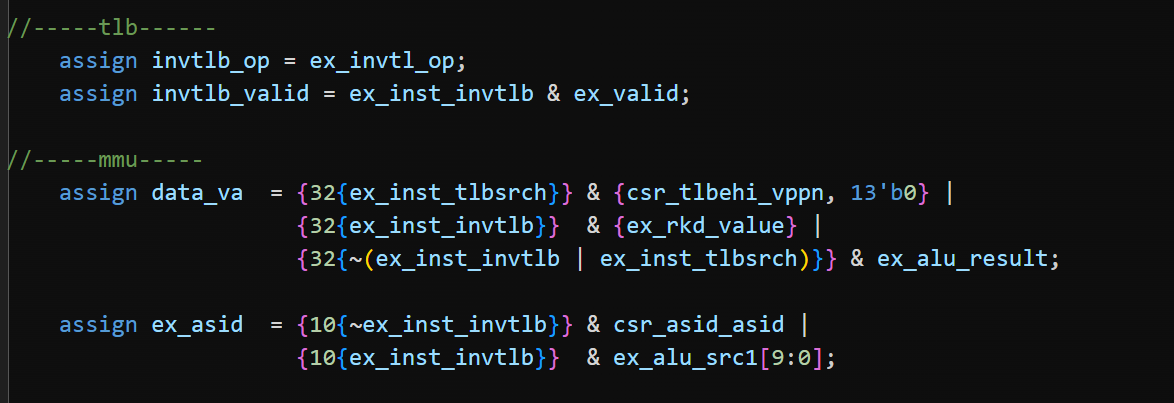
图17 EX流水级接口

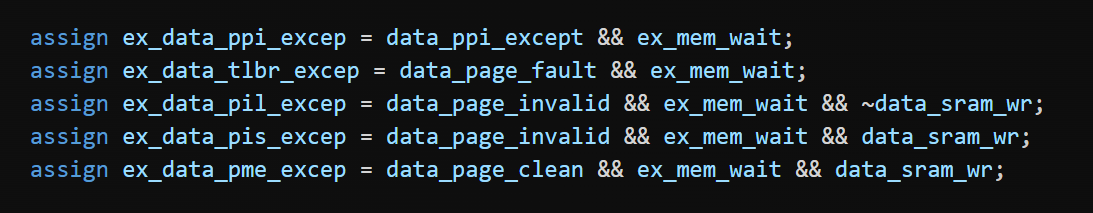
* + 1. 功能描述

在之前实验的基础上，本实验在EXE级中增加了对虚地址es\_alu\_result进行地址转换的功能。和IF级类似，虚实地址转换通过MMU模块进行。此外，在本流水级还需要处理TLB相关例外，也主要结合指令类型和MMU返回信号进行判断。此外，如果在load/store指令中出现了访存虚地址错误或者TLB相关例外，则取消访存，不向总线发送请求。

另外，在EX流水级进行了TLBSRCH的查找TLB操作以及完成对INVTLB操作的处理。对于TLBSRCH指令，会用ASID或TLBEHI中的内容查询TLB，并把返回的index和found信号传递给WB流水级进行进一步处理。

对于INVTLB指令，则把其op传递给TLB模块，并把invtlb\_valid拉高，让TLB模块进行处理。这两条指令均会复用EX流水级对TLB的虚实地址转换的通路：

图x EX流水级对TLB查找的通路的复用



图x EX流水级对TLB相关例外的判断

本实验对ex\_ready\_go也进行了相关修改，当TLBSRCH位于EXE级时，此时如果在MEM流水级或者WB流水级恰好有条修改ASID或TLBEHI的指令，或是TLBRD指令，就会引发围绕csr的数据相关。在这种情况下需要将TLBSRCH阻塞在EXE级，等前面的指令写入完成后再允许其流入MEM级。

* 1. 重要模块7设计：MEM流水级
     1. 工作原理

新增传递给EX流水级的TLB阻塞信号。其余功能不变。

* + 1. 接口定义

表5 MEM流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| mem\_allowin | OUT | 1 | MEM模块允许EX模块传入数据 |
| ex\_to\_mem\_data | IN | 78 | EX模块传入MEM模块的数据 |
| ex\_to\_mem\_excep | IN | 87 | EX模块传入MEM模块的异常或中断数据 |
| ex\_to\_mem\_valid | IN | 1 | 标记EX模块传入MEM模块的数据是否有效 |
| wb\_allowin | IN | 1 | WB模块允许MEM模块传入数据 |
| mem\_to\_wb\_data | OUT | 70 | MEM模块传入WB模块的数据 |
| mem\_to\_wb\_excep | OUT | 119 | MEM模块传入WB模块的异常或中断数据 |
| mem\_to\_wb\_valid | OUT | 1 | 标记MEM模块传入WB模块的数据是否有效 |
| data\_sram\_data\_ok | IN | 1 | 数据ram数据握手信号 |
| data\_sram\_rdata | IN | 32 | 数据ram读数据 |
| mul\_result | IN | 64 | 乘法器运算结果 |
| mem\_rf\_zip | OUT | 38 | MEM模块前递到ID模块的数据 |
| mem\_reflush | IN | 1 | 清空流水级信号 |
| mem\_to\_ex\_excep | OUT | 1 | MEM级向EX级传递异常或中断信号 |

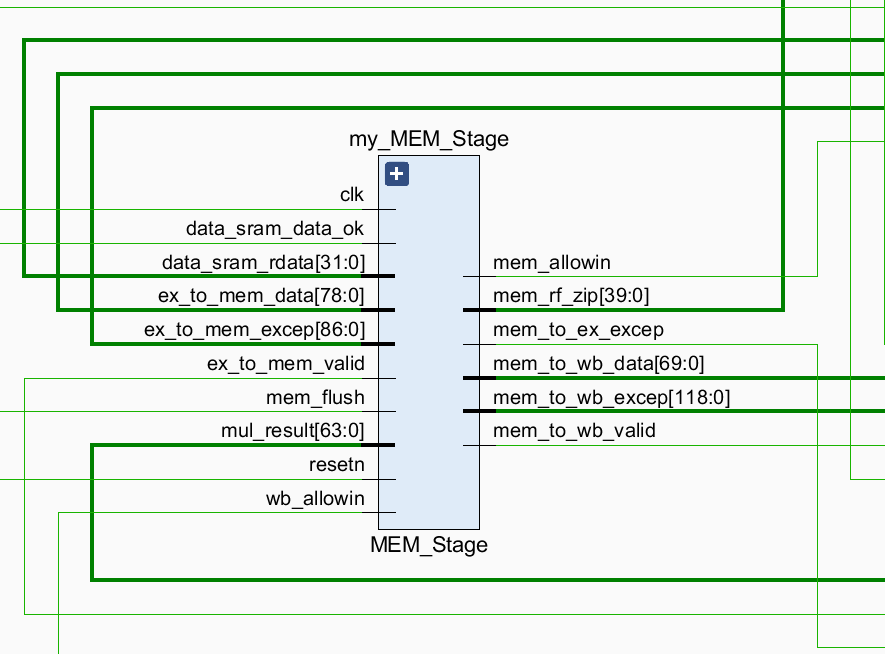


图20 MEM流水级接口

* + 1. 功能描述

新增传递给EX流水级的TLB阻塞信号，当TLBSRCH位于EXE级时，此时如果在MEM流水级恰好有条修改ASID或TLBEHI的指令，或是TLBRD指令，就会引发围绕csr的数据相关。在这种情况下需要将TLBSRCH阻塞在EXE级。

* 1. 重要模块8设计：WB流水级
     1. 工作原理

本次实验中，TLB指令在WB级完成对csr和TLB进行读写。此外，本次实验还新添了回滚操作，若需要回滚，把WB的PC传递给IF，并清空流水线。除此之外，还新增了传递给EX级的TLB阻塞信号。其余功能不变。

* + 1. 接口定义

表6 WB流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| wb\_allowin | OUT | 1 | WB模块允许MEM模块传入数据 |
| mem\_to\_wb\_data | IN | 70 | MEM模块传入WB模块的数据 |
| mem\_to\_wb\_excep | IN | 70 | MEM模块传入WB模块的异常信息 |
| mem\_to\_wb\_valid | IN | 1 | 标记MEM模块传入WB模块的数据是否有效 |
| debug\_wb\_pc | OUT | 32 | 写回指令PC值（用于debug） |
| debug\_wb\_rf\_we | OUT | 4 | 写回指令写使能（用于debug） |
| debug\_wb\_rf\_wnum | OUT | 5 | 写回指令写地址（用于debug） |
| debug\_wb\_rf\_wdata | OUT | 32 | 写回指令写数据（用于debug） |
| wb\_rf\_zip | OUT | 38 | WB模块向ID模块传递的regfile写回信息和前递数据 |
| wb\_to\_if\_csr\_data | OUT | 66 | WB模块传给IF模块的csr数据 |
| wb\_flush | OUT | 1 | WB模块输出的清空流水线信号 |
| has\_int | OUT | 1 | 将ID阶段的指令标记为中断 |

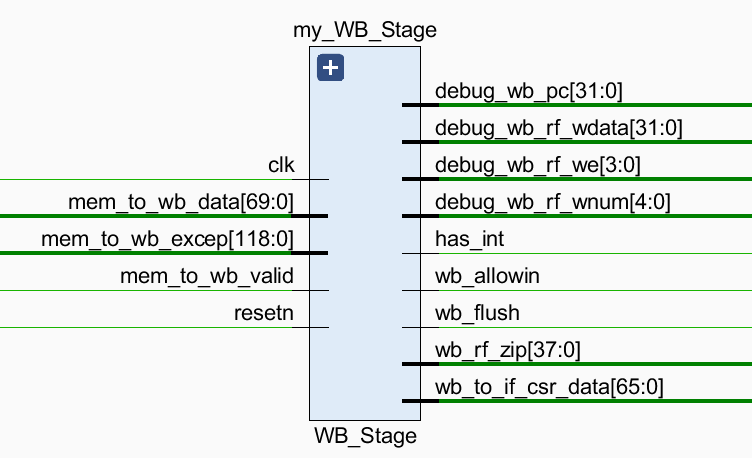
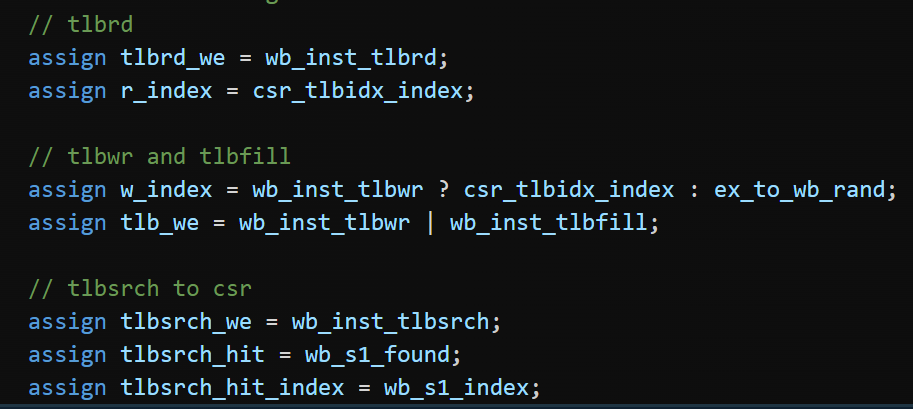


图14 WB流水级接口

* + 1. 功能描述

根据TLB指令的类型产生读写使能和索引，并传入TLB。如果是TLBSRCH指令，则将在EXE级获得的查询结果写入CSR。对于TLBFILL指令，其会随机选择一个TLB项进行写入，此时复用EX流水级的计数器的第四位作为写入的TLB项的索引，实现随机的效果。



图x WB级TLB指令对TLB和CSR的读写

根据从上一级流入的重取标志和例外相关的控制信号来进行相应处理。如果重取标志为1，则需要刷新流水级，为此将重取标志加入ws\_reflush。如果发生TLB重填例外，例外入口地址的来源是从csr中读出的ws\_tlb\_entry，其余情况下依然是ws\_entry。

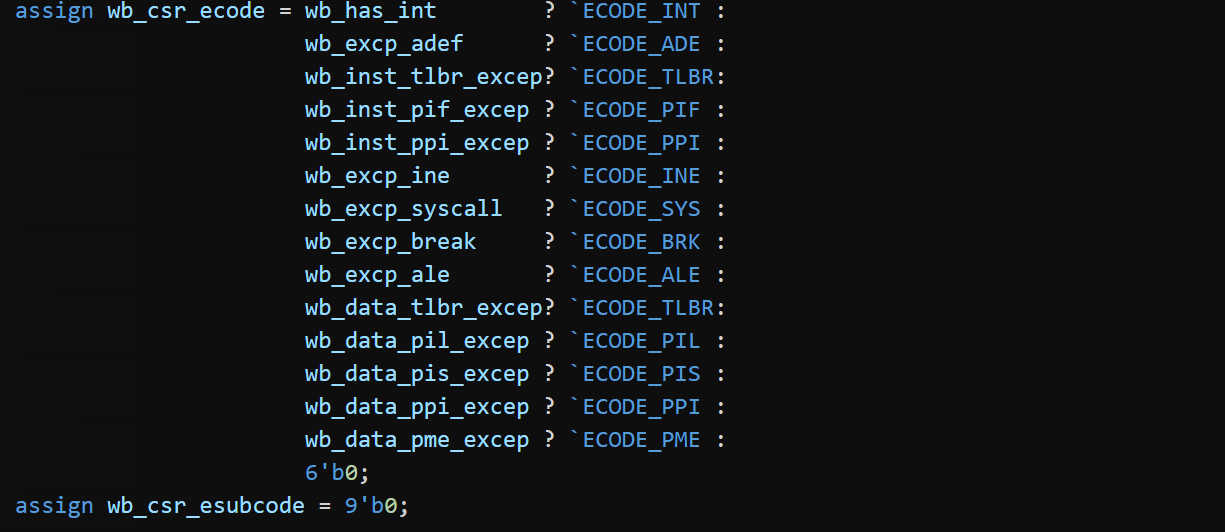
对于TLBWR、TLBFILL、TLBRD、INVTLB以及更改ASID或者CRMD寄存器的csr写指令，为了解决数据相关，本组成员的设计是刷新流水级并重新取指，直接复用在之前实验的wb\_flush信号即可。然后把wb\_pc传递给IF流水级，让的下一个取值PC改为此时WB流水级的PC+4。



图x WB级的回滚操作

除此之外，当TLBSRCH位于EXE级时，如果在WB流水级恰好有条修改ASID或TLBEHI的指令，或是TLBRD指令，就会引发围绕csr的数据相关。在这种情况下需要将TLBSRCH阻塞在EXE级。

WB模块还会根据前面模块传递过来的异常类型信息为csr\_ecode和csr\_esubcode赋值。在该部分实验中，所有异常类型的csr\_ecode均为0。根据指令集手册，对于该部分实验，当同时存在多个异常时，中断的优先级高于异常，中断的优先级最高。对于异常，取指阶段检测出的优先级最高，译码阶段检测出的优先级次之，执行阶段检测出的优先级再次之。而在IF级触发的例外中，ADEF例外的优先级高于TLB相关例外；在EX流水级触发的例外中，ALE例外的优先级高于TLB的相关例外；在TLB相关例外中，TLBR的优先级最高，然后为PIF或者PIL或者PIS，再其次为PPI，最后为PME。因此使用如下代码逻辑进行赋值：



图x csr\_ecode和csr\_esubcode赋值

1. 实验过程
   1. 实验流水账

李金明

2023.11.12 21：00-22：00 阅读讲义

2023.11.13 8：00-12：00 完善exp14代码

2023.11.13 12：20-15：00 18：00-21：00 完成exp14的debug

2023.11.17 14:00-15:00 阅读讲义

2023.11.17 15:00-22:00 完成exp15代码

2023.11.17 22:00-次日00:30 exp15的debug

2023.11.18 8:30-11:40 完成exp15的debug

贾城昊

2023.11.13 8:00-9:00 阅读讲义

2023.11.13 10:00-12:00 完善exp14代码

2023.11.13 15:00-21:00 完成exp14debug

2023.11.18 16:00-17:00 阅读讲义

2023.11.18 17：00-23：00 进行exp16的debug

2023.11.19 8：00-12：00 完成exp16的debug

牛浩宇

2023.11.9晚 阅读讲义&增加exp14接口并完成大致逻辑

2023.11.16晚 阅读讲义&增加exp15接口与转接桥。

* 1. 错误记录
     1. 错误1：exp14中跳转指令目标地址指令可能被跳过
        1. 错误现象

Console报错如下：

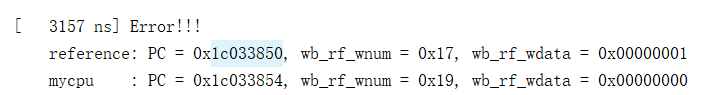


图23 错误1对应的Console报错

* + - 1. 分析定位过程

查看波形图及相关的汇编代码，可知错误发生在跳转指令目的地址的指令，其指令值没有被取出来就被跳过了，转而执行了目的地址的下一条指令。



图24 错误1对应的波形图



图25 错误1对应的汇编代码（1）



图26 错误1对应的汇编代码（2）

* + - 1. 错误原因

这里会出错是因为当有一条跳转指令时，跳转指令的下一条指令也会被送到inst\_sram并发出请求。虽然跳转指令此时已经在ID阶段，可以判断出存在跳转，需要取消下一条指令，但是需要被取消的那条指令以及发出请求并且可能在当拍返回了addr\_ok，此时当inst\_sram\_raddr切换到跳转指令目的地址后，可能会返回之前被取消指令地址读出的数据，且data\_ok拉高会让跳转指令目的地址的那条指令误以为取到了对应的指令而跳过。因此需要修改next\_pc的赋值。

* + - 1. 修正效果

增加代码：

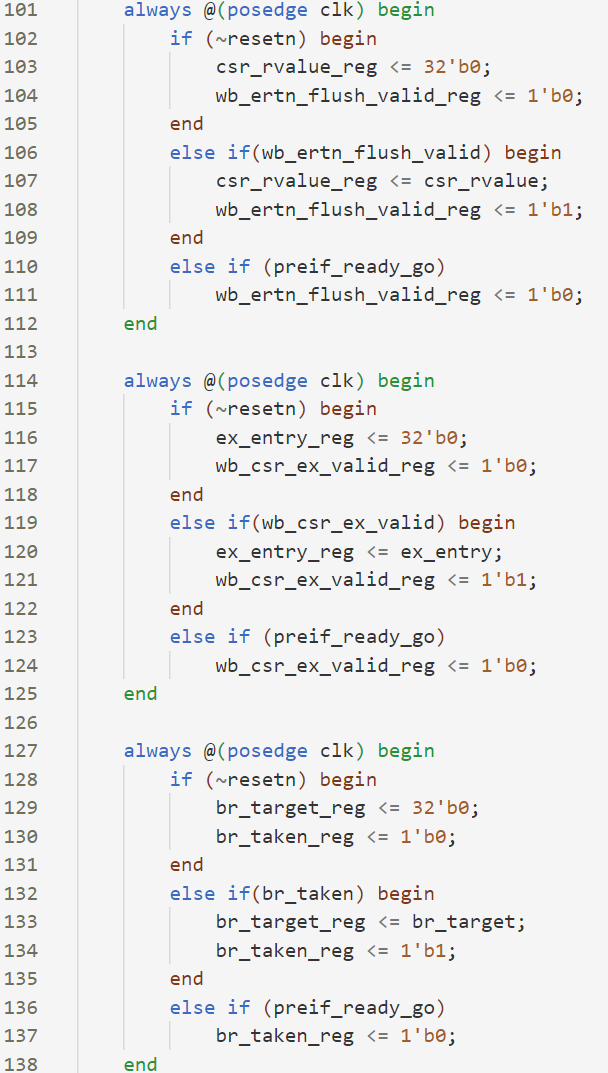


图27 错误1对应的修改代码（1）

修改next\_pc的赋值逻辑为：

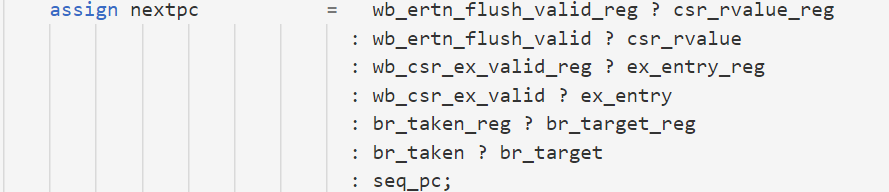


图28 错误1对应的修改代码（2）

此处逻辑为当有例外、ertn指令或跳转时，则将跳转地址存入一个寄存器并将有效位置为1，保证在addr\_ok前请求地址都是csr\_rvalue、ex\_entry或是br\_target，避免在指令地址握手成功前next\_pc就又被更新了。

该方法有效，来到下一个bug。

* + 1. 错误2：exp14中当其他流水级阻塞拍数过多时除法操作没有及时停止
       1. 错误现象

Console报错如下

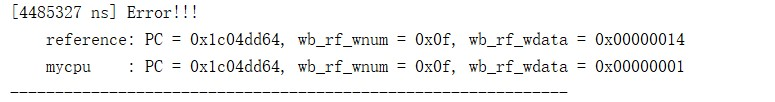


图29 错误2对应的Console报错

* + - 1. 分析定位过程

查阅汇编代码可知，出错的是一条除法指令。查看执行该除法指令的过程，波形图如下：

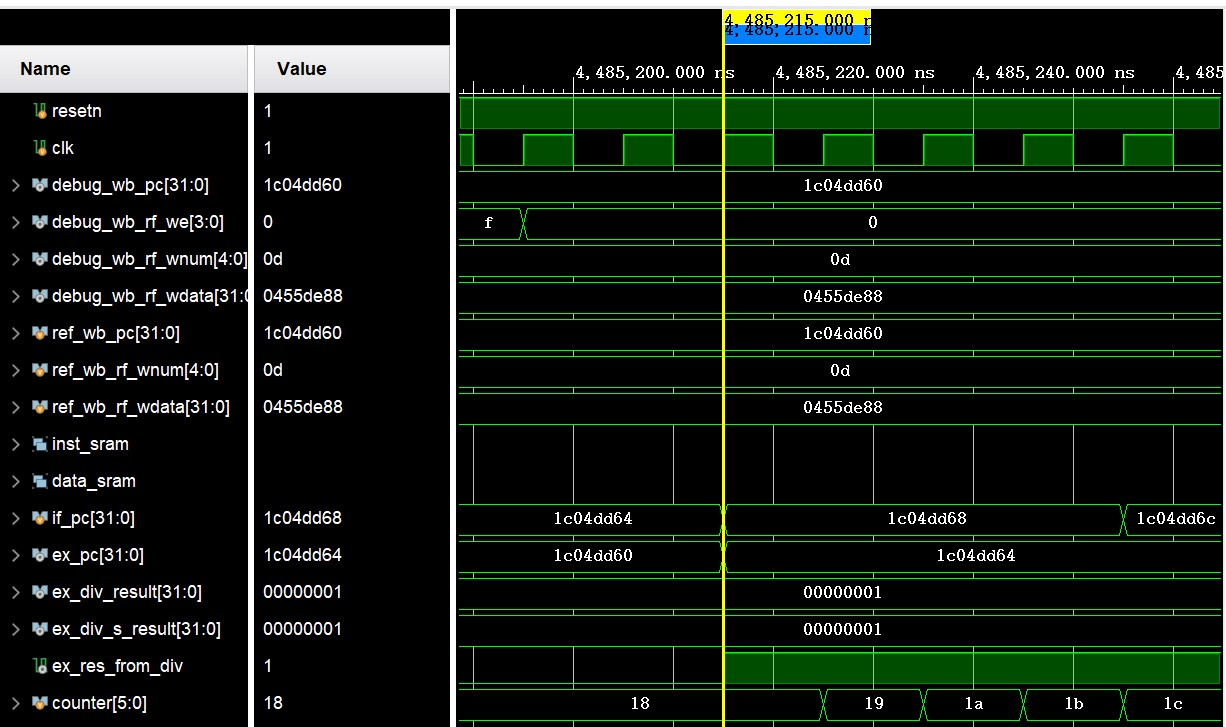


图30 错误2对应的波形图（1）

可以发现除法器对执行时钟周期计数的计数器初值不为0，导致除法器错误。查看上一次执行除法指令相关的波形图：

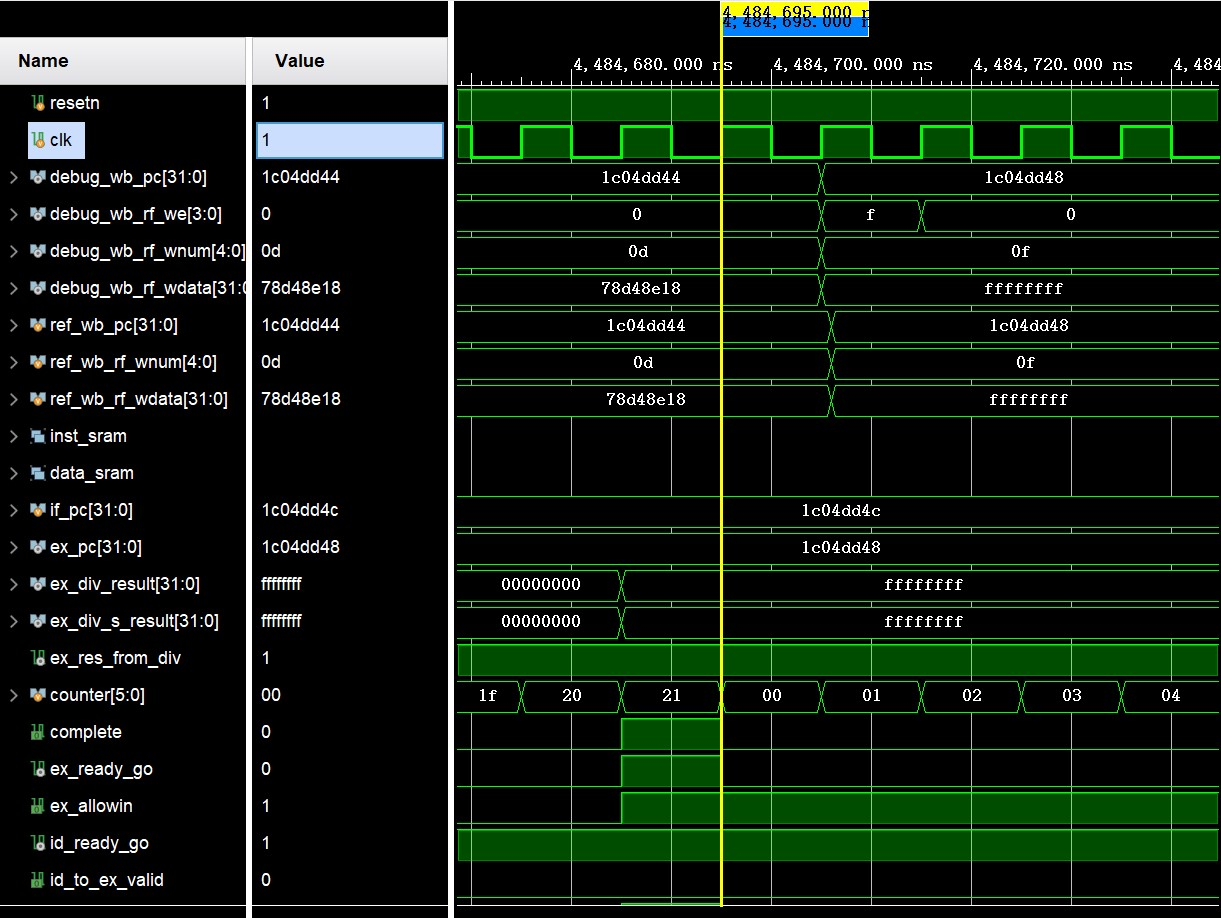


图31 错误2对应的波形图（2）

可以发现，当counter达到最大值0x21时，本应说明此时除法已经执行完毕，但是counter又从0开始加，没有结束。

* + - 1. 错误原因

除法器没有正常结束工作是因为某个流水级出现了多于33拍的阻塞，此时由于被阻塞，EX模块中传入除法器的div信号还是拉高的，导致除法器继续工作。

* + - 1. 修正效果

使用一个寄存器作为除法指令已经完成的标志，当除法器工作完成后，通过该标志将传入除法器的div信号拉低，避免除法器过度工作。修改代码如下：

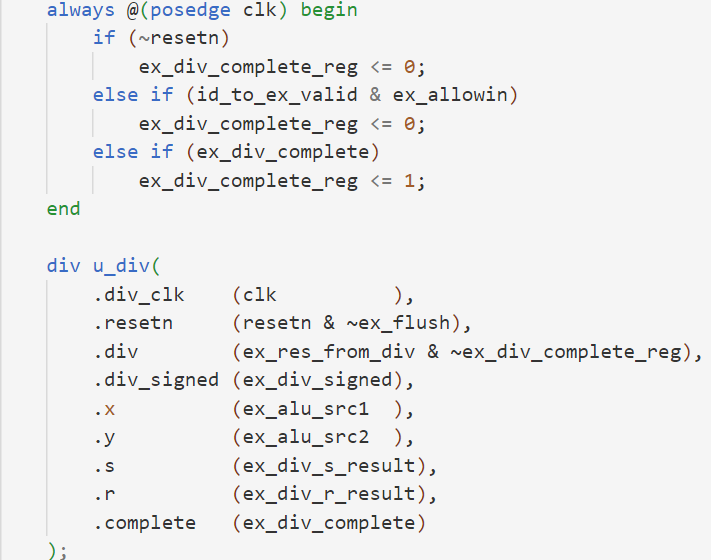


图32 错误2修改代码

该方法有效，来到下一个bug。

* + 1. 错误3：exp14中data\_sram\_size传入位宽出错
       1. 错误现象

Console报错如下

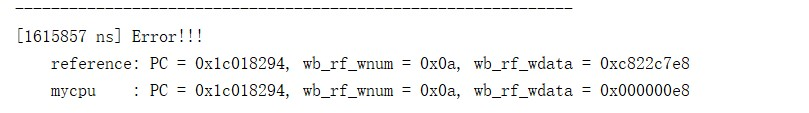


图33 错误3对应的Console报错

* + - 1. 分析定位过程

通过查看汇编代码，可以知道出错的是一条load指令，因此查看该条指令在EX阶段向data\_sram传送的请求信号，相关波形图如下：



图34 错误3对应的波形图

可以发现，出错的是一条ld.w指令，向sram传输的data\_sram\_size的值本应为2，但是此处为0。查看data\_sram\_size赋值相关代码：

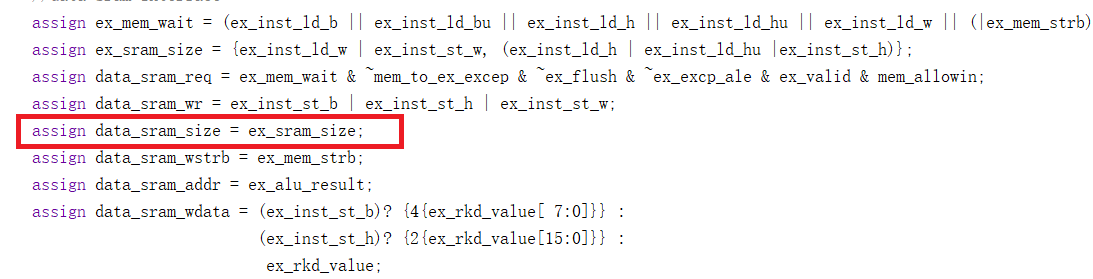


图35 错误3对应的错误代码（1）

可知出错的是EX模块中定义的ex\_sram\_size。查看这个信号赋值及定义，发现其定义位宽出错：

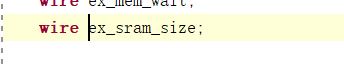


图36 错误3对应的错误代码（2）

* + - 1. 错误原因

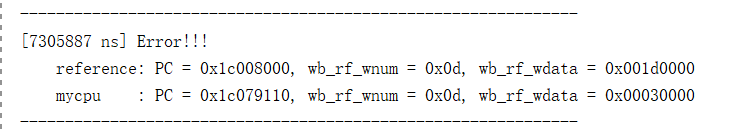
信号data\_sram\_size的位宽为2，但是新定义了一个为其赋值的信号ex\_sram\_size的位宽为1，导致data\_sram\_size本应为2，却被赋值成了0

* + - 1. 修正效果

将ex\_sram\_size的位宽改为2，该方法有效，来到下一处bug。

* + 1. 错误4：exp18中未考虑invtlb指令op值错误的情况
       1. 错误现象

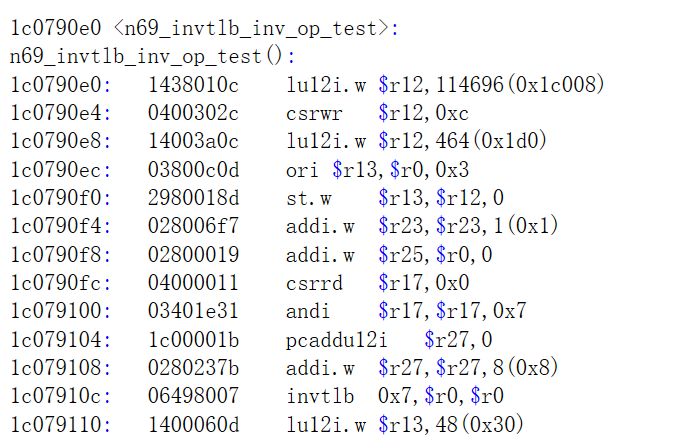
运行仿真后，console报错如下：



图x 错误4对应的Console报错

* + - 1. 分析定位过程

首先查看报错位置的汇编代码：



图x 错误4对应的汇编指令

显而易见，地址0x1c07910c处的invtlb指令的op值为0x7，这与要求不符：invtlb指令的op值只能为0x0-0x6，应该进入异常，从错误的PC值也可以看出，我们设计的CPU进行的是invtlb指令的下一条指令，而正常应该进入异常处理程序。

* + - 1. 错误原因

当invtlb指令的op值不合法时，按照指令集手册所述，应当进入保留异常，但我们当时不太确定触发什么异常，因此没有写这个地方。后来经过思考并询问助教老师确认后，决定当invtlb指令的op值不合法时，触发INE指令不存在异常。

* + - 1. 修正效果

在ID模块中更改INE异常的触发条件即可，如下所示：

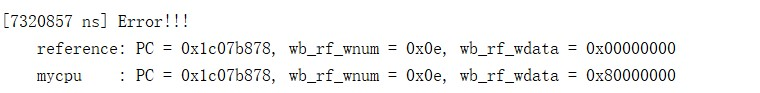


图x 错误10修改后代码

该方法有效，exp18通过。

* + 1. 错误5：exp19中EX模块传到mmu的va出错
       1. 错误现象

运行仿真后，console报错如下：



图x 错误5对应的Console报错

* + - 1. 分析定位过程

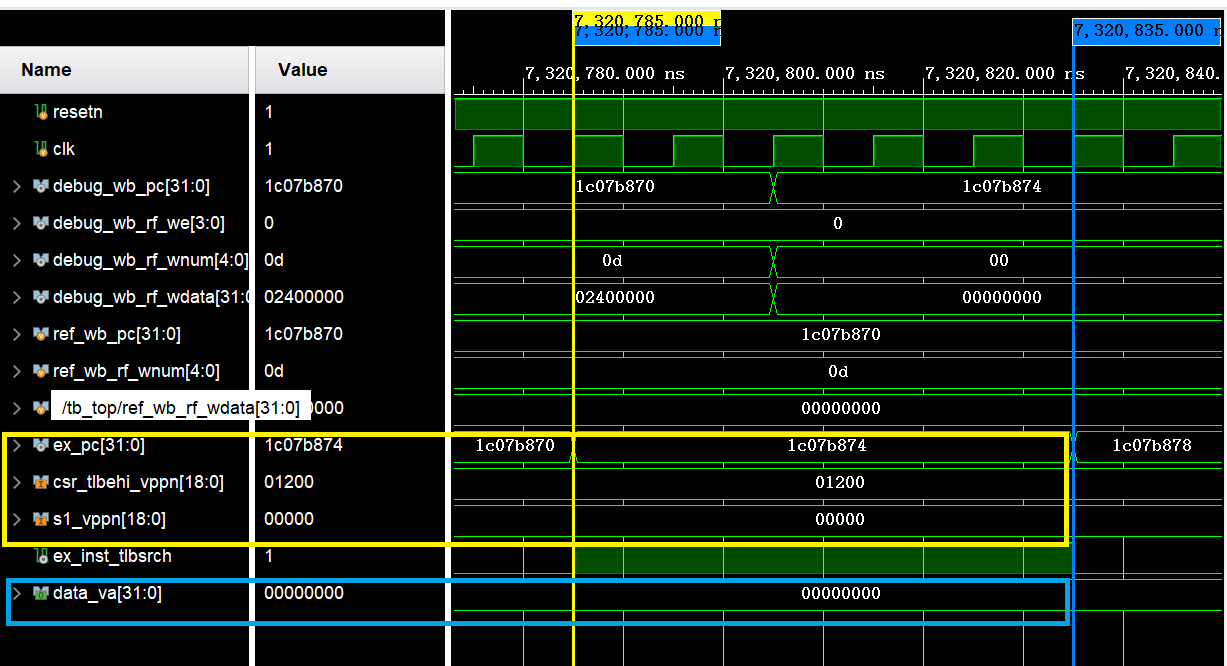
首先查看报错位置的汇编代码：



图x 错误5对应的汇编指令

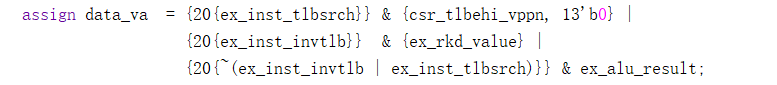
可以发现，该部分的功能是首先执行tlbsrch指令，tlbsrch指令会将查找结果写入CSR.TLBIDX，然后通过csrrd指令将该csr寄存器中的值读到寄存器中，从而与golden trace比较，确定tlbsrch执行的结果是否正确。

Golden trace的结果是0x00000000，而我们设计输出的是0x80000000，说明tlbsrch本应有命中项，但实际执行的过程中未命中。由于exp17和exp18已经对TLB模块有了充分验证，我们不认为是TLB模块内部工作出错，而将视角转向参数传递的过程。查看相应的波形图：



图x 错误5对应的波形图

首先观察黄框中的信号，可以看到，当EX模块处理的指令对应地址为0x1c07b874时，代表当前指令是tlbsrch的信号正常拉高了。但是从CSR.TLBEHI中读出的数据是0x01200，而传递到TLB的vppn值是0x00000，二者不匹配。这一信号的传递过程是：EX模块先得到CSR.TLBEHI中的数据，从而确定传递到MMU的虚拟地址，再由MMU解析，将vppn部分传给TLB模块。我们认为错误大概率出现在EX模块中，调取EX模块传递到MMU的va信号（蓝框部分），可以发现其错误地为0。查看相关代码：



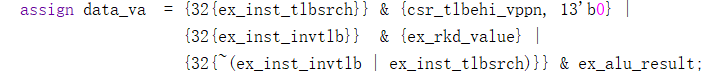
图x 错误5中data\_va的赋值

* + - 1. 错误原因

在我们的设计中，当EX模块处理虚拟地址时，一开始是将地址的31到12位传递给MMU供其解析，后来决定将整个虚拟地址都传递过去，更改逻辑时忘记因为data\_va是32位的，因此要将这一部分代码中的20改为32，从而导致出错。

* + - 1. 修正效果

把EX流水级传递给MMU的data\_va信号赋值逻辑中的20改为32即可，如下所示：

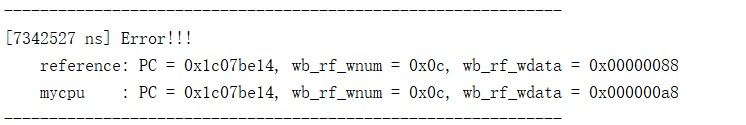


图x 错误5修改代码

该方法有效，来到下一个bug。

* + 1. 错误6：exp19中csr模块修改后读crmd值出错
       1. 错误现象

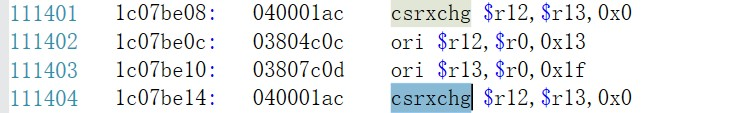
运行仿真后，console报错如下：



图x 错误6对应的Console报错

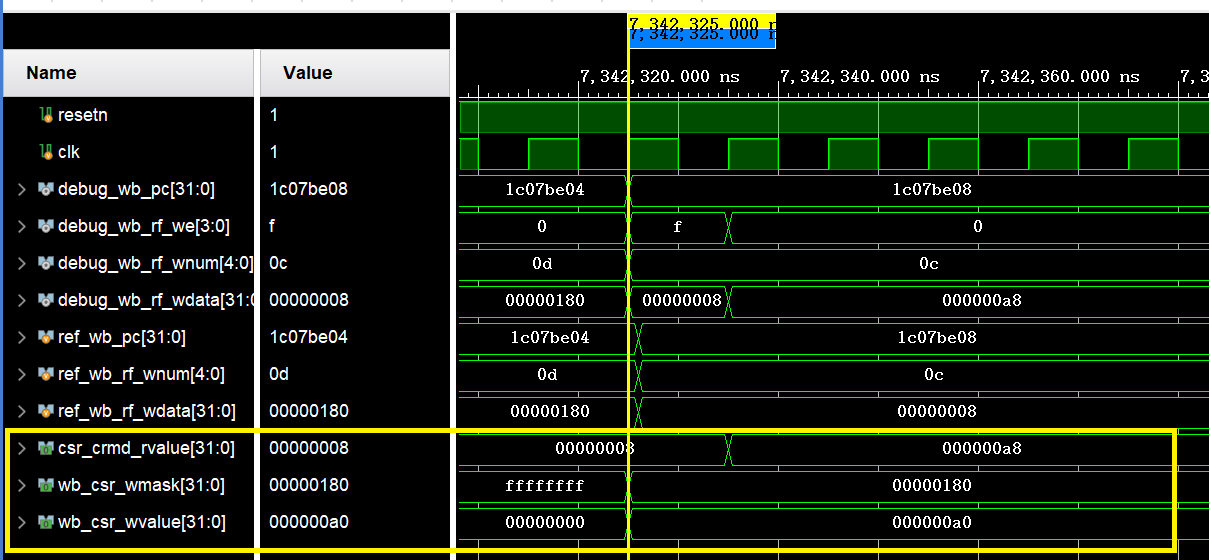
* + - 1. 分析定位过程

首先查看报错位置的汇编代码：



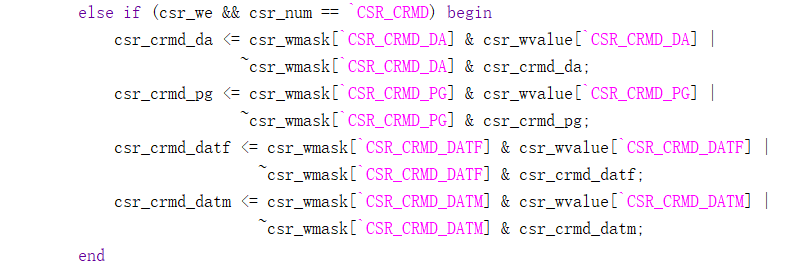
图x 错误6对应的汇编指令

可以发现，该部分的功能是执行csrxchg指令，查看的寄存器是CSR.CRMD中的值。0x1c07be08处的csrxchg指令将寄存器的内容写入 CSR.CRMD，并通过把与golden trace比对判断CRMD中的旧值是否正确，0x1c07be14处的csrxchg指令也是如此。考虑到csrxchg指令的实现应该不会有问题，不会是后一条csrxchg指令读数据错误，同时考虑到该部分汇编代码的工作逻辑，问题大概率出现在0x1c07be08处的csrxchg指令向CRMD写回的过程中。查看相关波形图：



图x 错误6对应的波形图

可以看到，当debug\_wb\_pc为0x1c07be08时，第一条csrxchg指令会向CRMD寄存器写回数据。传递给CSR模块的写数据wb\_csr\_wvalue信号是0x000000a0，掩码信号wb\_csr\_wvalue是0x00000180，而查看CSR模块中的csr\_crmd\_rvalue信号，过了一个周期CRMD中的数据更新后，其值变为了0x000000a8，与预期的0x00000088不符。故在CSR模块中查看CRMD寄存器写数据和读数据赋值的相关代码：



图x 错误6中CSR.CRMD写数据的更新逻辑



图x 错误6中CSR.CRMD读数据的赋值

* + - 1. 错误原因

可以发现，写回的过程没有什么问题，问题出现在读数据的赋值。在CRMD中，第5到6位为DATF，7到8位为DATM，而我们的代码中错误地将第5到6位也赋值为了DATM部分，导致出错。这一部分代码在以前实验中就存在问题，但是之前不涉及地址翻译模式，不论是DATF还是DATM都是0，故不会发生错误。

* + - 1. 修正效果

把csr\_crmd\_rvalue信号赋值逻辑修改正确即可，如下所示：

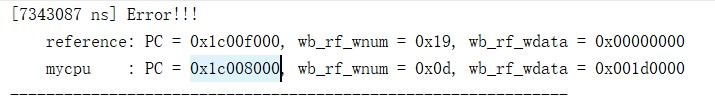


图x 错误6修改后代码

该方法有效，来到下一个bug。

* + 1. 错误7：exp19中未配置tlb异常入口
       1. 错误现象

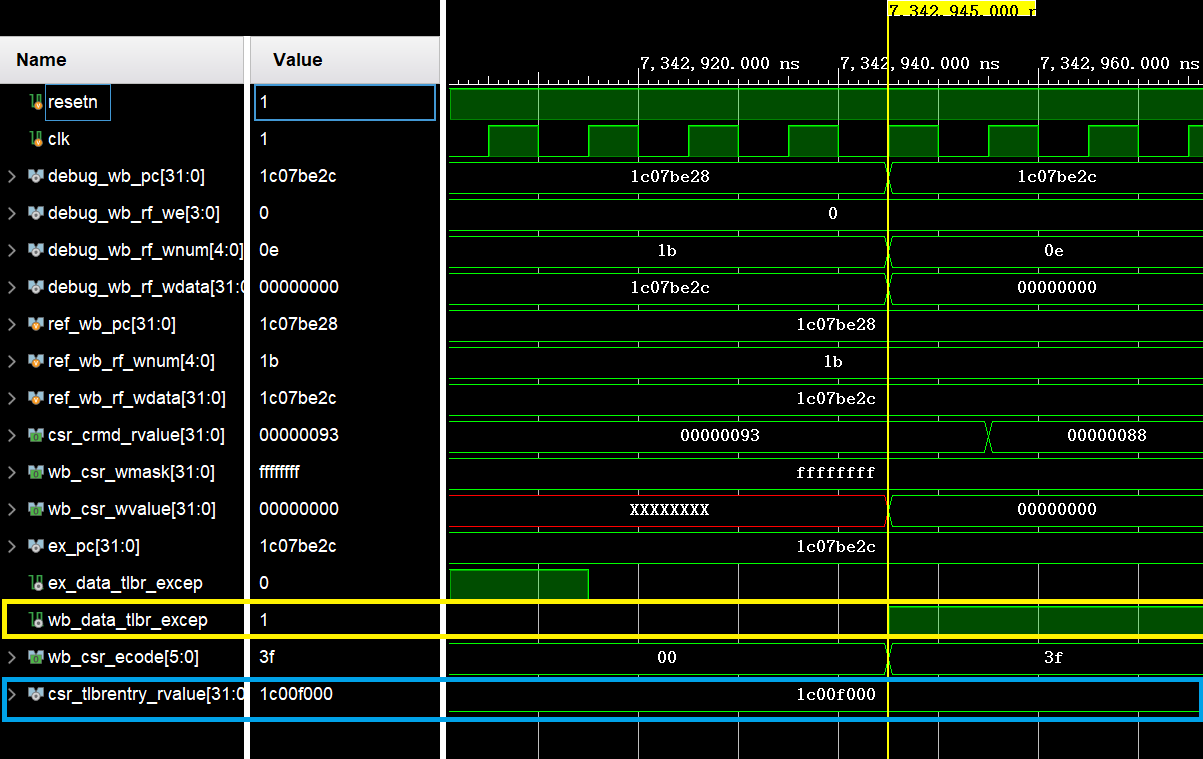
运行仿真后，console报错如下：



图x 错误7对应的Console报错

* + - 1. 分析定位过程

由于0x1c008000是例外入口地址，我们可以直接通过波形图查看触发这一例外的指令的地址：



图x 错误7对应的波形图

可以看到，这一例外的类型是TLB重填例外。根据指令集手册，当触发TLB重填例外时，例外入口应当是CSR.TLBENTRY中的值，即0x1c00f000，但是CPU并没有按照预想的跳转到这一地址。查看CPU中处理例外时例外入口地址的赋值的相关代码：



图x 错误7中例外入口地址的赋值

* + - 1. 错误原因

可以发现，在例外入口地址ex\_entry的赋值中，我们并没有考虑TLB重填例外的情况。根据指令集手册，EENTRY用于配置除TLB重填例外之外的例外和中断的入口地址，当触发TLB重填时，例外入口地址由TLBENTRY寄存器配置。

* + - 1. 修正效果

把例外入口地址的赋值逻辑修改正确即可，如下所示：

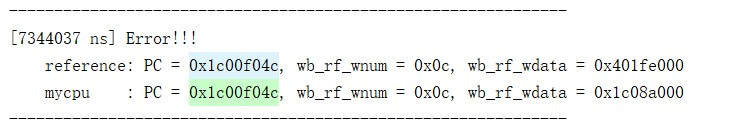


图x 错误7修改后代码

该方法有效，来到下一个bug。

* + 1. 错误8：exp19中tlbehi寄存器在触发tlb异常时未更新
       1. 错误现象

运行仿真后，console报错如下：



图x 错误8对应的Console报错

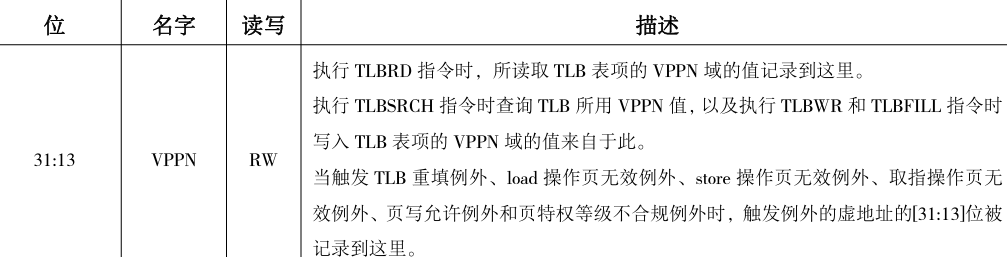
* + - 1. 分析定位过程

首先查看报错位置的汇编代码：



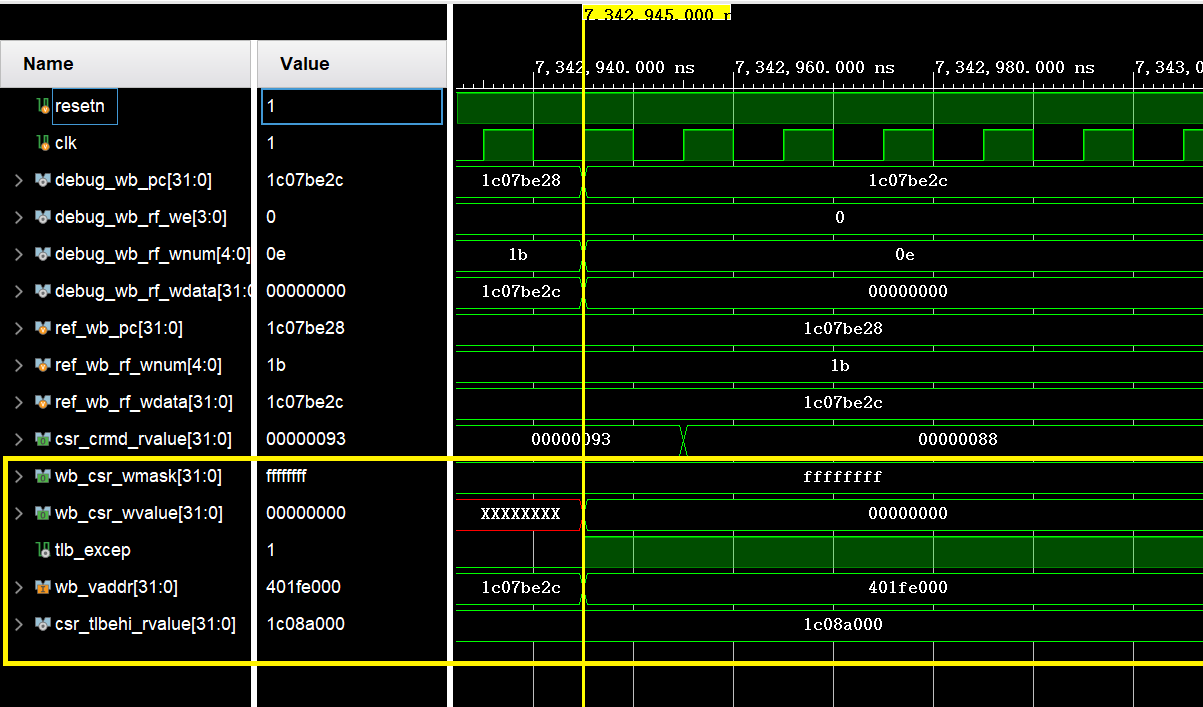
图x 错误8对应的汇编指令

该条汇编指令读取的是CSR.TLBEHI，通过指令地址可以看出，当前指令处于TLB重填例外的处理阶段，在这部分中没有对CSR.TLBEHI没有修改。查看CSR.TLBEHI的读写条件：



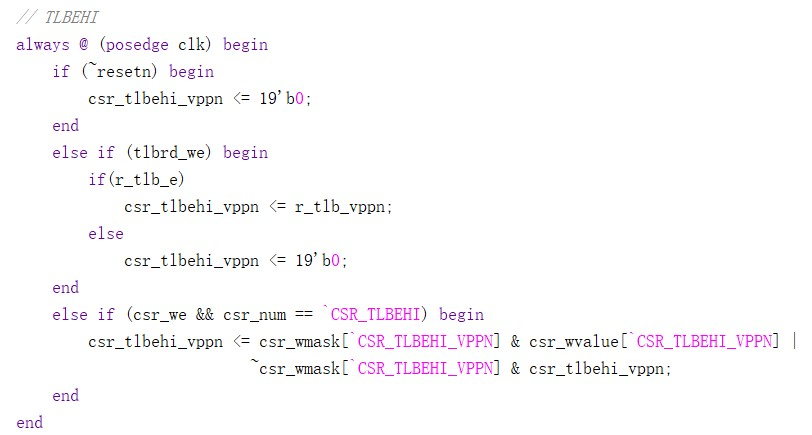
图x CSR.TLBEHI的读写条件

可以发现，当发生TLB相关例外时，要将触发例外的虚地址的31到13位写到TLBEHI寄存器的VPPN部分。根据波形图查找到触发例外的指令对应的地址。查看相关波形图：



图x 错误8对应的波形图

可以看到，当触发TLB例外时，应当将wb\_vaddr的31到13位写入TLBEHI寄存器的VPPN部分，但是此时TLBEHI寄存器的值并没有发生变化。故在CSR模块中查看TLBEHI寄存器写数据的相关代码：



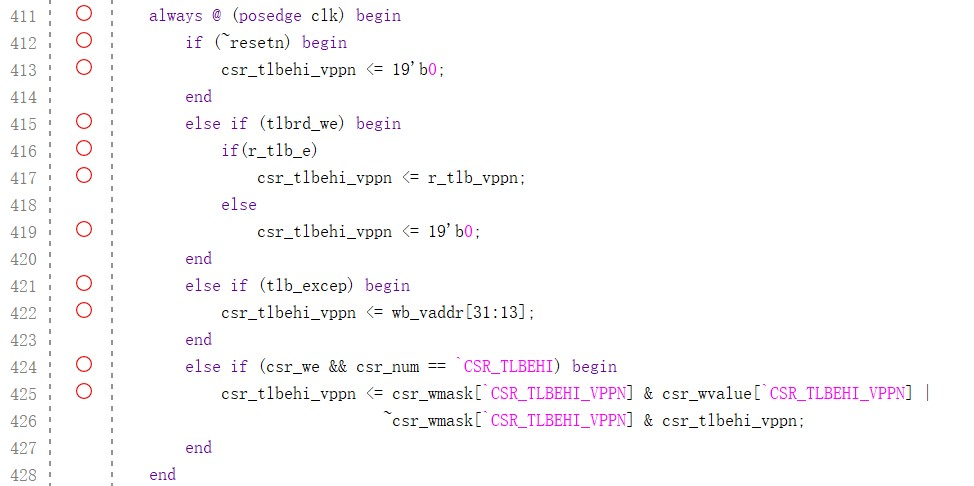
图x 错误8中CSR.TLBEHI的数据更新逻辑

* + - 1. 错误原因

可以发现，在TLBEHI的更新条件中，并没有考虑有TLB例外的情况，这就导致了TLBEHI寄存器储存值与预期不符，应当在触发TLB相关异常时更新TLBEHI的值。

* + - 1. 修正效果

把CSR.TLBEHI的数据更新逻辑修改正确即可，如下所示：

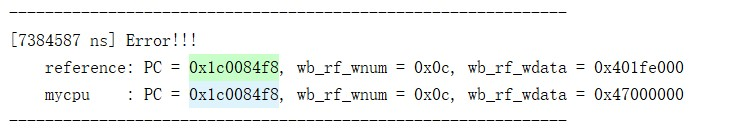


图x 错误8修改后代码

该方法有效，来到下一个bug。

* + 1. 错误9：exp19中badv寄存器赋值中混用逻辑运算符导致运算误判优先级
       1. 错误现象

运行仿真后，console报错如下：



图x 错误9对应的Console报错

* + - 1. 分析定位过程

首先查看报错位置的汇编代码：



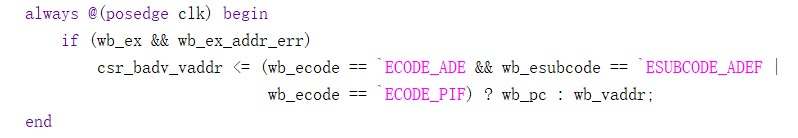
图x 错误9对应的汇编指令

可以发现，出错的原因是读取BADV寄存器中的值与预期不符。由于0x1c008000是例外入口地址，我们可以直接通过波形图查看触发这一例外的指令的地址：



图x 错误9对应的波形图

可以发现，这一例外的类型是取值操作页无效例外。根据指令集手册，BADV用于触发地址错误相关例外时记录出错的虚地址。对于PIF例外，记录的应该是发送的PC值。根据波形图，此时除法例外的地址应当为0x401fe000，其应当被吸入BADV寄存器，可是实际上写入BADV寄存器的值为0x47000000。因此可以推断出BADV的数据更新逻辑出错，查看相关代码：



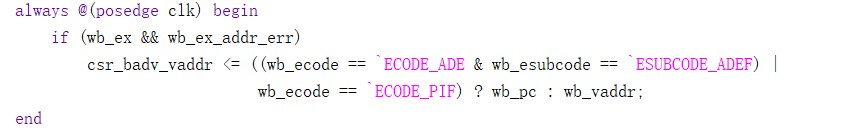
图x 错误9中BADV寄存器的数据更新逻辑

* + - 1. 错误原因

对于BADV寄存器，当触发TLB相关例外时，按照设计，当触发ADEF或PIF例外时，错误地址是当前的PC值，其他情况中出错地址会被存储到wb\_vaddr中。需要指出的是，TLBR例外、页特权等级不合规例外的出错地址也有可能是PC值，但也有可能是EX模块中发出的地址请求，故处理这两个例外时，PC值被存储到了wb\_vaddr中。回到错误代码，此处代码看起来没有错，实际上犯了一个比较低级的错误：混用了两种逻辑运算符。在verilog语法中，|的运算优先级要高于&&。当当前例外是ADEF时，这种判断逻辑能正常运行；但是当当前例外是PIF时，由于不可能做到ecode既为`ECODE\_PID也为`ECODE\_ADE，从而导致条件为错，从而写入BADV的数据时wb\_vaddr而非wb\_pc。

* + - 1. 修正效果

把BADV的数据更新时写入数据的判断条件修改正确即可，如下所示：

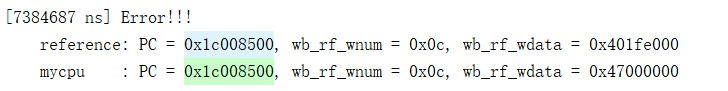


图x 错误9修改后代码

该方法有效，来到下一个bug。

* + 1. 错误10：exp19中tlbehi在pif异常中赋值出错
       1. 错误现象

运行仿真后，console报错如下：



图x 错误10对应的Console报错

* + - 1. 分析定位过程

首先查看报错位置的汇编代码：



图x 错误10对应的汇编指令

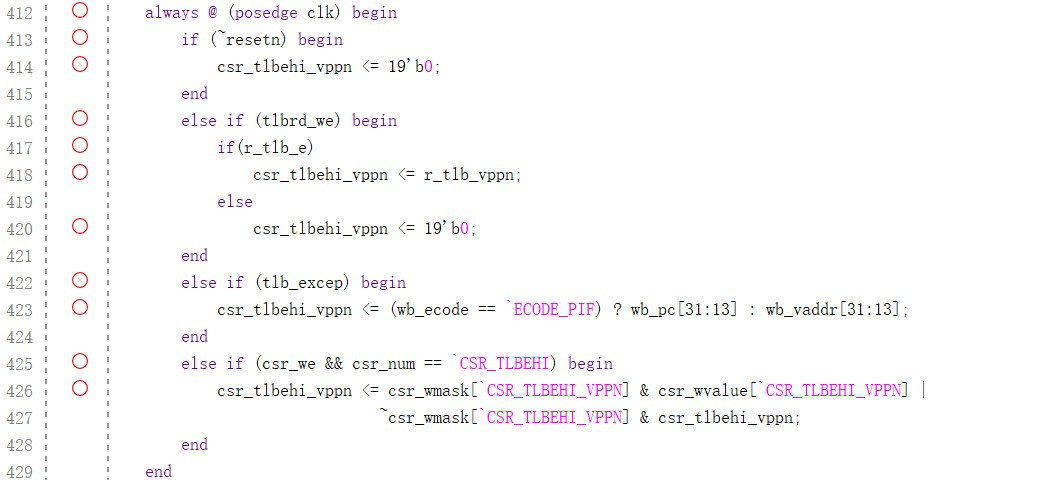
从这里，我们可以发现错误10不止有一点眼熟。一方面，0x11对应的寄存器是TLBEHI，这与我们错误8中出错的CSR寄存器相同；另一方面，读出的数据也很熟悉：和错误9中一样。因此我们可以直接查看TLBEHI写入数据的相关代码，如图x所示。可以通过错误9举一反三：触发PIF例外时，写入TLBEHI的数据应当是wb\_pc的32到13位，而非wb\_vaddr的对应位置。

* + - 1. 错误原因

当触发PIF例外时，触发例外的虚地址被存储在了wb\_pc中而非wb\_vaddr中，错误的数据逻辑导致出错。

* + - 1. 修正效果

把TLBEHI的数据更新时写入数据的代码修改正确即可，如下所示：

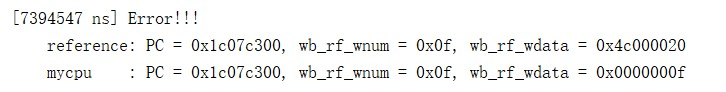


图x 错误10修改后代码

该方法有效，来到下一个bug。

* + 1. 错误11：exp19中data\_addr赋值出错
       1. 错误现象

运行仿真后，console报错如下：



图x 错误11对应的Console报错

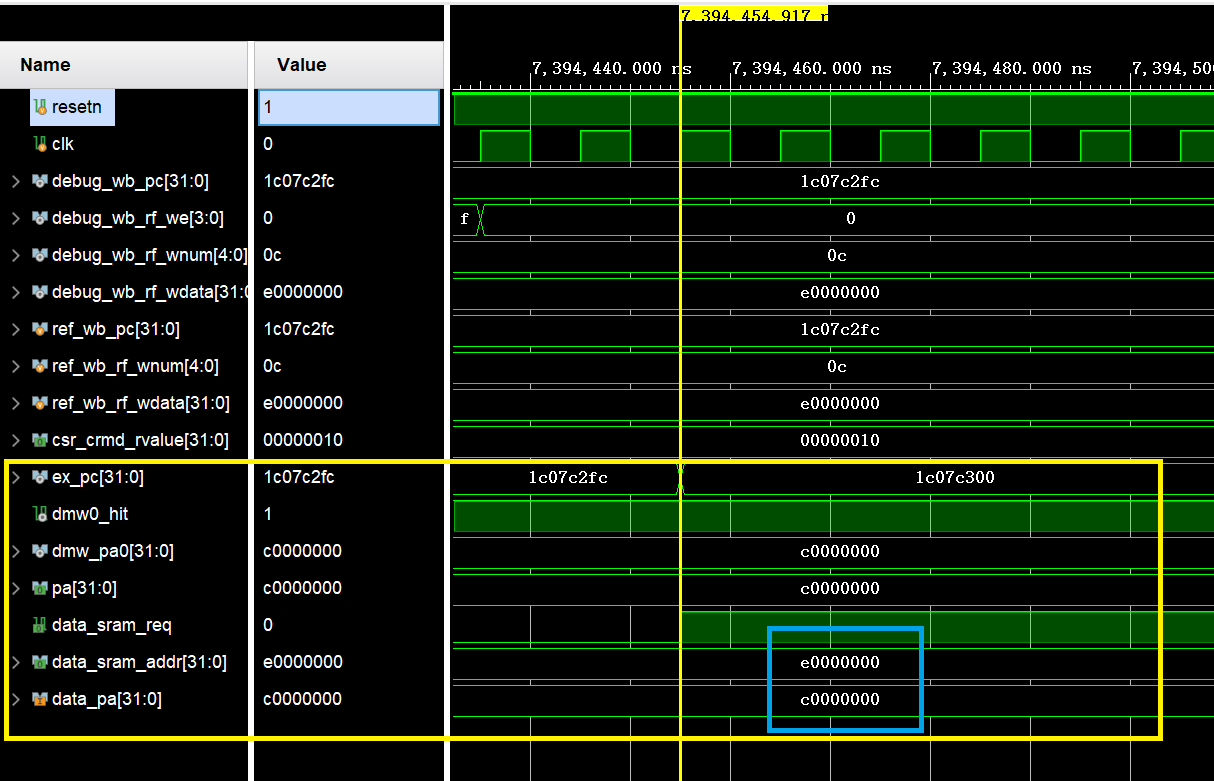
* + - 1. 分析定位过程

首先查看报错位置的汇编代码：



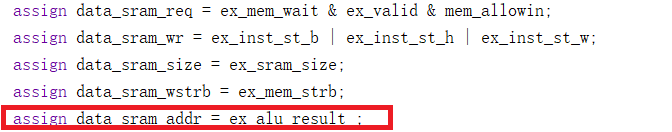
图x 错误10对应的汇编指令

我们可以发现发生错误的指令是ld指令，查看CPU对于这条指令的处理情况，相关波形图如下：



图x 错误11对应的波形图

可以看到，当这条指令在EX阶段时，dmw0\_hit是拉高的，说明这是直接映射。根据映射结果，返回的data\_pa是0xc0000000，而EX模块向AXI转接桥发送的data\_sram\_addr是0xe0000000，与预期不符。查看data\_sram\_addr相关复制逻辑：



图x 错误11中data\_sram\_addr的赋值逻辑

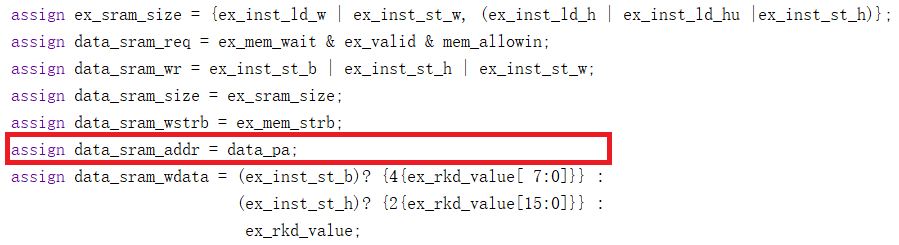
通过代码我们不难看出，我们仍将data\_sram\_addr赋值为ex\_alu\_result，这是虚地址而非MMU返回的物理地址。

* + - 1. 错误原因

在EX模块中，传递给AXI转接桥的地址应当为物理地址，而非虚地址。通过进一步查看汇编代码，可以发现该部分代码逻辑是：首先开启直接映射地址翻译模式，将数据写入0xe0000000对应的物理地址，而后更改映射方式，将新值写入0xe0000000对应的物理地址，再更改映射地址为原来的物理地址，最后加载该地址数据比较是否正确。但是在我们的设计中，所有的数据都写入了物理地址0xe0000000，导致最后的加载出错。

* + - 1. 修正效果

将data\_sram\_addr修改正确即可，如下所示：

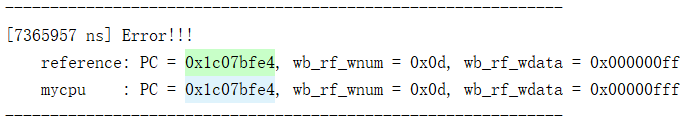


图x 错误11修改后代码

该方法不好说有没有效，改是肯定要这样改的，但是这个错误出现再第72个测试点，而下一个错误出现在第71个测试点。

* + 1. 错误12：exp19中EX模块中出现tlb异常错误向data sram发送请求
       1. 错误现象

运行仿真后，console报错如下：



图x 错误10对应的Console报错

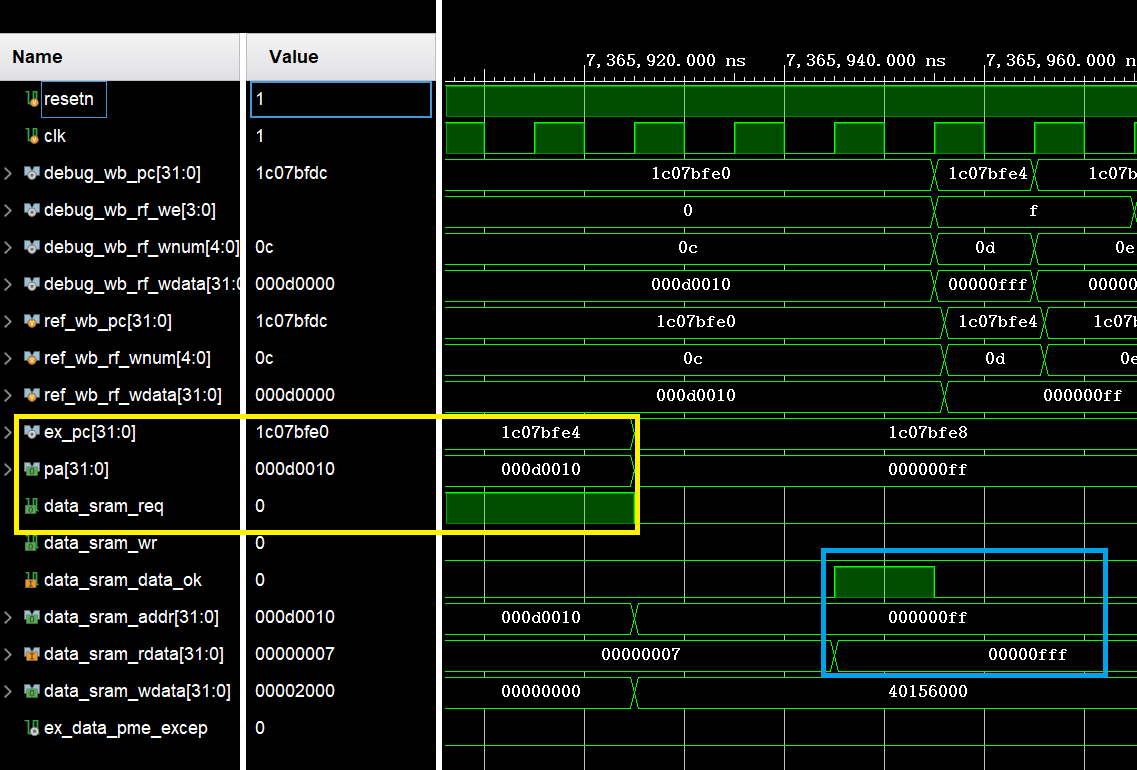
* + - 1. 分析定位过程

首先查看报错位置的汇编代码：



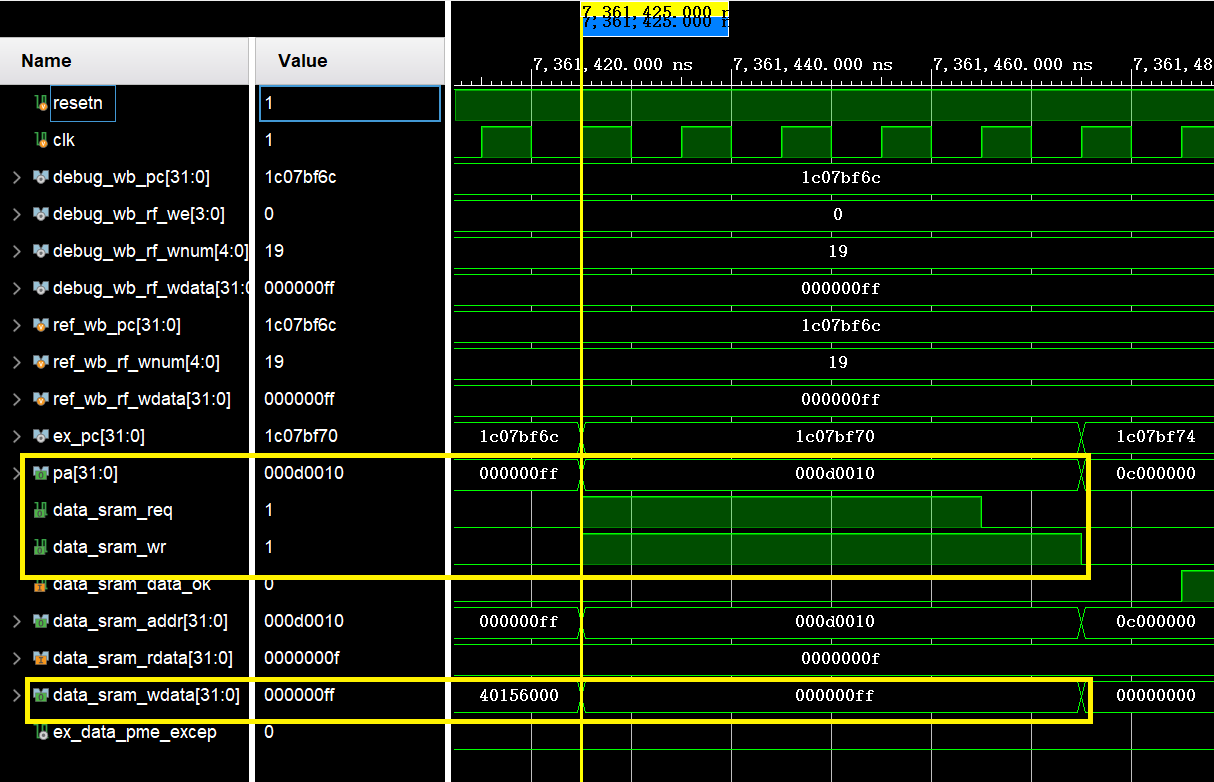
图x 错误12对应的汇编指令

查看波形图处理该条指令的波形图：



图x 错误12对应的波形图（1）

我们可以看到，该条ld指令访问的地址为0x000d0010，搜索该测试点中涉及到这个物理地址的st操作，共有两处，给出相应的波形图如下：



图x 错误12中向对应地址第一次写入数据的波形图

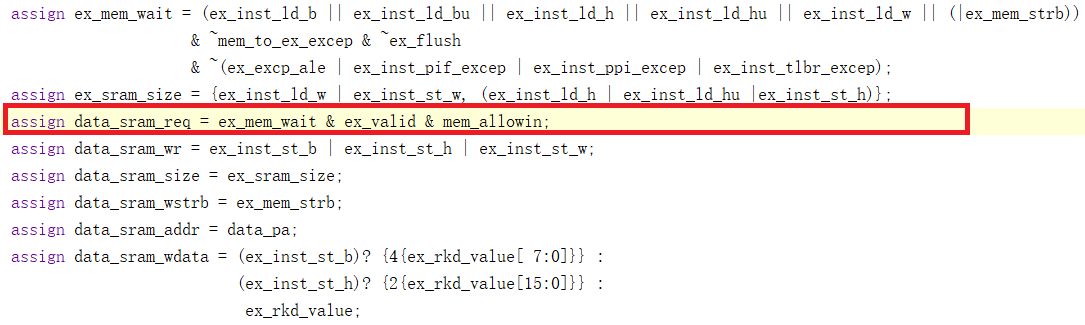


图x 错误12中向对应地址第二次写入数据的波形图

在测试文件的设计中，有两处store操作。第一次向0x000d0010写入0x000000ff，第二次写入0x00000fff。看起来最后访问该物理地址读出来0x00000fff是理所当然的。当时我们在这个地方思考了一些时间搞不清为什么，后来想起来查看这之间有没有触发什么例外，而后发现在第二次store操作中，触发了PME异常。那么错误原因就比较显然了。

* + - 1. 错误原因

当触发PME异常时，向AXI转接桥传送的data\_sram\_req信号拉高了，data\_sram\_req信号的赋值逻辑如下：

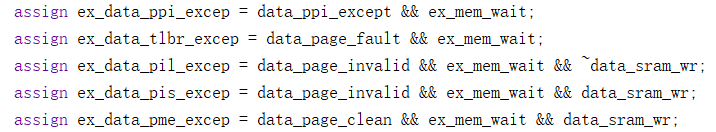


图x 错误12中data\_sram\_req信号赋值逻辑

当触发异常时，我们不应当向AXI转接桥发起请求。若发起了请求且请求是读请求可能还不会有什么事，但若是写请求则可能错误地更改对应物理地址的值，最后导致错误。 在我们的代码设计中，避免产生异常时拉高data\_sram\_req的方式是与上了ex\_mem\_wait信号，当有异常时，这个信号会被拉低，但是仔细看赋值逻辑，这个信号只会在除EX阶段产生的TLB异常外拉低，没有考虑EX阶段产生的TLB异常，从而导致data\_sram\_req错误地拉高。

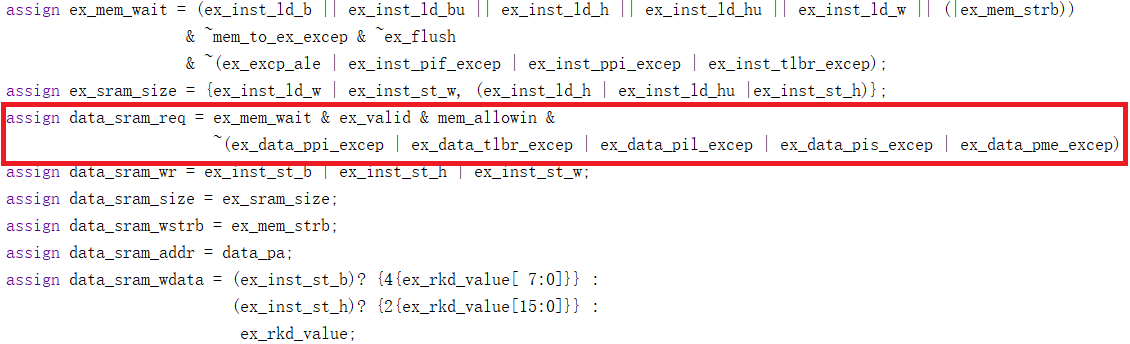
* + - 1. 修正效果

由于EX阶段产生TLB异常的判断逻辑与ex\_mem\_wait信号有关，如下所示：



图x 错误12中EX阶段TLB相关异常的判断逻辑

因此不能像其他EX阶段判断出的异常一样修改ex\_mem\_wait的赋值逻辑，否则会形成组合逻辑环，直接修改data\_sram\_req的复制逻辑，修改如下：



图x 错误12修改后代码

该方法有效，exp19通过。

1. 实验总结

本实验为CPU增加了AXI总线接口，令CPU能够通过总线与系统中的内存、外设进行交互。。

类SARM总线和AXI总线的引入使得流水级变化的情形更加复杂，尤其是IF流水级，逻辑较之前的实验复杂了很多，同时随机种子也为debug增加了一些难度，exp14和exp16均出现了对应种子能过，但其它种子不能通过的情况。在debug的过程中，我们需要遍历所有可能的情况，认真分析CPU的设计，这提高了我们对流水线CPU、总线协议等各方面的认识，也积累了不少debug的经验，并且通过本次实验，本小组成员还进一步熟悉了git的使用，对如何使用git进行合作有了更深的理解。

在这三个实验中，我们的时序有了很大的改善，exp16的时序见下图。本组成员认为这是主要因为在这三次实验中，CPU对外连接的变成了AXI总线而不是原来的SRAM接口，这样可能导致组合逻辑链变得比原来更加简单。除此之外，原先的组合逻辑有不少都被换成了时序逻辑，比如原先的nextpc是由一个多路选择器在多个组合逻辑信号的基础上生成的，而现在这些信号中的一部分被换成了时序逻辑，组合逻辑链变得更加简单，时序也有了很大的提升。

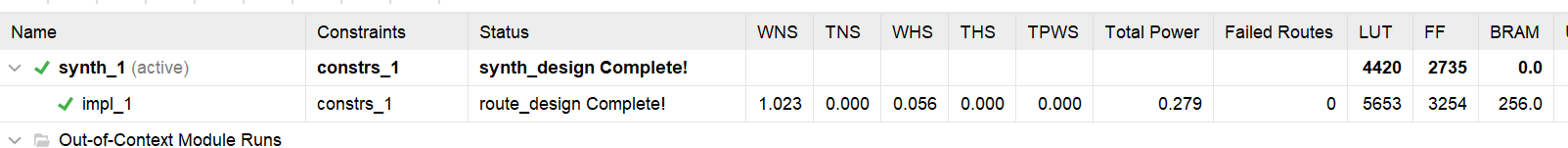


图73 exp16的时序结果