**LAB5报告**

学号： 2021K8009929010

姓名： 贾城昊

箱子号： 13

1. 实验任务

Exp10要求在exp9的基础上添加部分算术逻辑运算指令与乘除法运算指令。包括slti, sltui, andi, ori, xori, sll, srl, sra, pcaddu12i, mul.w, mulh.w, mulh.wu, div.w, mod.w, div.wu, mod.wu。其中乘除法运算指令需要额外添加乘除法模块和调用Xilinx IP核来实现。

Exp11要求在exp10的基础上添加转移指令blt，bge，bltu，bgeu和访存指令ld.b，ld.h，ld.bu，ld.hu，st.b，st.h。要求成功通过仿真与上板测试。

1. 实验设计
2. 总体设计思路
3. Exp10算术逻辑运算指令

9条算术逻辑运算类指令的实现主要复用已实现的部分指令的数据通路。slti、sltui、andi、ori、xori指令与之前实现的slt、sltu、and、or、xor指令的区别仅在于一个源操作数从寄存器中的数据变成了立即数，因此基本上只要修改与此相关的信号。sll、srl、sra指令类似，可以在slli、srli、srai指令的基础上修改，调整操作数来源与相关控制信号即可。pcaddu12i指令的通路主要复用add指令，两个操作数一个来自pc，另一个是需要零扩展12位的立即数，只需修改对应的控制信号。

1. Exp10乘除指令 // 需要完善

对于乘法，根据指令要求将操作数进行有/无符号扩展到33位，从而使用一个乘法器实现有、无符号乘法，最后根据指令，选择结果的高位和低位。由于乘法器中使用了两级流水，所以在EXE流水级向乘法器模块发送信号，在MEM流水级拿回计算结果，这样对于乘法指令，只需在与紧跟的后一条指令有数据相关的情况下，让ID流水级阻塞一拍即可

对于除法，由于除法计算需要花多个周期完成，因此在EXE流水级还增加了ex\_div\_complete信号，用来在除法没计算完时阻塞EXE阶段。

1. Exp11跳转类指令

补充

1. Exp11访存类指令

补充

1. 五级流水CPU总体设计图

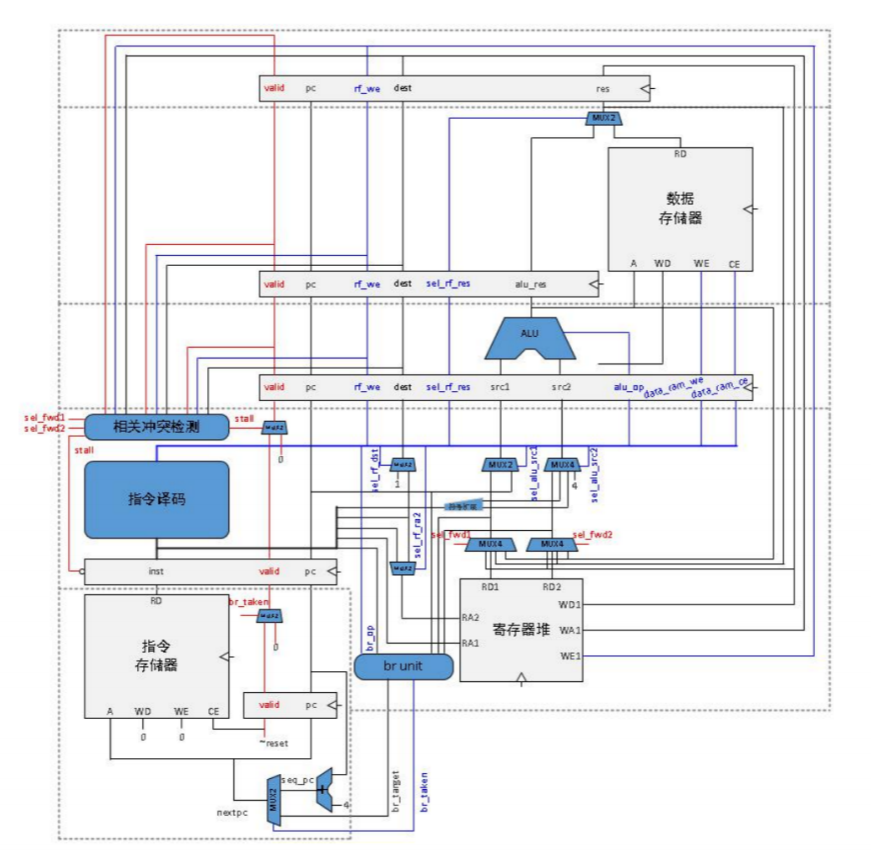


图6 五级流水CPU总体设计图

（二）重要模块1设计：乘法器（。。。。）

1. 工作原理

IF流水级需要根据PC的值从指令ram中取指令，并传递给ID流水级。除此之外，IF流水级还需要根据后续流水级传递而来的信号（如br\_taken）来判断下一条指令的地址nextpc，即完成PC的更新。

值得一提的是，本次实验中，使用的均为同步RAM，所以需要2个时钟周期才能从内存中取出数据。故本人采用了pre-IF预取指，即以nextpc作为指令RAM的读地址，这样下一周期获得已经更新了的PC的对应指令，这样在不增加流水级数的情况下，也能达到每周期处理一条指令的吞吐率理论峰值

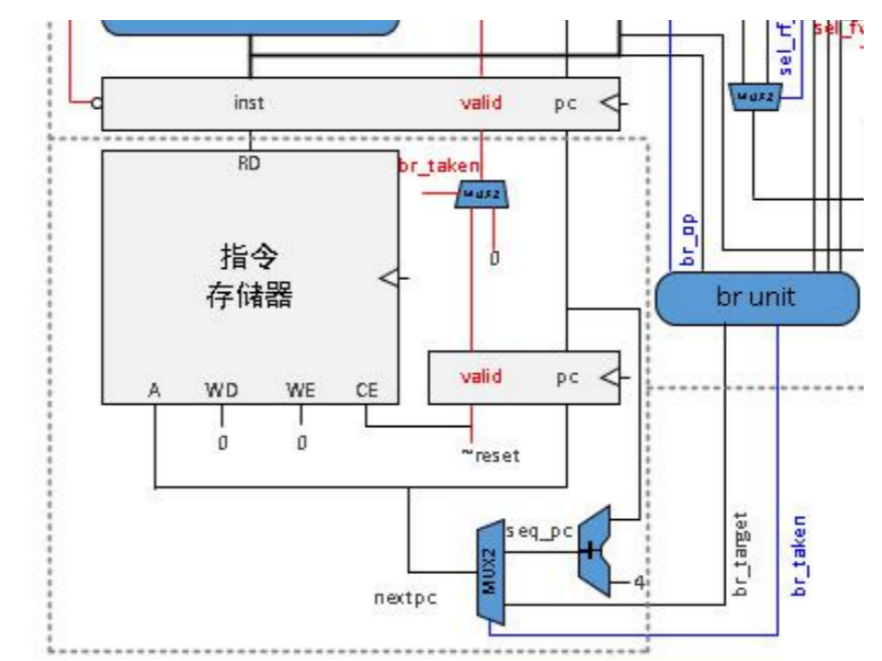


图7 IF流水级结构示意图

1. 接口定义

表1 IF流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| id\_allowin | IN | 1 | ID流水级是否允许IF流水级传入数据 |
| Br\_taken | IN | 1 | ID流水级传来的跳转信号 |
| br\_target | IN | 32 | ID流水级传来的跳转地址 |
| if\_to\_id\_valid | OUT | 1 | 标记IF流水级向ID流水级传递的数据是否有效 |
| if\_to\_id\_wire | OUT | 64 | IF模块向ID模块传递的数据 |
| inst\_sram\_en | OUT | 1 | 指令ram片选信号 |
| inst\_sram\_we | OUT | 4 | 指令ram写使能 |
| inst\_sram\_addr | OUT | 32 | 指令ram地址信号 |
| inst\_sram\_wdata | OUT | 32 | 指令ram写数据 |
| inst\_sram\_rdata | IN | 32 | 指令ram读数据 |

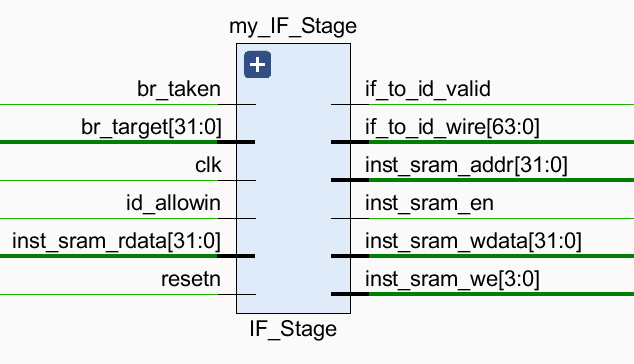


图8 IF流水级接口

1. 功能描述

功能：在每个时钟周期，将nextpc的值传给指令ram，这样在PC更新后刚好取下一条指令。在reset时，PC值置为32'hbfbffffc，从而保证所取第一条指令所在位置恰为32'hbfc00000。读出指令后，若与ID流水级握手成功，将指令和相应地址（PC）在下一个时钟上升沿传递给ID流水级。

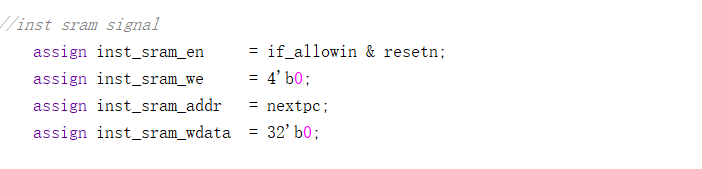


图9 IF流水级内与指令RAM的交互

（三）重要模块2设计：ID流水级

1. 工作原理

为新增加的指令添加译码信号，//并为load、store指令额外增加控制信号(需要完善)，将它们传给EXE阶段。修改与alu、立即数有关的信号，实现算术逻辑运算指令。对于转移指令则需要判断是否进行跳转，并计算跳转地址。

本次实验中采用前递的方法，故当遇到访存指令和乘法指令且与紧跟的吓一跳指令有数据相关时，也需要阻塞一周期。阻塞是通过控制id\_ready\_go 的信号实现的，其拉低即可确保流水线被阻塞。

1. 接口定义

表2 ID流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| ex\_allowin | IN | 1 | EXE流水级允许ID流水级传入数据 |
| id\_allowin | OUT | 1 | ID流水级允许IF流水级传入数据 |
| if\_to\_id\_valid | IN | 1 | 标记IF流水级传入ID流水级的数据是否有效 |
| if\_to\_id\_wire | IN | 64 | IF流水级传给ID流水级的数据 |
| id\_to\_ex\_valid | OUT | 1 | 标记ID流水级传入EXE流水级的数据是否有效 |
| id\_to\_ex\_wire | OUT | 160 | ID流水级传入EXE流水级的数据 |
| br\_taken | OUT | 32 | 传给IF流水级的跳转信号 |
| br\_target | OUT | 1 | 传给IF流水级的跳转地址 |
| wb\_rf\_zip | IN | 38 | WB流水级向ID流水级传递的regfile的写回信息和前递数据 |
| ex\_rf\_zip | IN | 39 | EXE流水级前递到ID流水级的数据 |
| mem\_rf\_zip | IN | 38 | MEM流水级前递到ID流水级的数据 |



图11 ID流水级接口

1. 功能描述

对于exp10增加的算术逻辑运算类指令，基本上都可以复用现有的数据通路，从寄存器中读出数据，根据指令类型对立即数进行扩展，计算出两个操作数后送入EXE阶段，使用alu算出结果。andi、ori、xori的立即数是由12位立即数无符号扩展得到的，之前没有这类立即数的数据通路，需要添加对应的信号和逻辑。

对于exp11增加的跳转指令

exp11中还增加了load和store指令，

（四）重要模块3设计：EXE流水级

1. 工作原理

EXE阶段从ID阶段取得有效操作数和操作码后，进行算术逻辑运算，以及在EXE流水级向数据ram发送读写请求，读写地址以及写数据。在Exp10中，EXE流水级需要新添对乘法器和除法器的例化，对于乘法器，EXE流水级只需要把相关信号传递给乘法器，而对于除法器，若为除法指令，则需要等待其算出结果，然后选择结果传递给下一流水级。

1. 接口定义

表3 EXE流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| mem\_allowin | IN | 1 | MEM模块允许EXE模块传入数据 |
| ex\_allowin | OUT | 1 | EXE模块允许ID模块传入数据 |
| id\_to\_ex\_valid | IN | 1 | 标记ID模块传入EXE模块的数据是否有效 |
| id\_to\_ex\_wire | IN | 160 | ID模块传入EXE模块的数据 |
| ex\_to\_mem\_valid | OUT | 1 | 标记EXE模块传入MEM模块的数据是否有效 |
| ex\_to\_mem\_wire | OUT | 110 | EXE模块传入MEM模块的数据 |
| ex\_rf\_zip | OUT | 39 | EXE模块前递到ID模块的数据 |
| data\_sram\_en | OUT | 1 | 数据ram片选信号 |
| data\_sram\_we | OUT | 4 | 数据ram写使能 |
| data\_sram\_addr | OUT | 32 | 数据ram地址信号 |
| data\_sram\_wdata | OUT | 32 | 数据ram写数据 |

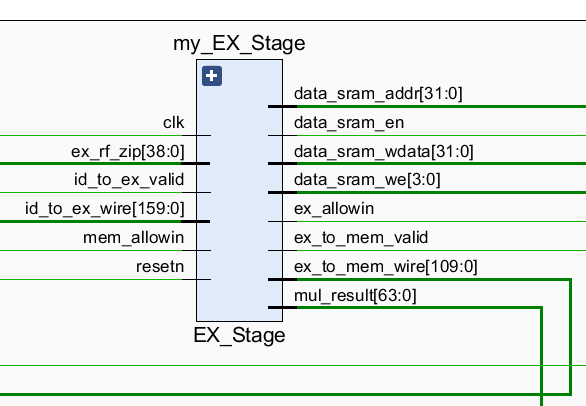
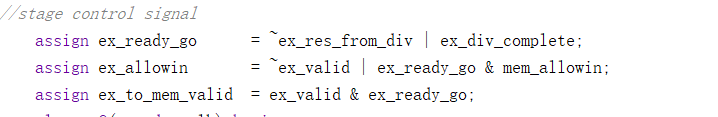


图14 EXE流水级接口

1. 功能描述

结合从ID级传递来的控制信号和数据进行指令的执行。新增对于乘法指令和除法指令的处理：例化乘法器和除法器模块，并传递相应信号，乘法指令的阻塞处理在ID进行，除法指令的阻塞则需要在EXE进行，若为除法指令，需要等到除法器模块发送complete信号后，才能将ex\_ready\_go拉高，同时传递给MEM的数据也需要进行选择。具体如下所示：



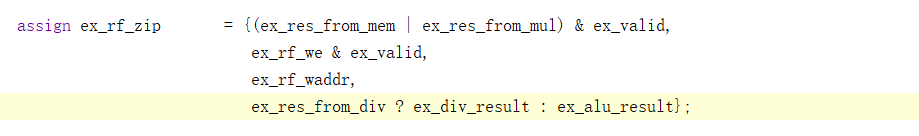


图 15 EXE流水级对除法指令的处理

对于访存：……..

（五）重要模块4设计：MEM流水级 （需要进行改动）

1. 工作原理

接收数据ram返回的读出数据，根据控制信号生成最终的写回数据。

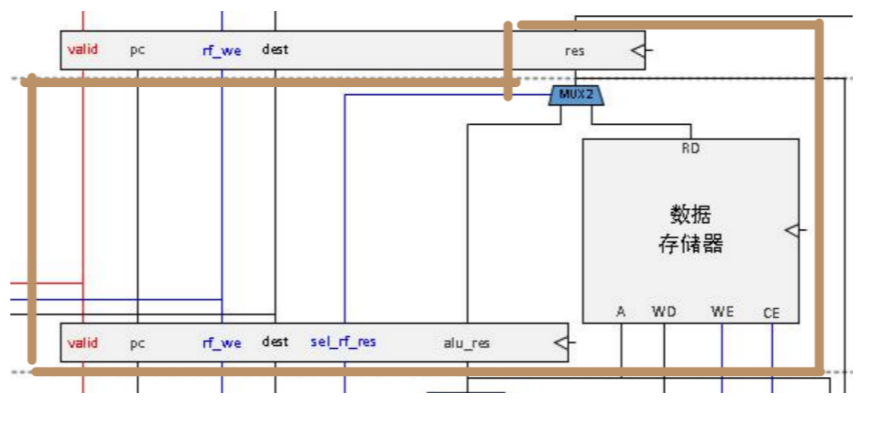


图16 MEM流水级结构示意图

1. 接口定义

表4 MEM流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| resetn | IN | 1 | 复位信号 |
| wb\_allowin | IN | 1 | WB模块允许MEM模块传入数据 |
| mem\_allowin | OUT | 1 | MEM模块允许EXE模块传入数据 |
| ex\_to\_mem\_valid | IN | 1 | 标记EXE模块传入MEM模块的数据是否有效 |
| ex\_to\_mem\_wire | IN | 104 | EXE模块传入MEM模块的数据 |
| mem\_to\_wb\_valid | OUT | 1 | 标记MEM模块传入WB模块的数据是否有效 |
| mem\_to\_wb\_wire | OUT | 70 | MEM模块传入WB模块的数据 |
| mem\_rf\_zip | OUT | 38 | MEM模块前递到ID模块的数据 |
| data\_sram\_rdata | IN | 32 | 数据ram读数据 |

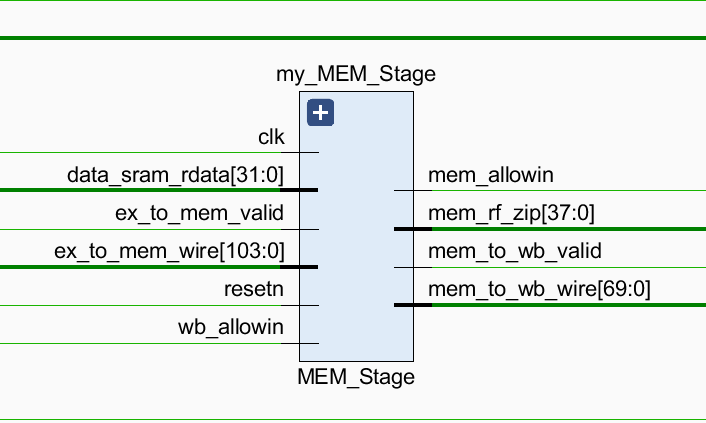


图17 MEM流水级接口

1. 功能描述

根据EXE模块传递来的数据执行相应的访存操作。并将访存指令结果、写回控制信号、PC等信息在下一个时钟上升沿传递给WB模块。

（六) 重要模块5设计：除法器（可提到第二点..）

1. 工作原理

将寄存器堆写信号和数据传回ID阶段执行写寄存器的操作。同时,其与debug模块进行交互，若当前写寄存器信号拉高，会驱动debug模块更新PC、寄存器写地址以及写数据，据此可判断是否写回有误。

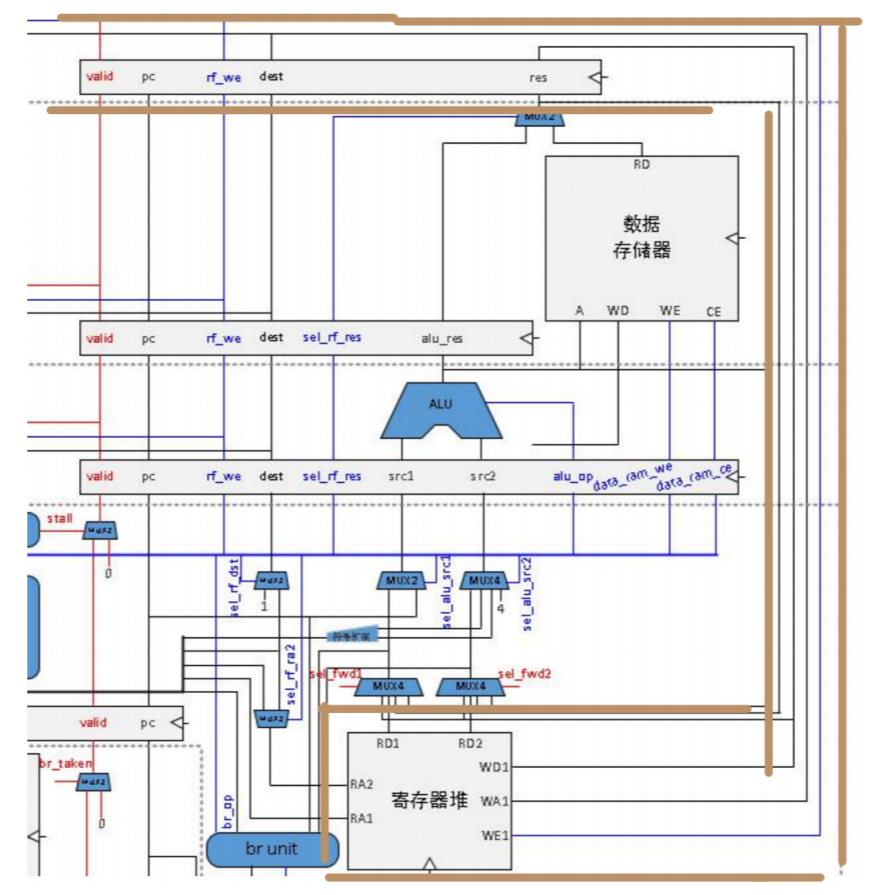


图18 WB流水级结构示意图

1. 接口定义

表5 WB流水级接口定义

| **名称** | **方向** | **位宽** | **功能描述** |
| --- | --- | --- | --- |
| clk | IN | 1 | 时钟信号 |
| Resetn | IN | 1 | 复位信号 |
| wb\_allowin | OUT | 1 | WB模块允许MEM模块传入数据 |
| mem\_to\_wb\_valid | IN | 1 | 标记MEM模块传入WB模块的数据是否有效 |
| mem\_to\_wb\_wire | IN | 70 | MEM模块传入WB模块的数据 |
| wb\_rf\_zip | OUT | 38 | WB模块向ID模块传递的regfile写回信息和前递数据 |
| debug\_wb\_pc | OUT | 32 | 写回指令PC值（用于debug） |
| debug\_wb\_rf\_we | OUT | 4 | 写回指令写使能（用于debug） |
| debug\_wb\_rf\_wnum | OUT | 5 | 写回指令写地址（用于debug） |
| debug\_wb\_rf\_wdata | OUT | 32 | 写回指令写数据（用于debug） |

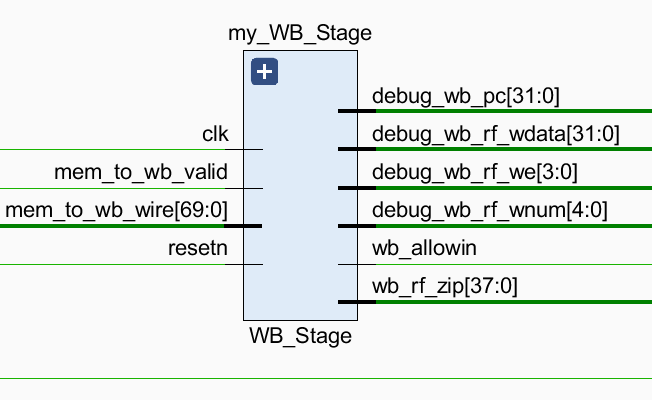


图19 WB流水级接口

1. 功能描述

根据MEM模块传递的与写回相关的控制信号进行写回操作，即将有关信息传递到ID模块中的寄存器堆中。同时，将写回操作的PC、使能、地址、数据等信息赋值给相应debug信号，用于调试CPU。

1. 实验过程

（一）实验流水账(???)

9月23日晚上仔细阅读讲义材料。了解了本次实验的背景知识和具体内容。

9月24日上午实现exp7要求的任务，并通过行为仿真与上板测试。

9月27日晚上实现exp8要求的任务，并通过行为仿真。

9月29日晚上完成对exp8的上板测试。

10月5日晚上实现exp9要求的任务，并通过行为仿真与上板测试。

10月6日一整天都在撰写实验报告。

10月7日对实验报告进一步完善。

（二）错误记录

1. 错误1：exp7中ID与EX流水级之间的寄存器位宽定义错误
2. 错误现象

Console报错如下：

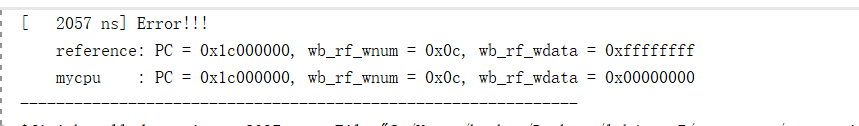


图 20 错误1 对应的Console报错

1. 分析定位过程

发现wb\_rf\_wdata错误，于是本人通过行为仿真，观察是哪一个流水级首次出现错误，波形图如下：

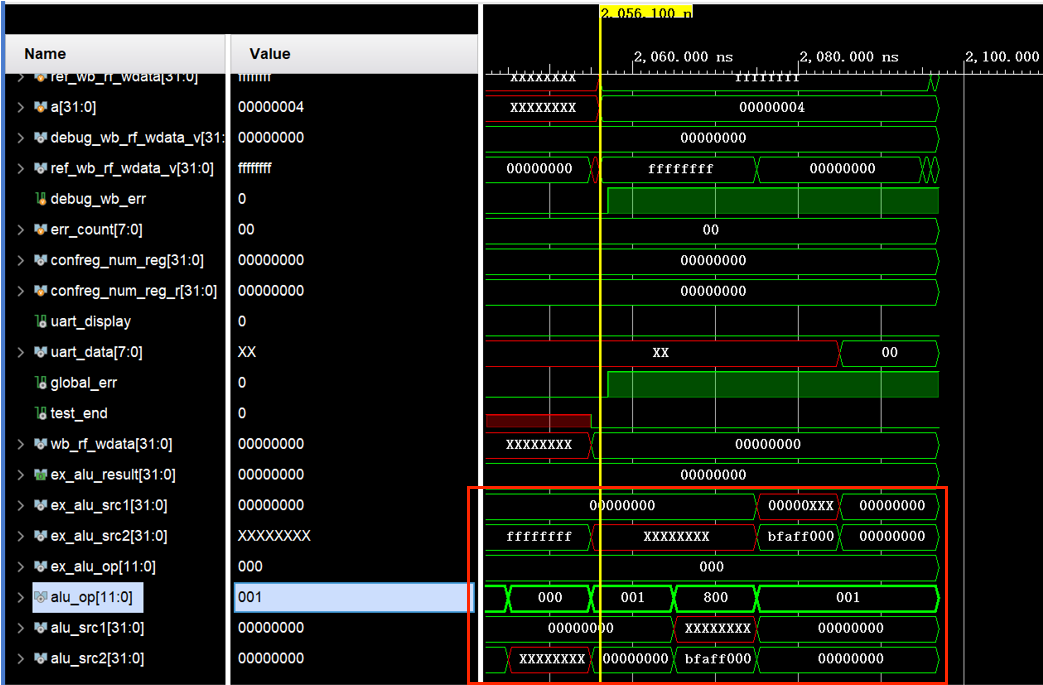


图21 错误1中ID和EXE传递数据不对应

可以看到，ID流水级计算出来的alu\_op与EXE流水级收到的alu\_op不相同，而且alu\_src2和alu\_src1也对应不上，所以本人猜想这两个流水级的寄存器的部分出现问题，去观察源码，发现寄存器的位宽定义错误（原因是写流水线的过程中修改了寄存器的位宽，但是这个寄存器的位宽被遗漏了）：

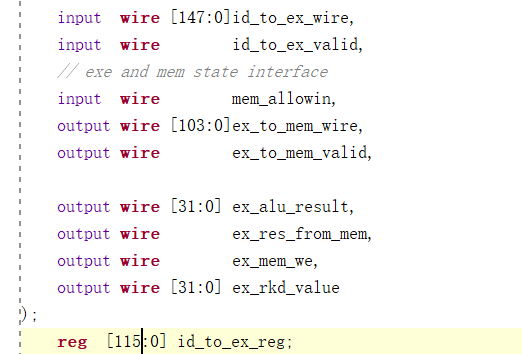


图22 错误1修改前代码

1. 错误原因

ID与EXE流水级之间的寄存器位宽定义错误（应该位宽为148位），导致出错。

1. 修正效果

将ID与EXE流水级之间的寄存器位宽修改为148位即可。

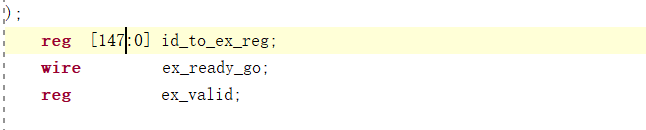


图23 错误1修改后代码

1. 错误2：exp7中MEM流水级才给数据RAM发送数据
2. 错误现象

Console报错如下：

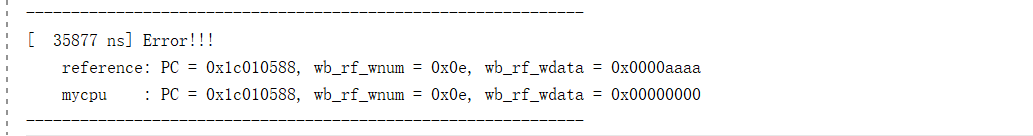


图 24 错误2 对应的Console报错

1. 分析定位过程

发现wb\_rf\_wdata错误，于是通过行为仿真，观察是哪一个流水级首次出现错误，波形图如下：



图25 错误2中数据RAM的读数据晚了一个周期

可以看到，data\_sram\_rdata的数据晚了一个周期，看到这个现象，本人马上意识到是因为同步RAM需要两个周期才能获得数据的原因，查看源代码，果然是给数据RAM发送信息的时机的问题：

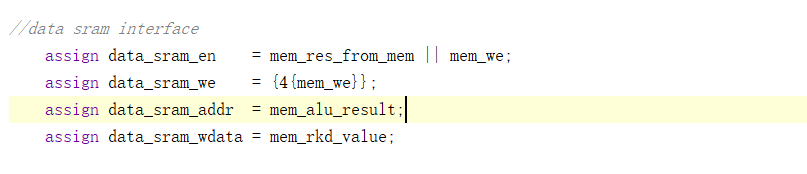


图26 错误2修改前代码

1. 错误原因

在MEM流水级才向数据RAM发送信号，导致数据RAM的读数据晚一个周期才到来。

1. 修正效果

修改为在EXE流水级向数据RAM发送信号即可，如下所示：

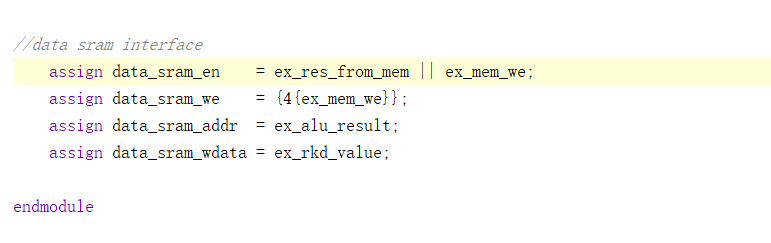


图27 错误2修改后代码

1. 错误3：exp8中判断冲突逻辑出错
2. 错误现象

Console报错如下：

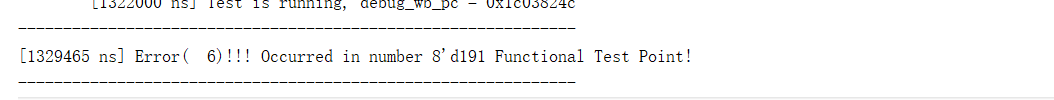
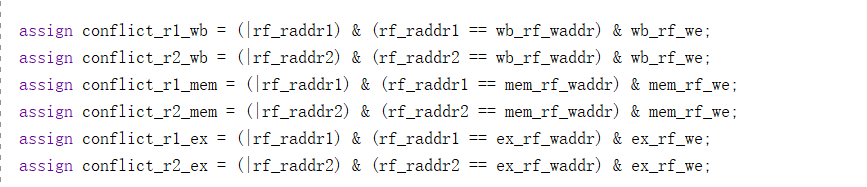


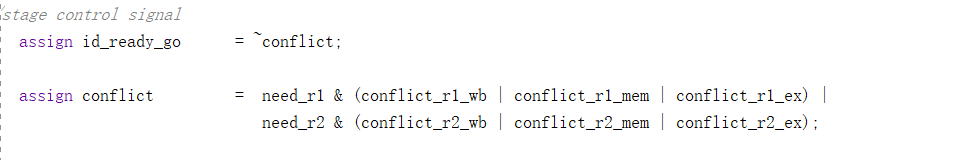
图 28 错误3 对应的Console报错

1. 分析定位过程

发现报错信息与之前的一般报错信息不相同，通过观看实验框架的代码，发现，出现这个报错的原因是行为仿真中与金标准对比没问题，但是如果上板的话，数字现实会出现问题。于是本人上板测试，果然无法得到正确的结果。

由于与金标准的对比没问题，导致行为仿真很难进行debug，而且也很难定位到出错的地方，所以这个问题困扰了本人一段时间。于是本人着眼于本次实验添加的部分，经过排查，发现数据通路的部分没有问题，那么问题的关键就来到了冲突的判断逻辑以及对ID流水级的阻塞逻辑，具体如下所示：





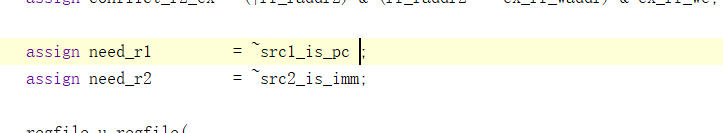


图29 错误3修改前代码

排查到这后，本人认为need\_r1和need\_r2的逻辑出错的可能性更大（因为写这两个信号的赋值逻辑的时候，本人直接用了已有的信号，而没有对指令细致的研究），最后本人去仔细阅读了指令集手册以及src1\_is\_pc和src2\_is\_imm的赋值逻辑，发现问题出现在inst\_st\_w指令，其会访问寄存器堆的数据(此时raddr2为rd)，所以本来应该阻塞但是没有阻塞，而至于为什么行为仿真与金标准比对没有报错，原因在于每个store指令后没有对应的load指令，我希望下一届能对这个点进行一定的改进。

1. 错误原因

判断冲突逻辑出错，need\_r2的逻辑出错，导致需要阻塞的时候没有阻塞。

1. 修正效果

本人保险起见，没有使用已有的信号，而是通过对指令的研究，通过或操作对need\_r1和need\_r2进行赋值，具体如下：

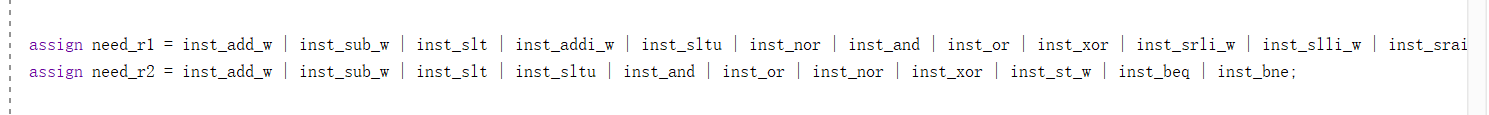


图30 错误3修改后代码

1. exp9没有出现错误，一遍通过

（三）实验结果

1、exp7代码（只处理控制相关）的仿真测试结果

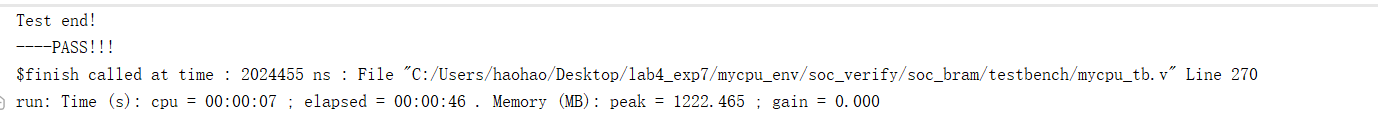


图31 exp7仿真通过

2、exp8代码（只添加了流水线阻塞）的仿真测试结果

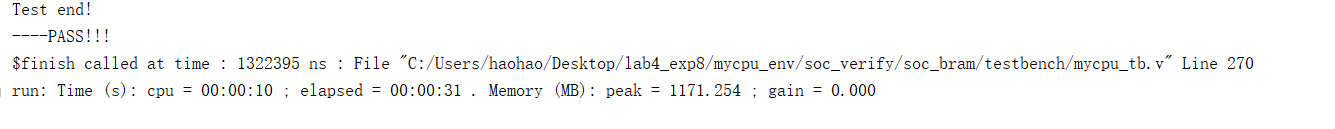


图32 exp8仿真通过

3、exp9代码（又添加了数据前递）的仿真测试结果

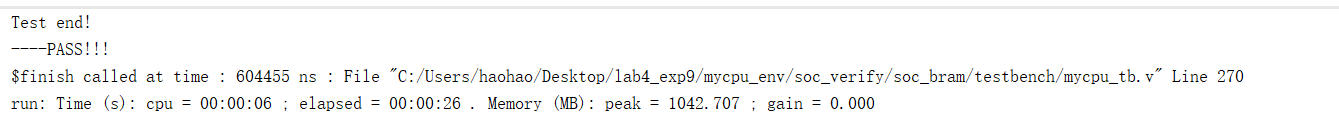


图33 exp9仿真通过

和图31对比发现，使用前递技术后，仿真时长大大缩短。

四、实验总结

前两次实验的主要任务是对给定的verilog代码进行debug，而本次实验要求我们独立写出单发射五级流水CPU并在CPU中添加阻塞和前递的功能，实验难度较前两次增加了一些难度。但是，由于我在计算机组成原理课程中做过流水线CPU的实验，而且计算机组成原理课上的访存比我们这次实验要更加复杂，所以客观来说，本次实验任务对我来说不算很难。

不过值得一题的是，通过本次实验，本人也对流水线CPU有了更深的认识，比如对allowin、ready\_go、valid信号的理解更加透彻，而上学期计算机组成原理课上，本人对这些信号的理解可能并不全面（主要对valid认识不够深）。所以，当本人阅读完讲义而完全理解这些握手信号之后，设计流水线CPU也就十分容易了。

而在最后，本人希望对实验的行为仿真进行一定的优化：我在错误3里面也提及了，本次实验的行为仿真并没有在store指令后有对应的load指令进行检测，导致即使store指令出错了，也没办法通过与金标准的比对来定位出错位置，这对debug造成了一定的困难，所以还是希望行为仿真的测试程序能更加完善吧。

最后感谢助教和老师们对这门课的辛勤付出。