

同济大学计算机系

数字逻辑课程实验报告



学 号 2353900

姓 名 汪嘉晨

专 业 计算机科学与技术（精英班）

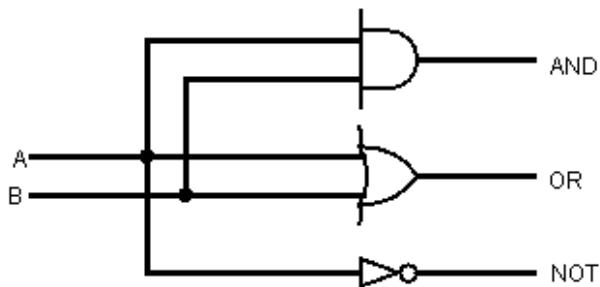
授课老师 郭玉臣

一、实验内容

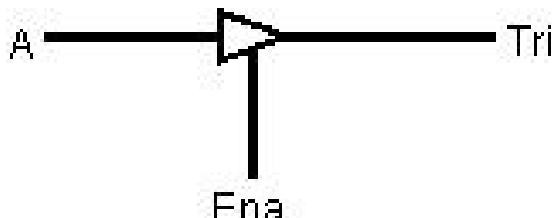
在本次实验中，我们将练习使用 Verilog HDL 语言，并采用结构性描述、数据流型描述、行为描述三种不同的描述方式设计基本门电路，实现数据扩展。同时进行三态门实验与数据扩展实验，并综合下板验证。

二、硬件逻辑图

1. 与或非门实验的电路原理图



2. 三态门实验



三、模块建模

1. 与或非门实验

① 结构型描述

```
module logic_gates_1(iA,iB,oAnd,oOr,oNot);
    input iA,iB;
    output oAnd,oOr,oNot;
    and and_inst(oAnd, iA,iB);
    or or_inst(oOr, iA,iB);
    not not_inst(oNot, iA);
endmodule
```

② 数据流型描述

```
module logic_gates_2(iA,iB,oAnd,oOr,oNot);
    input iA, iB;
    output oAnd,oOr,oNot;
    assign oAnd = iA & iB;
    assign oOr = iA | iB;
```

```

        assign oNot = ~iA;
endmodule

```

③ 行为描述

```

module logic_gates_3(iA,iB,oAnd,oOr,oNot);
    input iA, iB;
    output oAnd,oOr,oNot;
    reg oAnd, oOr, oNot;
    always @ (*)
    begin
        oAnd = iA & iB;
        oOr = iA | iB;
        oNot = ~iA;
    end
endmodule

```

2. 三态门实验

```

module three_state_gates(iA,iEna,oTri);
    input iA;
    input iEna;
    output oTri;
    assign oTri = (iEna==1)? iA:'bz;
endmodule

```

3. 数据扩展

```

module extend #(parameter WIDTH = 16)(
    input [WIDTH-1:0] a,
    input sext, //sext 有效是为符号扩展, 否则为 0 扩展
    output [31:0] b
);
    assign b=sext? {{(32-WIDTH){a[WIDTH-1]}},a} : {{(32- WIDTH){1'b0}},a};
endmodule

```

四、测试模块建模

各建模模块的 test bench 模块代码如下：

1. 与或非门实验

```

`timescale 1ns/1ns
module logic_gates_tb;
    reg iA;
    reg iB;
    wire oAnd;
    wire oOr;

```

```

wire oNot;

initial
begin
    iA=0;
    #40 iA=1;
    #40 iA=0;
    #40 iA=1;
    #40 iA=0;
end

initial
begin
    iB=0;
    #40 iB=0;
    #40 iB=1;
    #40 iB=1;
    #40 iB=0;
end

logic_gates_1/2/3
logic_gates_inst(
    .iA(iA),
    .iB(iB),
    .oAnd(oAnd),
    .oOr(oOr),
    .oNot(oNot)
);
endmodule

```

2. 三态门实验

```

`timescale 1ns/1ns
module three_state_gates_tb;
reg iA;
reg iEna;
wire oTriState;

three_state_gates uut (
    .iA(iA),
    .iEna(iEna),
    .oTri(oTriState)
);
initial
begin

```

```

    iA = 0;
    #40 iA = 1;
    #40 iA = 0;
    #40 iA = 1;
end

initial
begin
    iEna = 1;
    #20 iEna = 0;
    #40 iEna= 1;
    #20 iEna = 0;
end
endmodule

```

3. 数据扩展

```

`timescale 1ns/1ns
module extend_tb;
    reg [15:0] a;
    reg sext;
    wire [31:0] b;
// Instantiate the Unit Under Test (UUT)
extend uut (.a(a),.sext(sext),.b(b));
initial
begin
// Initialize Inputs
a = 0;
sext = 0;
// Wait 100 ns for global reset to finish
#100;
// Add stimulus here
sext = 1;
a = 16'h0000;
#100;
sext = 0;
a = 16'h8000;
#100;
sext = 1;
a = 16'h8000;
#100;
sext = 0;
a = 16'hffff;
#100;
sext = 1;

```

```

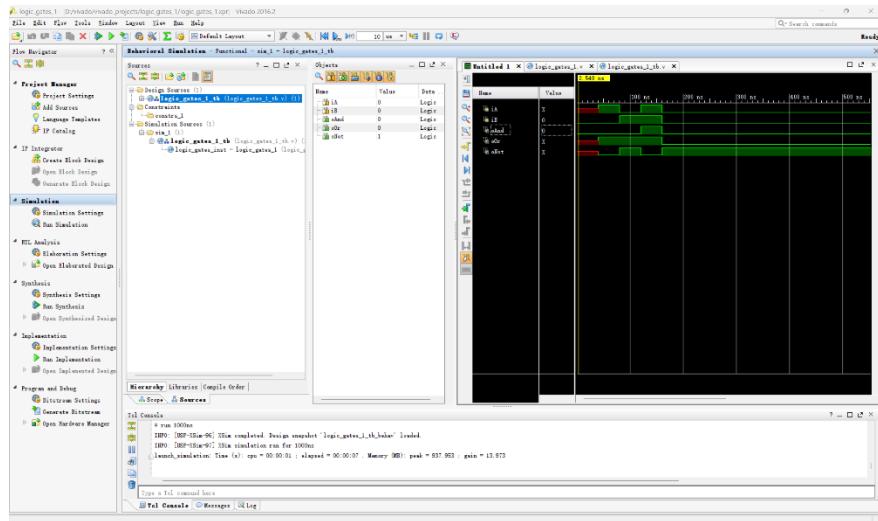
a = 16'hffff;
#100;
end
endmodule

```

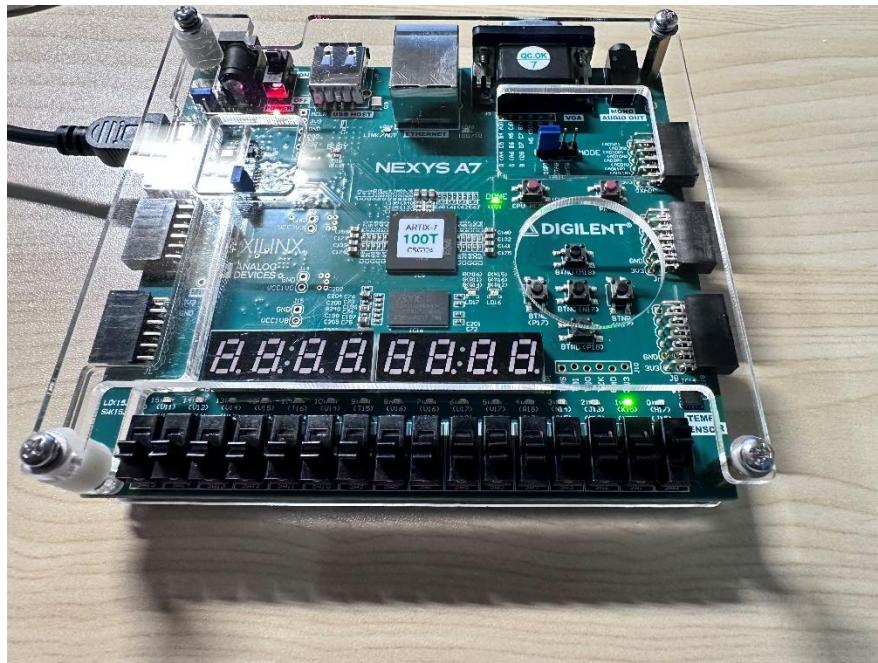
五、实验结果

1. 与或非门实验

三种描述最后的 modelsim 仿真都是同样的结果：

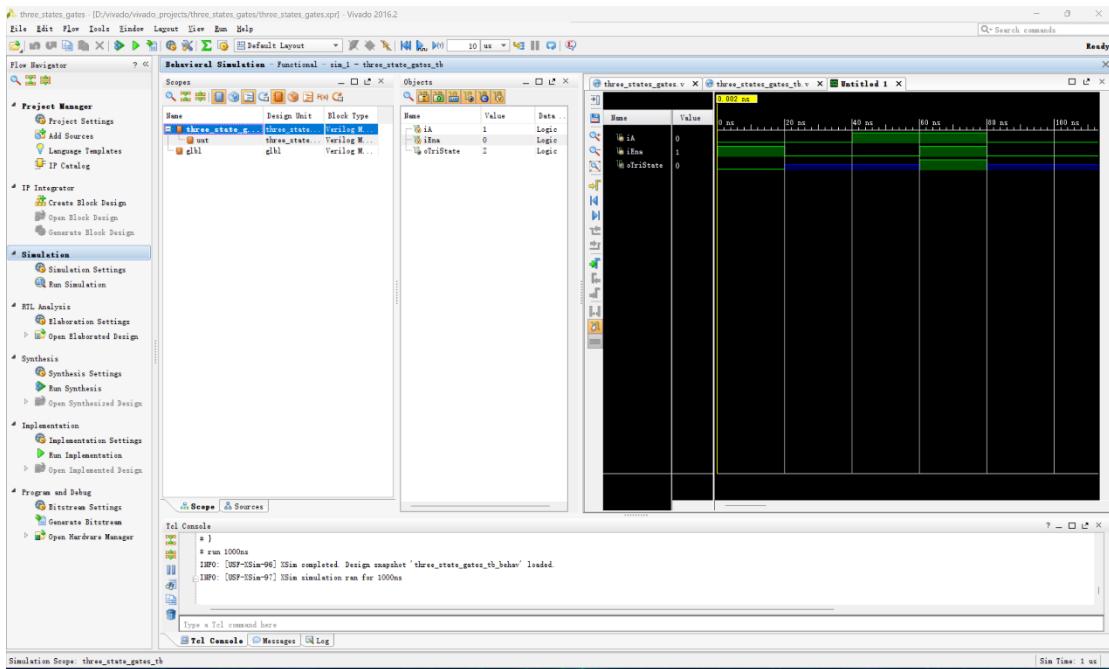


综合下板：

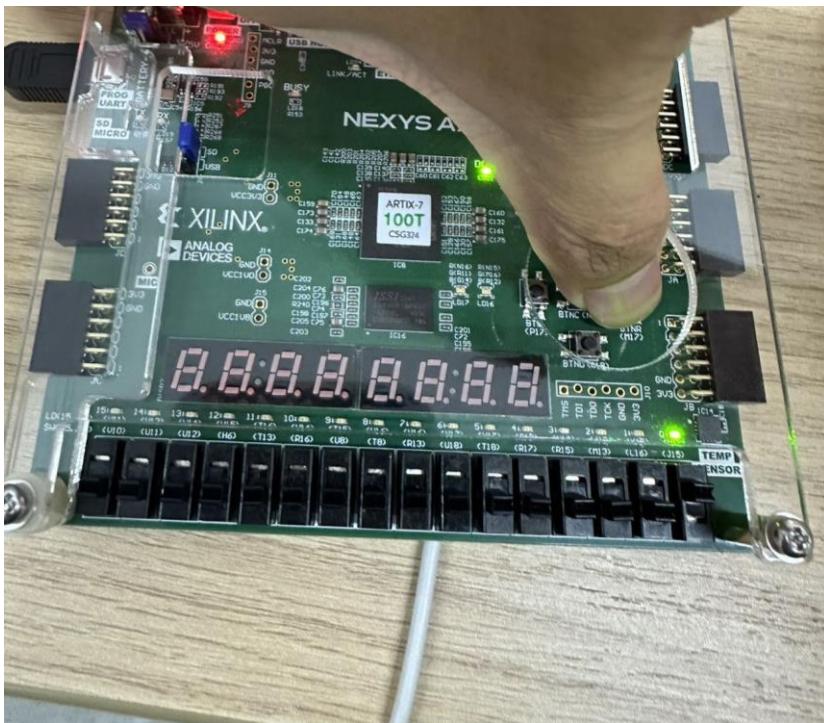


发现，A，B 分别对应下端从右数第一第二个开关，从右数三个灯显示与或非信息。

2. 三态门实验 modelsim 仿真如下：



下板效果如图：



打开下侧第一个开关的前提下，只有按住 M17 按键才能够点亮 led 灯。

3. 数据扩展 modelsim 仿真如图所示：

