

同济大学计算机系

数字逻辑课程实验报告



学号 2353900

姓名 汪嘉晨

专业 计算机科学与技术（精英班）

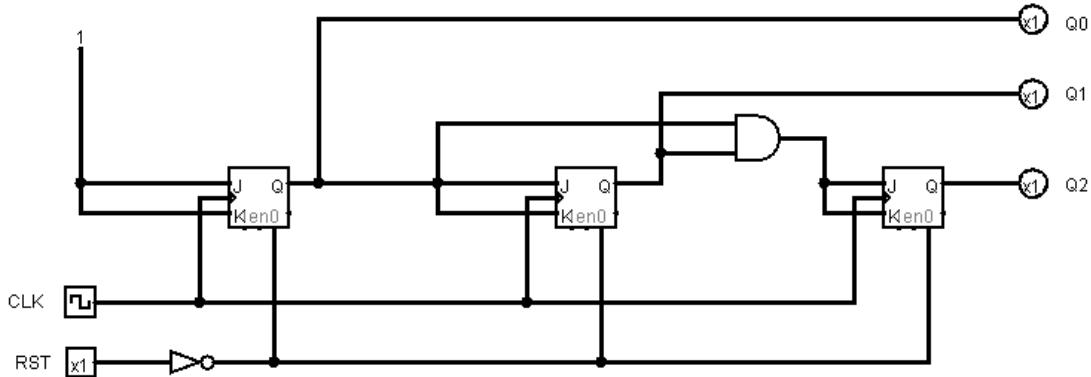
授课老师 郭玉臣

一、实验内容

1. 使用 Logisim 绘制计数器原理图。
2. 使用 Verilog 语言设计实现同步计数器和分频器

二、硬件逻辑图

模 8 计数器：



三、模块建模

1. 模 8 计数器

1.1 实例化

```
module Counter8(
    input CLK,
    input rst_n,
    output [2:0] oQ,
    output [6:0] oDisplay
);

    JK_FF Q0(.CLK(CLK), .J(1), .K(1), .RST_n(rst_n), .Q1(oQ[0]));
    JK_FF Q1(.CLK(CLK), .J(oQ[0]), .K(oQ[0]), .RST_n(rst_n), .Q1(oQ[1]));
    JK_FF     Q2(.CLK(CLK),     .J(oQ[0]      &      oQ[1]),     .K(oQ[0]      &
    oQ[1]), .RST_n(rst_n), .Q1(oQ[2]));

    display7 display(.iData({1'b0, oQ}), .oData(oDisplay));
endmodule
```

1.2 异步 JK 触发器

```
module JK_FF(
    input CLK,
    input J,
    input K,
    input RST_n,
    output reg Q1,
    output reg Q2
```

```

);
always @(posedge CLK or negedge RST_n)
if(RST_n == 0)
{Q1, Q2} = 2'b01;
else if(RST_n == 1)
case({J, K})
2'b00: ;
2'b01: {Q1, Q2} = 2'b01;
2'b10: {Q1, Q2} = 2'b10;
2'b11: {Q1, Q2} = {Q2, Q1};
default: {Q1, Q2} = 2'bxx;
endcase
else
{Q1, Q2} = 2'bxx;
endmodule

```

1.3 七段数码管

```

module display7(
    input [3:0] iData,
    output reg [6:0] oData
);

always @(*)
case({iData})
4'b0000: oData = 7'b1000000;
4'b0001: oData = 7'b1111001;
4'b0010: oData = 7'b0100100;
4'b0011: oData = 7'b0110000;
4'b0100: oData = 7'b0011001;
4'b0101: oData = 7'b0010010;
4'b0110: oData = 7'b0000010;
4'b0111: oData = 7'b1111000;
4'b1000: oData = 7'b0000000;
4'b1001: oData = 7'b0010000;
default: oData = 7'b0001001;
endcase

```

endmodule

2. 分频器

```

module Divider
#(
    parameter [31:0] mod = 20
)
(

```

```

input I_CLK,
input RST,
output reg O_CLK = 0
);

parameter [31:0] T = mod / 2;
reg [31:0] counter = 0;
always @(posedge I_CLK)
begin
    if(RST == 1)
        begin
            counter <= 0;
            O_CLK <= 0;
        end
    else if(RST == 0)
        begin
            counter = counter + 1;
            if(counter == T)
                begin
                    counter <= 0;
                    O_CLK <= ~O_CLK;
                end
            end
        else
            O_CLK = 1'bx;
    end
endmodule

```

四、测试模块建模

1. 模 8 计数器

```

`timescale 1ns / 1ps
module Counter8_tb;
    reg CLK = 1, RST_n;
    wire [2:0] oQ;
    wire [6:0] oDisplay;

    Counter8 uut(.CLK(CLK), .rst_n(RST_n), .oQ(oQ), .oDisplay(oDisplay));

    always #25 CLK = ~CLK;
    initial
    begin
        RST_n = 0;
        #1 RST_n = 1;
    end
endmodule

```

```

#121 RST_n = 0;
#50 RST_n = 1;
end
endmodule
2. 分频器
`timescale 1ns / 1ps
module Divider_tb;
reg I_CLK = 0, RST;
wire O_CLK;

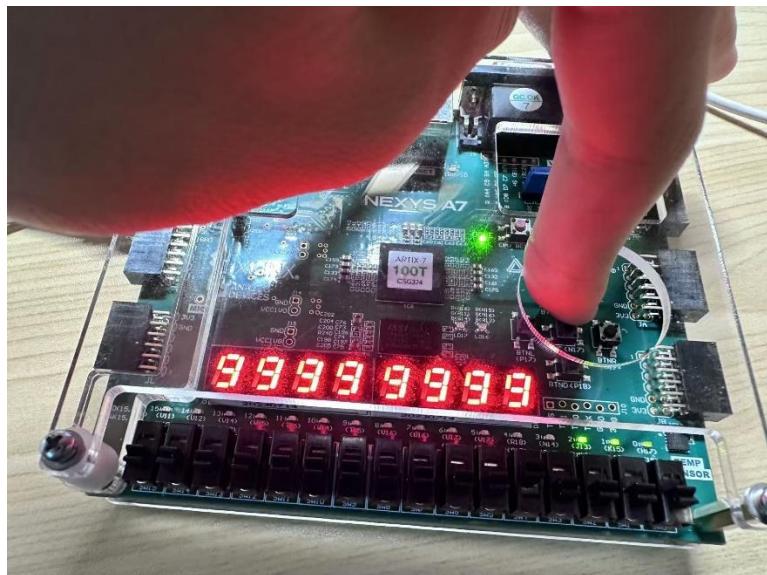
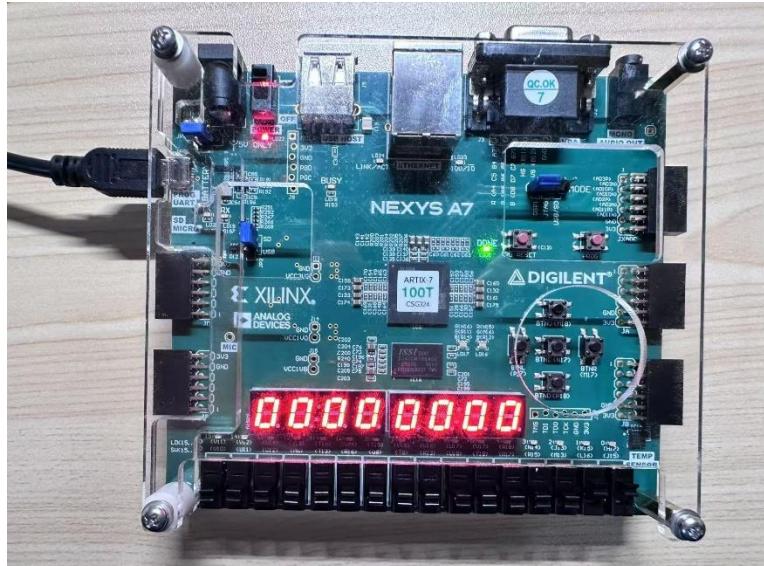
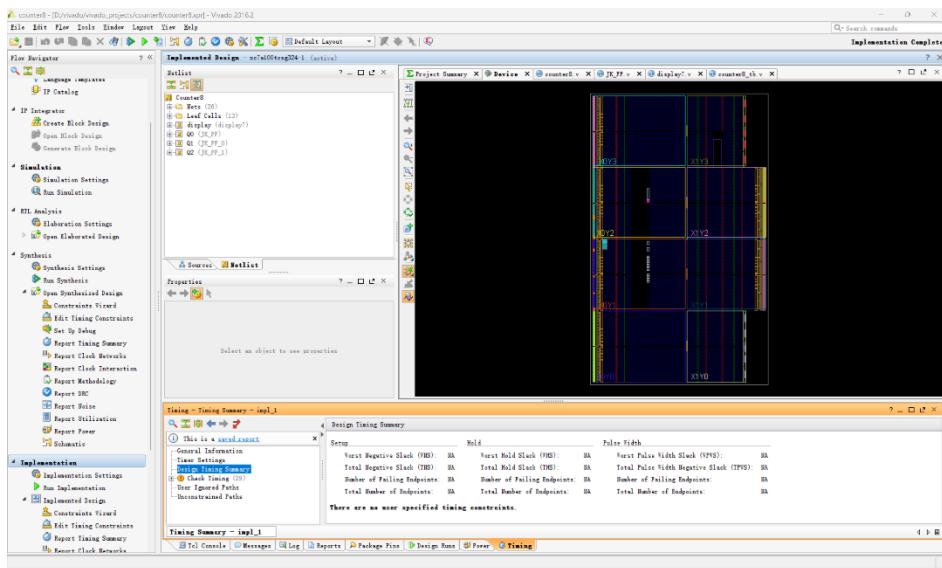
Divider #(mod(20))uut(.I_CLK(I_CLK), .RST(RST), .O_CLK(O_CLK));
always #5 I_CLK = ~I_CLK;
initial
begin
RST = 0;
#17 RST = 1;
#25 RST = 0;
end
endmodule

```

五、实验结果

1. 模 8 计数器





2. 分频器

