

# 复习要点

## 第 1 章

1. 指令集体系结构 ISA 的定义与特点。

## 第 2 章

1. 补码定义。
2. 原码定义。
3. BCD 数定义。
4. 浮点数阶码和尾数对表示范围和精度的影响。
5. 各种检错与纠错码的特点，海明码距对检错、纠错能力的影响。

## 第 3 章

1. 定点补码加法、减法运算及溢出判定。
2. 浮点数的表示、溢出判断与规格化。
3. 定点运算器内部总线互联三种结构的特点。

## 第 4 章

1. 主存容量表示，芯片数量、容量计算，字扩展和位扩展，地址译码电路图分析。
2. 相联存储器的概念。
3. Cache 地址映射和地址变换：全相联、直接映射、组相联。
4. Cache 性能分析：  
Cache-主存系统的平均读写时间  $T_A$  与命中率  $h$ 、Cache 访问时间  $T_C$ 、主存访问时间  $T_M$  的关系。（参考题：教材 p173~177，习题 4.25、习题 4.26、习题 4.38）
5. Cache 替换算法 OPT、FIFO、LRU、LFU 的定义与特点。
6. 写 Cache 时的更新策略：写回法与写直达法的定义与特点。
7. 降低 Cache 缺失率各种技术手段的特点。
8. 虚拟存储器的原理与特点。
9. 磁盘磁记录方式 RZ、NRZ、NRZ1、FM、PM、MFM 的定义、自同步能力、编码效率。

## 第 5 章

1. 大端、小端存储的定义。
2. 冯·诺依曼体系结构与哈佛结构的特点。
3. 指令格式
4. 寻址方式，不同寻址方式的设计目的
5. 定长操作码设计，扩展操作码设计
6. CISC、RISC 的特点。

（参考题：p194，例 5.4；p212，习题 5.10；p213，习题 5.20）

## 第 6 章

1. CPU 的内部结构。
2. 硬布线控制器的特点。
3. 提高 CPU 速度的各种策略。
4. 如何用 CPU 时间、MIPS、Flops、CPI 衡量 CPU 性能。
5. 微程序控制基本原理，微指令的组织方式
6. 单总线模型机以及双总线模型机，内部互联形式，连接通路等
7. 微操作序列和微命令序列  
需要完成典型例如 MOV、JZ、ADD、STORE 等指令的微操作和微命令生成序列
8. 相容和互斥  
需要分辨不同的控制信号的相容性或者互斥性
9. 水平型微指令控制域的设计  
应能根据给出的微命令分类，确定各个字段的编码位数。  
（可参考教材关于微指令控制域设计的样例）

## 第 7 章

1. 流水线的概念，时空图的画法；
2. 流水线实际吞吐率、最大吞吐率；
3. 流水线实际加速比、最大加速比；
4. 流水线效率；
5. 多发射处理器如超标量处理器和 VLIW 处理器的技术特点。  
（参考本章课本例题）

## 第 8 章

1. 总线仲裁方式菊花链、轮询、链式分布式仲裁的技术特点。
2. 计算总线传输率
3. I/O 接口的作用
4. 中断过程，中断允许位的作用，确定中断处理程序首地址、中断返回地址，计算中断方式下设备传输率
5. CPU 检测中断请求、DMA 请求的时刻，CPU 和 DMAC 总线控制权交换方式与优先权高低