

数字电路

Digital Circuits and System

李文明

liwenming@ict.ac.cn



组合逻辑电路



组合逻辑电路重点内容

- 组合逻辑电路的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
 - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法



组合逻辑电路重点内容

- 组合逻辑电路的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
 - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法



加法器的概念

- 加法器是构成算数运算器的基本单元
- 分类
 - 1位加法器
 - 半加器
 - 全加器
 - 多位加法器
 - 串行进位加法器
 - 超前进位加法器



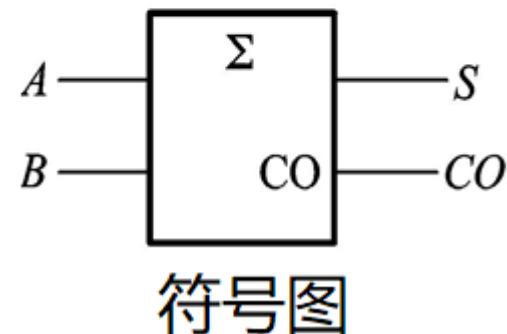
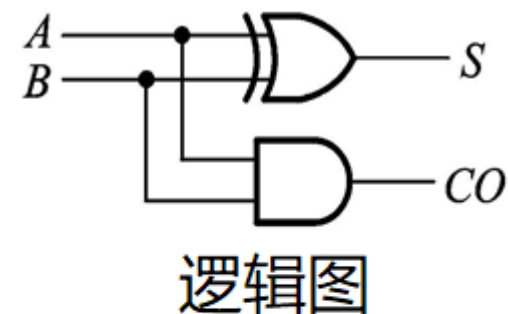
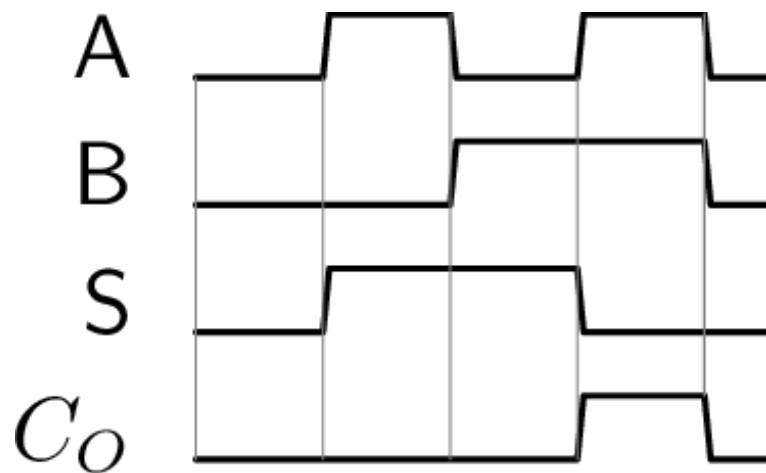
半加器

- 不考虑有来自低位的进位，仅将两个1位二进制数相加
- 设：A、B是两个加数，S是相加的和，CO是向高位的进位

输 入		输 出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = A \oplus B$$

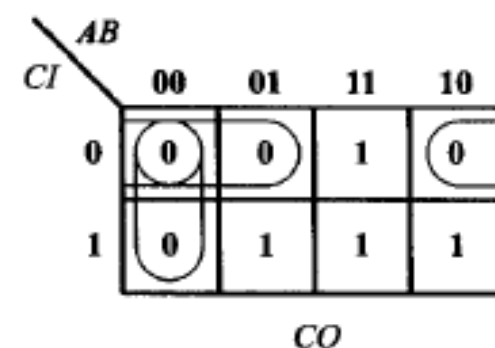
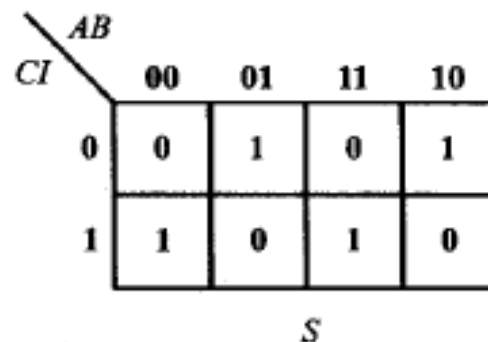
$$CO = AB$$



全加器真值表和函数式

- 考虑进位的加法器：两个多位二进制相加时，除最低位外，每一位都应考虑来自低位的进位，即将两个加数的对应位、以及来自低位的进位三个数相加

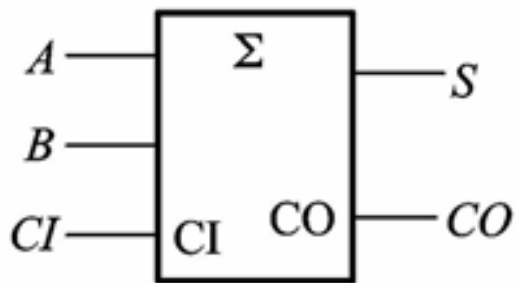
输 入			输 出	
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



$$S = (A'B'CI' + A'B \cdot CI + AB'CI + ABCI')'$$

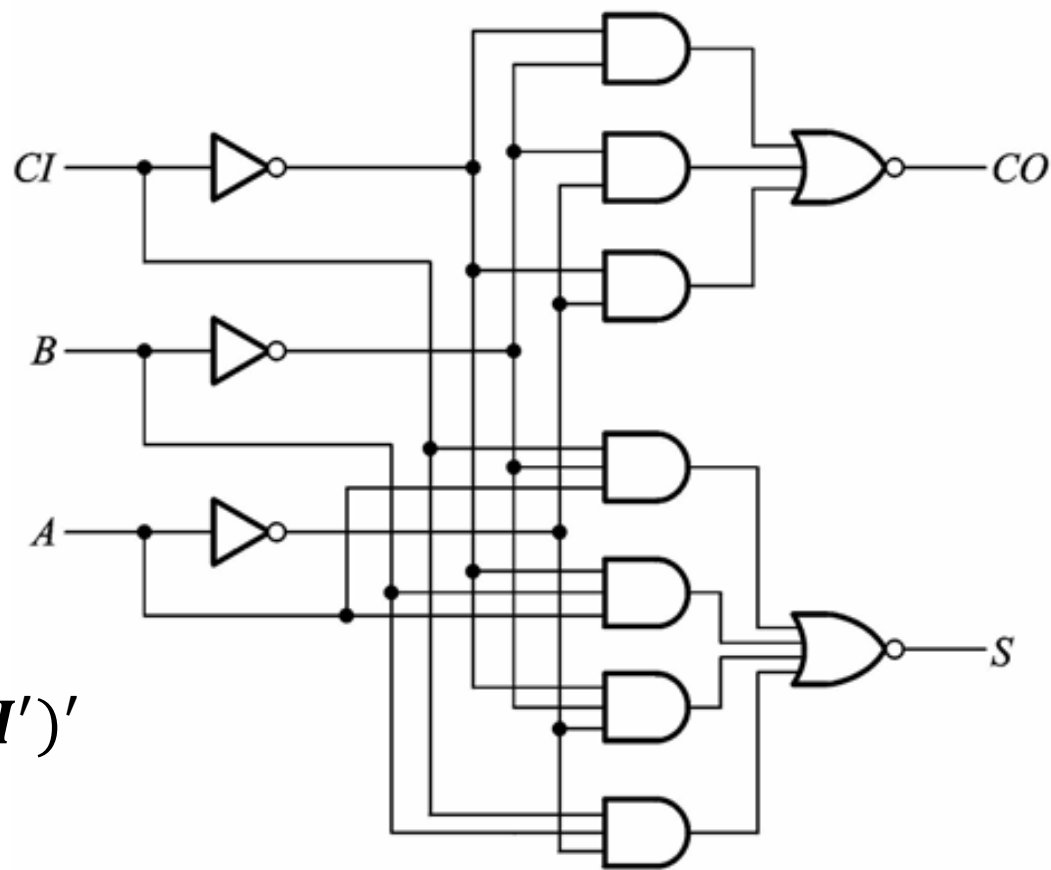
$$CO = (A'B' + B'CI' + A'CI')'$$

加法器逻辑图



全加器符号图

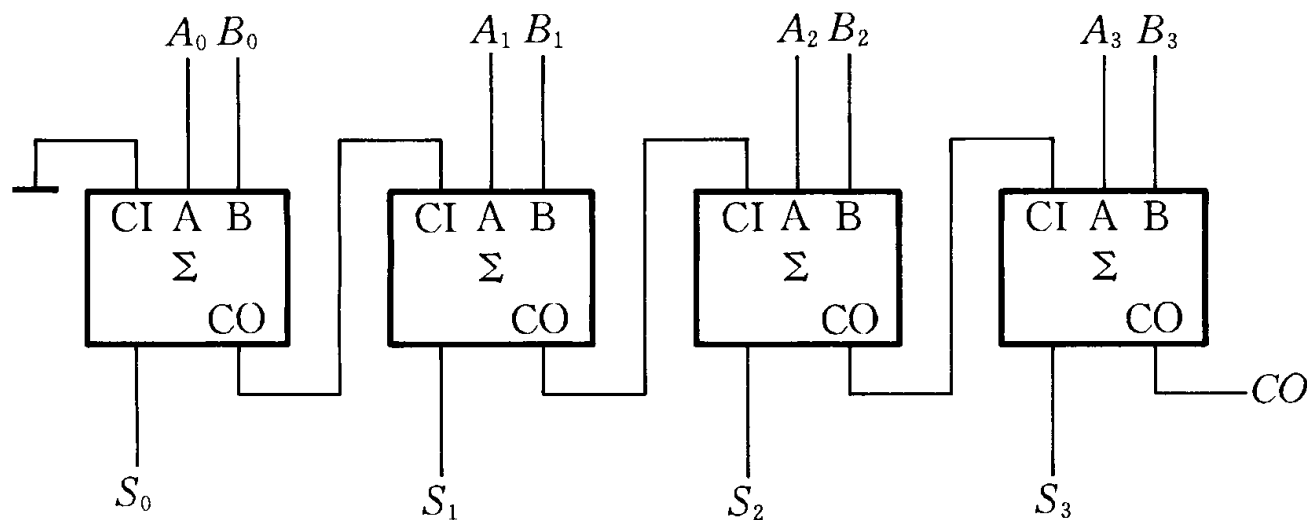
$$S = (A'B'CI' + A'B \cdot CI + AB'CI + ABCI')'$$
$$CO = (A'B' + B'CI' + A'CI')'$$



74LS183的1/2逻辑图

串行进位多位加法器

- 依次将低位全加器的进位输出端CO接到高位全加器的进位输入端CI
- 又称行波进位加法器
- 优点：结构简单
- 缺点：运算速度慢



$$(CI)_i = (CO)_{i-1}$$

$$S_i = A_i \oplus B_i \oplus (CI)_i$$

$$(CO)_i = A_i B_i + (A_i + B_i)(CI)_i$$

超前进位加法器概念

- 又称快速进位 (Fast Carry) 加法器
- 基本原理
 - 加到第 i 位的进位输入信号是两个加数第 i 位以前各位 ($0 \sim i-1$) 的函数, 可在相加前由A,B两数确定
- 优点: 快, 每一位的和及最后的进位基本同时产生
- 缺点: 电路复杂, 且位数越多, 电路就越复杂



超前进位的生成(1)

- 由全加器真值表可知，向高位的进位信号在两种情况下产生：
 1. 在 $A \cdot B = 1$
 2. 在 $A + B = 1$ 且 $CI = 1$
- 故向高位的进位信号为
$$(CO)_i = A_i B_i + (A_i + B_i)(CI)_i$$

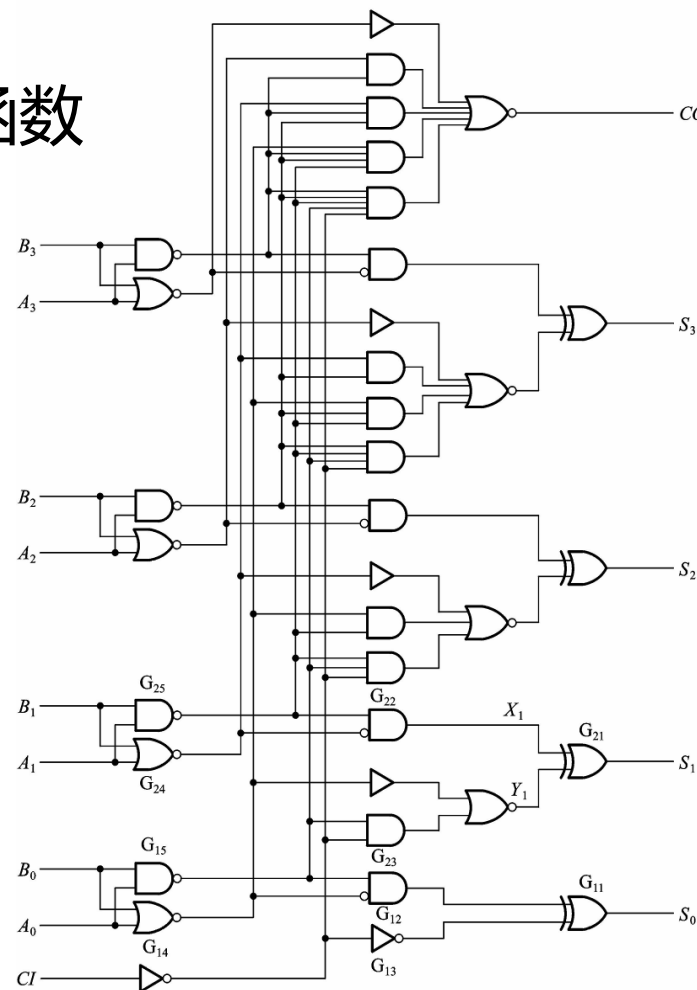
输 入			输 出	
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

超前进位的生成(2)

- 设 $G_i = A_i B_i$ 为进位生成函数, $P_i = A_i + B_i$ 为进位传递函数
则 $(CO)_i = A_i B_i + (A_i + B_i)(CI)_i$ 可写成:

$$\begin{aligned}(CO)_i &= G_i + P_i(CI)_i \\&= G_i + P_i(G_{i-1} + P_{i-1}(CI)_{i-1}) \\&= G_i + P_i G_{i-1} + P_i P_{i-1}(G_{i-2} + P_{i-2}(CI)_{i-2}) \\&\vdots \\&= G_i + P_i G_{i-1} + P_i P_{i-1} G_{i-2} + \cdots + P_i P_{i-1} P_{i-2} \cdots P_1 G_0 \\&\quad + P_i P_{i-1} P_{i-2} \cdots P_0 (CI)_0\end{aligned}$$

$$S_i = A_i \oplus B_i \oplus (CI)_i$$



4位超前进位加法器74LS283

超前进位的生成举例

$i = 0 :$

$$(CI)_0 = 0$$

$$S_0 = A_0 \oplus B_0 \oplus (CI)_0$$

$$(CO)_0 = A_0 B_0 + (A_0 + B_0)(CI)_0$$

$i = 2 :$

$$(CI)_2 = (CO)_1$$

$$= A_1 B_1 + (A_1 + B_1)(A_0 B_0 + (A_0 + B_0)(CI)_0)$$

$$(CO)_2 = A_2 B_2 + (A_2 + B_2)(CO)_1$$

$$= A_2 B_2 + (A_2 + B_2)(A_1 B_1 + (A_1 + B_1)(A_0 B_0 + (A_0 + B_0)(CI)_0))$$

$$S_2 = A_2 \oplus B_2 \oplus (CI)_2$$

$$= A_2 \oplus B_2 \oplus (A_1 B_1 + (A_1 + B_1)(A_0 B_0 + (A_0 + B_0)(CI)_0))$$

\vdots

$i = 1 :$

$$(CI)_1 = (CO)_0$$

$$S_1 = A_1 \oplus B_1 \oplus (CO)_0$$

$$= A_1 \oplus B_1 \oplus (A_0 B_0 + (A_0 + B_0)(CI)_0)$$

$$(CO)_1 = A_1 B_1 + (A_1 + B_1)(CO)_0$$

$$= A_1 B_1 + (A_1 + B_1)(A_0 B_0 + (A_0 + B_0)(CI)_0)$$



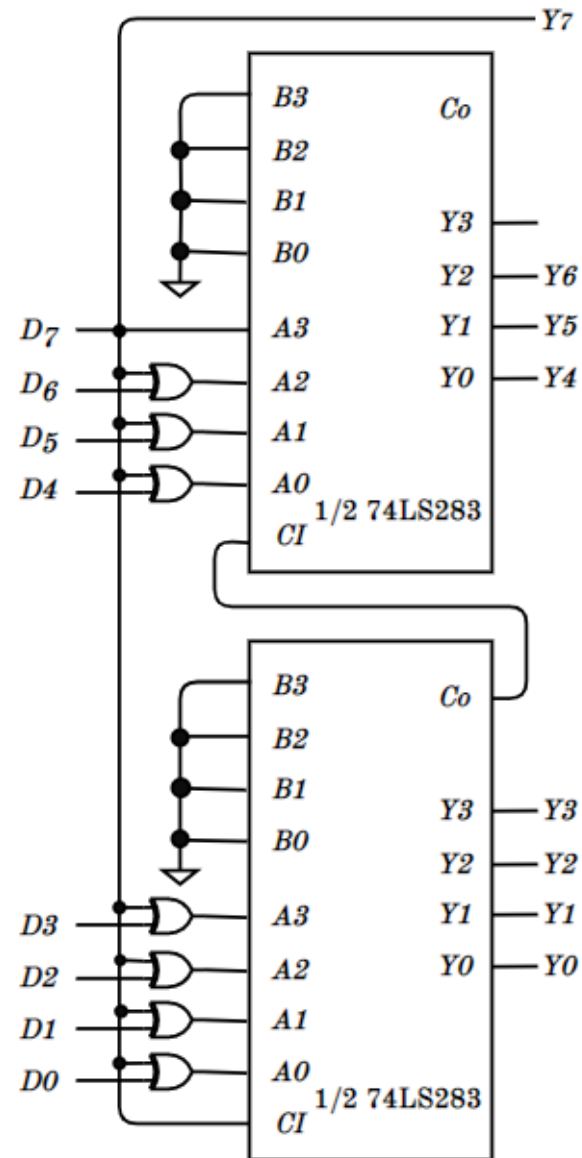
16位超前进位加法器

- 如何用4个超前进位加法器设计出来？



用加法器实现组合电路

- 基本原理：
 - 若能生成函数可变换成输入变量与输入变量相加
 - 若能生成函数可变换成输入变量与常量相加
- 例，用4位超前进位加法器74LS283组成的电路如下图所示，试分析电路所能完成的逻辑功能



用加法器实现组合电路功能分析

- 加法器输入端逻辑函数式

- 74LS283(1): $A_3 = D_7, A_2 = D_7 \oplus D_6, A_1 = D_7 \oplus D_5, A_0 = D_7 \oplus D_4$
- 74LS283(2): $A_3 = D_7 \oplus D_3, A_2 = D_7 \oplus D_2, A_1 = D_7 \oplus D_1, A_0 = D_7 \oplus D_0$
- 74LS283: $B_3 = B_2 = B_1 = B_0 = 0$

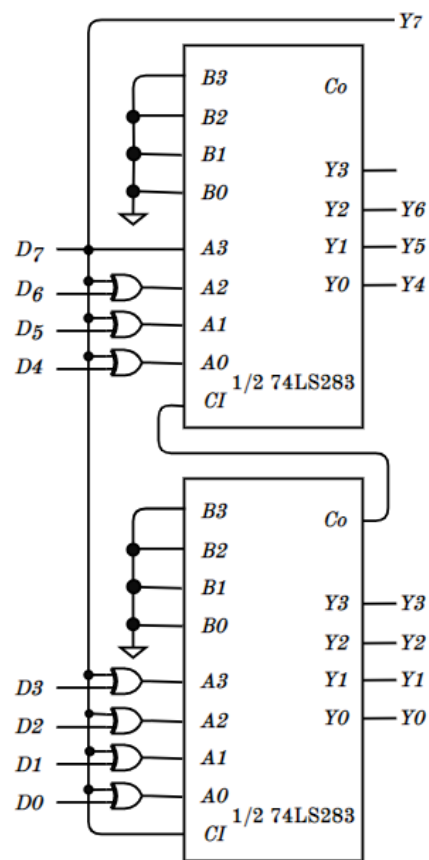
- $D_7=0$ 时:

- 74LS283(1): $A_3=0, A_2=D_6, A_1=D_5, A_0=D_4$
- 74LS283(2): $A_3=D_3, A_2=D_2, A_1=D_1, A_0=D_0, CI=0$
- 做加法后和为 $Y_7 \sim Y_0=0 D_6 \sim D_0$

- $D_7=1$ 时:

- 74LS283(1): $A_3=1, A_2=D'_6, A_1=D'_5, A_0=D'_4$
- 74LS283(2): $A_3=D'_3, A_2=D'_2, A_1=D'_1, A_0=D'_0, CI=1$
- 做加法后和为 $Y_7 \sim Y_0=1 D'_6 \sim D'_0 + 1$

此电路是一个带符号位的二进制求补码电路
 Y_7 为符号位, 输入二进制数码为 $D_6 \sim D_0$

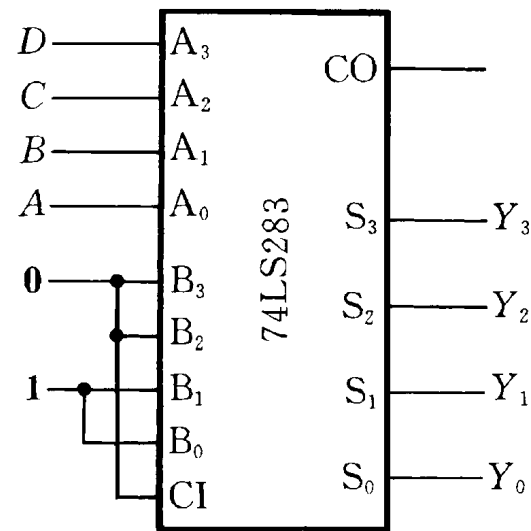


用加法器实现余3码转换逻辑电路

- 例，设计一个将十进制的8421码转换为余3码电路

如右真值表，逻辑式为：

$$Y_3Y_2Y_1Y_0 = DCBA + 0011$$



输 入				输 出			
D	C	B	A	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

用加法器实现BCD-B码转换逻辑电路(1)

用全加器74LS283把2位8421BCD码 $D_{BCD} = (D_{18}D_{14}D_{12}D_{11}, D_{08}D_{04}D_{02}D_{01})_{BCD}$

转换成二进制码 (B码): $B = B_6B_5B_4B_3B_2B_1B_0$

分析: 一个2位十进制数 (最大为99), 用二进制 (B码) 表示需7位, 即:

$$B = B_6B_5B_4B_3B_2B_1B_0$$

$$D = D_{18} \times 80 + D_{14} \times 40 + D_{12} \times 20 + D_{11} \times 10 +$$

$$D_{08} \times 8 + D_{04} \times 4 + D_{02} \times 2 + D_{00} \times 1$$

$$= D_{18} \times (64 + 16) + D_{14} \times (32 + 8) + D_{12} \times (16 + 4) + D_{11} \times (8 + 2) +$$

$$D_{08} \times 8 + D_{04} \times 4 + D_{02} \times 2 + D_{00} \times 1$$

$$= D_{18} \times 2^6 + D_{14} \times 2^5 + (D_{18} + D_{12}) \times 2^4 + (D_{14} + D_{11} + D_{08}) \times 2^3$$

$$(D_{12} + D_{04}) \times 2^2 + (D_{11} + D_{02}) \times 2^1 + D_{01} \times 2^0$$



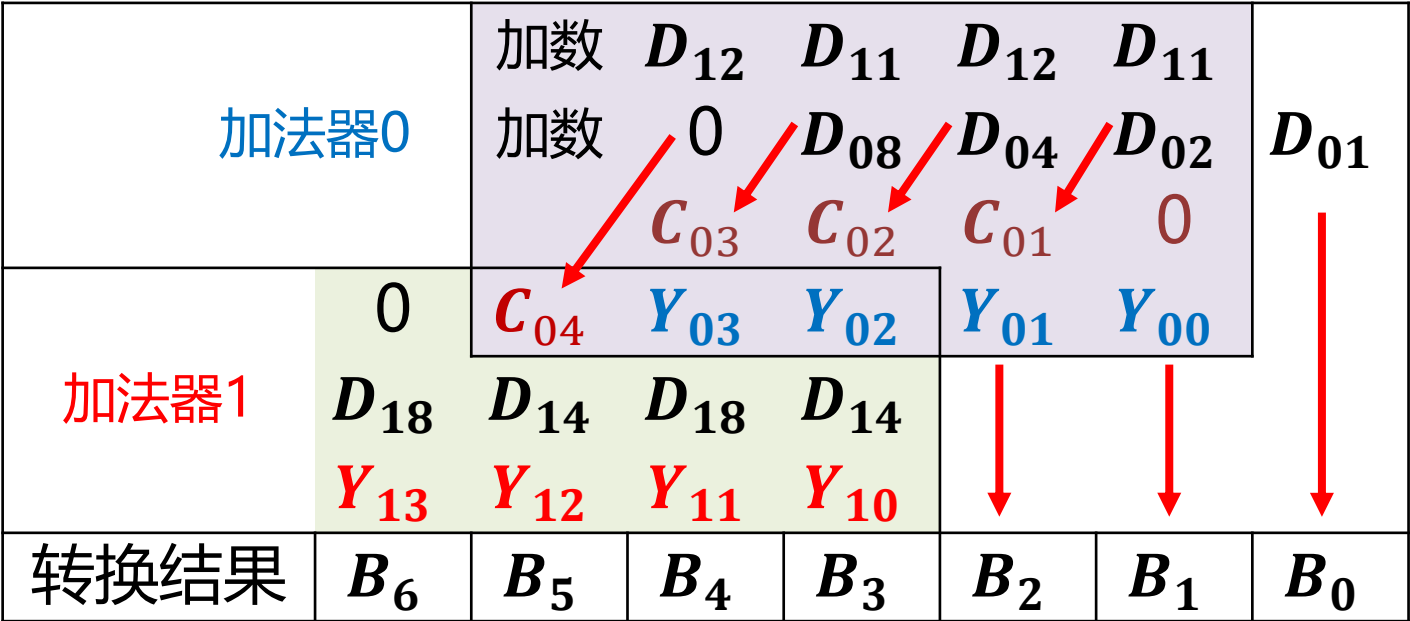
用加法器实现BCD-B码转换逻辑电路(2)

$$D = D_{18} \times 2^6 + D_{14} \times 2^5 + (D_{18} + D_{12}) \times 2^4 + (D_{14} + D_{11} + D_{08}) \times 2^3$$

$$(D_{12} + D_{04}) \times 2^2 + (D_{11} + D_{02}) \times 2^1 + D_{01} \times 2^0$$

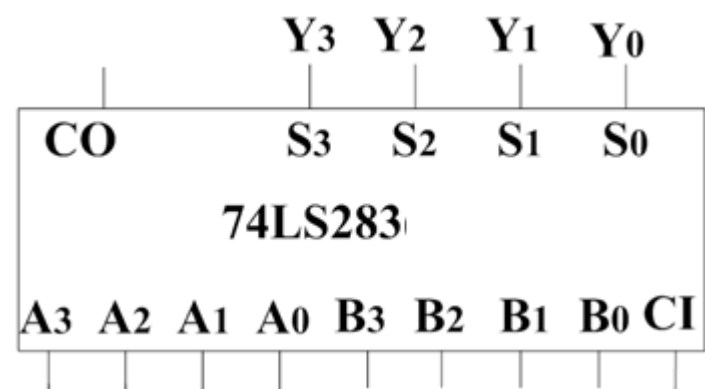
$$B = B_6B_5B_4B_3B_2B_1B_0$$



$$B = B_6 \times 2^6 + B_5 \times 2^5 + B_4 \times 2^4 + B_3 \times 2^3 + B_2 \times 2^2 + B_1 \times 2^1 + B_0 \times 2^0$$



用加法器实现BCD-B码转换逻辑电路(3)

用2个4位二进制加法器实现
1片74LS283有2个加法器



加法器0		加数 D_{12} D_{11} D_{12} D_{11}					D_{01}
		加数 0 D_{08} D_{04} D_{02}					
		C_{03} C_{02} C_{01} 0					
加法器1	0	C_{04} Y_{03} Y_{02}			Y_{01} Y_{00}		
	D_{18}	D_{14}	D_{18}	D_{14}			
	Y_{13}	Y_{12}	Y_{11}	Y_{10}			
转换结果	B_6	B_5	B_4	B_3	B_2	B_1	B_0

第1个4位加法器连接方法:

$$A_3 = 0, A_2 = D_{08}, A_1 = D_{04}, A_0 = D_{02}$$

$$B_3 = D_{12}, B_2 = D_{11}, B_1 = D_{12}, B_0 = D_{11}$$

$$CI=0$$

第2个4位加法器连接方法:

$$A_3 = 0, A_2 = CO, A_1 = Y_{03}, A_0 = Y_{02}$$

$$B_3 = D_{18}, B_2 = D_{14}, B_1 = D_{18}, B_0 = D_{14}$$

$$CI=0$$

用加法器实现BCD-B码转换逻辑电路(3)

第1个4位加法器连接方法:

$$A_3 = 0, A_2 = D_{08}, A_1 = D_{04}, A_0 = D_{02}$$

$$B_3 = D_{12}, B_2 = D_{11}, B_1 = D_{12}, B_0 = D_{11}$$

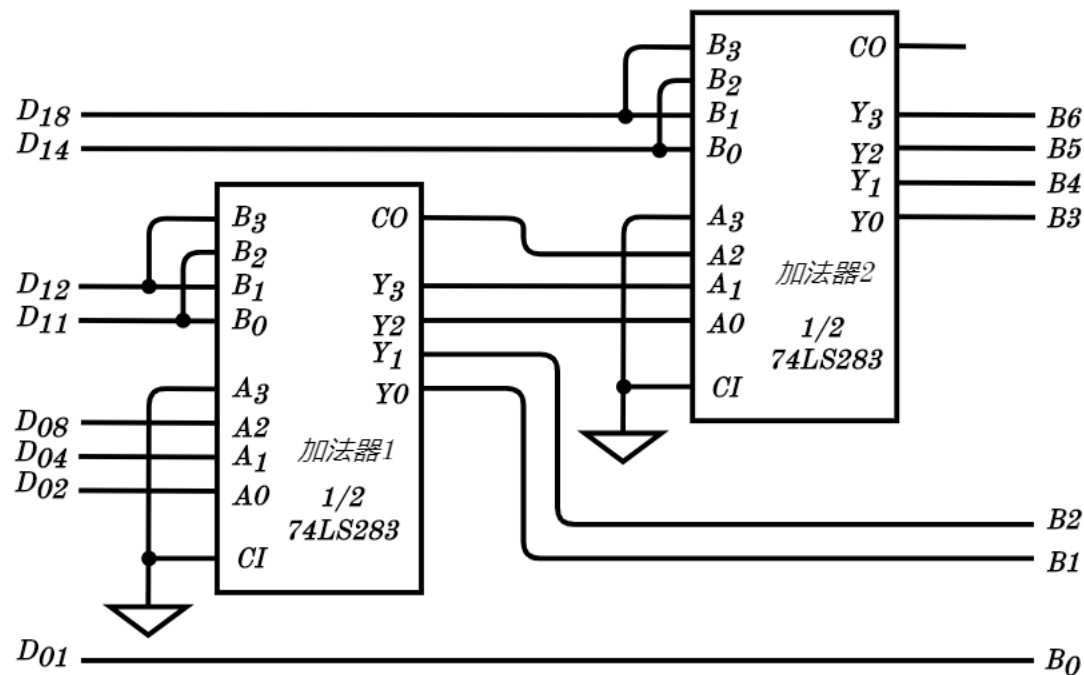
$$CI = 0$$

第2个4位加法器连接方法:

$$A_3 = 0, A_2 = CO, A_1 = Y_{03}, A_0 = Y_{02}$$

$$B_3 = D_{18}, B_2 = D_{14}, B_1 = D_{18}, B_0 = D_{14}$$

$$CI = 0$$



$$D = D_{18} \times 2^6 + D_{14} \times 2^5 + (D_{18} + D_{12}) \times 2^4 + (D_{14} + D_{11} + D_{08}) \times 2^3$$

$$(D_{12} + D_{04}) \times 2^2 + (D_{11} + D_{02}) \times 2^1 + D_{01} \times 2^0$$

$$B = B_6 B_5 B_4 B_3 B_2 B_1 B_0$$

$$B = B_6 \times 2^6 + B_5 \times 2^5 + B_4 \times 2^4 + B_3 \times 2^3 + B_2 \times 2^2 + B_1 \times 2^1 + B_0 \times 2^0$$

组合逻辑电路重点内容

- 组合逻辑电路的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
 - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法



组合逻辑电路中的竞争-冒险现象

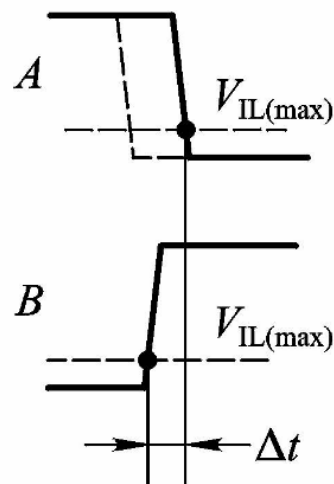
- 竞争-冒险现象及其成因

- 竞争

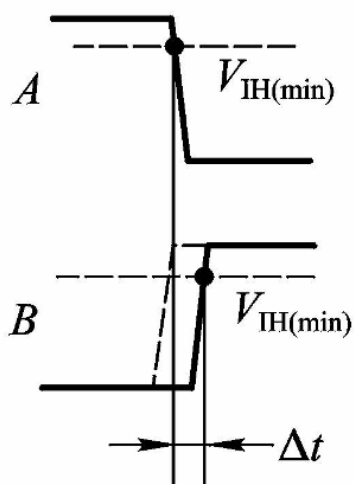
- 门电路两个输入信号同时向相反的逻辑电平跳变的现象 ($1 \rightarrow 0$, $0 \rightarrow 1$)

- 竞争-冒险

- 由于竞争而在电路输出端可能产生尖峰脉冲的现象
 - 尖峰脉冲, 又称电压毛刺



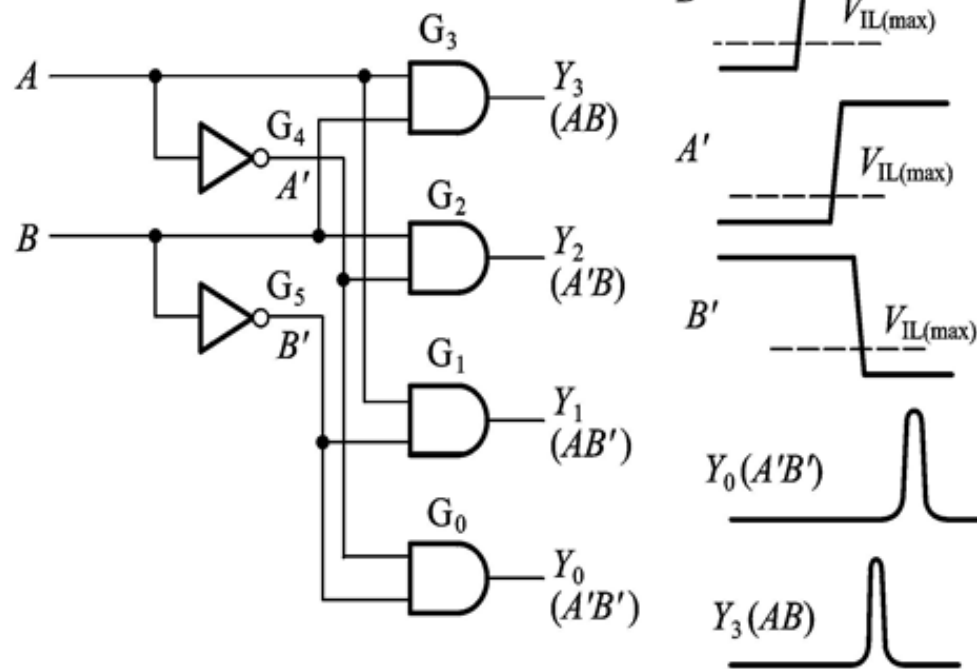
(a)



(b)

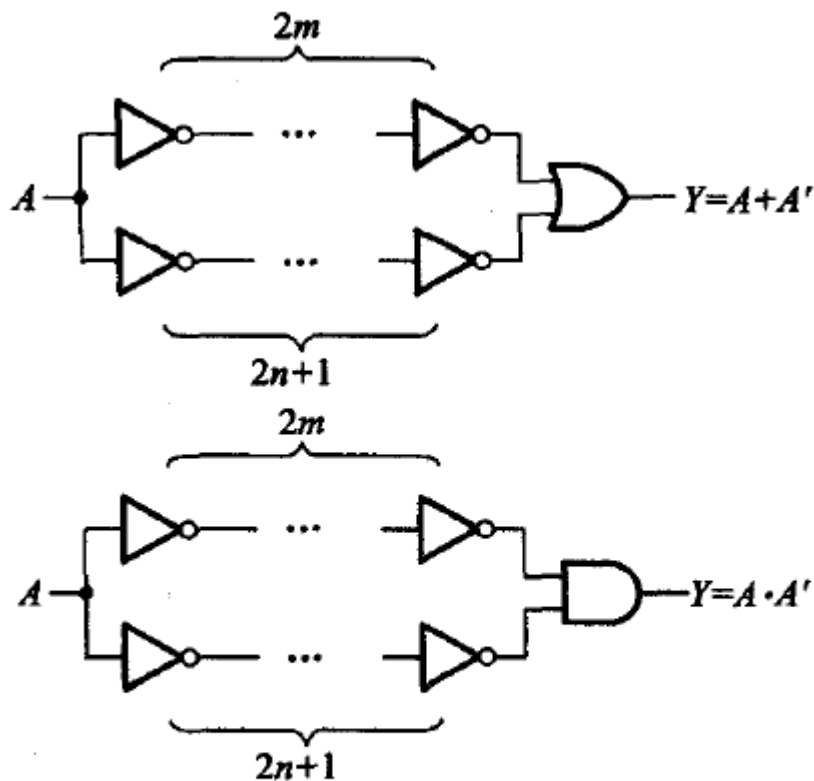
2线-4线译码器中的竞争-冒险现象

- 当AB从10→01时,
- 在动态过程中可能出现00或11,
- 所以 Y_3 和 Y_0 输出端就可能产生尖峰脉冲



检查竞争-冒险现象的方法(1)

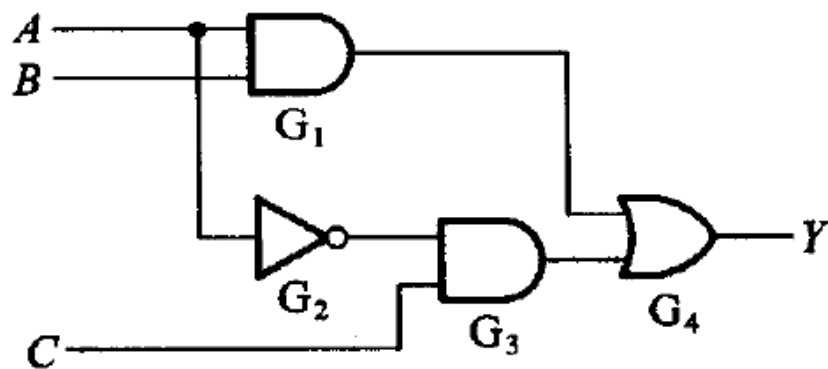
- 若输入变量每次只有一个改变状态，则通过逻辑函数式判断
 - 如果输出端门电路的两个输入信号A和A'是输入变量A经过两个不同的传输途径而来，则当输入变量A的状态发生突变时输出端有可能产生尖峰脉冲，故只要输出端的函数在一定条件下可以简化成 $Y=A+A'$ 或 $Y=AA'$ ，则可判定存在竞争-冒险现象
- EDA工具分析
- 实验检查电路的输出端



同一输入变量经不同途径到达输出端的情况(m, n 均为正整数)

检查竞争-冒险现象的方法(2)

- 判断下图两个电路中是否存在竞争-冒险现象。已知任何瞬时输入变量只可能有一个改变状态



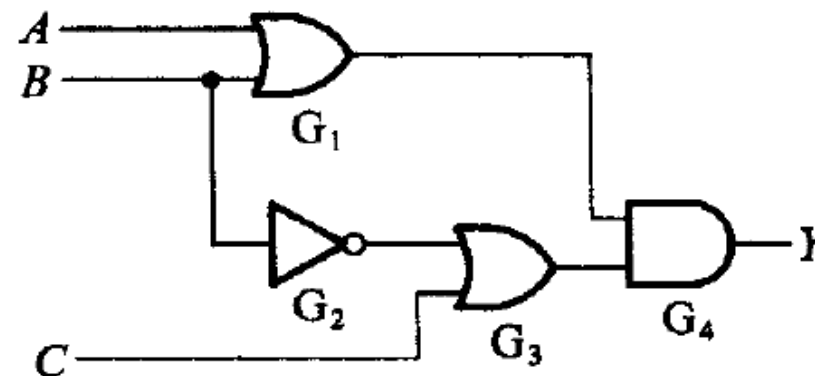
输出的逻辑函数式可写为

$$Y = AB + A'C$$

当 $B=C=1$ 时，上式将成为

$$Y = A + A'$$

存在竞争-冒险现象



输出的逻辑函数式可写为

$$Y = (A + B) \cdot (B' + C)$$

当 $A=C=0$ 时，上式将成为

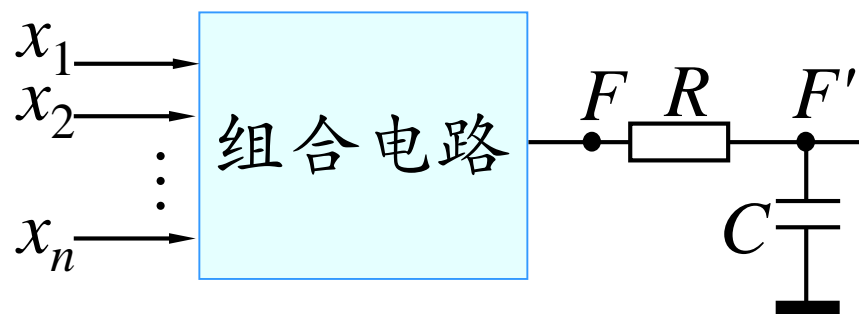
$$Y = B \cdot B'$$

存在竞争-冒险现象

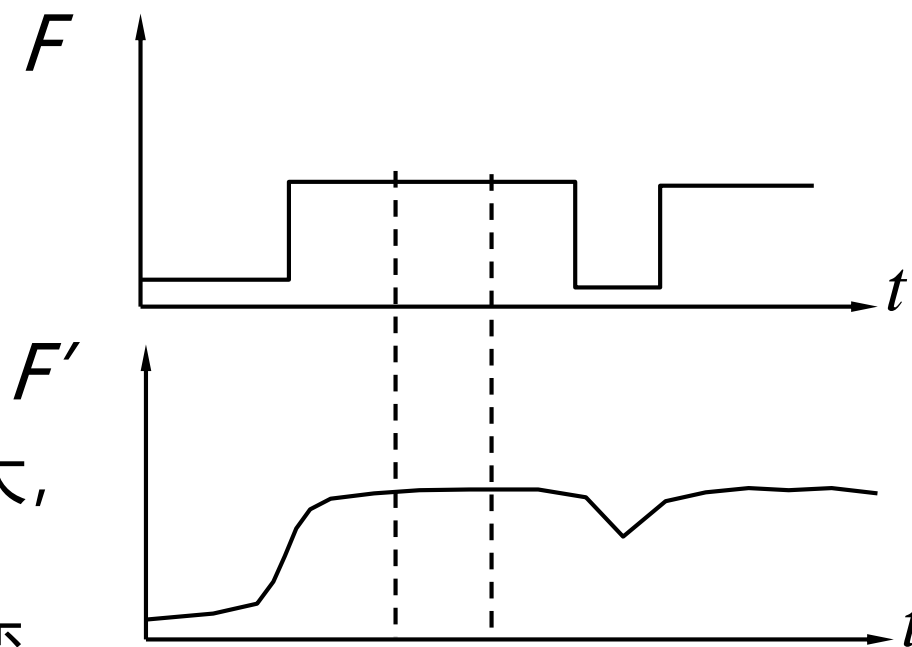
消除竞争-冒险现象的方法

- 接入滤波电容

– 尖峰脉冲很窄，用很小的电容就可将尖峰削弱到 V_{TH} 以下

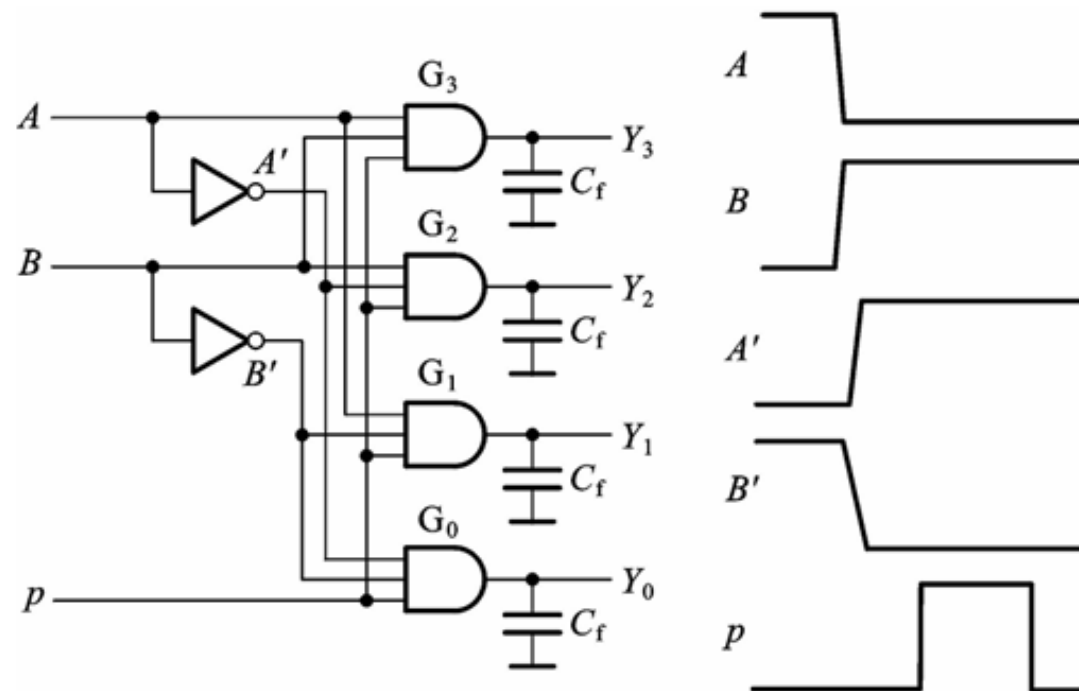


要适当选择时间常数($\tau = RC$), 要求 τ 足够大, 以便“削平”尖脉冲;
但又不能太大, 以免使正常的输出发生畸变



引入选通脉冲消除竞争-冒险现象

- 电路达到稳定之后，选通脉冲起作用，高电平期的输出信号不会出现尖峰



修改逻辑设计消除竞争-冒险(1)

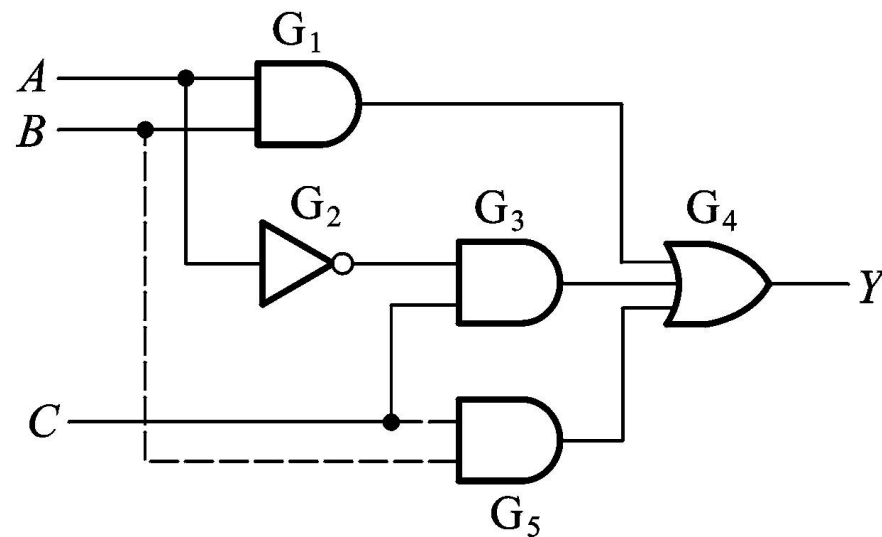
- 发现并消去互补相乘项
- 例: $F = (A + B)(A' + C)$
- 当 $B = C = 0$ 时, $F = AA'$, 存在竞争-冒险现象
- 将该式变换为 $F = AA' + AC + A'B + BC = AC + A'B + BC$, 消去了 AA' , 不会出现竞争-冒险现象



修改逻辑设计消除竞争-冒险(2)

- 增加乘积项以避免互补项相加
- 例: $Y = AB + A'C$
- 当 $B = C = 1$ 时, $Y = A + A'$, 存在竞争-冒险现象

增加冗余项 BC , 得: $Y = AB + A'C + BC$



消除竞争-冒险现象小结

- 接滤波电容的方法

- 简单易行，但输出的波形随之变坏
- 只适用于输出波形的前、后沿无严格要求的场合

- 引入选通脉冲的方法

- 比较简单，而且不需要增加电路元件，
- 需要一个与输入信号同步的选通脉冲，脉冲宽度和作用时间有严格的要求

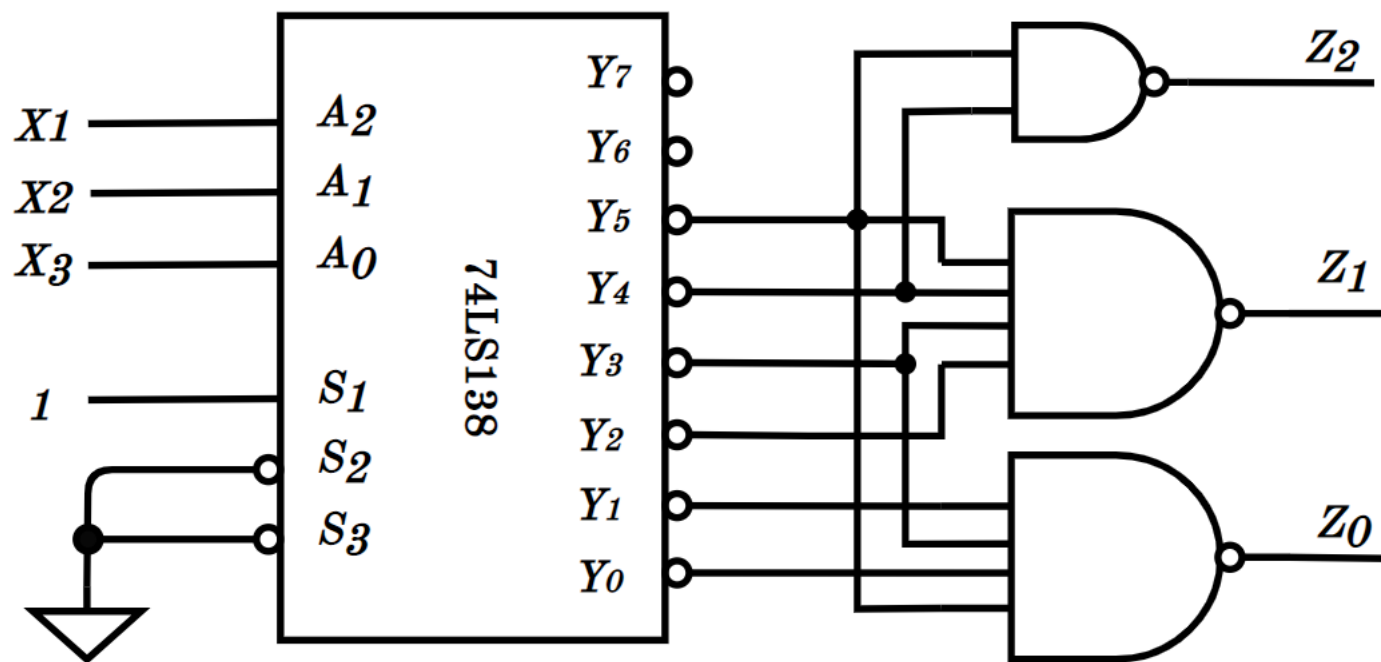
- 修改逻辑设计的方法

- 使用得当，效果好。例如例题中门 G_5 本来就存在，只需要增加一根连线，将它的输出引到门 G_4 的一个输入端即可，既不必增加门电路，又不给电路的工作带来任何不利的影响
- 能解决的问题有限



练习题

- 由3线 - 8线译码器74HC138所组成的电路如图所示，试分析该电路的逻辑功能



练习题

- 试利用3线 - 8线译码器74HC138及与非门实现全减器，设A为被减数，B为减数，CI为低位的借位，D为差，CO为向高位的借位

输 入			输 出	
A	B	CI	D	CO
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

问题和建议?

