

数字电路

Digital Circuits and System

李文明

liwenming@ict.ac.cn

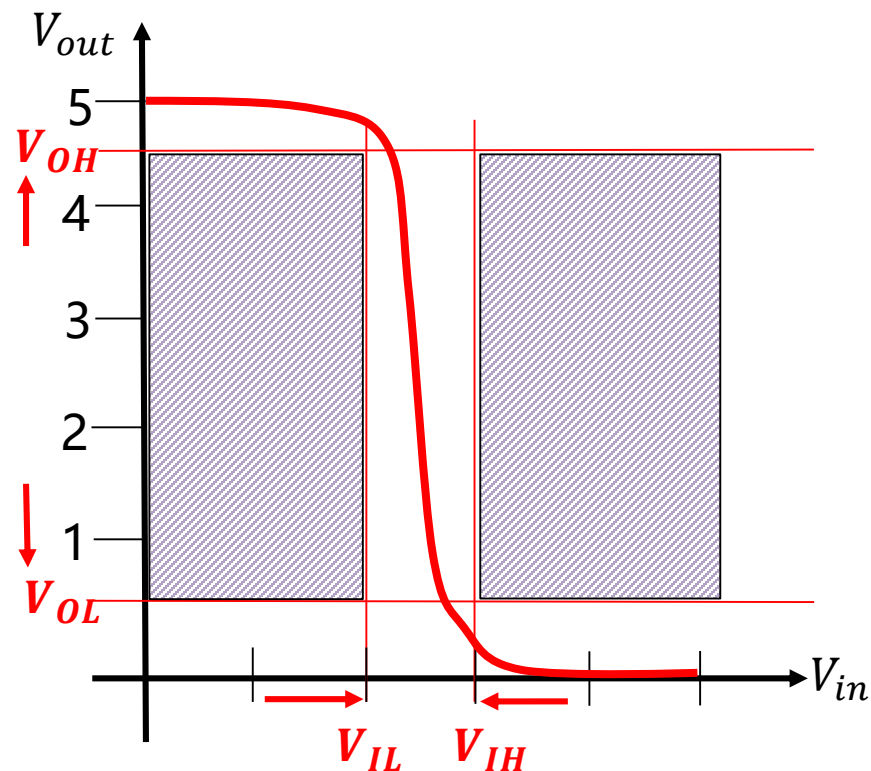
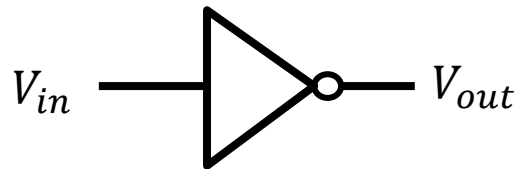


MOSFET和CMOS门电路



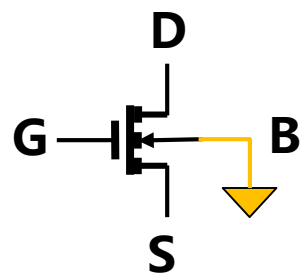
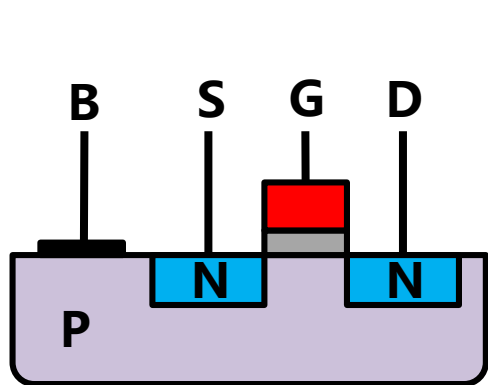
组合逻辑器件需求列表

- 系统设计目标应该允许一定范围的错误
 - 增加正向噪声容限
 - VTC: 器件增益 >1 , 工作在非线性状态
- 增益越大 \rightarrow 噪声容限越大
- 低成本、小尺寸
- 当电压变化时会消耗功率 (动态), 当没有电压变化时 (静态), 希望功耗为“0”
- 设计器件时, 希望是有用的逻辑功能
- **问题是什么样的逻辑功能是我们所需要的?**



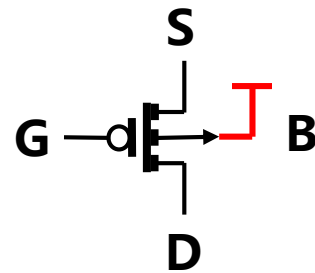
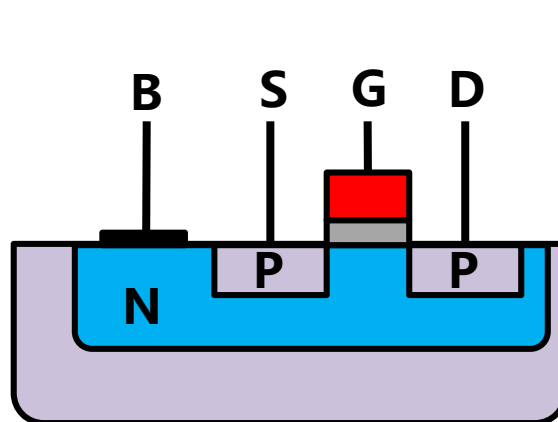
两种 FET 特性

- N-FET: 源极/漏极间的导电沟道是 **N 型半导体**, 衬底是 **P 型**
- 开启电压的阈值为 **正**
- 反向偏置形成 **N 型导电沟道**



衬底接地, 保证PN结处于反向偏置状态: $V_P < V_N$

- P-FET: 源极/漏极间的导电沟道是 **P 型半导体**, 衬底是 **N 型**
- 开启电压的阈值为 **负**
- 反向偏置形成 **P 型导电沟道**



衬底接电源, 保证PN结处于反向偏置状态: $V_P < V_N$

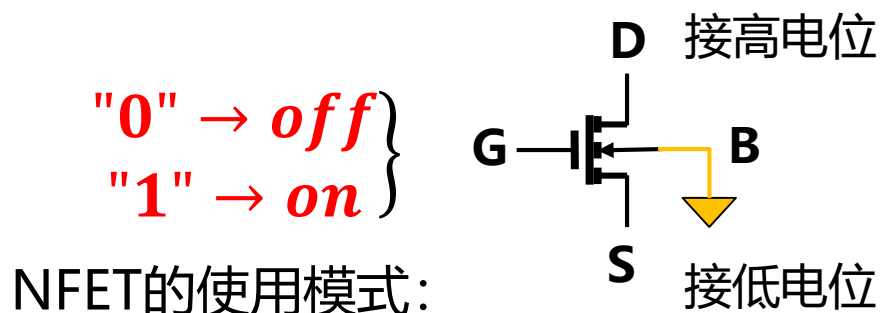
互补使用N型和P型FET是CMOS(Complementary MOS)逻辑电路的关键技术

CMOS电路设计规则

- 遵循以下两条规则来实现CMOS逻辑电路，我们就可以把MOSFETs模型化简单的电压控制开关

– 规则1：仅使用 NFET 作为下拉电路；

规则2：仅使用 PFET 作为上拉电路



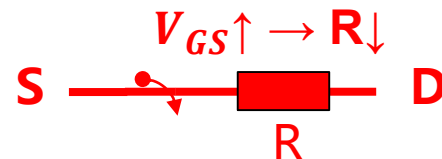
"off" :

$$V_{GS} < V_{TH.NFET}$$

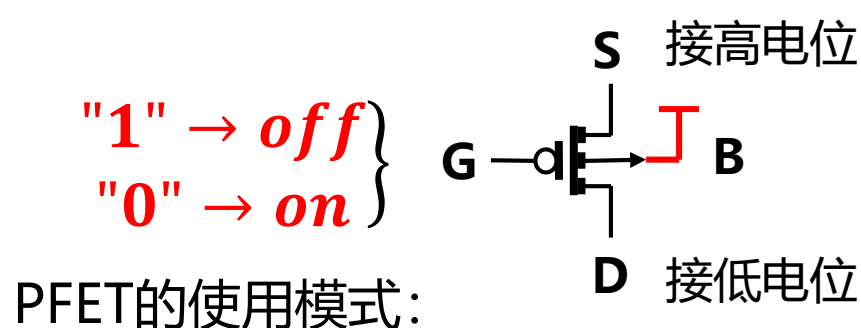


"on" :

$$V_{GS} > V_{TH.NFET}$$



NFET Threshold $V_{TH.NFET} \approx 0.5V$



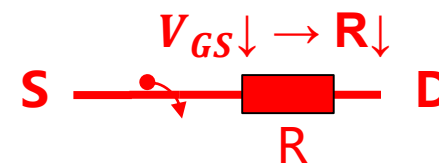
"off" :

$$V_{GS} > V_{TH.PFET}$$



"on" :

$$V_{GS} < V_{TH.PFET}$$

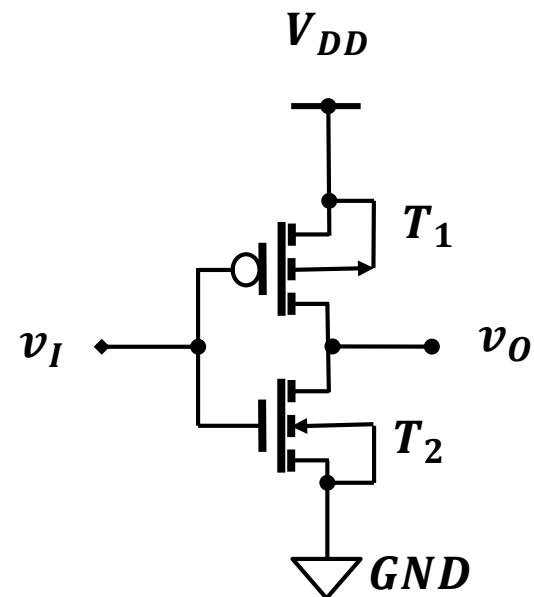
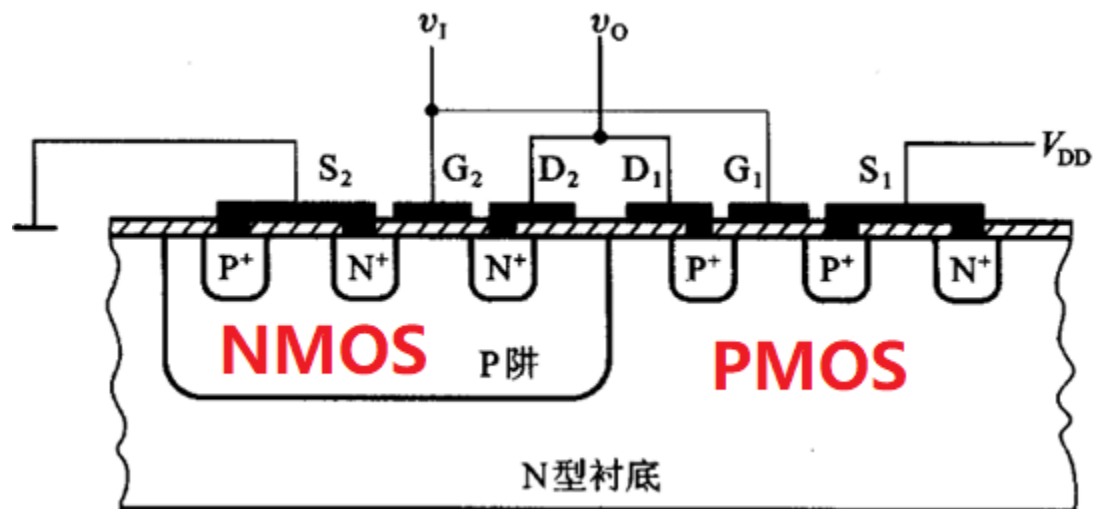


PFET Threshold $V_{TH.PFET} \approx -0.5V$



CMOS反相器电路结构

- T_1 是P沟道增强型MOS管，开启电压 $V_{GS(th)p}$
- T_2 是N沟道增强型MOS管，开启电压 $V_{GS(th)n}$

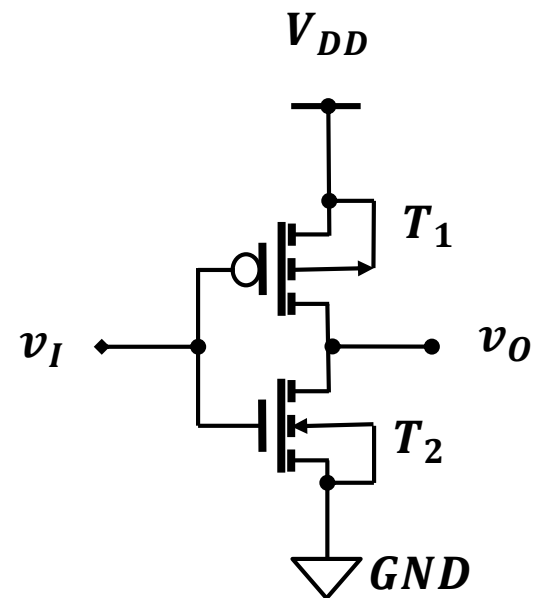


CMOS反相器的工作原理

- 令 $V_{DD} > V_{GS(th)N} + |V_{GS(th)P}|$
- $v_1 = V_{IL} = 0$ 时, 有
$$\begin{cases} |V_{GS1}| = V_{DD} > |V_{GS(th)P}| \\ V_{GS2} = 0 < V_{GS(th)N} \end{cases}$$

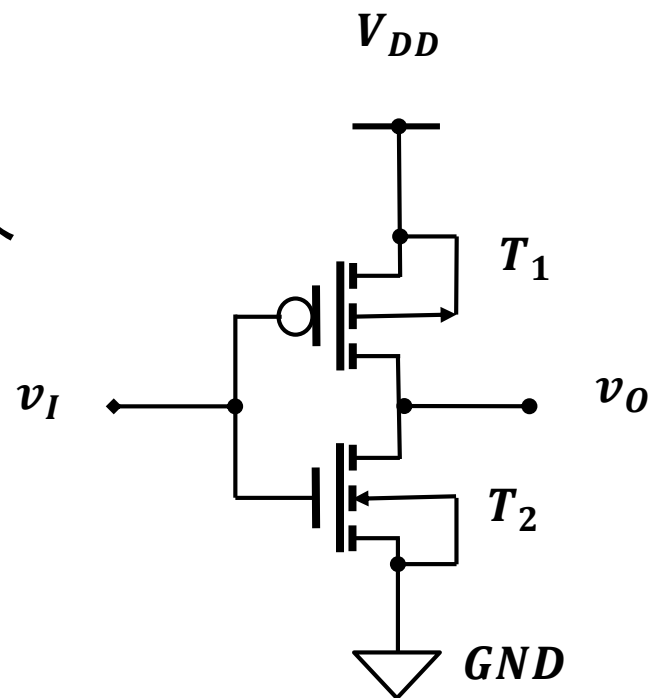
 T_1 导通, T_2 截止, 输出为高电平
- $v_1 = V_{IH} = V_{DD}$ 时, 有
$$\begin{cases} V_{GS1} = 0 < |V_{GS(th)P}| \\ V_{GS2} = V_{DD} > V_{GS(th)N} \end{cases}$$

 T_1 截止, T_2 导通, 输出为低电平



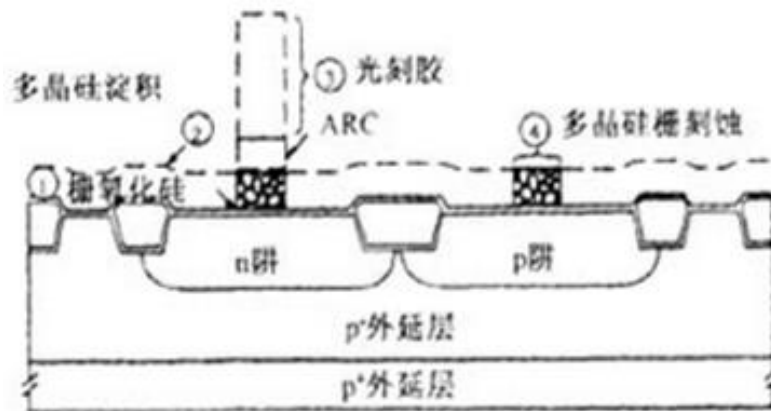
CMOS反相器的电路结构

- 输入与输出之间为逻辑非的关系。故常将非门成为反相器 (Inverter)
- 无论 V_i 是高电平还是低电平, T_1 和 T_2 总是工作在一个导通而另一个截止的状态, 即互补状态
- 互补对称式金属-氧化物-半导体电路 (Complementary Symmetry Metal Oxide Semiconductor Circuit), 简称CMOS电路

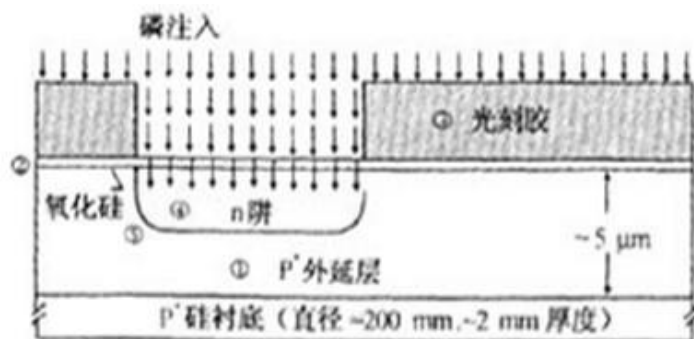


CMOS反相器工艺流程和版图

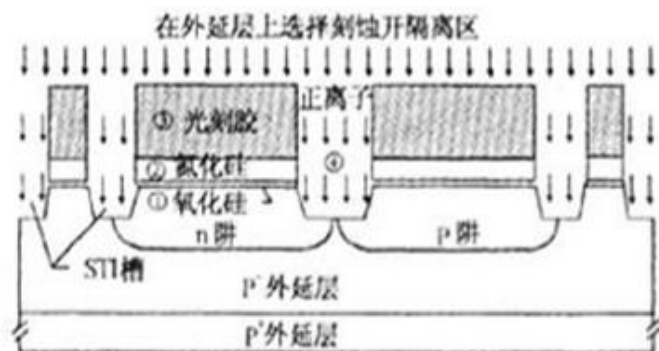
- 双阱工艺
- 浅槽隔离
- 多晶硅栅
- 源漏注入
- 接触孔
- 金属互连



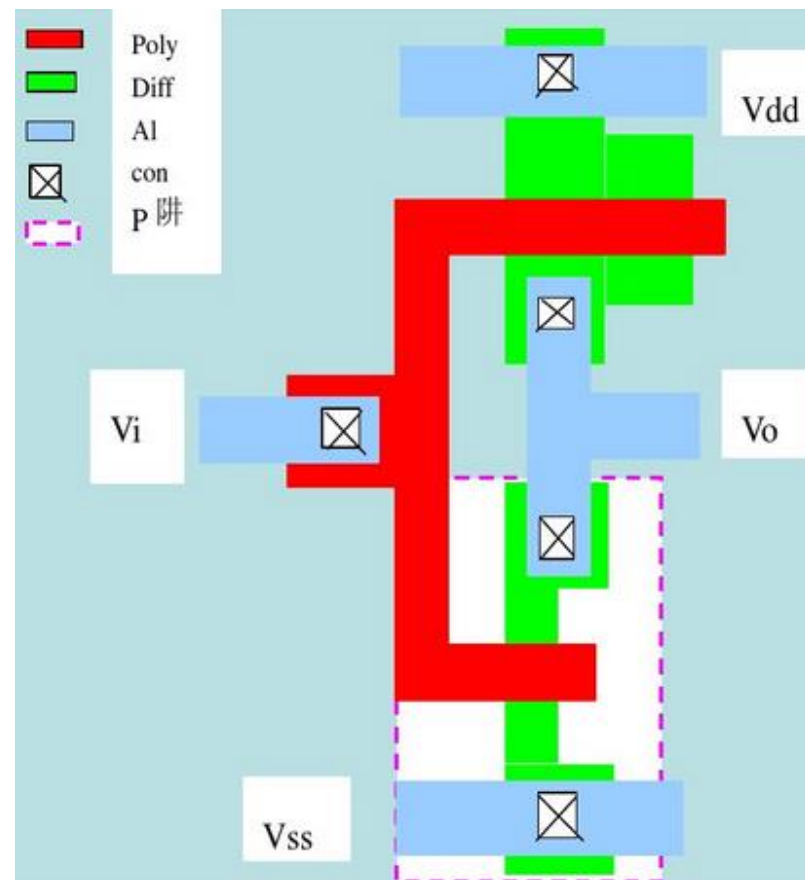
多晶硅栅结构工艺



n 阱的形成



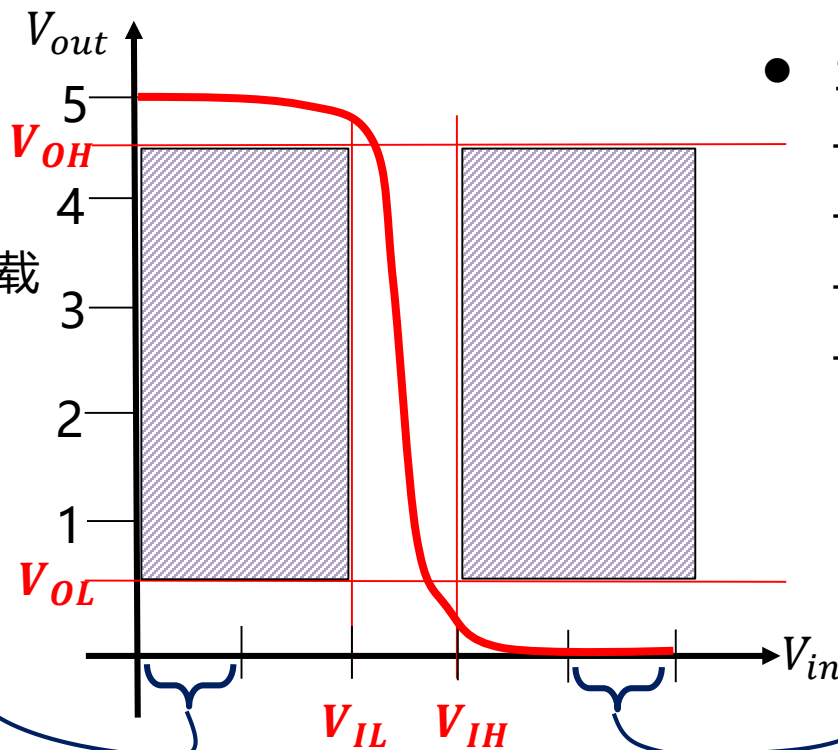
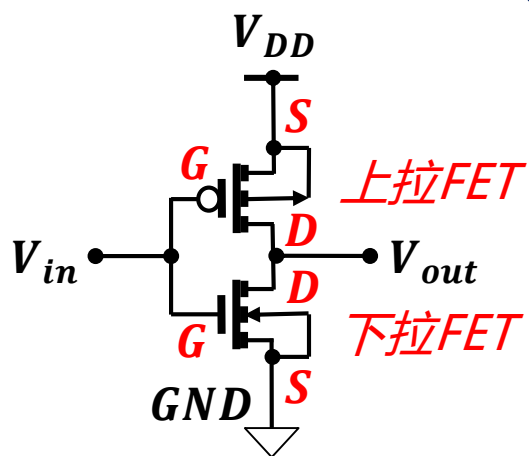
STI 槽刻蚀



CMOS反相器的电压传输特性

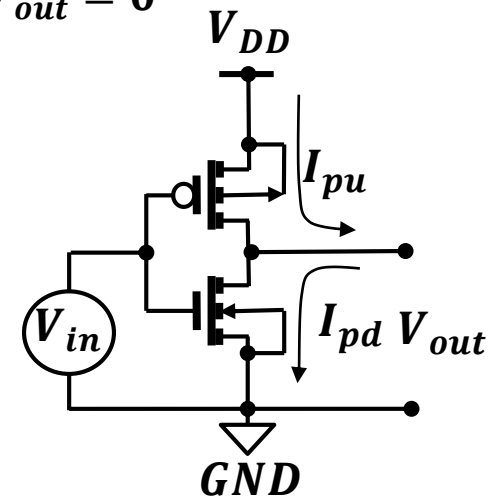
- 当 V_{in} 为低:

- NFET截止 (开关打开)
- PFET导通 (开关闭合)
- 电流从VDD流到 V_{out} 所连的负载
- 最终 $V_{out} = V_{DD}$



- 当 V_{in} 为高:

- PFET截止 (开关打开)
- NFET导通 (开关闭合)
- 电流从 V_{out} 流到GND
- 最终 $V_{out} = 0$

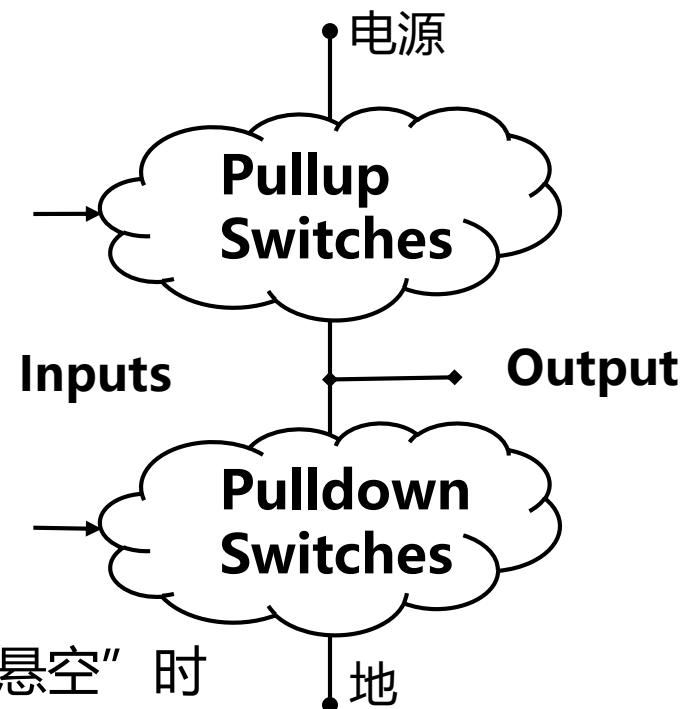


当 V_{in} 在中间值时, NFET和PFET都处于导通状态, VTC的形状取决与器件的制造特性。CMOS门具有很高的增益, 即输入电压 V_{in} 的微小变化会引起输出电压 V_{out} 的巨大变化, 因此VTC几乎是一个阶跃函数

反相器之外的互补上拉和下拉

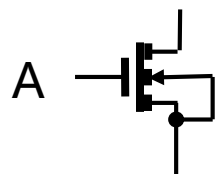
- 设计电路时，我们希望具有互补(Complementary)的上拉和下拉逻辑，也就是，当上拉导通时，下拉截止；反过来也一样

Pullup	Pulldown	F(Inputs)
on	off	Driven "1"
off	on	Driven "0"
on	on	Driven "X"
off	off	No Connection

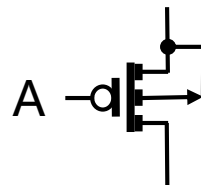


- 实际电路中，输出端都具有寄生电容，当输出端的状态变成“悬空”时，输出端将保留一段时间其原有“电压”
- 存储就是对负载电容的充电
- 由于漏电流的存在，电容上的电荷最终会释放掉，因此DRAM需要刷新

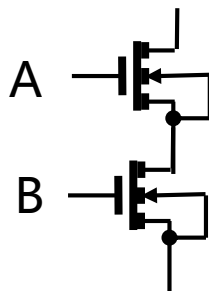
CMOS互补



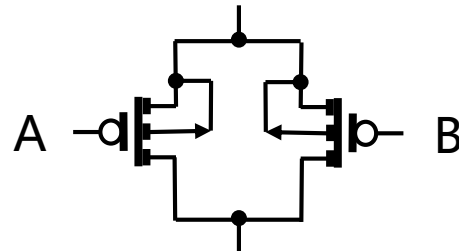
A为高电平, MOSFET导通



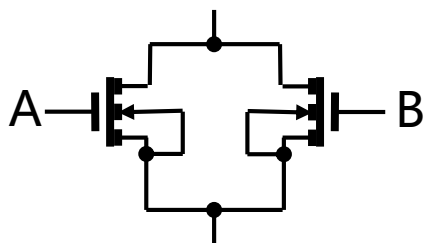
A为低电平, MOSFET导通: \bar{A}



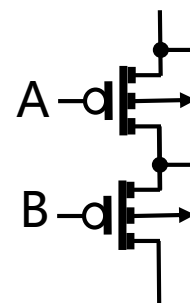
A、B都为高电平, MOSFET导通: $A \cdot B$



A为低电平, 或者B为低电平,
都有MOSFET导通: $\bar{A} + \bar{B} = \overline{A \cdot B}$



A为高电平, 或者B为高电平,
都有MOSFET导通: $A + B$



A、B都为低电平, MOSFET导通: $\bar{A} \cdot \bar{B} = \overline{A + B}$

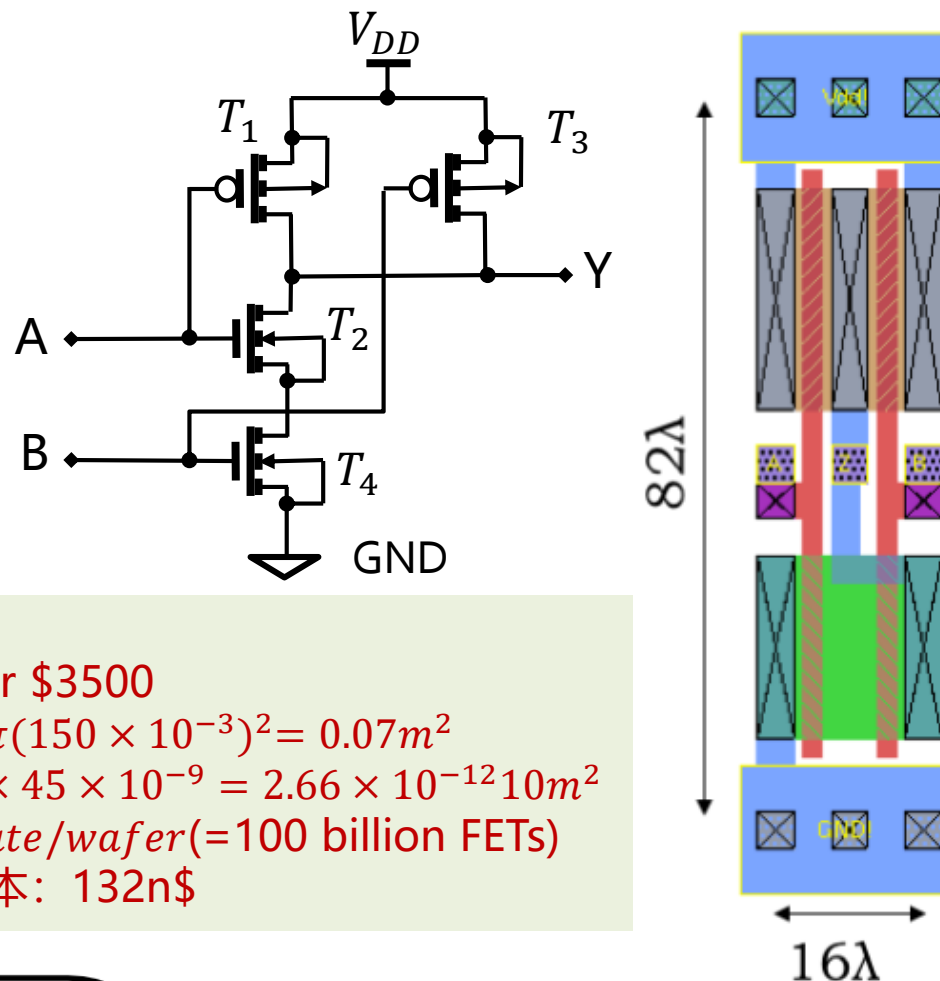
小测验

● 如图所示逻辑电路的功能？

- T_1 、 T_3 为两个并联的PMOS, T_2 、 T_4 为两个串联的NMOS
- A、B有一个为0时, T_2 、 T_4 至少有一个截止, T_1 、 T_3 至少有一个导通, 故输出为高电平, $Y = 1$
- A、B同时为1时, T_2 、 T_4 同时导通, T_1 、 T_3 同时截止, 故输出为低电平, $Y = 0$

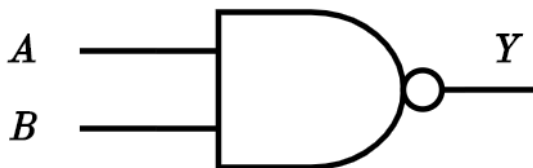
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

该电路是一个与非门(NAND)



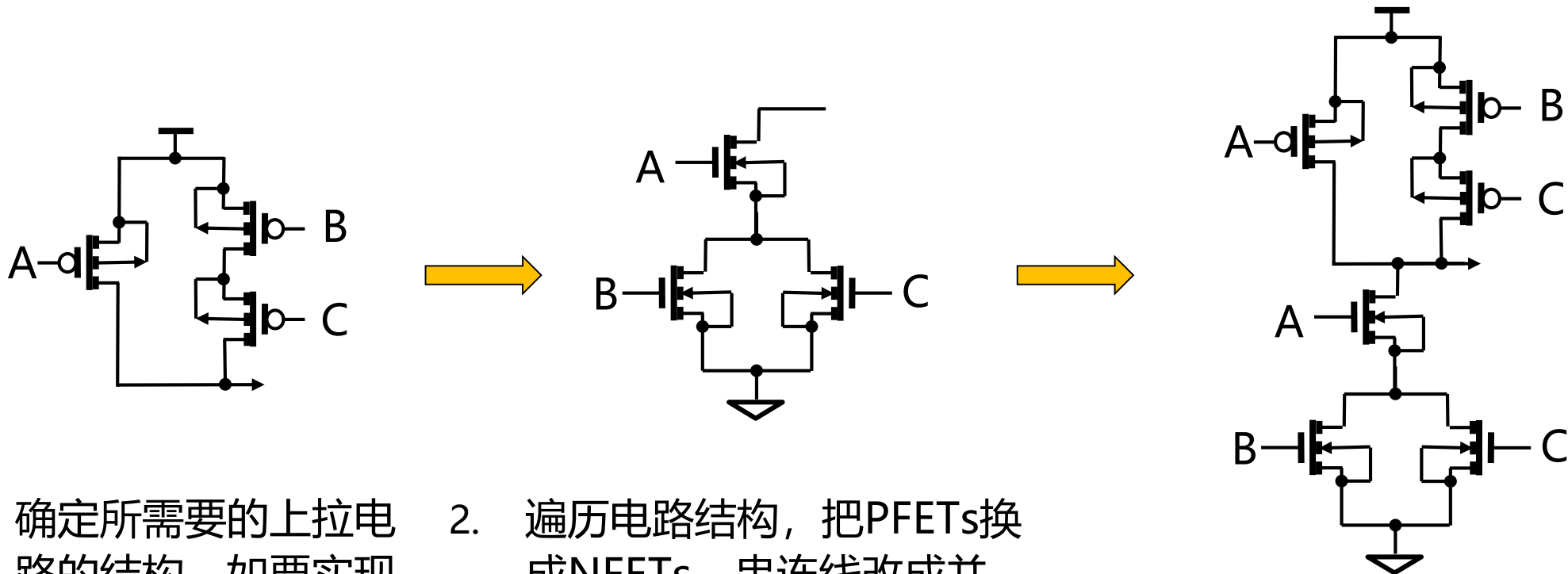
45nm工艺成本参考:

- 一个300mm的wafer \$3500
- 300mm 圆Wafer = $\pi(150 \times 10^{-3})^2 = 0.07\text{m}^2$
- NAND门 = $82 \times 16 \times 45 \times 10^{-9} = 2.66 \times 10^{-12}\text{m}^2$
- 2.6×10^{10} NAND Gate/wafer (=100 billion FETs)
- NAND 门的边际成本: 132n\$



目前的工艺水平: $\lambda = 5\text{nm}$

搭建CMOS门的一般步骤



问题：上述步骤是否适用于所有逻辑功能？

CMOS门天然具有反相器功能

在CMOS门中，输入端“0”到“1”的上升变化，会导致输出端“1”到“0”的下降变化

- NFET: 从“off”变成“on”
 - 下拉路径联通
 - 输出端可能会接地
- PFET: 从“on”变成“off”
 - 上拉路径断开
 - 输出端可能会与 V_{DD} 断开

问题：我们是否可以仅用一个CMOS门，直接设计出正逻辑，如与门AND？

对CMOS门电路来说，

- 所有输入为“0”
 - NFETs “off”，PFETs “on”
 - 输出一定是“1”
- 所有输入为“1”
 - NFETs “on”，PFETs “off”
 - 输出一定是“0”

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

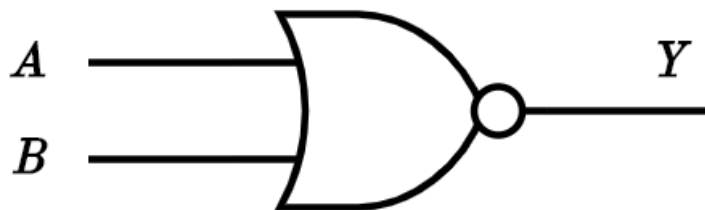
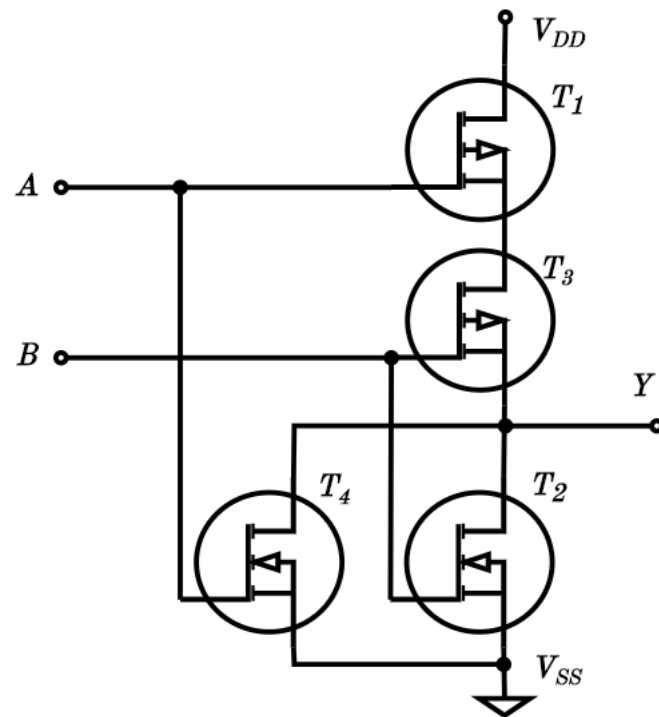
$A = 1$ 时：B发生上升变化，要求Y也是上升变化



CMOS或非门

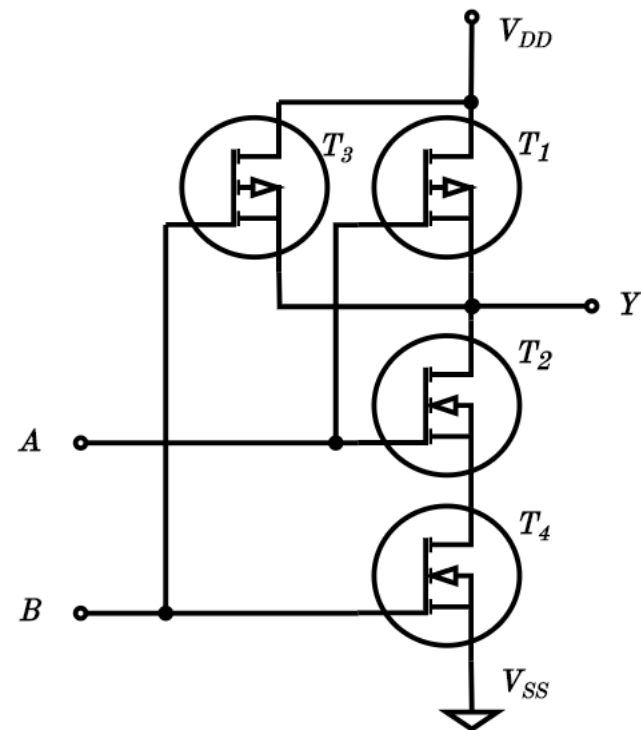
- T1、T3为两个串联的PMOS，T2、T4为两个并联的NMOS
- A、B有一个为1时，T2、T4至少有一个导通，T1、T3至少有一个截止，故输出为低电平， $Y = 0$
- A、B同时为0时，T2、T4同时截止，T1、T3同时导通故输出为高电平， $Y = 1$

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	0
1	0	0
1	1	0



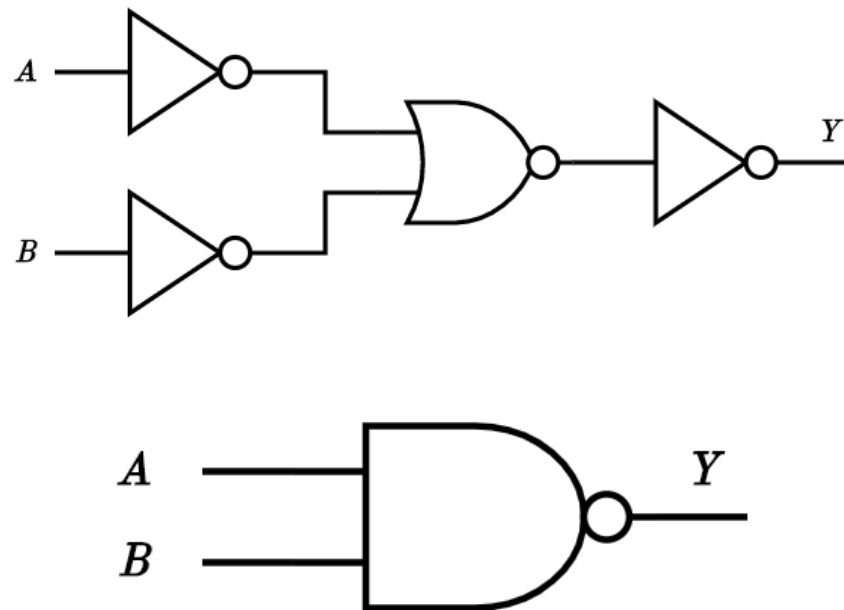
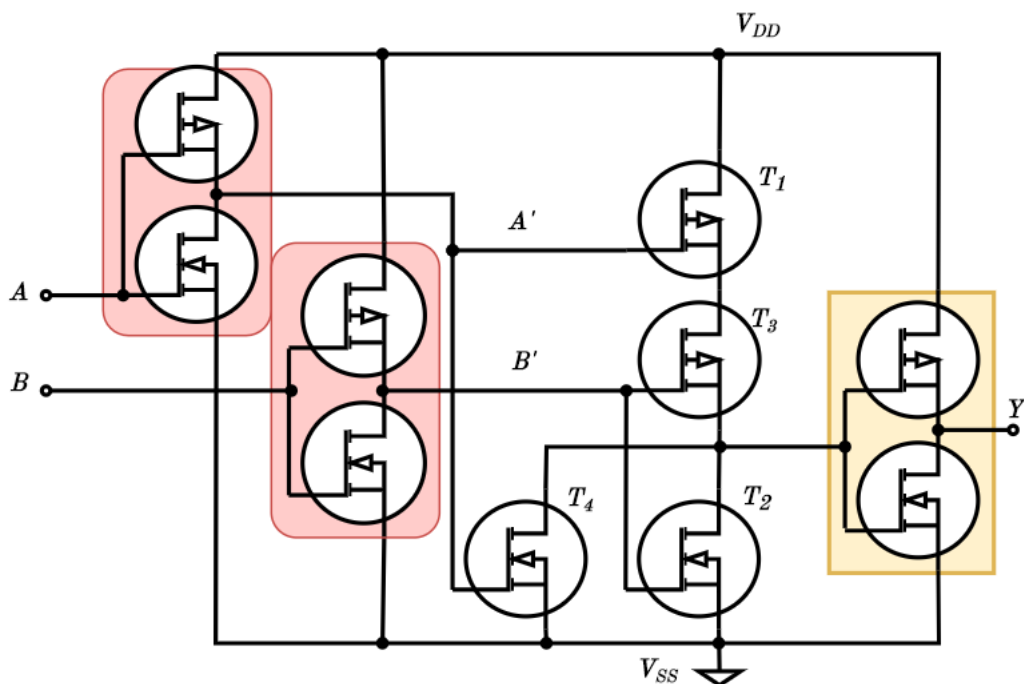
简单CMOS与非门电路的不足

- 与非门输出电阻 R_o 受输入端状态影响
 - $A = 1, B = 1$ 时, $R_o = R_{oN2} + R_{oN4} = 2R_{oN}$
 - $A = 0, B = 0$ 时, $R_o = R_{oN1} // R_{oN3} = 0.5R_{oN}$
 - $A = 0, B = 1$ 时, $R_o = R_{oN1} = R_{oN}$
 - $A = 1, B = 0$ 时, $R_o = R_{oN3} = R_{oN}$
- 输出的高低电平受输入端数目影响
 - 输入端数目愈多, 输出为低电平时串联的导通电阻越多, 低电平 V_{OL} 越高; 输出为高电平时, 并联电阻也多, 输出高电平 V_{OH} 也提高
- 输入端工作状态不同对电压传输特性也有影响
 - 使 T_2 、 T_4 达到开启电压时, 输入电压不同



解决方法：在门电路的每个输入端、输出端各增设一级反相器，称为**缓冲器**

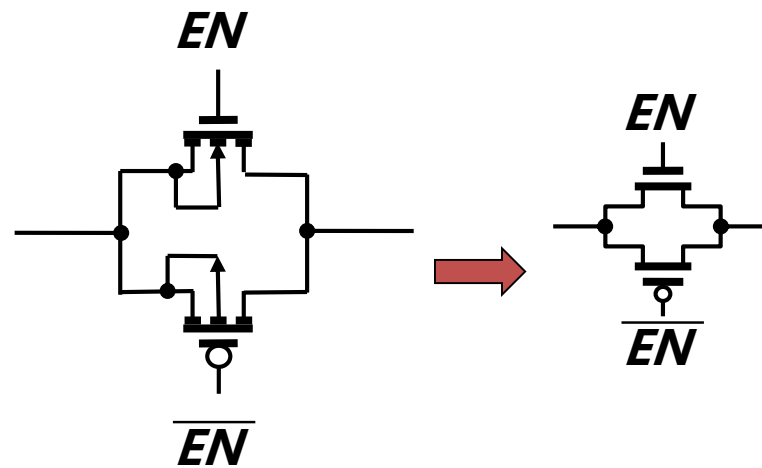
带缓冲器的CMOS门电路



- 输出逻辑函数: $Y = ((A' + B'))' = (AB)'$
- 带缓冲级的CMOS门电路其输出电阻、输出高低电平均不受输入端状态的影响，电压传输特性更陡。

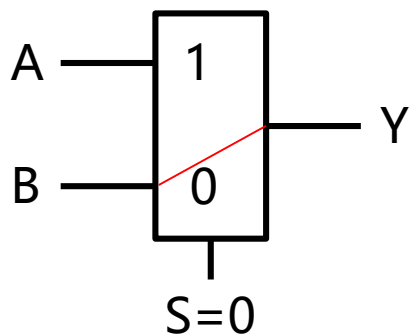
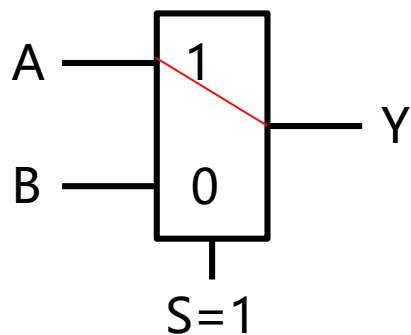
CMOS传输门(Transmission Gate)

- 传输门是用CMOS器件搭建 “Switch”，进而实现逻辑电路的方法
- 通常，两种FET都需要
 - NFET：用于传输 “0”
 - PFET：用于传输 “1”
- 传输门可双向工作，这点与逻辑门不同



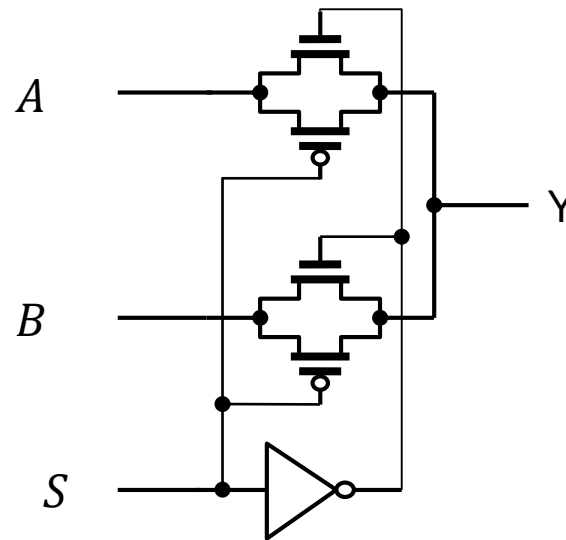
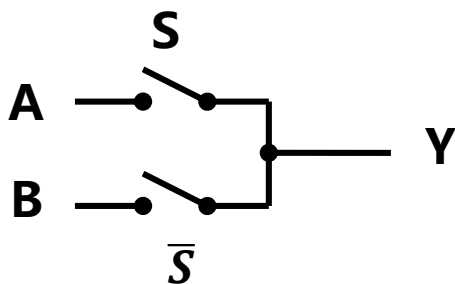
- 传输门不直接连接电源(V_{DD})和地(GND)
- 一般与其他门电路或缓冲器配合使用，可以简化逻辑电路实现

传输门实现多路选择器(Multiplexor)

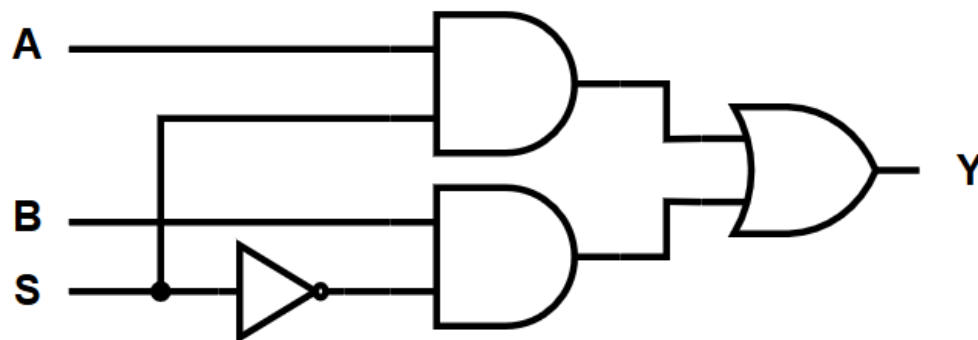


2输入选择器: $C = SA + \bar{S}B$

采用传输门可以简化电路实现

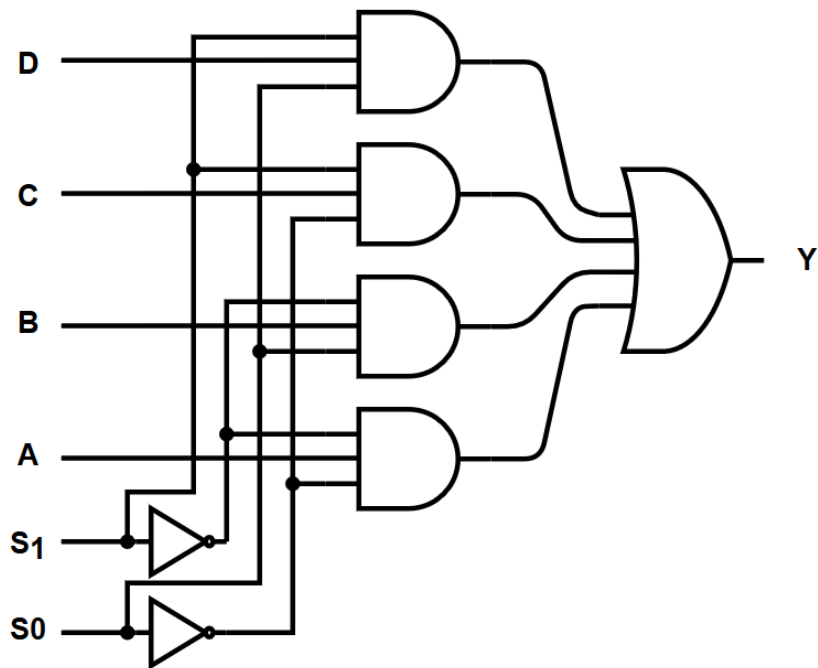


比较传输门实现与普通门电路实现晶体管数

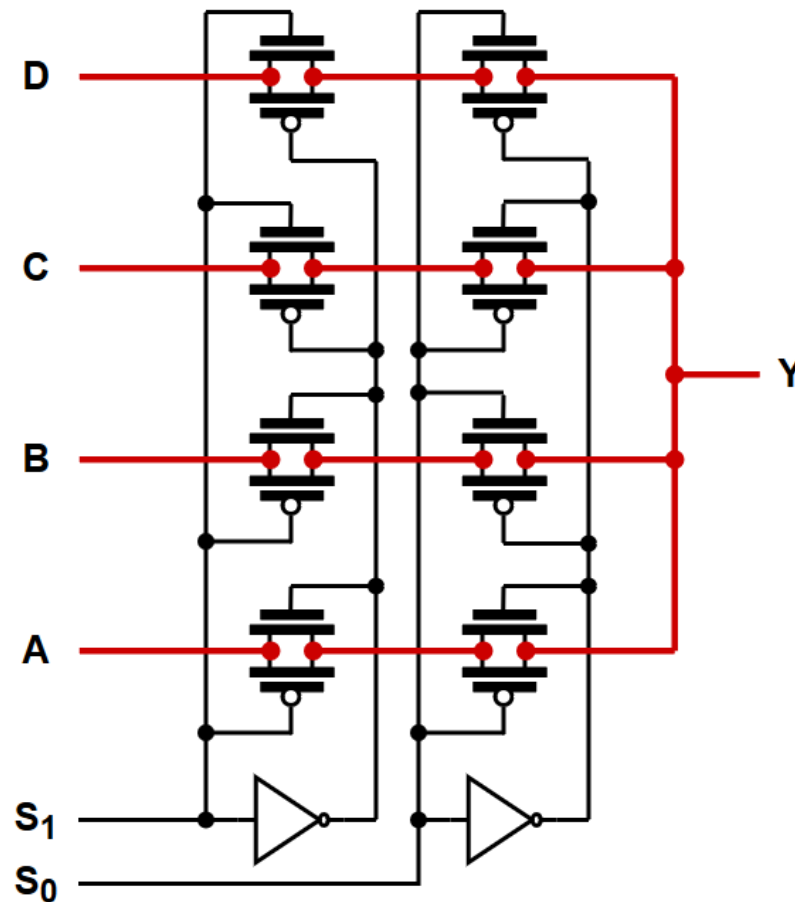


4-1 传输门多路选择器

$$Y = \overline{S_1} \cdot \overline{S_0} \cdot A + \overline{S_1} S_0 \cdot B + S_1 \overline{S_0} \cdot C + S_1 S_0 \cdot D$$



比较传输门和门电路实现的硬件开销

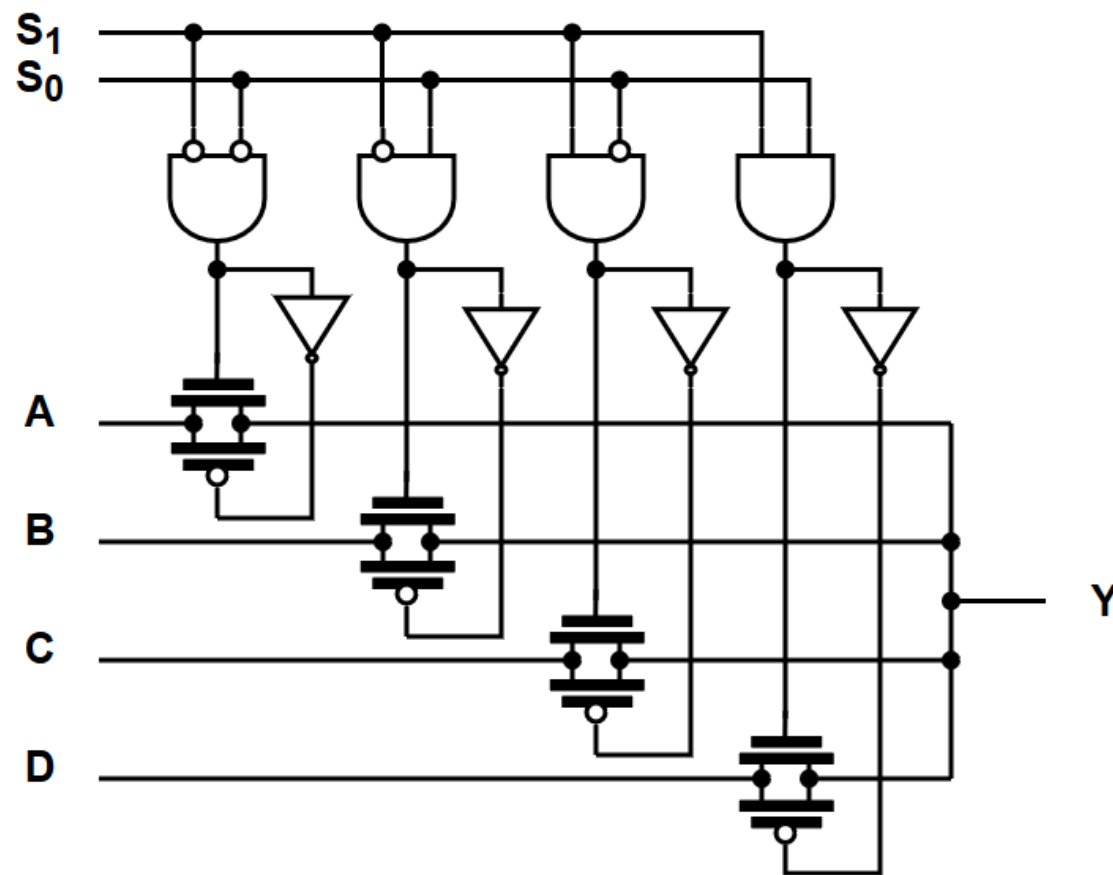


S₁选择第1级开启的传输门
S₀选择第2级开启的传输门

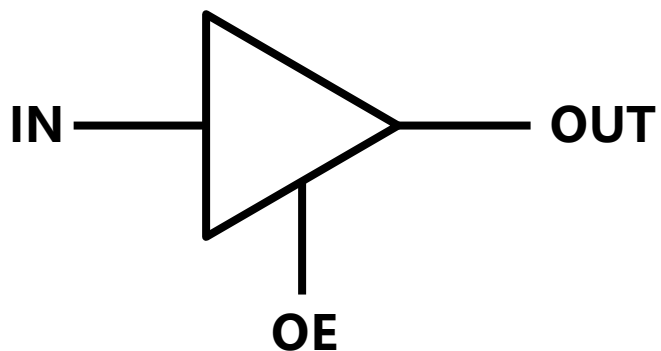
4-1 多路选择器传输门的另一种实现

这种实现方式输入到输出间的
延迟时间短

两种实现方式都需要避免多个选
择通路同时开启的情况，会导致
输入端联通

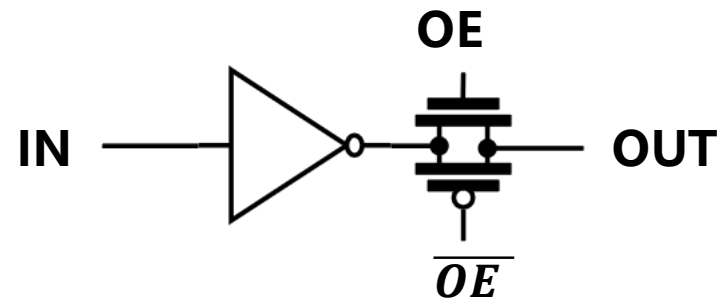


三态缓冲器(Tri-State Buffers)



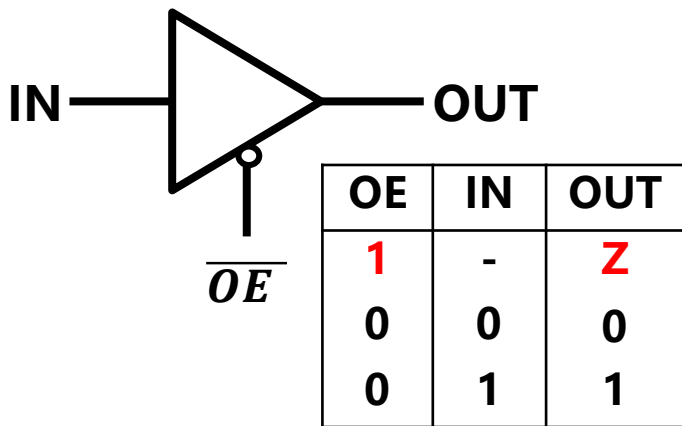
OE	IN	OUT
0	0	Z
0	1	Z
1	0	0
1	1	1

高阻状态，输出端不连接



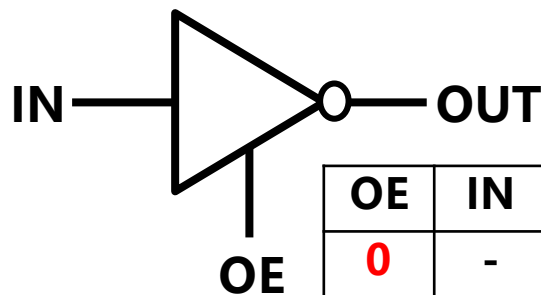
传输门在三态缓冲器实现中很关键

各种不同的三态缓冲器



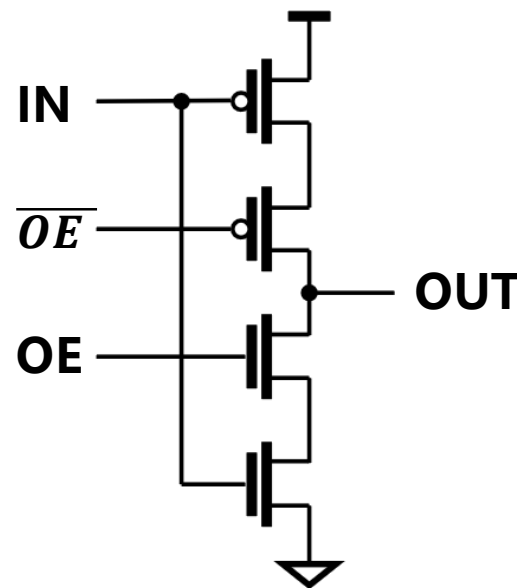
OE	IN	OUT
1	-	Z
0	0	0
0	1	1

允许反向三态缓冲器



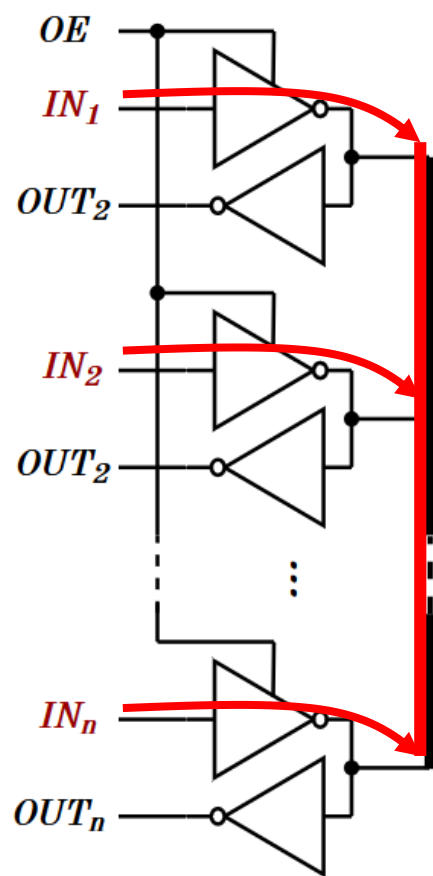
OE	IN	OUT
0	-	Z
1	0	1
1	1	0

输出反向三态缓冲器



三态缓冲器应用

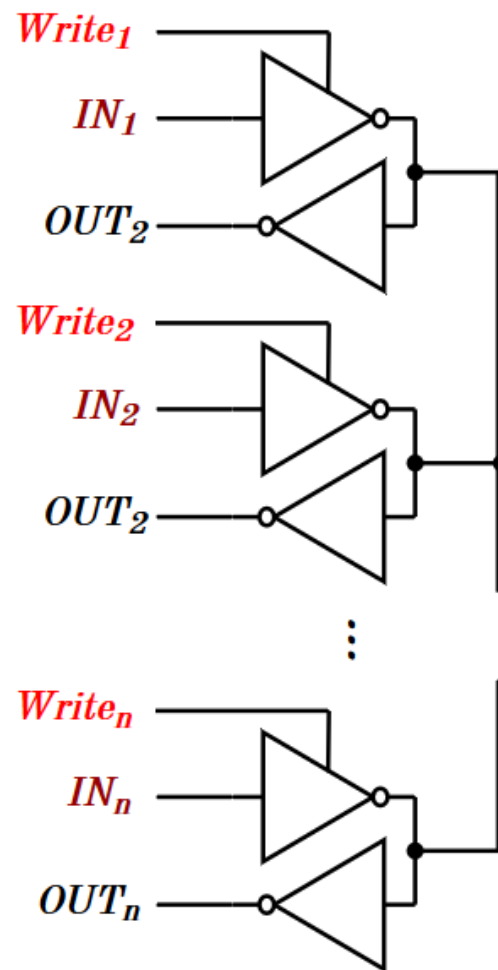
三态缓冲器实现总线的双向数据传输



$OE = 1$ 时，输出三态门打开，可以把输入数据放到总线上

$OE = 0$ 时，输出三态门关闭，可以把总线上的数据接收到内部逻辑

多路输出分时共享一组总线数据通路

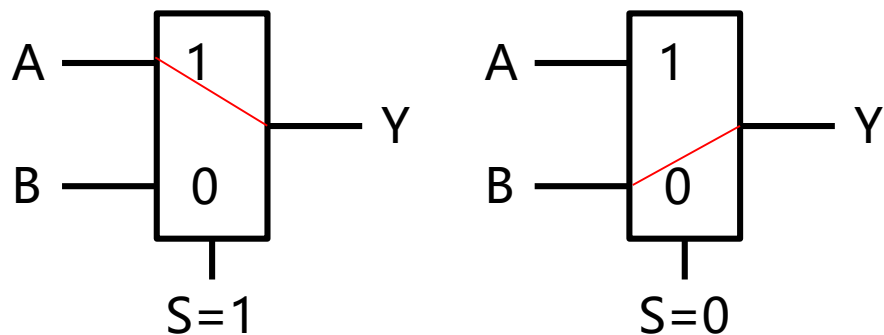


$Write_1 \sim Write_n$ 为输出控制信号，任何时刻只能一个有效，打开相应的三态门，使其数据在总线上传输

任何时刻，总线只能被一个输出驱动

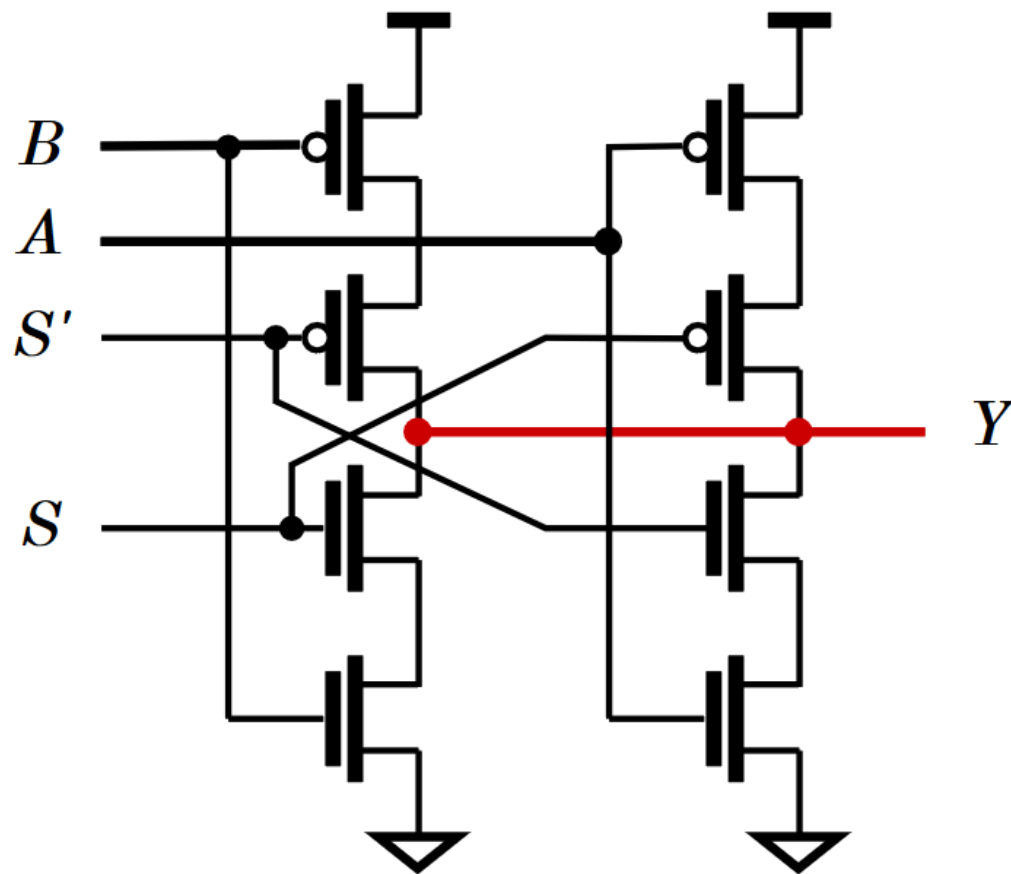
连在总线上的输入电路可以侦听总线

用三态门实现多路选择器



2输入选择器: $C = SA + \bar{S}B$

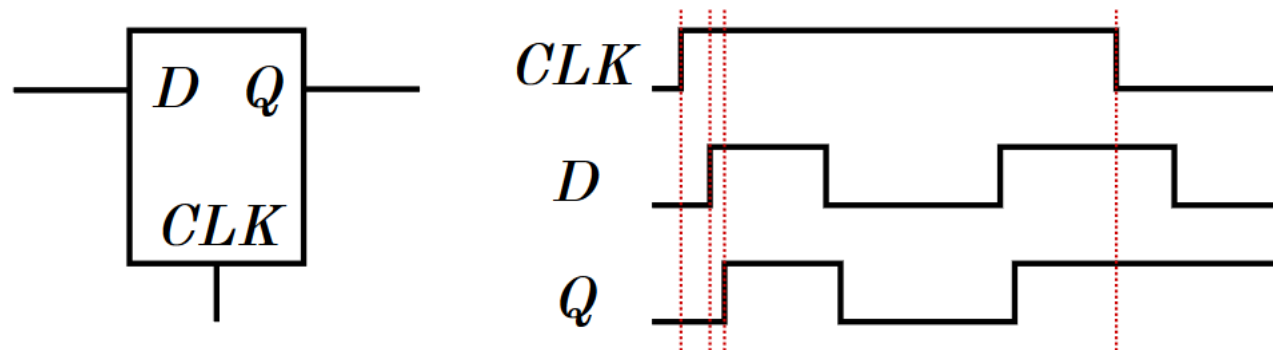
- 用两个三态门
- 输入端分别连接A, B
- 输出端连在一起, 形成选择器输出
- 输出允许信号交叉连接



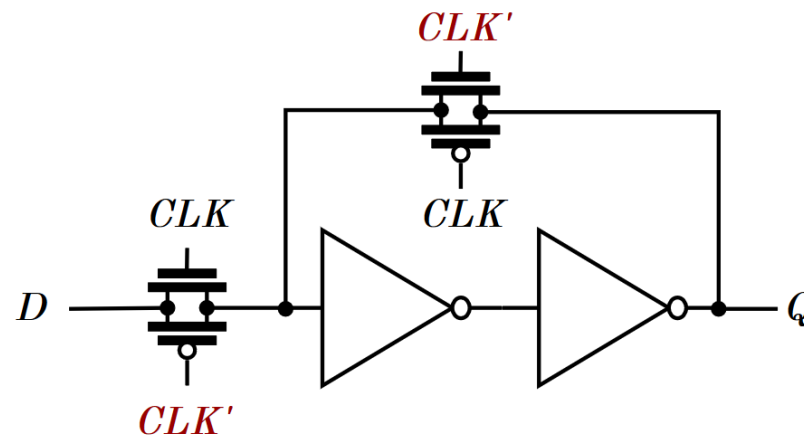
问题: 如何使用3态门, 构成4路或更多路选择器?

锁存器(Latch)和触发器(Flip-Flop)

正向电平敏感锁存器

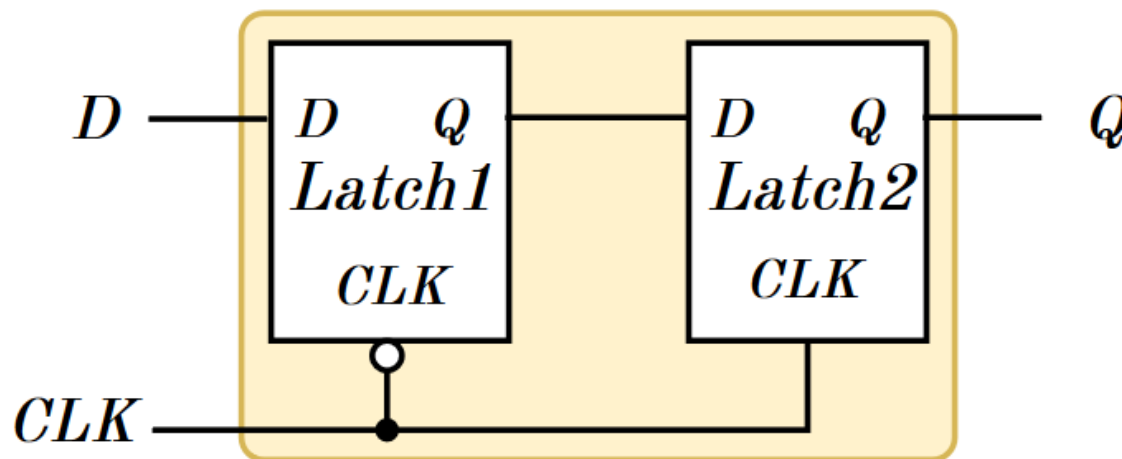


正向电平敏感锁存器电路实现



采用2个电平敏感锁存器，构成正向边沿触发触发器

1. CLK 为低期间，Latch1把 D 锁存在 Q
2. CLK 从低变高后的很短时间，Latch2把Latch1的输出所存到 Q
3. 整体上看，在 CLK 的上升沿，把 D 在 $CLK \uparrow$ 前的值锁存在了 Q 端



小结

- CMOS

- 使用NFETs作为下拉，PFETs作为上拉，MOSFETs是电压控制 “开关”
- 串联/并联的上拉和下拉开关电路是互补的
- CMOS门天然具有反向功能，输入端的电平上升变化，会引发输出端的电平下降变化
- “完美” 的电压转移特性(VTC) (高增益、 $V_{OH} = V_{DD}$, $V_{OL} = GND$) 意味着：噪声容限大，静态功耗为 “0”

问题和建议?

