



# 数字电路实验课程讲义

2021-10

## 目录

实验 1、熟悉 vivado 环境.....	1
附加实验一 .....	18
附加实验二 .....	18
实验报告模板 .....	19

# 实验 1、熟悉 vivado 环境

## 实验目标：

- 1、熟悉 vivado 设计流程
- 2、掌握利用 vivado 创建设计的方法
- 3、掌握编写 testbench 的方法，以及行为仿真方法

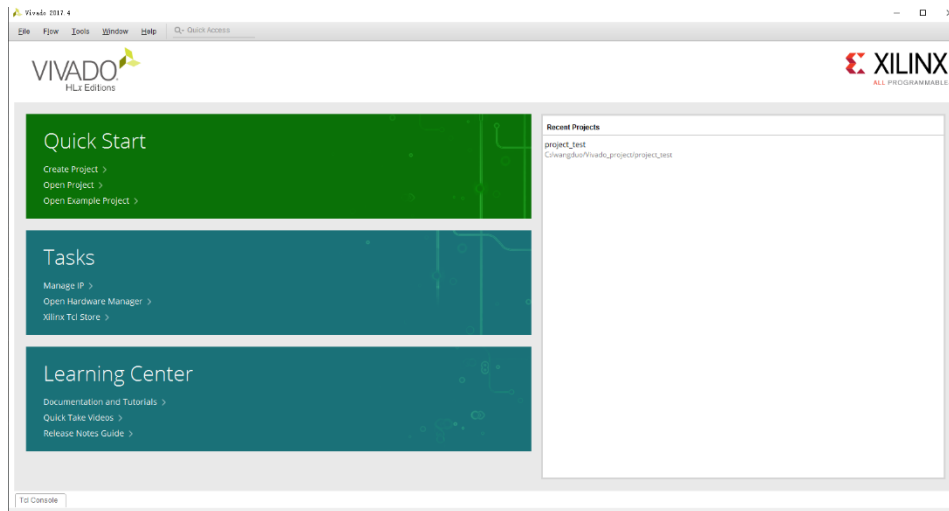
## 实验内容：

Vivado 设计流程

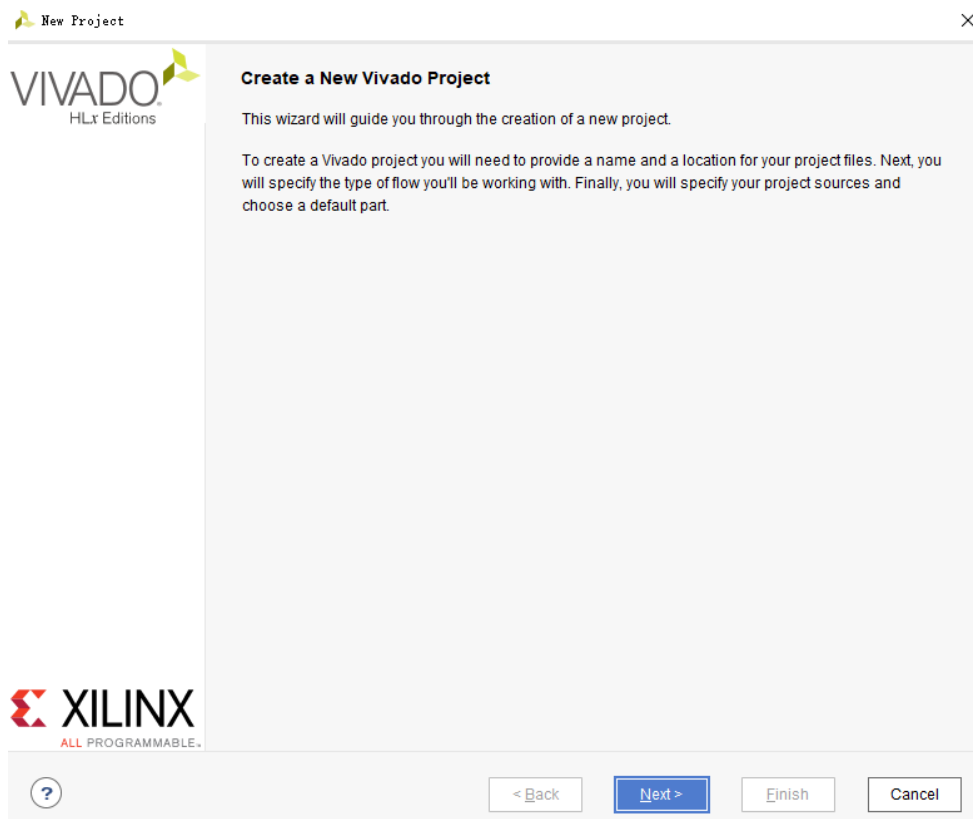


### 一、新建工程

1、打开 Vivado 2017.4 开发工具，可通过桌面快捷方式或开始菜单打开软件，开启后，软件如下所示：

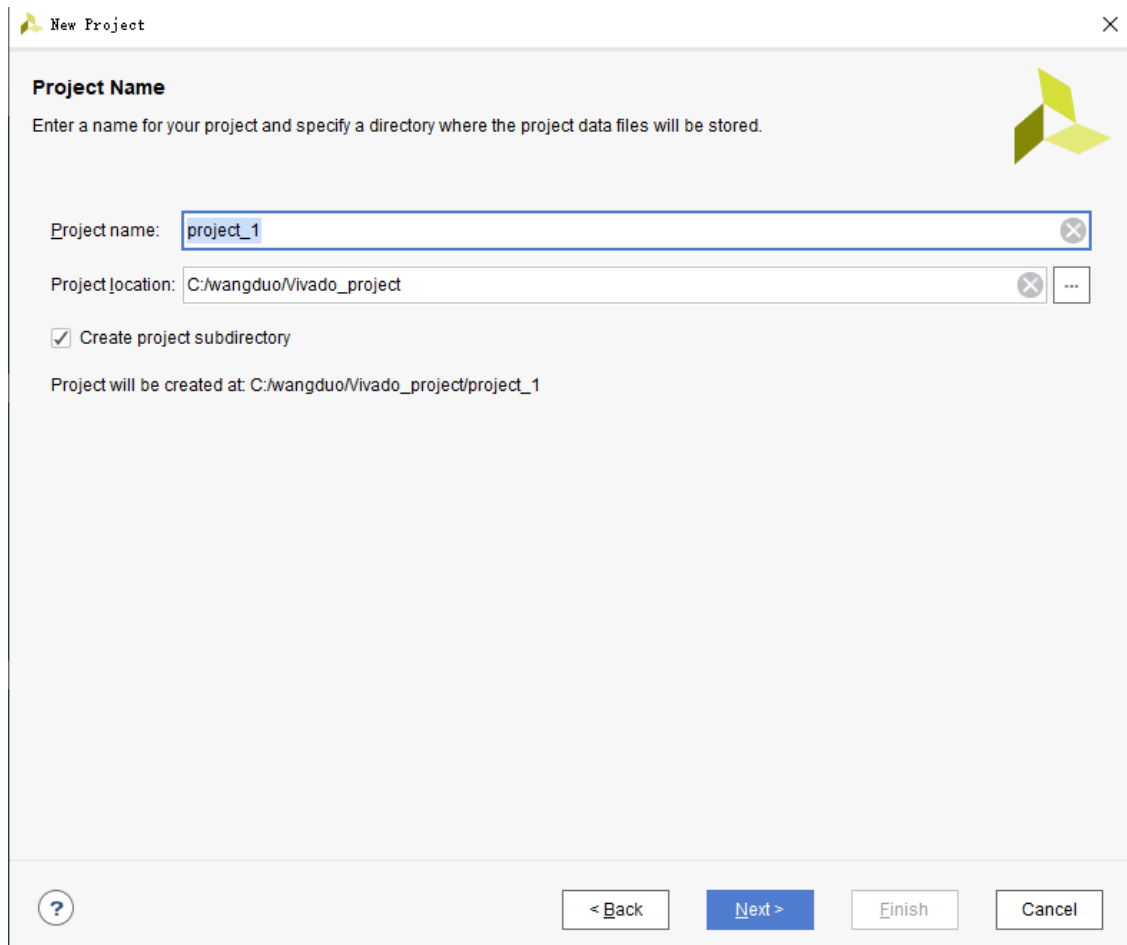


2、单击上述界面中 **Create Project**，弹出新建工程向导，点击 **Next**。



3、输入工程名称、选择工程存储路径，并勾选 **Create project subdirectory** 选项，为工程在指定存储路径下建立独立的文件夹。设置完成后，点击 **Next**。

注意：工程名称和存储路径中不能出现中文和空格，建议工程名称以字母、数字、下划线来组成。如 **dgsah\_3212**



The image shows the 'New Project' dialog box in Vivado. The title bar says 'New Project' with a close button. The main area is titled 'Project Name' and contains the instruction: 'Enter a name for your project and specify a directory where the project data files will be stored.' There is a text field for 'Project name:' containing 'project\_1' and a text field for 'Project location:' containing 'C:/wangduo/Vivado\_project'. Below these is a checkbox labeled 'Create project subdirectory' which is checked. A summary line states 'Project will be created at: C:/wangduo/Vivado\_project/project\_1'. At the bottom, there is a help icon (question mark in a circle) and four buttons: '< Back', 'Next >' (highlighted in blue), 'Finish', and 'Cancel'.

**New Project**

**Project Name**

Enter a name for your project and specify a directory where the project data files will be stored.

Project name:

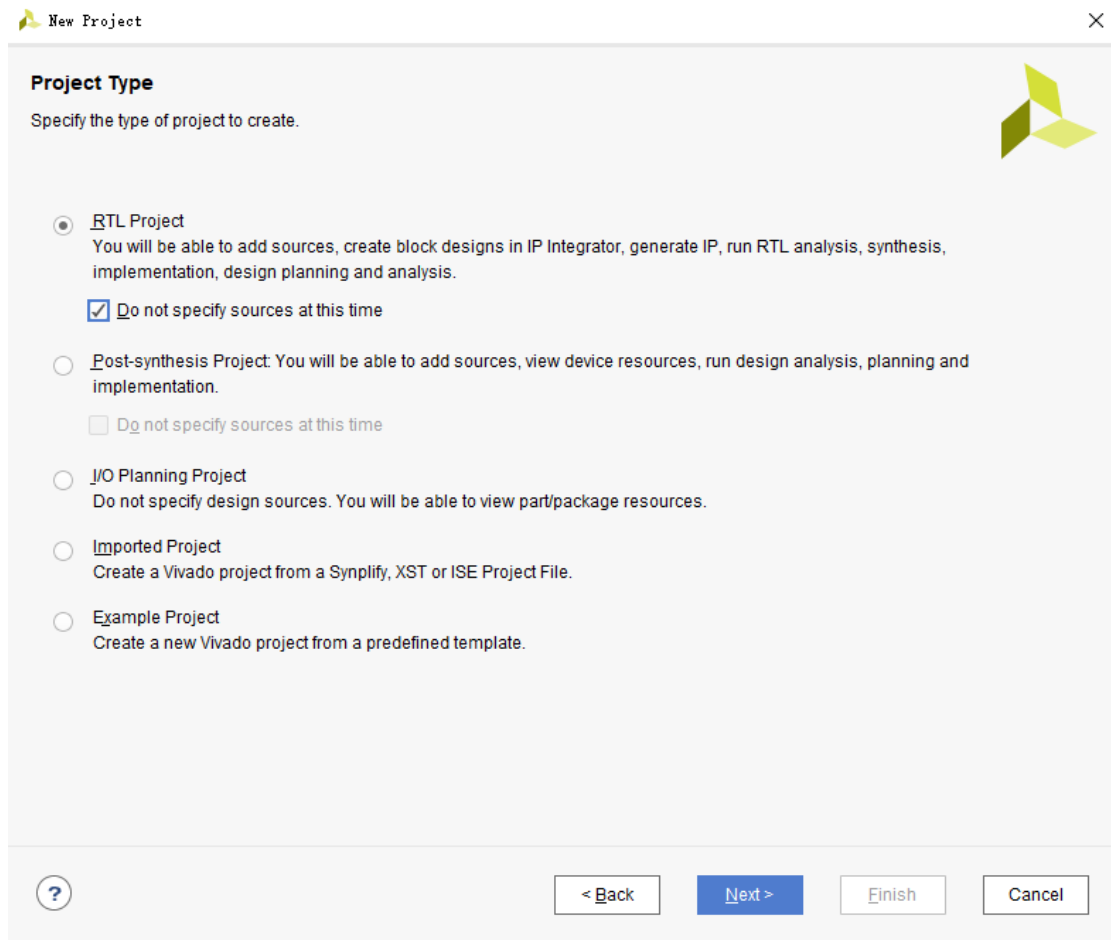
Project location:

☒ Create project subdirectory

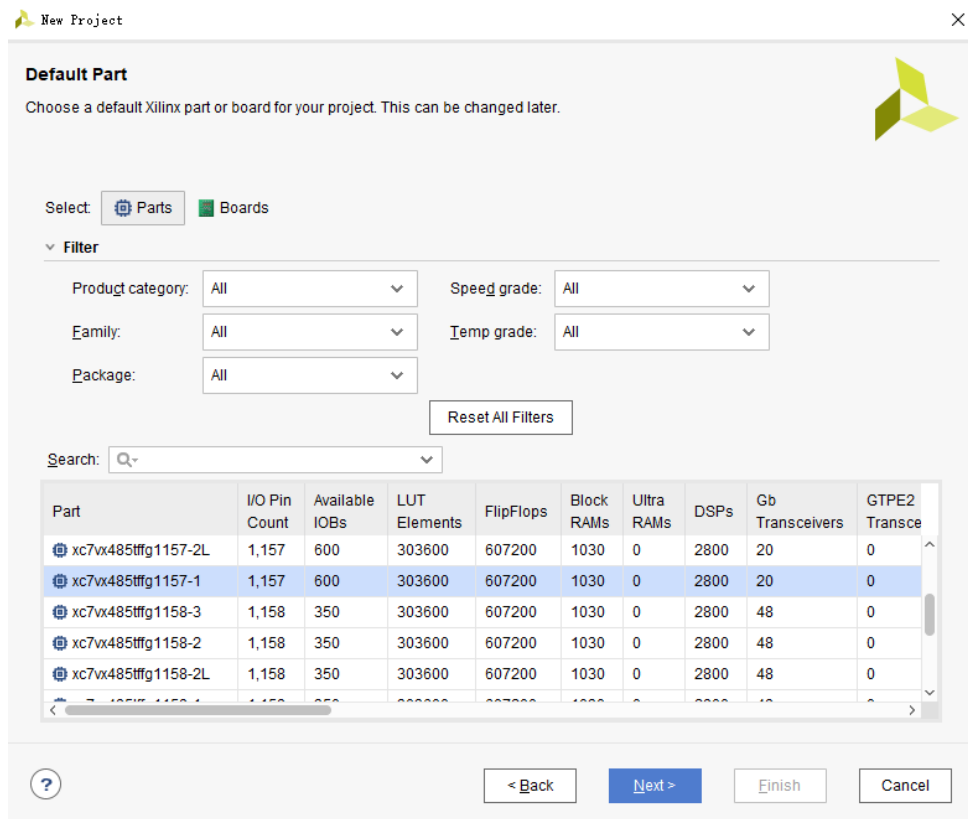
Project will be created at: C:/wangduo/Vivado\_project/project\_1

? < Back Next > Finish Cancel

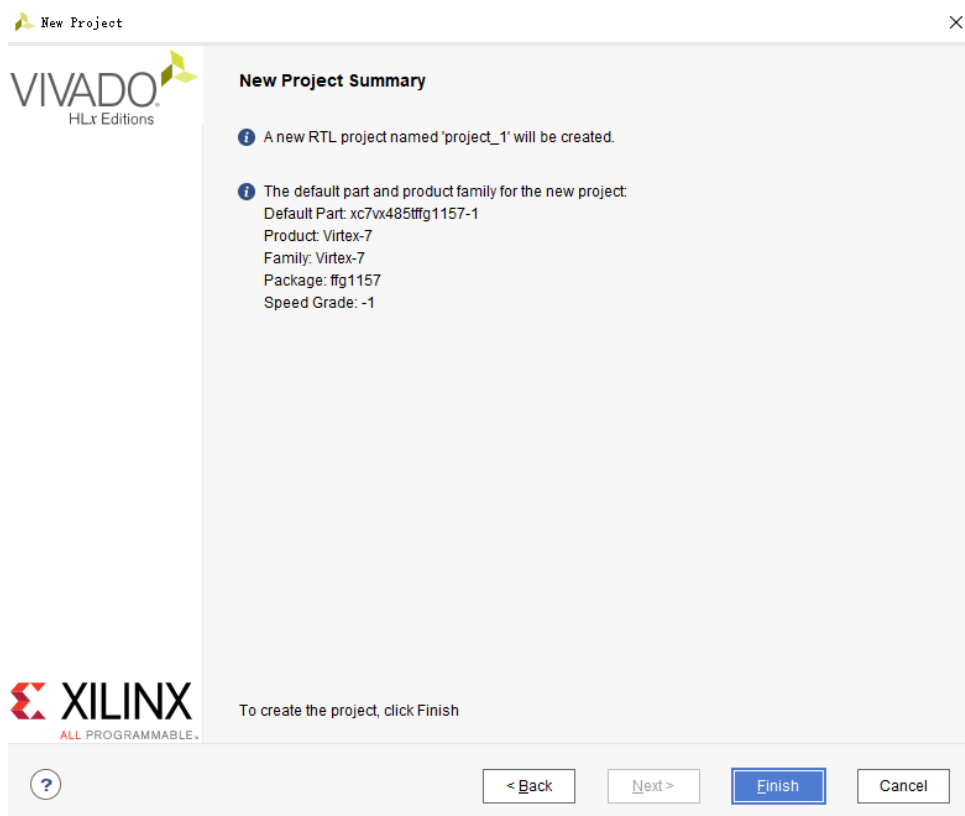
4、选择 RTL Project 一项，并勾选 Do not specify sources at this time，勾选该选项是为了跳过在新建工程的过程中添加设计源文件。点击 Next。



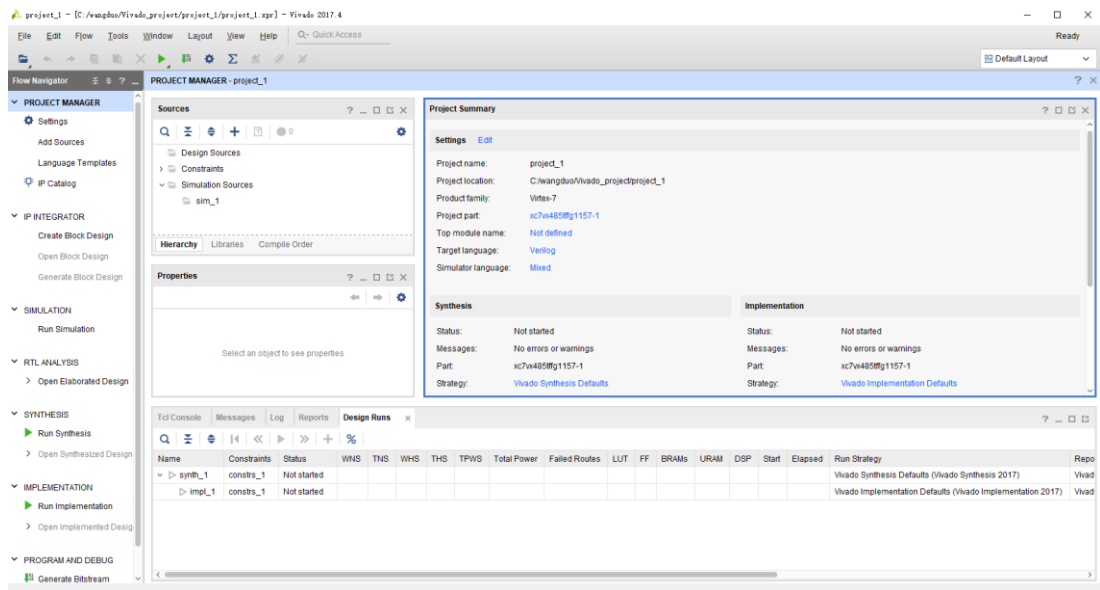
5、根据使用的 FPGA 开发平台，选择对应的 FPGA 目标器件。在本手册中，用默认的设置就行。点击 Next。



6、确认相关信息与设计所用的的 FPGA 器件信息是否一致，一致请点击 Finish，不一致，请返回上一步修改。

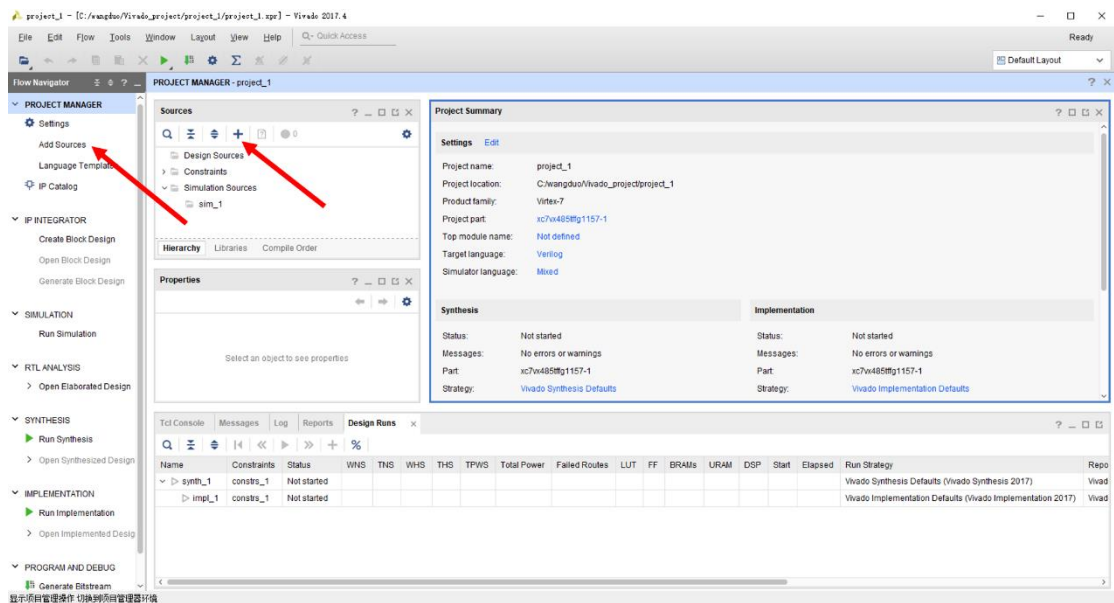


7、得到如下的空白 Vivado 工程界面，完成空白工程新建。

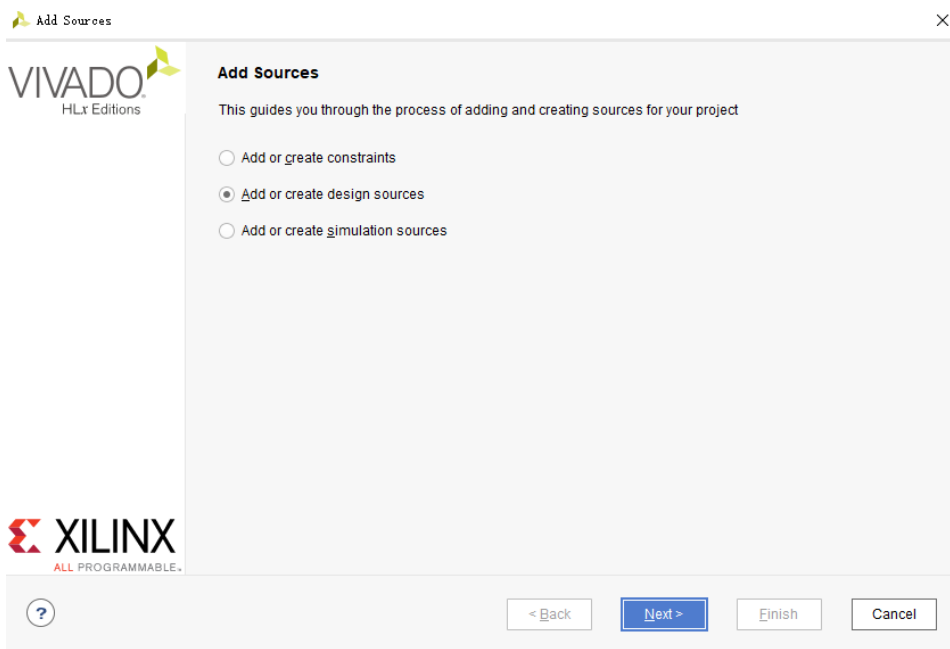


## 二、设计文件输入

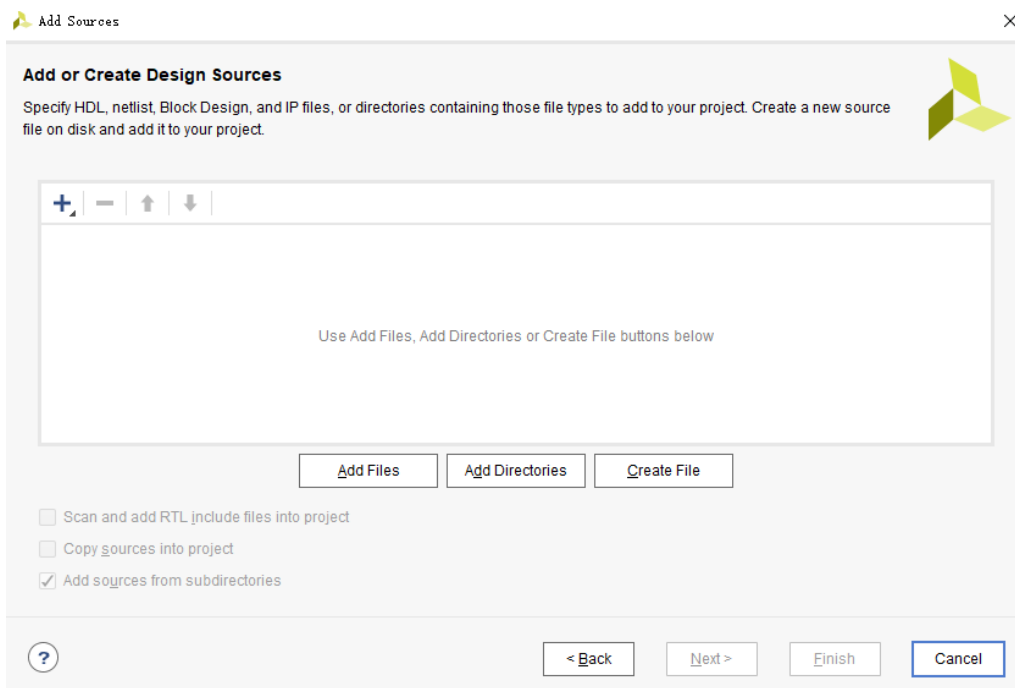
1、如下图所示，点击 Flow Navigator 下的 Project Manager->Add Sources 或中间 Sources 中的对话框打开设计文件导入添加对话框。



2、选择第二项 Add or Create Design Sources，用来添加或新建 Verilog 或 VHDL 源文件，点击 Next。

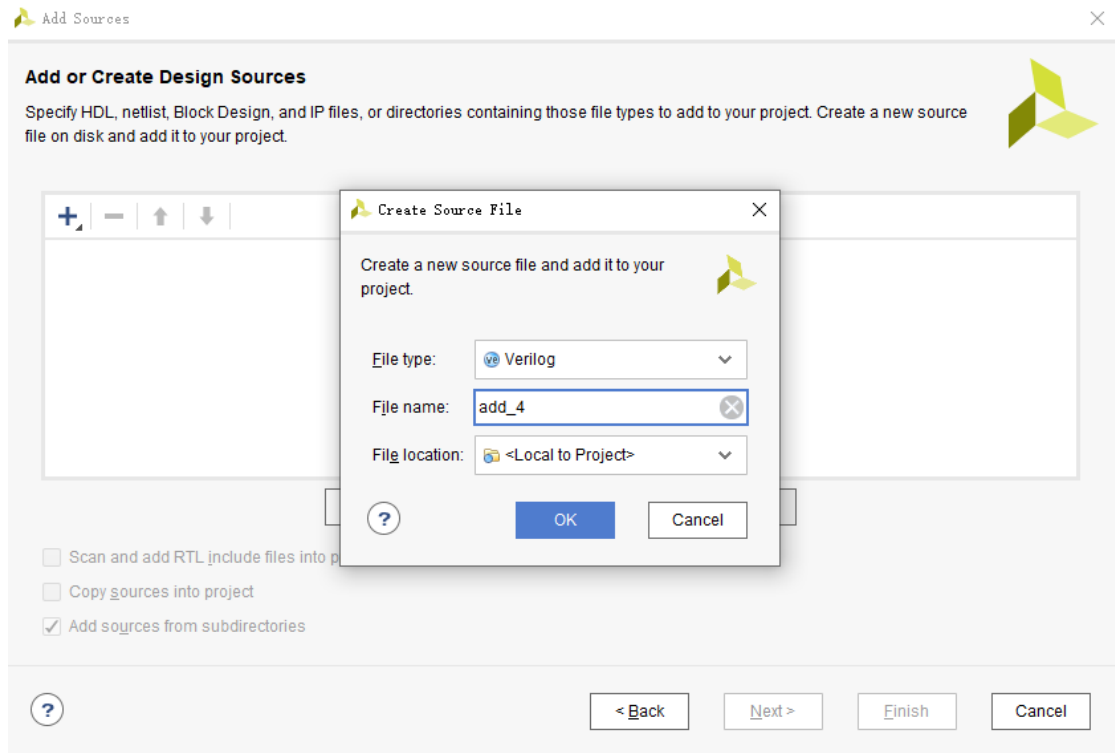


3、如果有现有的 .v/.vhd 文件，可以通过 Add Files 一项添加。在这里，我们要新建文件，所以选择 Create File 一项。

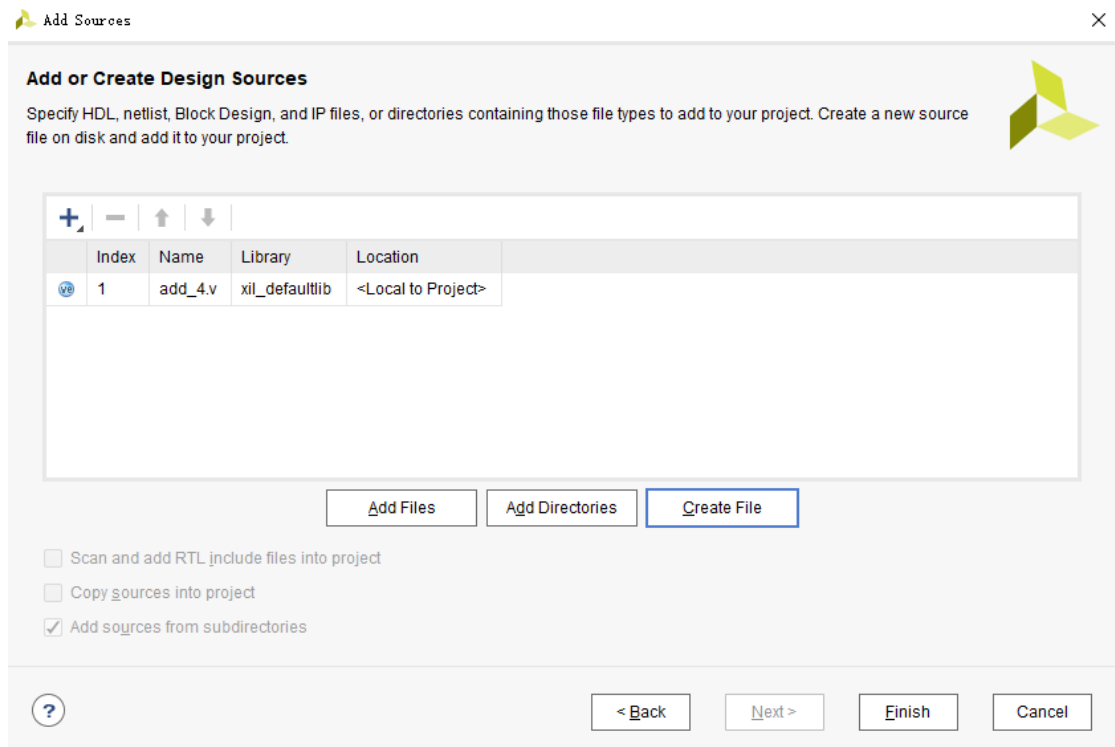


4、在 Create Source File 中输入 File Name (add\_4)，点击 OK。注：名称中不可出现中文和空格。



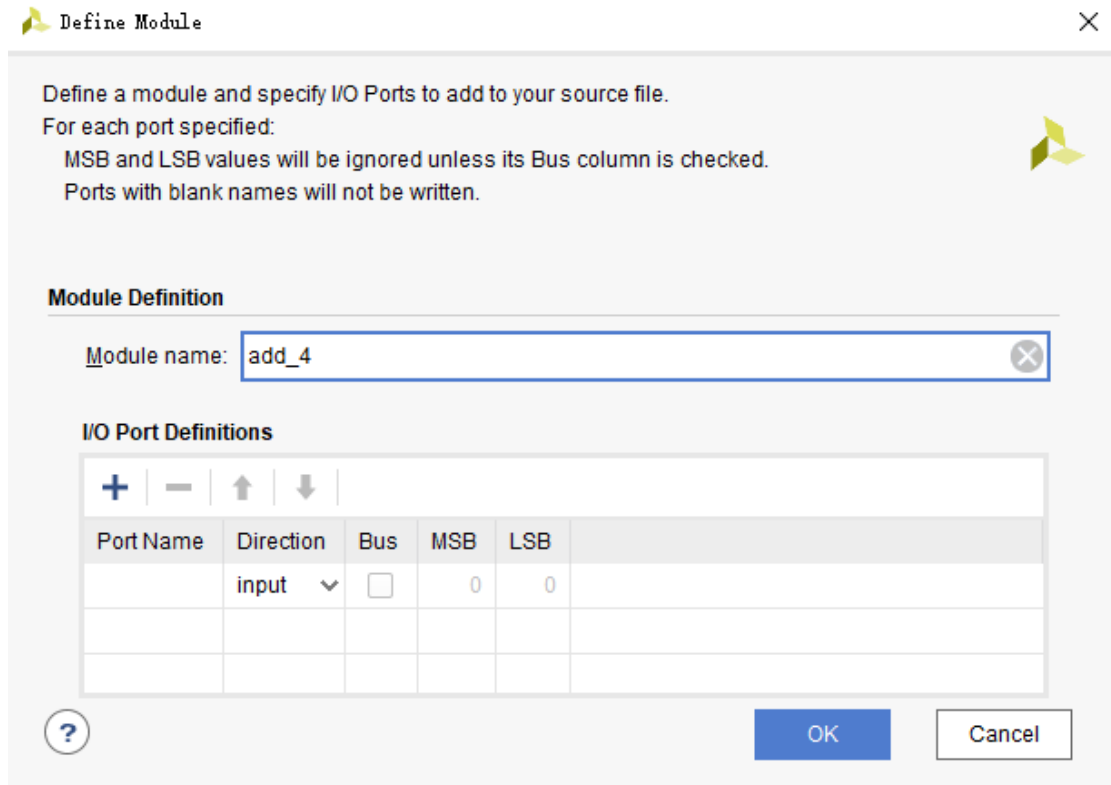


5、点击 Finish。



6、在弹出的 Define Module 中的 I/O Port Definition，输入设计模块所需的端口，并设

置端口方向，如果端口为总线型，勾选 **Bus** 选项，并通过 **MSB** 和 **LSB** 确定总线宽度（图中  $MSB=3, LSB=0$ ，则位宽为  $3-0+1=4$  位）。完成后点 **OK**。注：端口实际宽度与代码中一致，也可在代码中修改。端口的名称、位宽等信息应根据具体的电路填写。

The image shows a 'Define Module' dialog box. At the top, it says 'Define a module and specify I/O Ports to add to your source file.' and 'For each port specified: MSB and LSB values will be ignored unless its Bus column is checked. Ports with blank names will not be written.' Below this is the 'Module Definition' section with a text field for 'Module name:' containing 'add\_4'. The 'I/O Port Definitions' section contains a table with columns: Port Name, Direction, Bus, MSB, and LSB. The first row has 'input' in the Direction column, an unchecked checkbox in the Bus column, and '0' in both MSB and LSB columns. There are also buttons for adding (+), removing (-), and moving up/down ports, as well as 'OK' and 'Cancel' buttons at the bottom right.

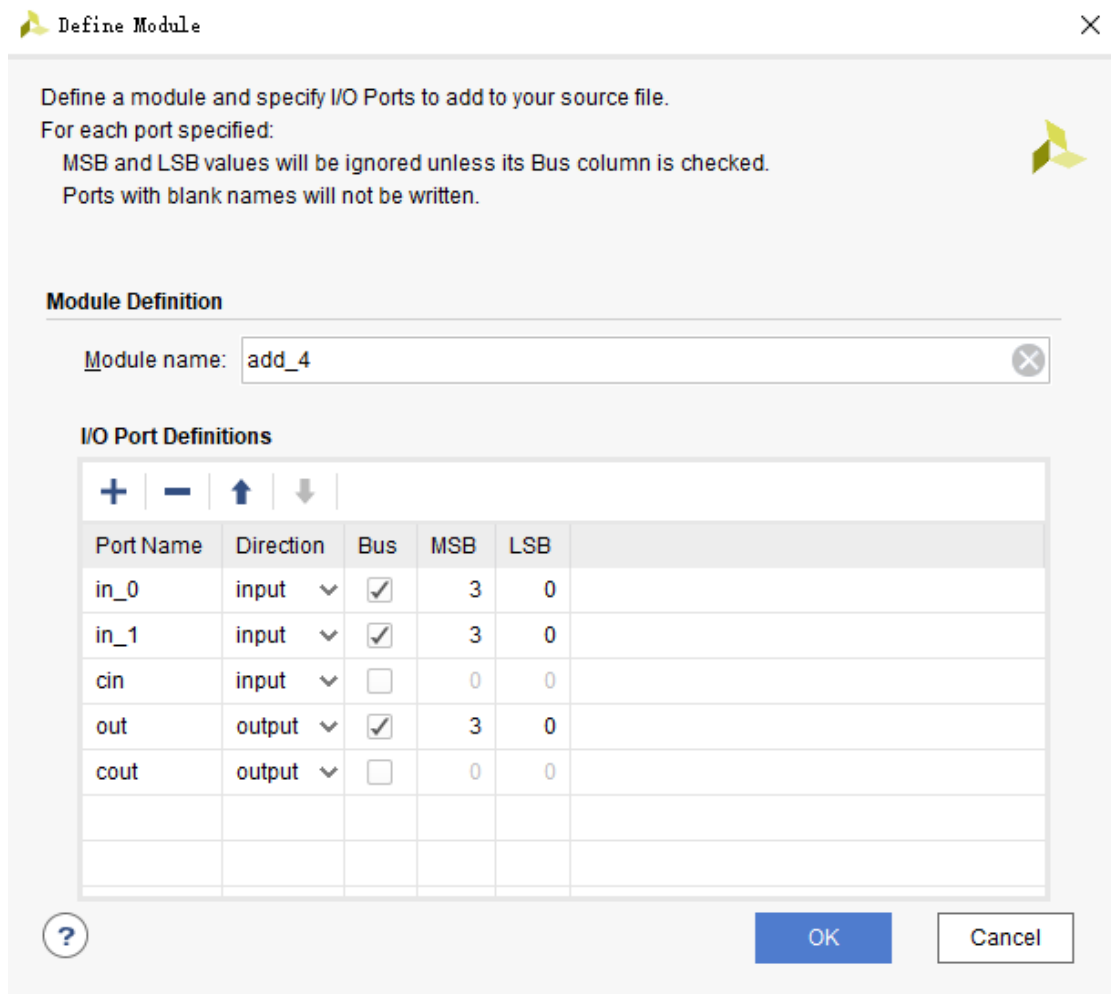
Define a module and specify I/O Ports to add to your source file.  
For each port specified:  
MSB and LSB values will be ignored unless its Bus column is checked.  
Ports with blank names will not be written.

**Module Definition**

Module name:

**I/O Port Definitions**

Port Name	Direction	Bus	MSB	LSB
	input	<input type="checkbox"/>	0	0

The image shows a 'Define Module' dialog box. At the top, it says 'Define a module and specify I/O Ports to add to your source file. For each port specified: MSB and LSB values will be ignored unless its Bus column is checked. Ports with blank names will not be written.' Below this is the 'Module Definition' section with a text field for 'Module name' containing 'add\_4'. The 'I/O Port Definitions' section contains a table with columns: Port Name, Direction, Bus, MSB, and LSB. The table has five rows of data: in\_0 (input, Bus checked, MSB 3, LSB 0), in\_1 (input, Bus checked, MSB 3, LSB 0), cin (input, Bus unchecked, MSB 0, LSB 0), out (output, Bus checked, MSB 3, LSB 0), and cout (output, Bus unchecked, MSB 0, LSB 0). There are also empty rows at the bottom. At the bottom of the dialog are buttons for '?', 'OK', and 'Cancel'.

Define a module and specify I/O Ports to add to your source file.  
For each port specified:  
MSB and LSB values will be ignored unless its Bus column is checked.  
Ports with blank names will not be written.

**Module Definition**

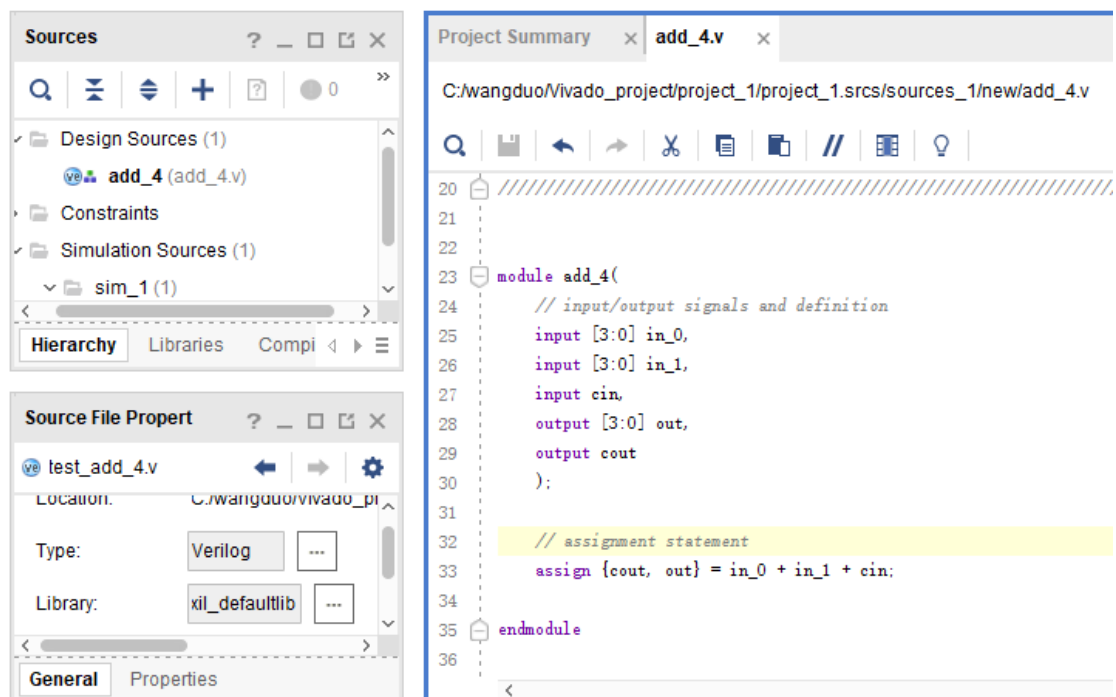
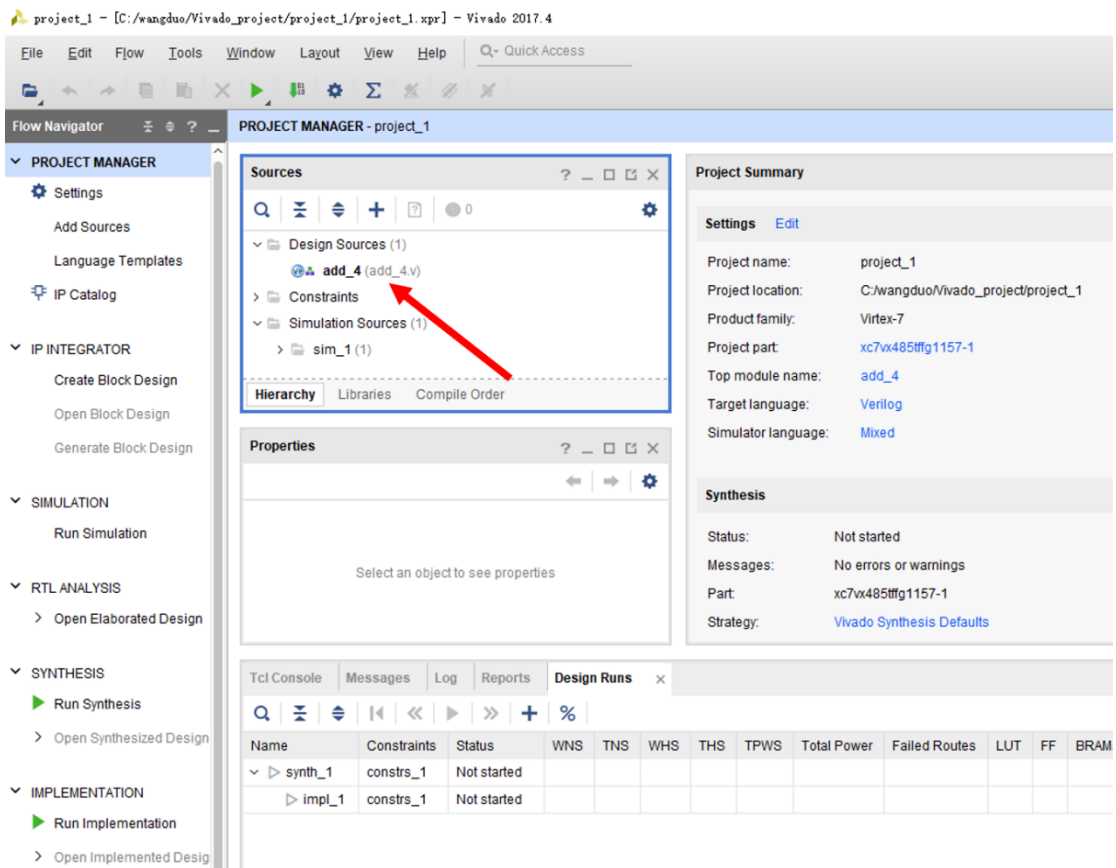
Module name:

**I/O Port Definitions**

Port Name	Direction	Bus	MSB	LSB
in_0	input	<input checked="" type="checkbox"/>	3	0
in_1	input	<input checked="" type="checkbox"/>	3	0
cin	input	<input type="checkbox"/>	0	0
out	output	<input checked="" type="checkbox"/>	3	0
cout	output	<input type="checkbox"/>	0	0

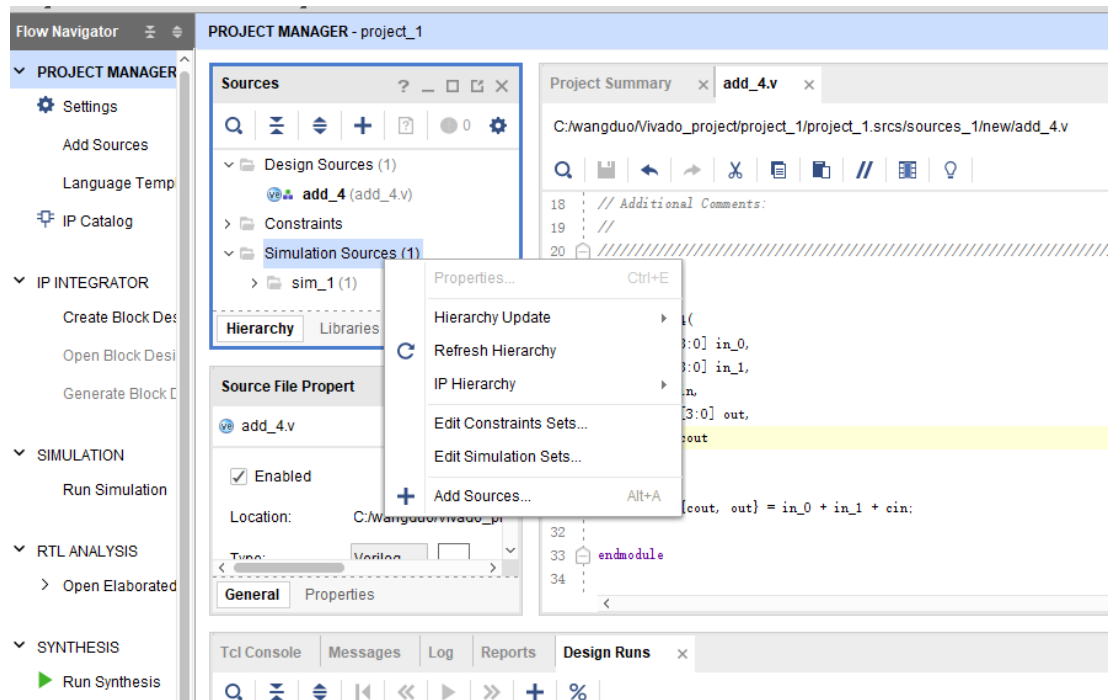
? OK Cancel

7、新建的设计文件（此处为 add\_4.v）即存在于 Sources 中的 Design Sources 中。双击打开该文件，输入相应的设计代码。

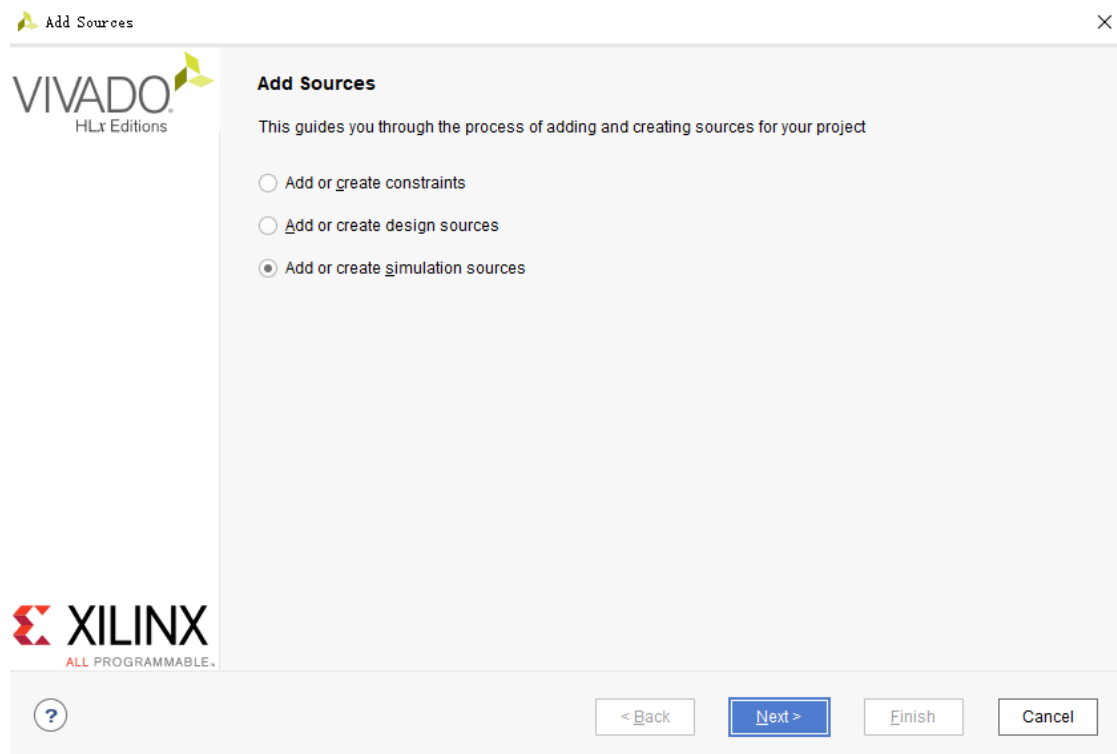


### 三、 利用 Vivado 进行功能仿真

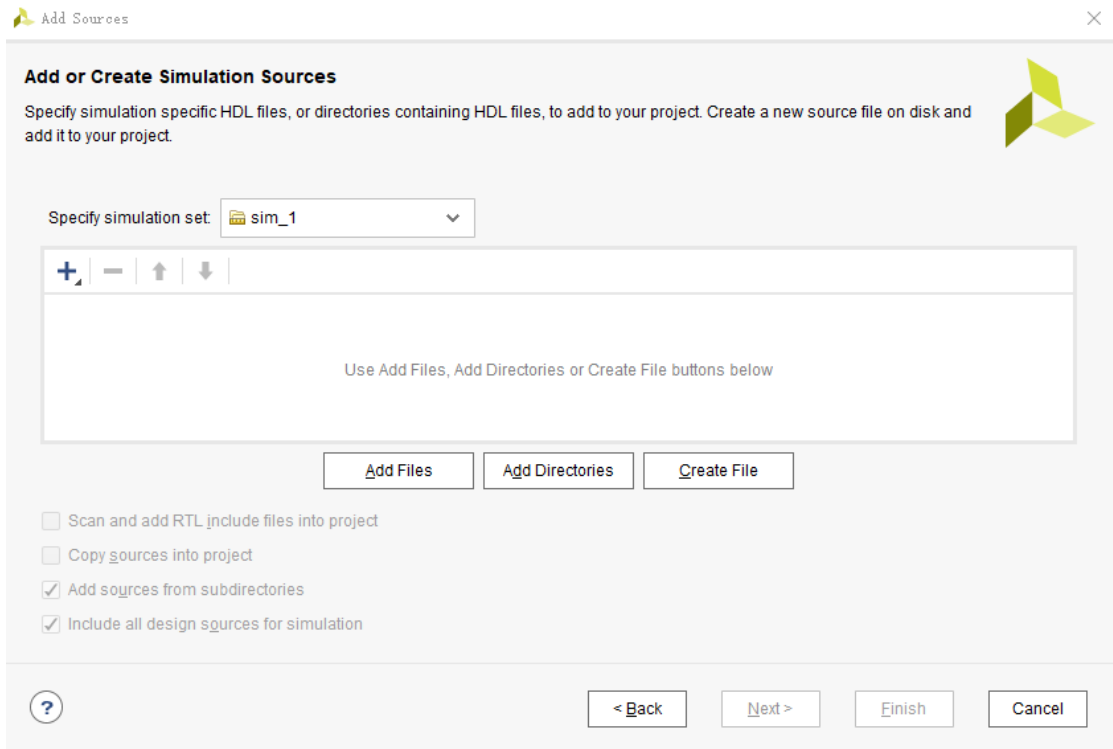
- 1、 创建激励测试文件，在 Source 中右击选择 Add Source。



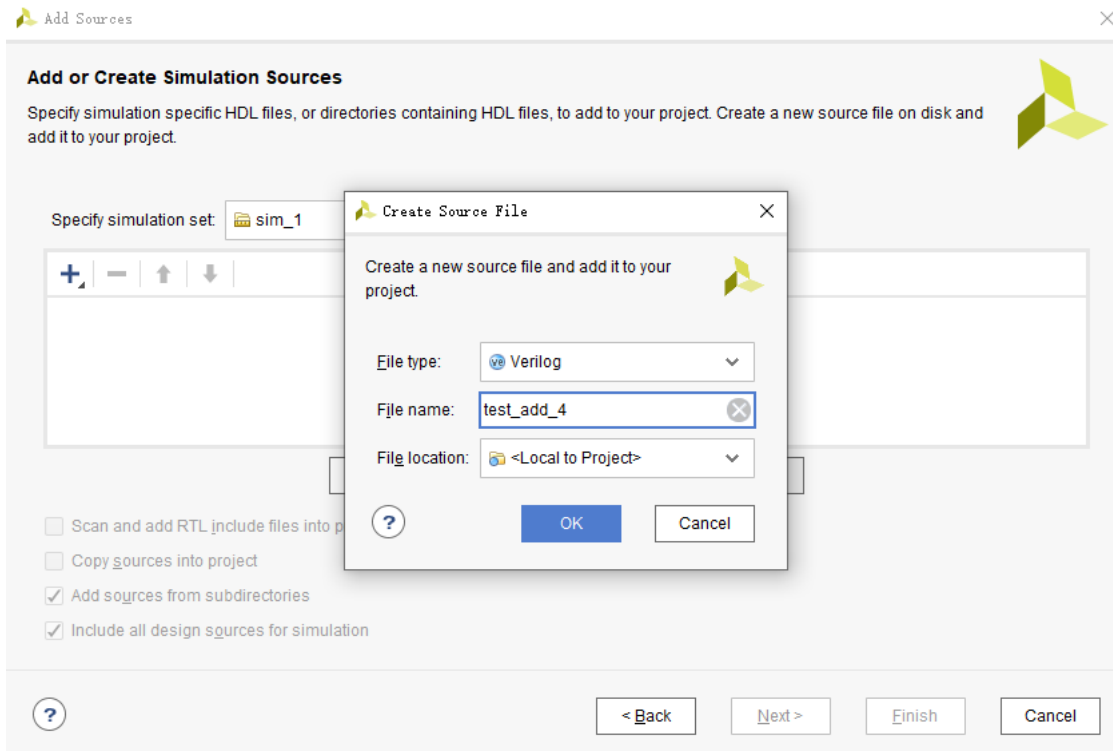
2、在 Add Source 界面中选择第三项 Add or Create Simulation Source,点击 Next。



3、选择 Create File 创建一个仿真激励文件

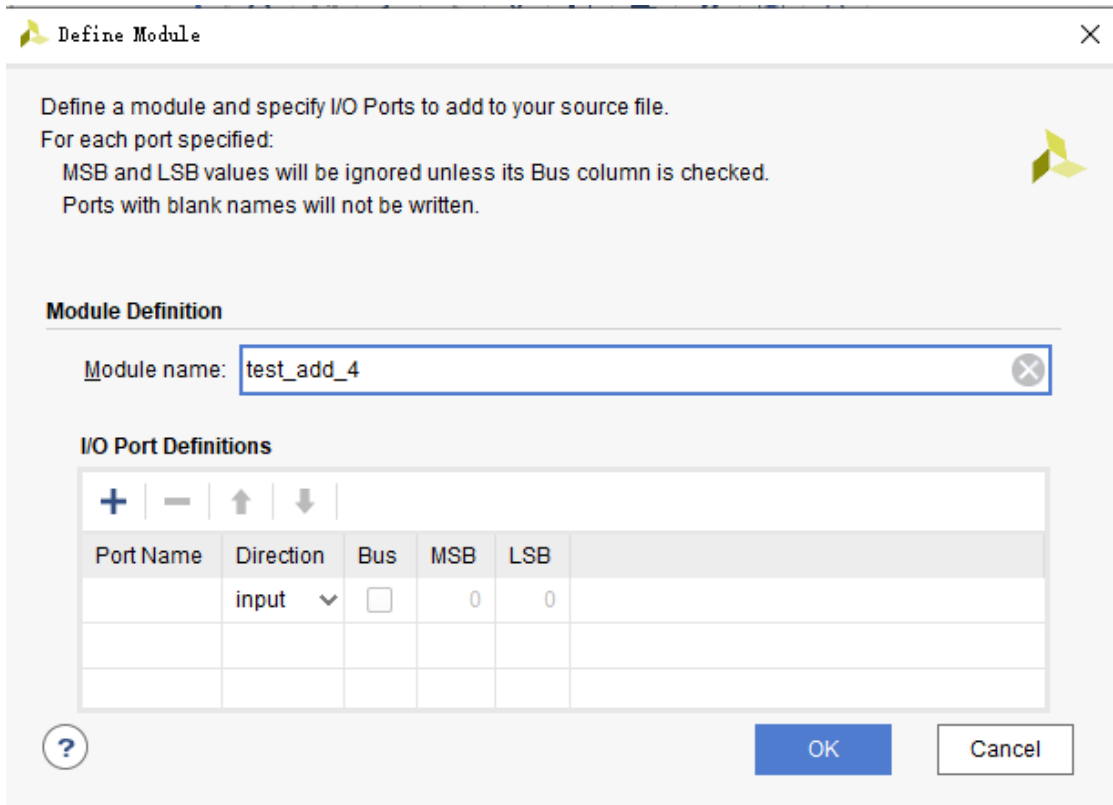


4、输入激励文件名称，点击 OK。

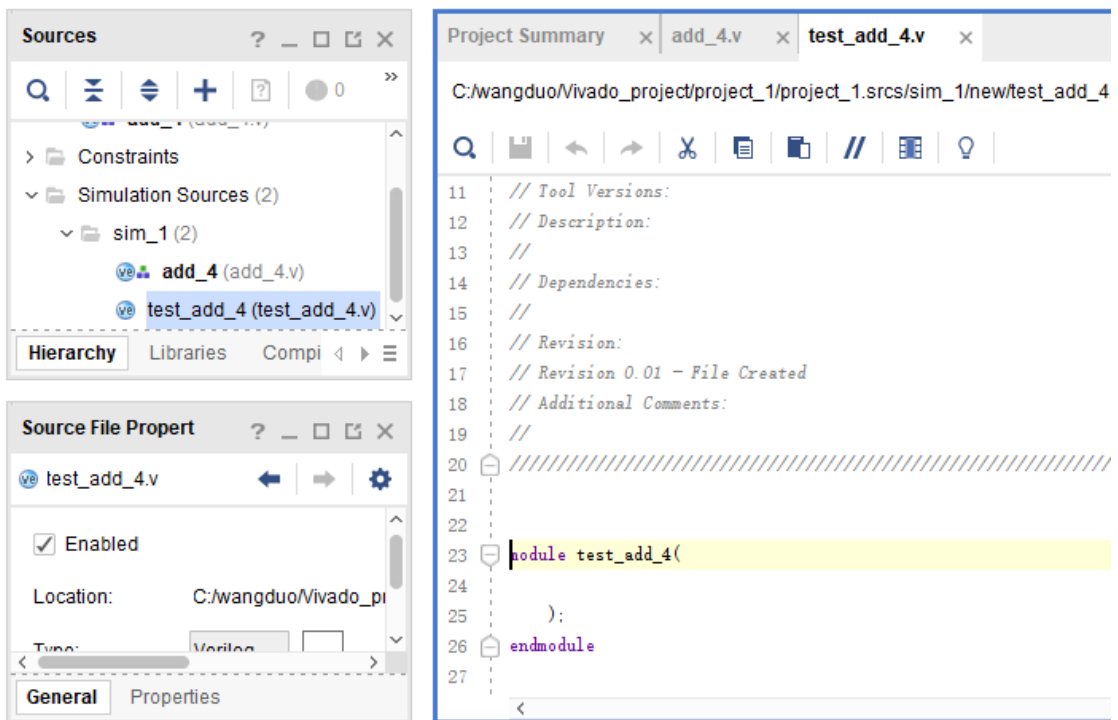


5、 确认添加完成之后点击 Finish，因为是激励文件不需要对外端口，所以这里 Port

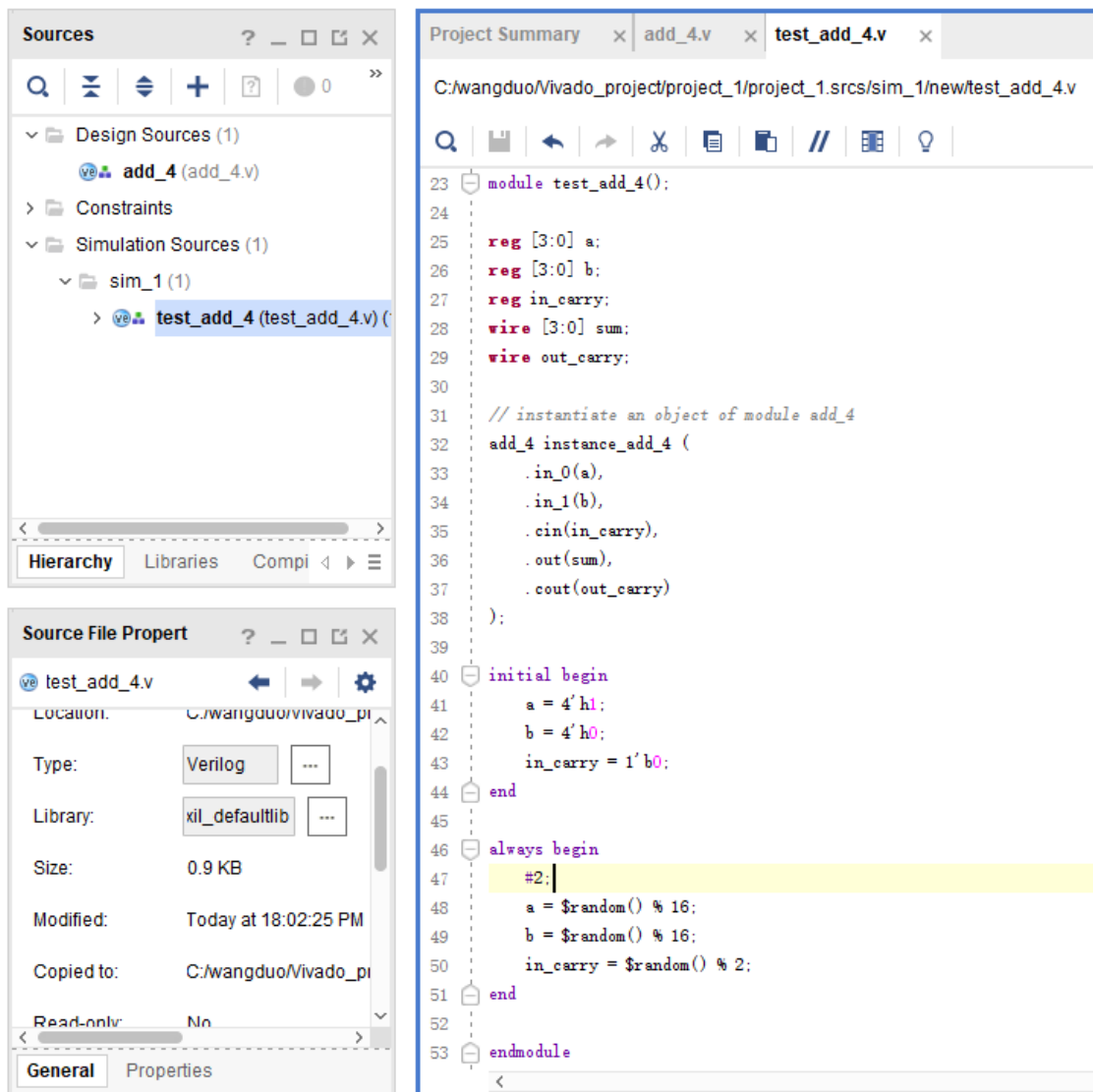
部分直接空着，点击 ok。



6、在 Sources 下双击打开空白的激励测试文件，完成对将要仿真的 module 的实例化和激励代码的编写。

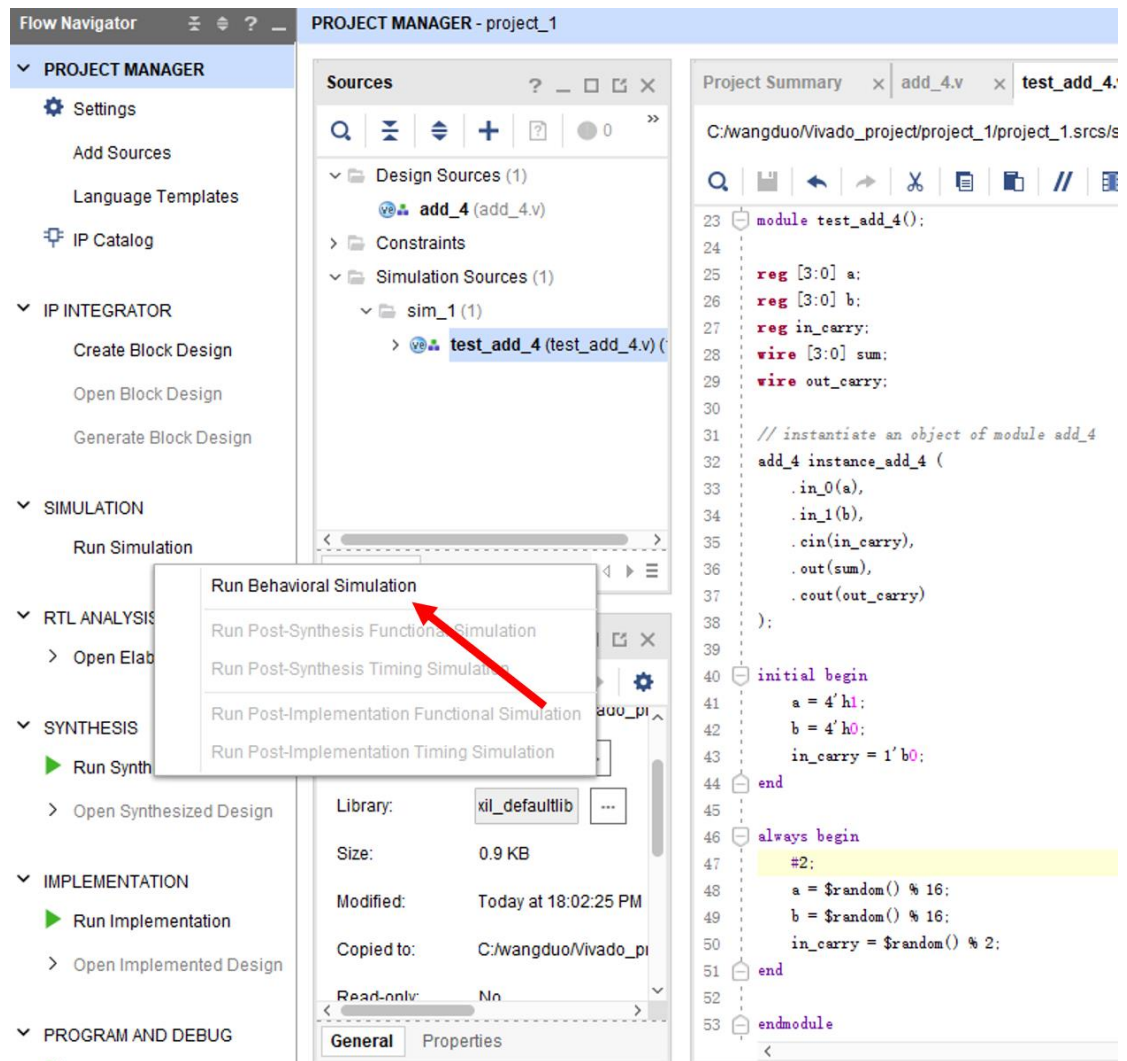


激励文件完成之后，工程目录如下图所示。

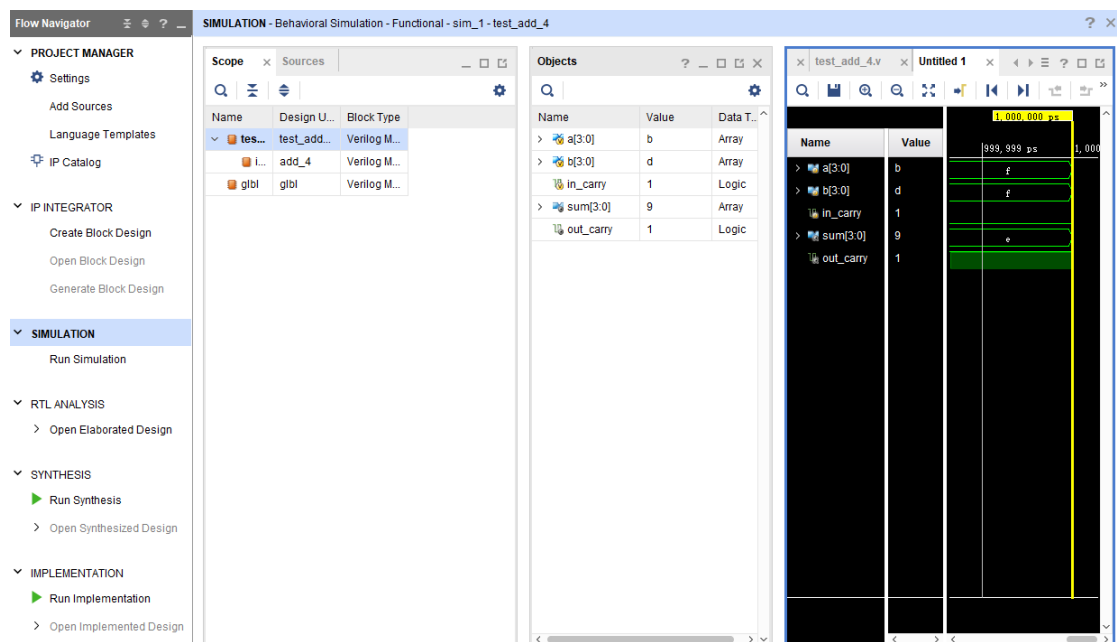


7、此时，进入仿真。在左侧 Flow Navigator 中点击 Simulation 下的 Run Simulation 选项，并选择 Run Behavioral Simulation 一项，进入仿真界面。

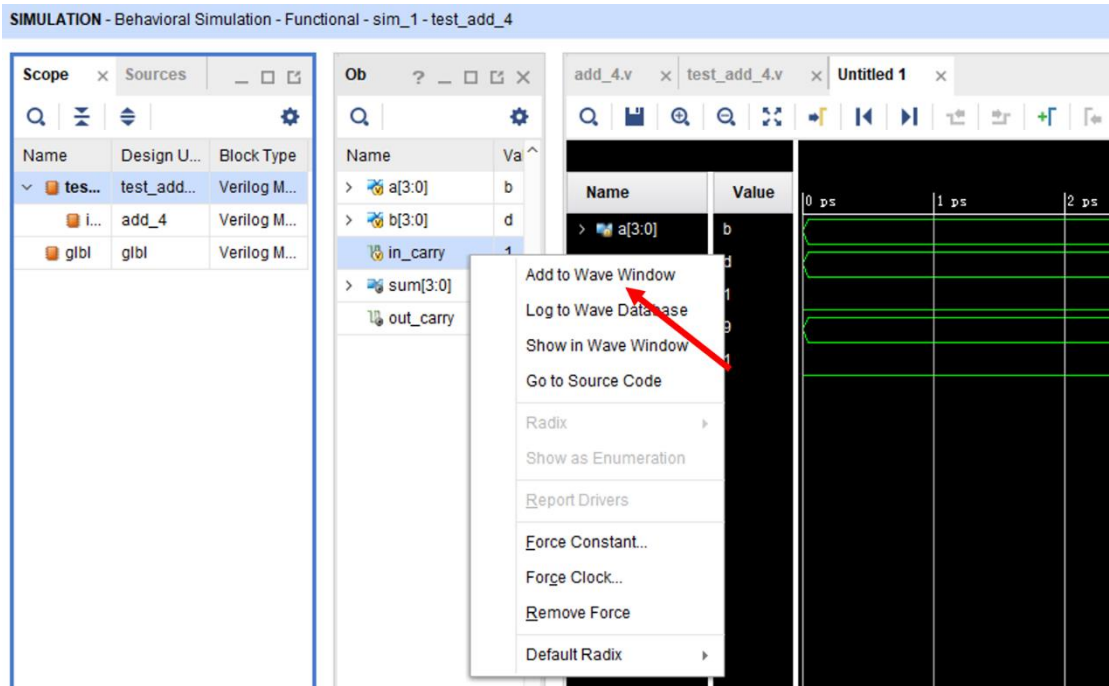




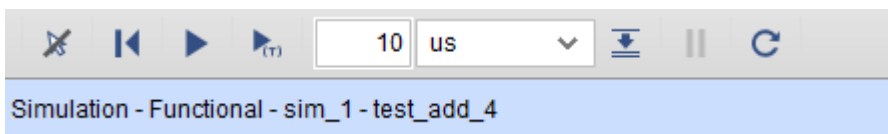
8、下图所示为仿真界面。



可通过左侧 Scope 一栏中的目录结构定位到设计者想要查看的 module 内部寄存器，在 Objects 对应的信号名称上右击选择 Add To Wave Window，将信号加入波形图中。（这里软件自动将顶层文件中的信号添加入波形中）



可通过选择工具栏中的如下选项来进行波形的仿真时间控制。如下工具条，分别是复位波形（即清空现有波形）、运行仿真、运行特定时长的仿真、仿真时长设置、仿真时长单位、单步运行、暂停



推荐采用修改仿真时长+特定时长仿真的形式快速得到部分仿真波形

9、最终得到的仿真效果图如下。核对波形与预设的逻辑功能是否一致。仿真完成。（配合 Ctrl 和鼠标滚轮可以缩放波形）



## 附加实验一

1. 用结构和行为建模实现 1bit 全加器
2. 在测试激励文件中给出至少 10 个测试数据

参考：第九讲 PPT，P8、P9

## 附加实验二

1. 使用 generate 语法实现 4bit 全加器
2. 在测试激励文件中给出至少 10 个测试数据

参考：见附件 generate 1、2.pdf

## 相关资料：

《Verilog 数字系统设计教程》夏宇文

# 实验报告模板

实验目的:

实验环境:

调试过程:

实验总结:

源代码:

**\*\*实验报告请下次实验课之前提交到课程网站\*\***