

数字电路

Digital Circuits and System

李文明

liwenming@ict.ac.cn



触 发 器



触发器

- 触发器概述
- SR锁存器
- 电平触发的触发器
- 边沿触发的触发器
- 触发器的逻辑功能及其描述方法



触发器

- 触发器概述
- SR锁存器
- 电平触发的触发器
- 边沿触发的触发器
- 触发器的逻辑功能及其描述方法



触发器概述

- 触发器含义
 - 能够存储1位二值信号的基本单元电路
 - 又称半导体存储单元或记忆单元
 - 特点
 - 具有两个能自行保持的稳定状态
 - 根据不同的输入信号可以置成 “0” 或 “1”
- 触发器分类
 - 触发方式（电平触发、边沿触发）
 - 逻辑功能（SR触发器、D触发器、JK触发器、T触发器等）
 - 存储数据的原理（静态触发器、动态触发器）



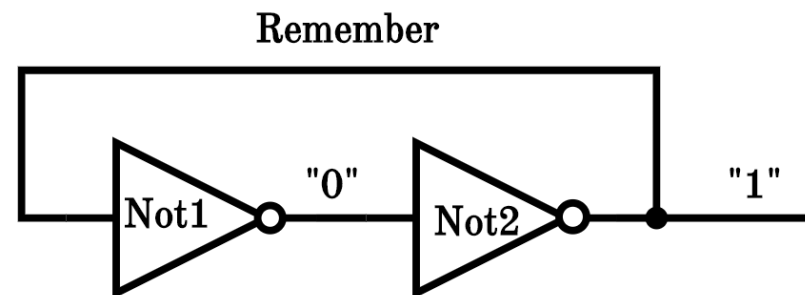
触发器

- 触发器概述
- **SR锁存器**
- 电平触发的触发器
- 边沿触发的触发器
- 触发器的逻辑功能及其描述方法



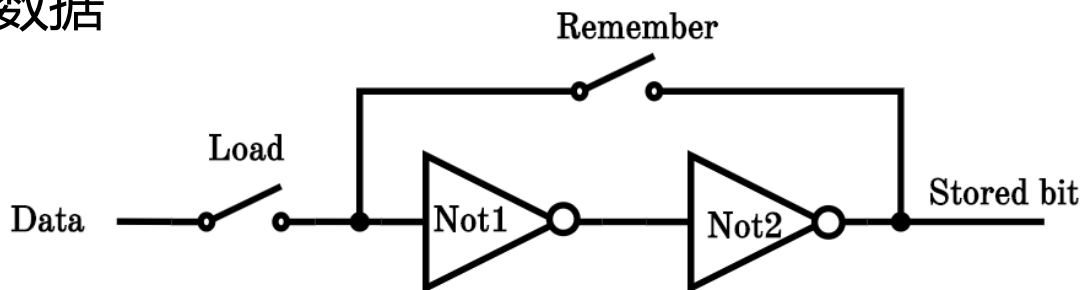
如何存储数据？ 反馈

- 反馈：把输出信号连接到输入端
 - 正反馈：反馈信号与输入信号同相位，增强输入
 - 负反馈：反馈信号与输入信号相位相反，削弱输入



- 存储 “一位” 数据，正反馈，使电路的输出状态 “维持不变”
 - 两个 “非门” 可以存储 “一位” 数据

- 如何存储 “一位” 新数据？



- 如何实现 “Load” 和 “Remember” 开关，并控制它们协同工作？

SR锁存器

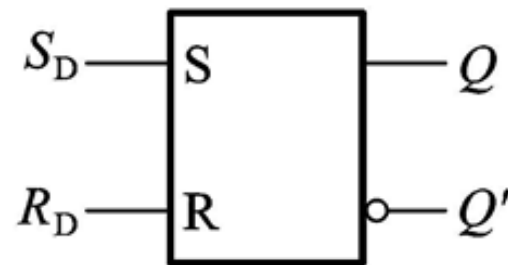
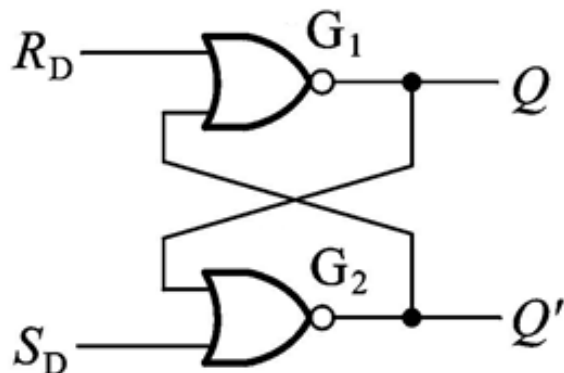
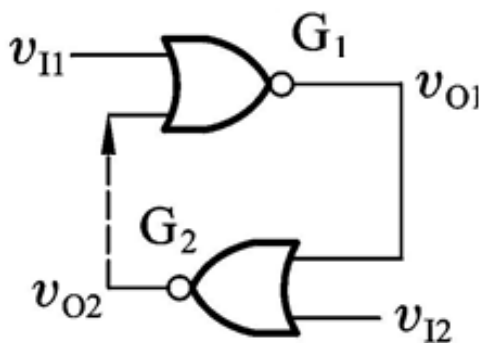
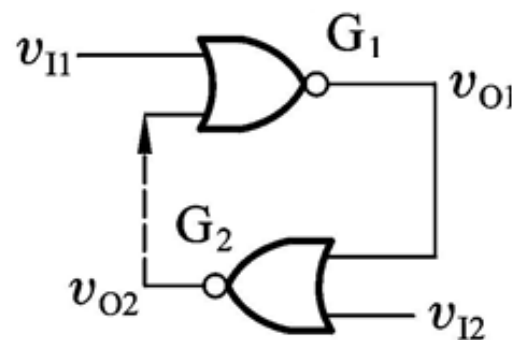
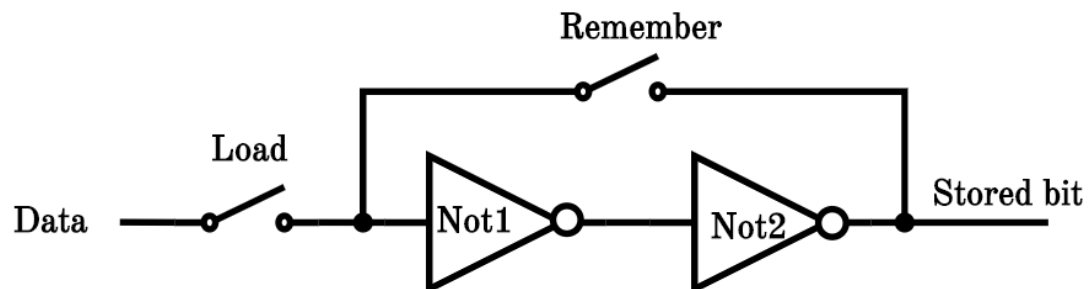
- 或非门组成的SR锁存器

u_{I1} 要存入的数据

u_{O1}, u_{O2} 已存入的1位数据, 互为反向

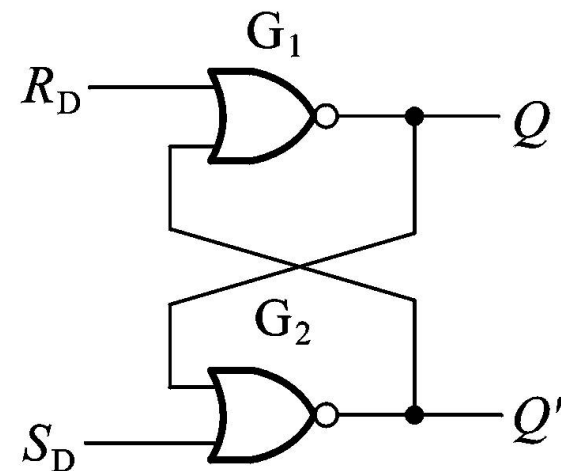
G_1 相当于“load”开关

G_2 相当于“Remember”开关



或非门SR锁存器工作过程(1)

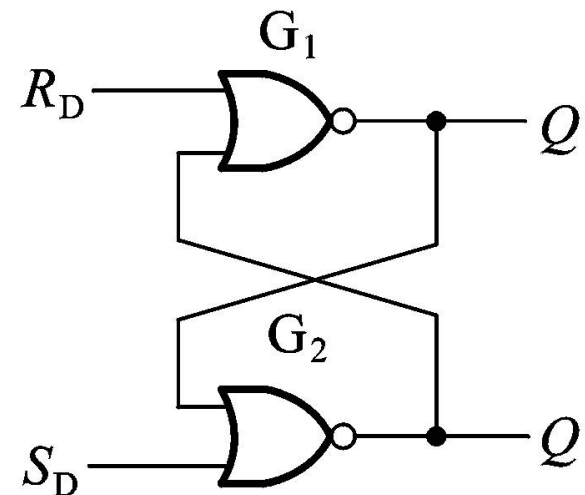
- 当取值: $R_D = 0, S_D = 1$
 - $S_D = 1$ 则 $Q' = 0$
 - $R_D = 0$ 并且 $Q' = 0$, 则 $Q = 1$
 - 锁存器处于 “1” 态
 - 称 S_D 为置位端, 或置 “1” 输入端
- 当取值: $R_D = 1, S_D = 0$
 - $R_D = 1$, 则 $Q = 0$
 - $S_D = 0$ 并且 $Q = 0$, 则 $Q' = 1$
 - 锁存器处于 “0” 态
 - 称 R_D 为复位端, 或置 “0” 输入端



S_D	R_D	Q'	Q	说明
0	0	Q'	Q	储存
0	1	1	0	置0, 复位
1	0	0	1	置1, 置位
1	1	0	0	不定态, 禁止

或非门SR锁存器工作过程(2)

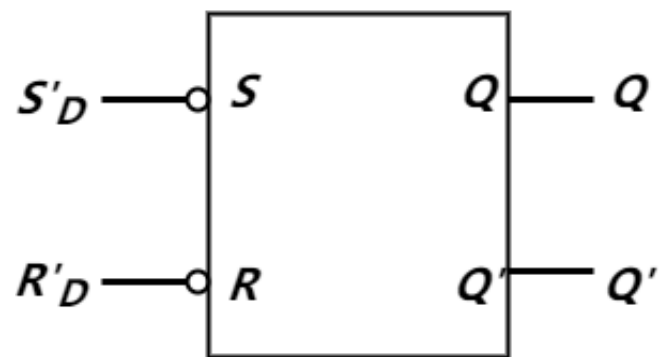
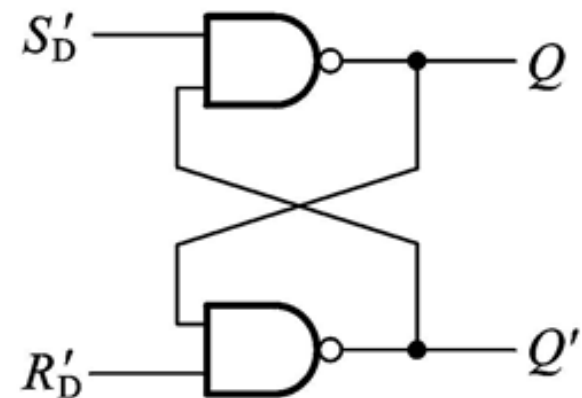
- 当取值: $R_D = 0, S_D = 0$
 - 若原态: $Q = 1, Q' = 0$, 则: $Q = 1, Q' = 0$
 - 若原态: $Q = 0, Q' = 1$, 则: $Q = 0, Q' = 1$
 - 锁存器状态维持不变
 - 称为“存储状态”
- 当取值: $R_D = 1, S_D = 1$
 - 若原态: $Q = 1, Q' = 0$, 则: $Q = 0, Q' = 0$
 - 若原态: $Q = 0, Q' = 1$, 则: $Q = 0, Q' = 0$
 - 锁存器处于 “0” 态, 不定态
 - 称为锁存器禁态, 不允许出现
 - 如何做到不出现?



S_D	R_D	Q'	Q	说明
0	0	Q'	Q	储存
0	1	1	0	置0, 复位
1	0	0	1	置1, 置位
1	1	0	0	不定态, 禁止

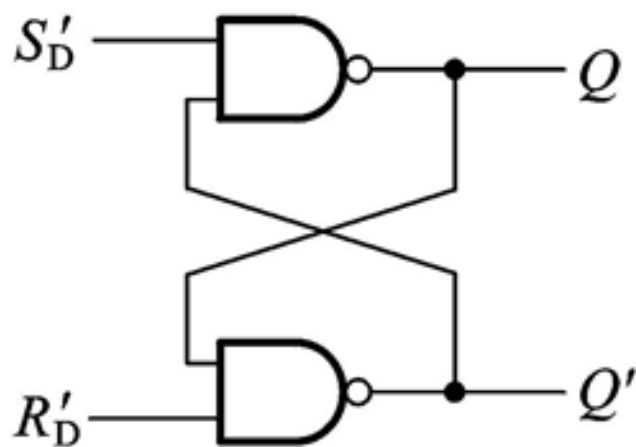
与非门SR锁存器工作过程

S'_D	R'_D	Q'	Q	说明
0	0	1	1	不定态, 禁止
0	1	0	1	置1, 置位
1	0	1	0	置0, 复位
1	1	Q'	Q	储存

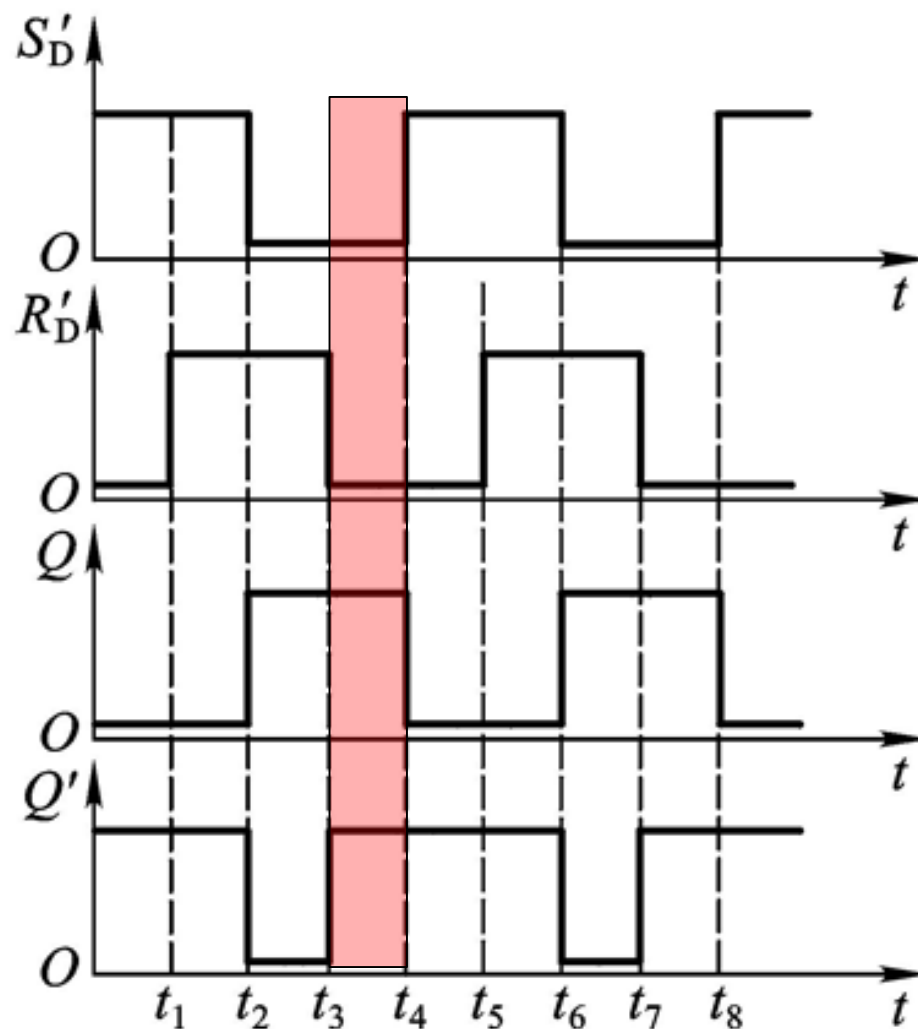


SR锁存器动作特点

- 任何时刻，输入都能直接改变输出的状态



S'_D 与 R'_D 同时为 "0"
则: Q, Q' 同时为 "1"



触发器

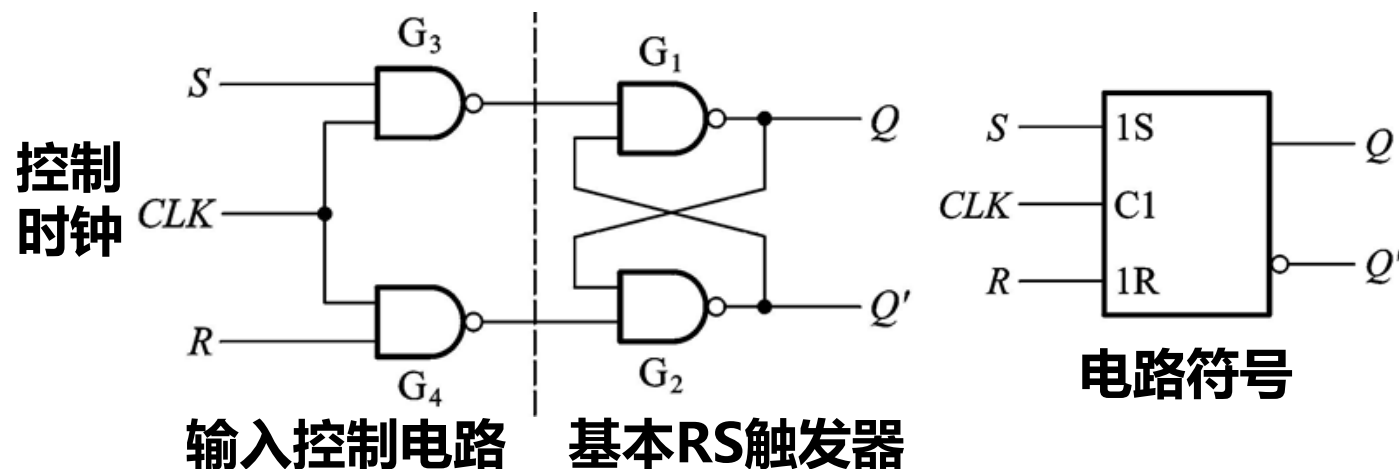
- 触发器概述
- SR锁存器
- 电平触发的触发器
- 边沿触发的触发器
- 触发器的逻辑功能及其描述方法



电平触发的触发器原理

- 又称**同步SR触发器**

- 在基本RS触发器之前增加电平控制信号CLK



- CLK=0时

- 门G₃和G₄被封锁，输出为高电平。对于由G₁和G₂构成的SR锁存器，触发器保持原态，即 $Q^* = Q$

- CLK=1时

- 此时门G₃和G₄开启，触发器输出由 S 和 R 决定

S	R	Q'	Q	说明
0	0	Q'	Q	储存
0	1	1	0	置0, 复位
1	0	0	1	置1, 置位
1	1	0	0	不定态, 禁止

电平触发的触发器特性表

- 特性表：触发器在输入信号的和当前状态的控制下，转化成下一个状态的取值列表

- Q^* 是触发器的下一个状态

- 可以列出 Q^* 的逻辑函数式：

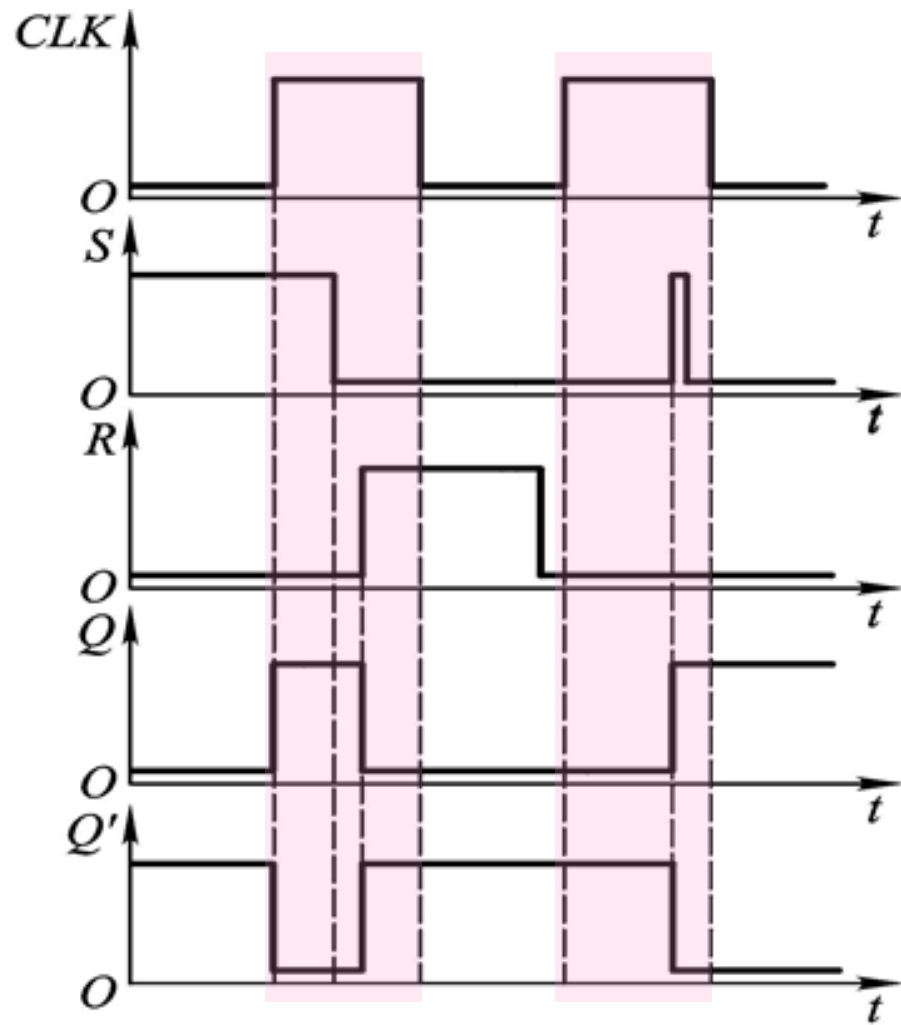
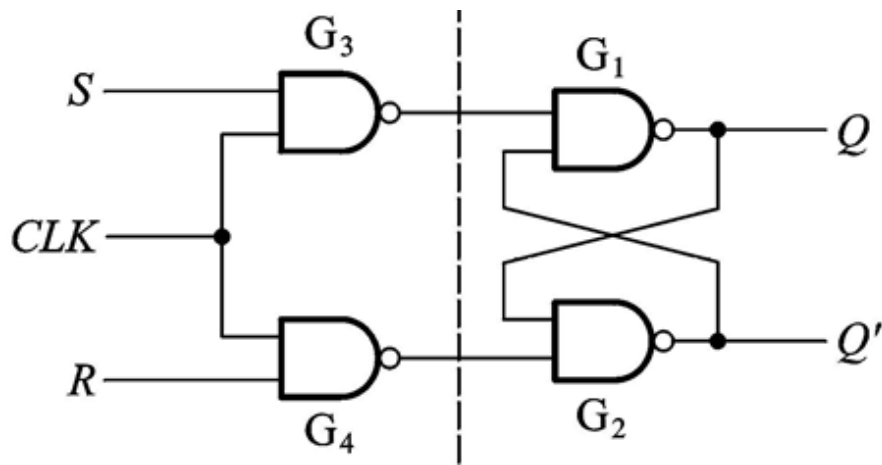
$$Q^* = (CLK) \cdot (S' R' Q + S R' Q' + S R' Q)$$

$$Q^* = (CLK) \cdot (S' R' Q + S R')$$

CLK	S	R	Q	Q^*
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

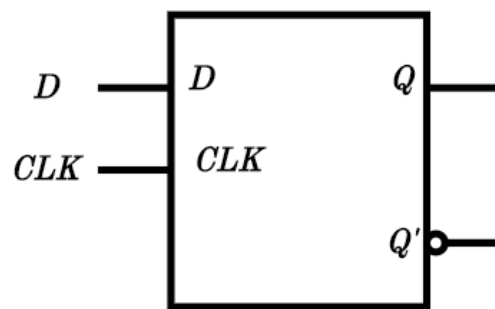
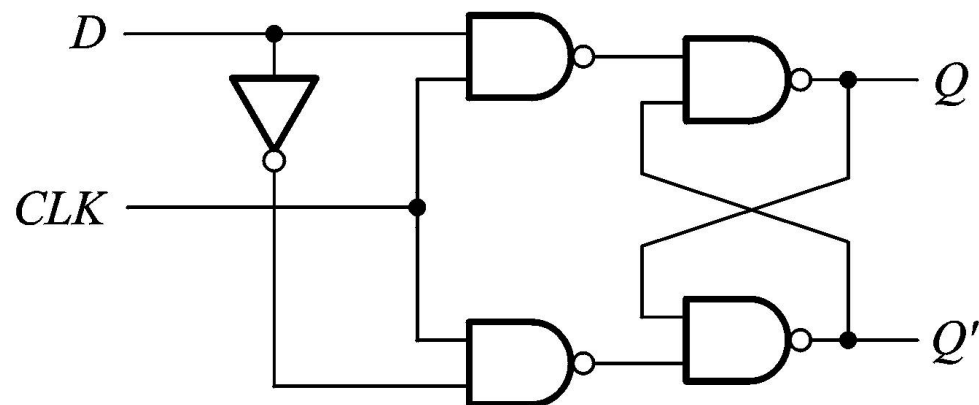
电平触发的触发器的动作特点

- 只有当CLK为有效电平时，触发器才能接收输入信号，并按照输入信号把触发器的输出置成相应的状态
- 在CLK为有效电平的期间，S 和 R 的变化都将引起输出状态的变化



电平触发的 “D触发器”

- RS触发器的R和S取值不能同时为 “1” ，考虑用非门把R和S连在一起，只出一个输入控制信号 —— D触发器



CLK	D	Q
0	X	1
1	0	0
1	1	1

- 电平触发D触发器（D型锁存器）在CLK的有效电平期间内，输出状态始终跟随输入状态变化，即输出与输入状态相同

触发器

- 触发器概述
- SR锁存器
- 电平触发的触发器
- 边沿触发的触发器
- 触发器的逻辑功能及其描述方法



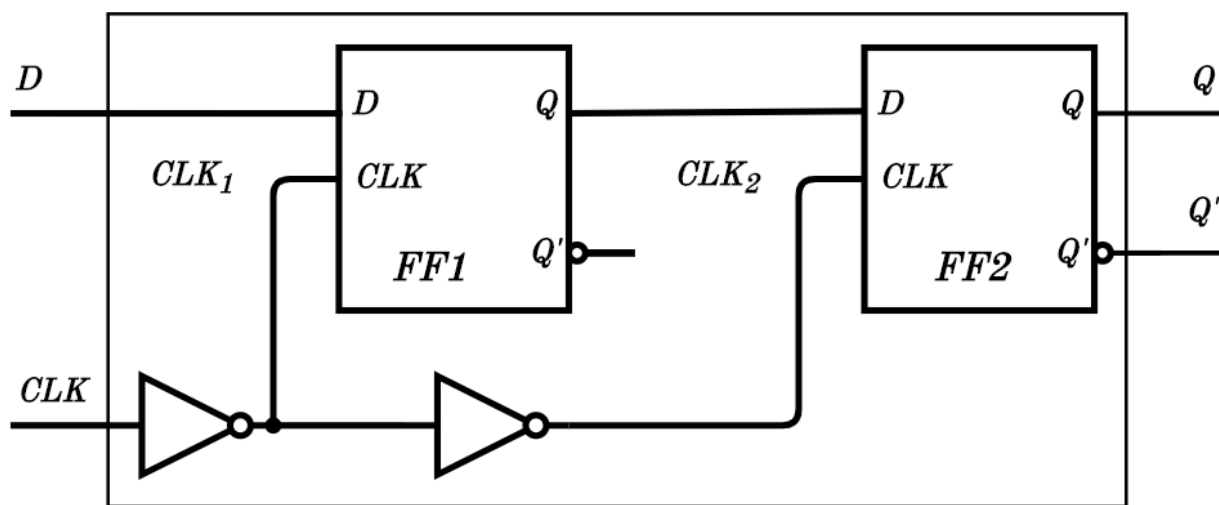
边沿触发器

- 设计原因
 - 提高可靠性，增强抗干扰能力
 - 触发器的次态仅取决于CLK的下降沿（或上升沿）到来时的输入信号状态，与在此前、后输入的状态没有关系。
- 常见的电路结构
 - 用两个电平触发D触发器构成的边沿触发器
 - 维持阻塞触发器
 - 利用门电路传输延迟时间的边沿触发器



双电平D触发器构成边沿触发器

- CLK=0期间, D在第一个触发器输出, 第二个触发器状态不变
- CLK从“0”到“1”瞬间(上升沿), 第二个触发器的输出锁定在D



电路结构框图

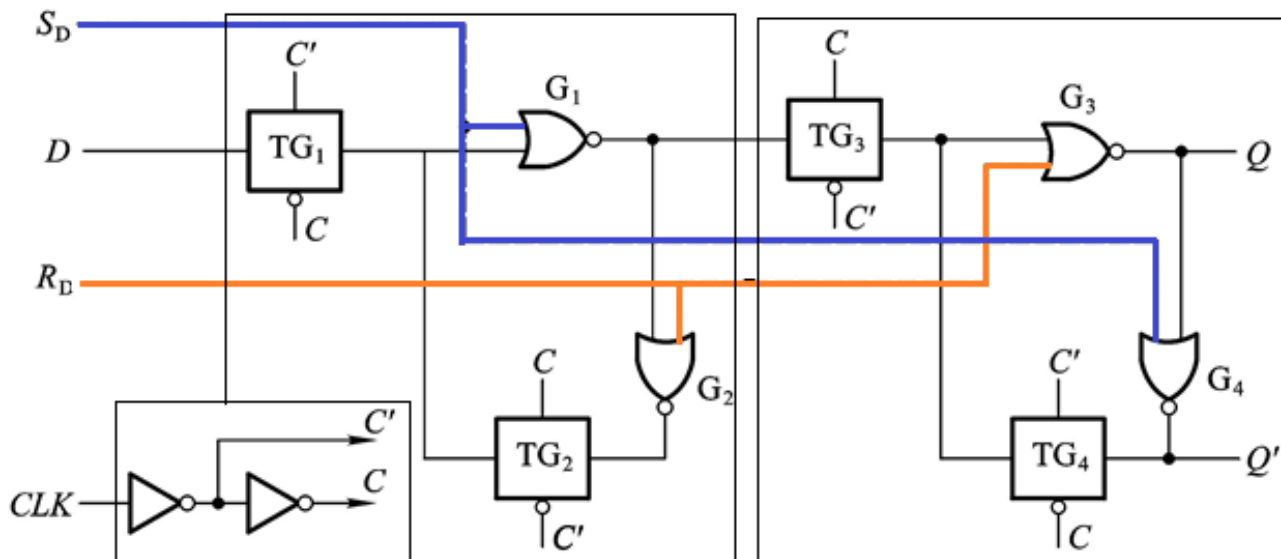
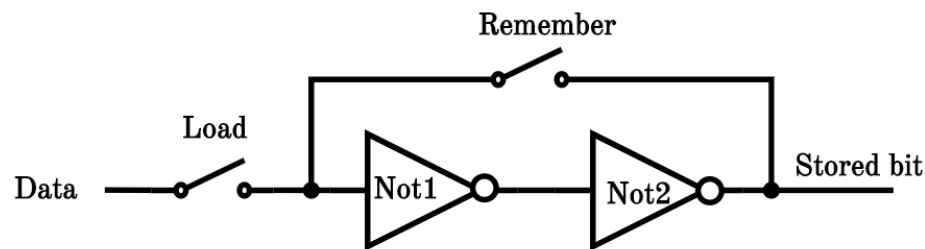
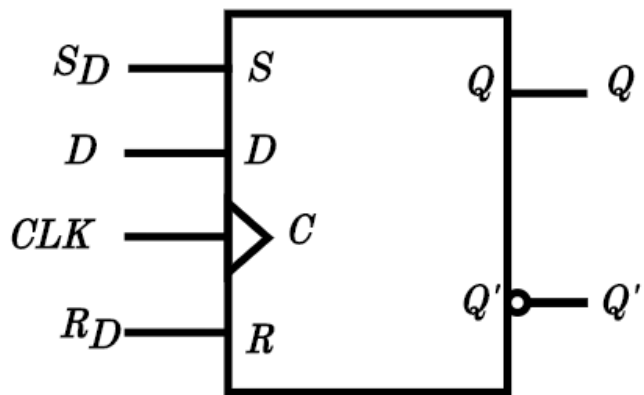
CLK	D	Q	Q^*
X	X	1	Q
↑	0	X	0
↑	1	X	1

特性表

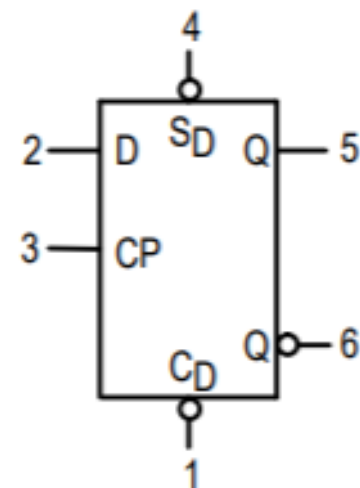
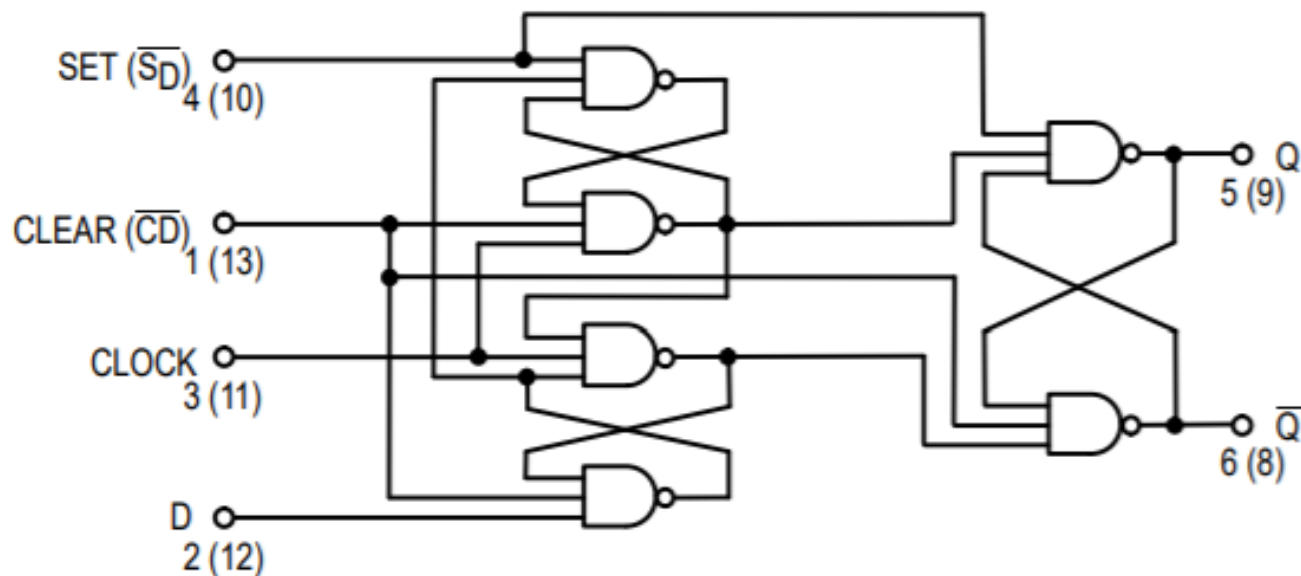
特性逻辑式: $Q^* = D$, 在CLK上升沿时刻

带异步控制的边沿触发器(1)

- 为实现异步置位和复位功能，引入置位端 S_D 和复位端 R_D
 - 当 $S_D = 1, R_D = 0$ 时, $Q = 1$ (置位)
 - 当 $S_D = 0, R_D = 1$ 时, $Q = 0$ (复位)
 - 正常工作时, S_D 和 R_D 加低电平



带异步控制的边沿触发器(2)



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{S_D}$	$\overline{C_D}$	D	Q	\overline{Q}
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

触发器

- 触发器概述
- SR锁存器
- 电平触发的触发器
- 边沿触发的触发器
- 触发器的逻辑功能及其描述方法



触发器功能分类和描述方法

- 触发器按逻辑功能的分类
 - SR触发器、D触发器、JK触发器、T触发器
- 触发器的电路结构和逻辑功能、触发方式的关系
 - 主从结构、维持阻塞结构
 - SR、D、JK、T
 - 电平触发、边沿触发（上升沿、下降沿）



有限状态图

- 如何描述一个电路的功能特性？
 - 组合逻辑电路：真值表、波形图、逻辑函数、符号图
 - 时序逻辑电路：特性表、波形图、状态方程和驱动方程、有限状态图、符号图
- 有限状态图的画法
 - 确定电路状态：电路所有可能的唯一不同配置模式（状态）
 - 画出状态转移关系：在输入作用下，电路从一种状态转换到另一种状态的条件和输出

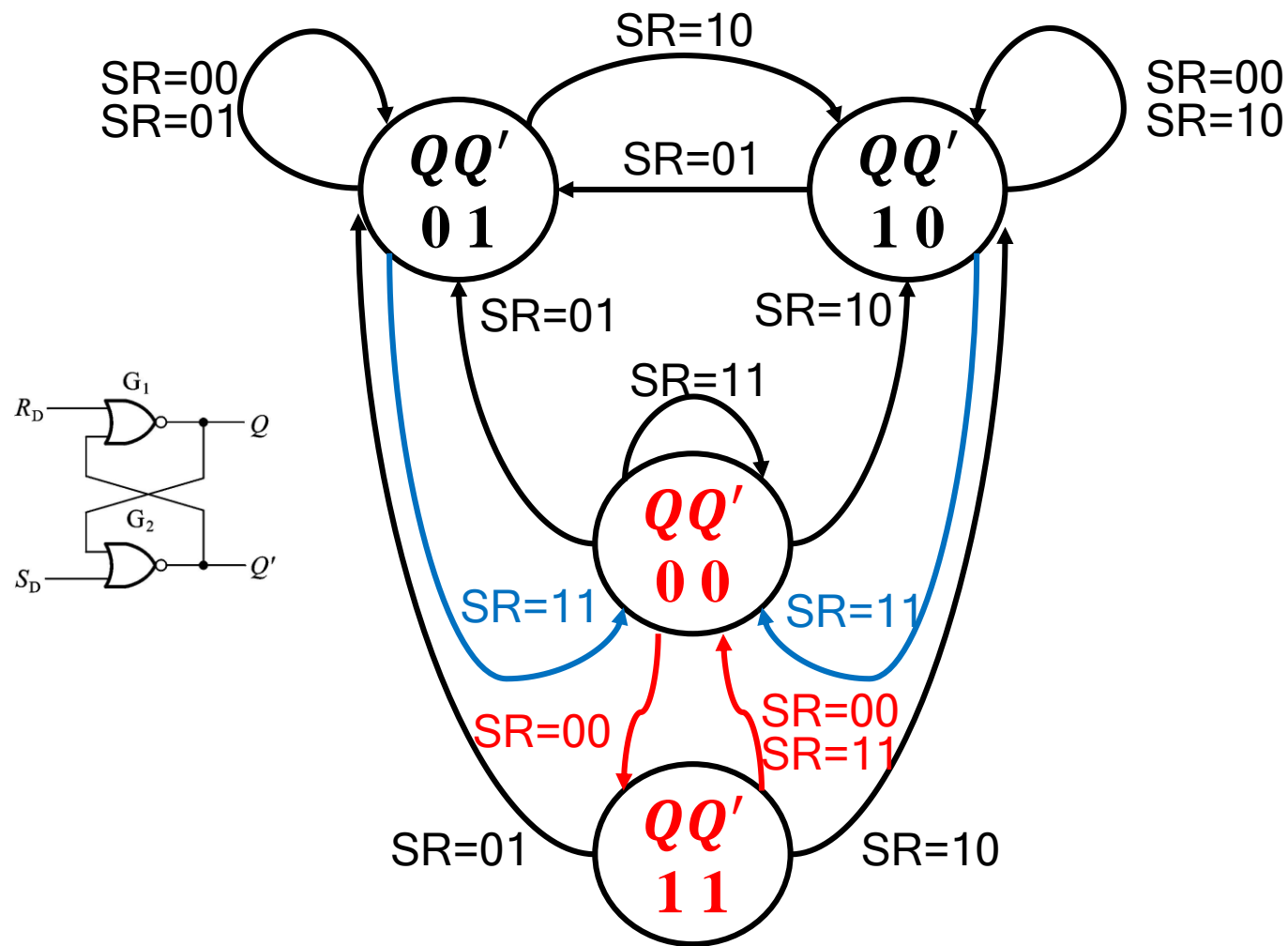


SR触发器状态图(1)

- 状态：电路所有可能的唯一不同配置模式

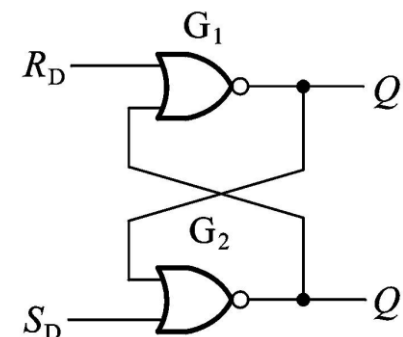
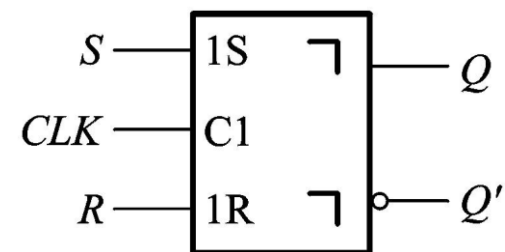
S_D	R_D	Q	Q'	说明
0	0	Q	Q'	储存
0	1	0	1	置0, 复位
1	0	1	0	置1, 置位
1	1	0	0	不定态, 禁止

- 当SR=11时，触发器会进入不定态，并可能在“00”与“11”两个状态震荡

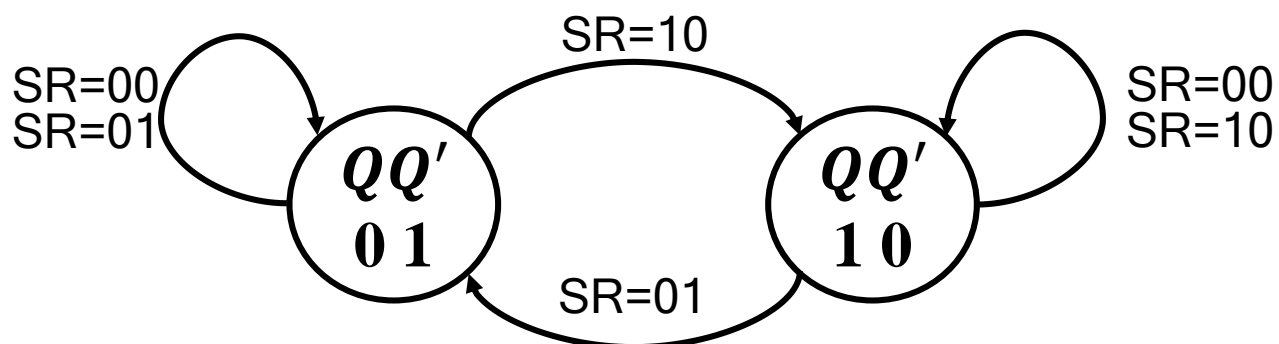


SR触发器状态图(2)

- $QQ' = 11$ 是瞬间即失的不稳定状态
- 锁存器总是尽可能维持在 $QQ' = 01$ 或 $QQ' = 10$ 的稳定状态
- 为避免 $QQ' = 00$ 状态出现，禁止 $RS = 11$ 出现，即
约束条件为： $RS=0$



S_D	R_D	Q	Q'	说明
0	0	Q	Q'	储存
0	1	0	1	置0, 复位
1	0	1	0	置1, 置位
1	1	0	0	不定态, 禁止



RS触发器的特性方程

- RS触发器的特性表如右所示
- 约束条件: $RS = 0$
- Q^* 的卡诺图如下:

S	RQ	$R=0$		$R=1$	
		00	01	11	10
0		0	1	0	0
1		1	1	x	x

- 触发器的输出方程:

$$\begin{cases} Q^* = S'R'Q + SR'Q' + SR'Q = S'R'Q + SR' = S + R'Q \\ SR = 0 \text{ (约束条件)} \end{cases}$$

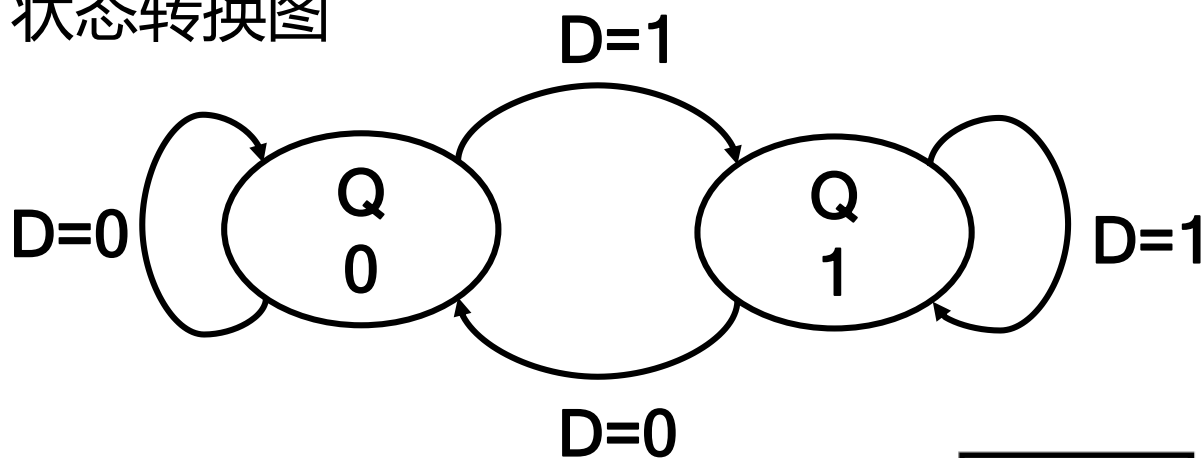
S	R	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1*
1	1	1	1*

D触发器

- 凡在时钟信号作用下，符合下面的特性表所规定的触发器，均称为D触发器

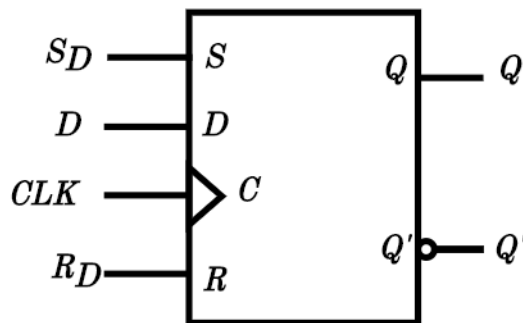
- 特性方程： $Q^* = D$

- 状态转换图



CLK	D	Q	Q^*
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1

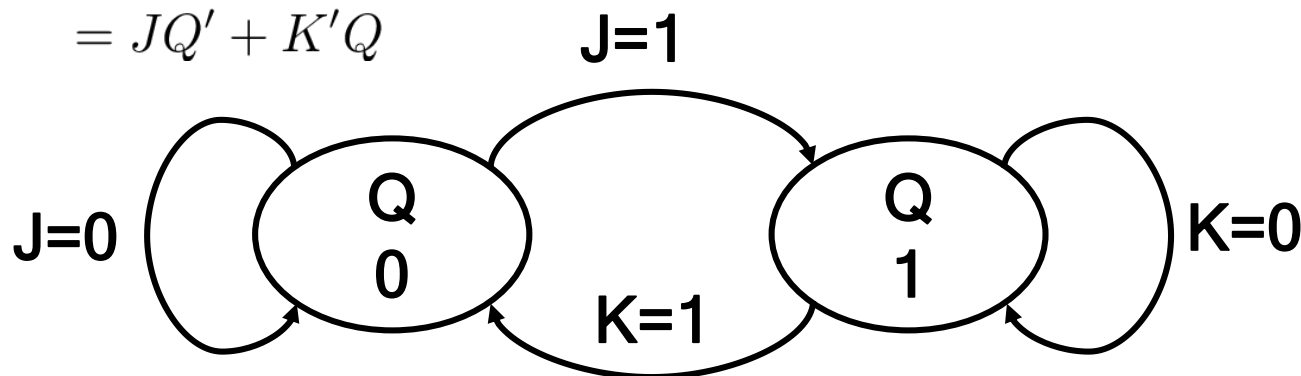
- 时钟上升沿触发



JK触发器

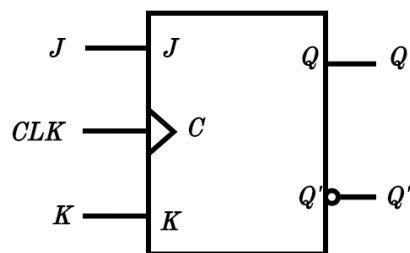
- 特性方程: $Q^* = JQ' + K'Q$

$$\begin{aligned}
 Q^* &= J'K'Q + JK'Q' + JK'Q + JKQ' \\
 &= J'K'Q + JQ' + JK'Q \\
 &= JQ' + K'Q
 \end{aligned}$$



J	K	Q	Q^*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

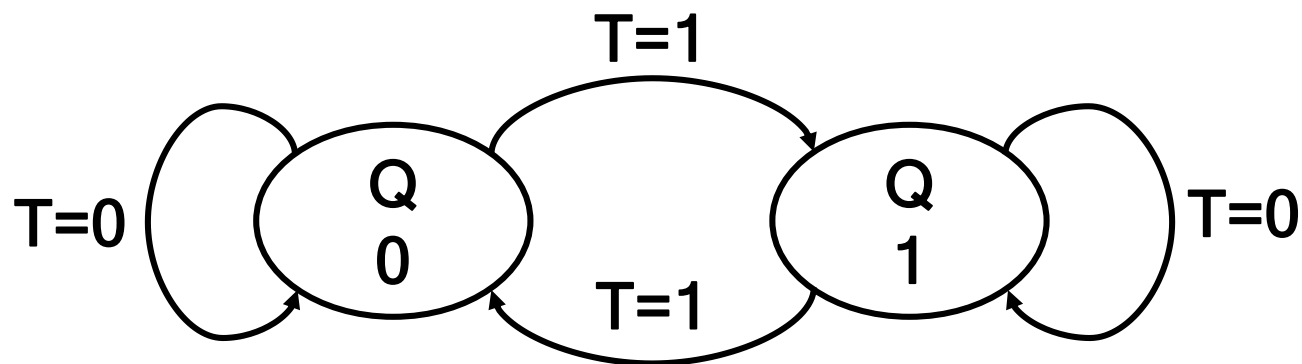
- 触发器符号



T触发器

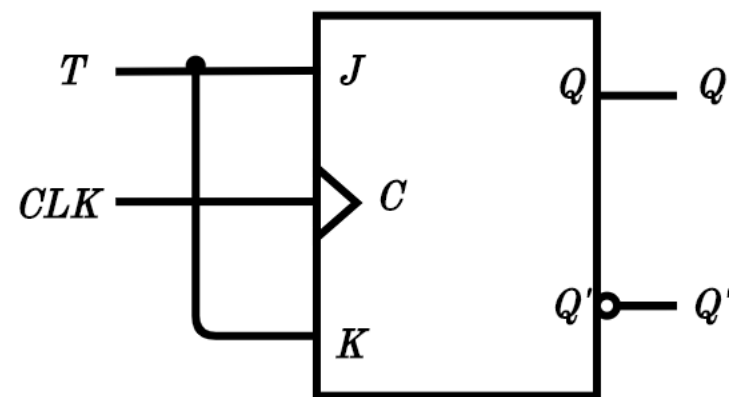
- 特性方程: $Q^* = TQ' + T'Q$

- 状态图:



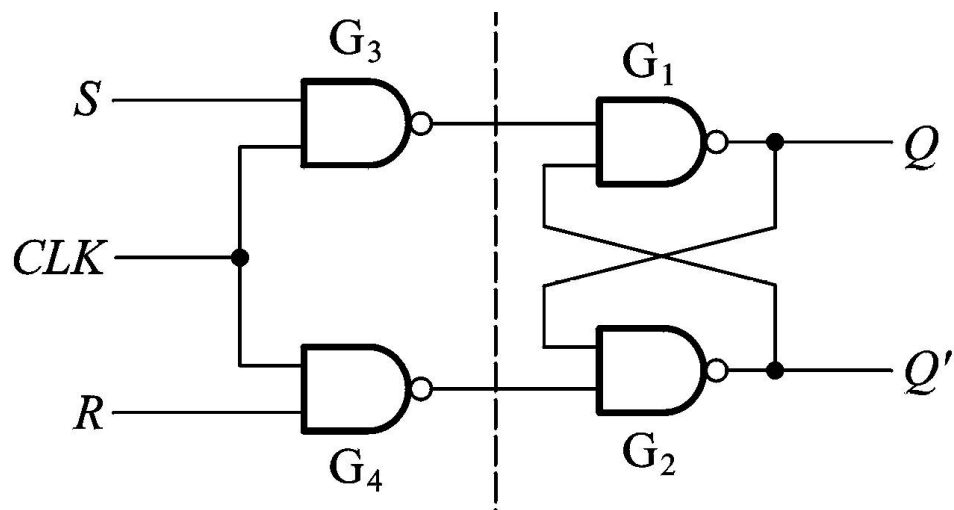
T	Q	Q^*
0	0	0
0	1	1
1	0	1
1	1	0

- 与JK触发器的关系: $J=K=T$
- $T=1$ 时: 输入时钟使触发器翻转
- $T=0$ 时: 触发器状态维持不变

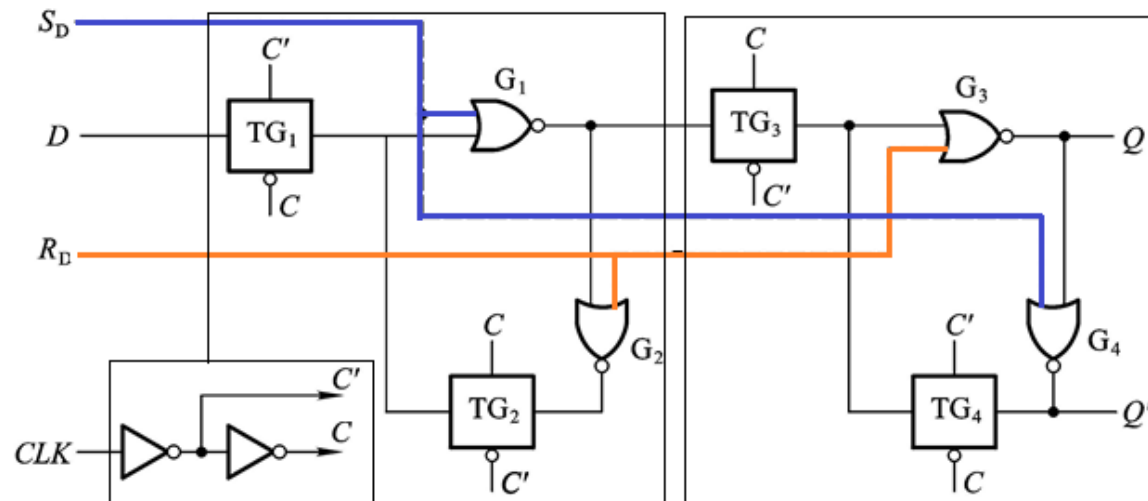


电路结构、逻辑功能和触发方式(1)

- 电路结构与逻辑功能**不存在**固定的对应关系



同步SR触发器**电平**触发

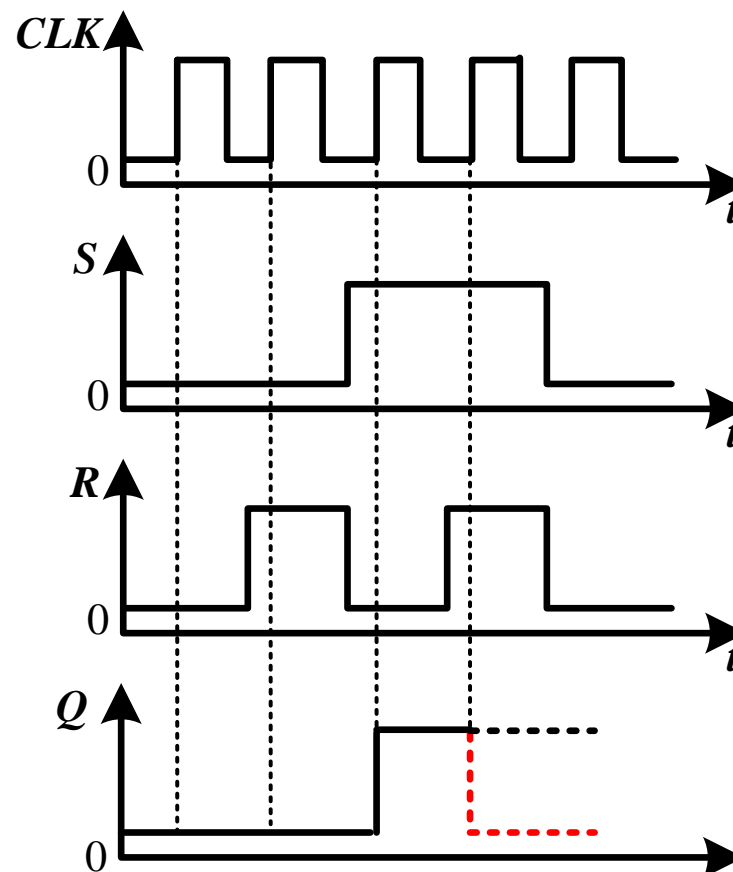
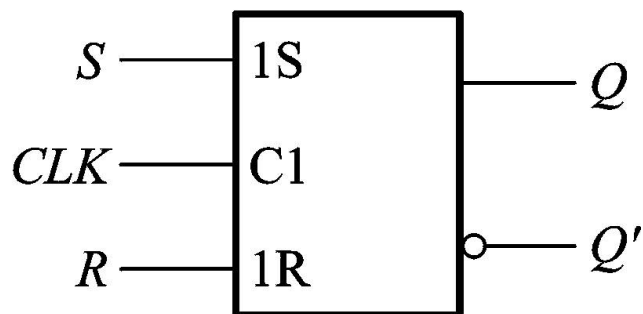


两个电平触发D触发器结构——边沿触发D触发器

电路结构、逻辑功能和触发方式(2)

- 电路结构与触发方式**有固定的对应关系**

- 同步SR触发器属于电平触发
- 在 $CLK=1$ 触发器动作

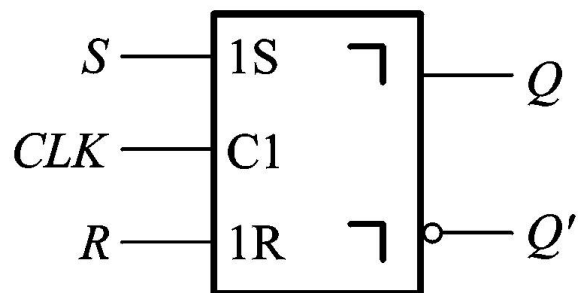


电路结构、逻辑功能和触发方式(3)

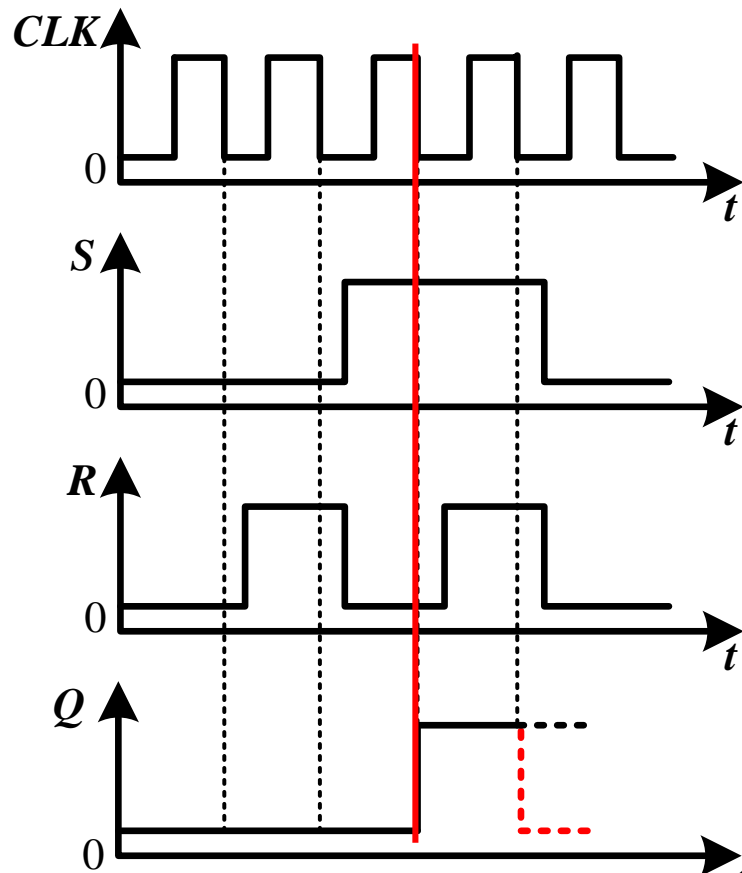
- 电路结构与触发方式有固定的对应关系

- 采用主从结构的触发器，是脉冲（边沿）触发器， Q 和 Q' 状态的变化发生在CLK的下降沿

- 如主从SR触发器

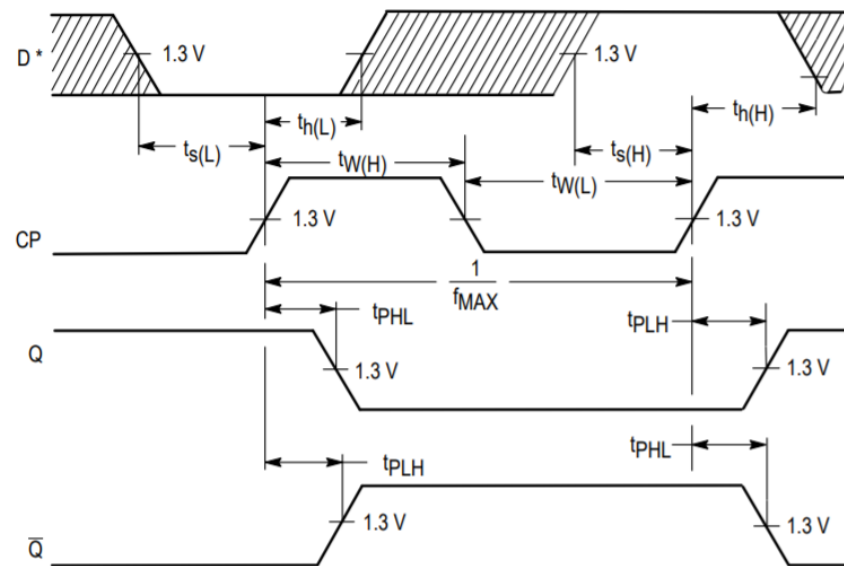
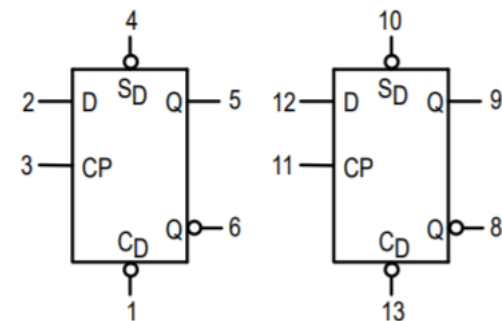
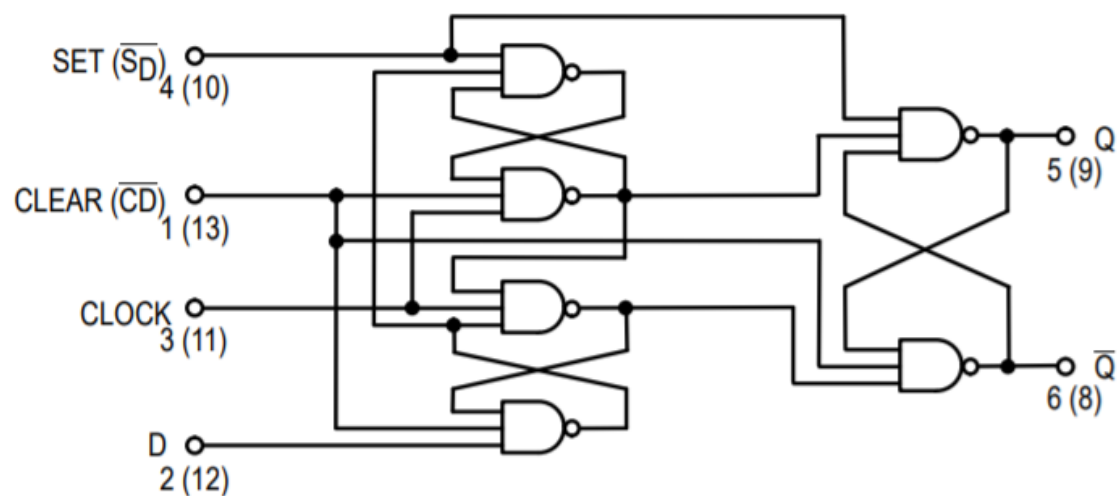


- 采用两个电平触发器构成的主从结构，都属于边沿触发器



电路结构、逻辑功能和触发方式(4)

- 维持阻塞结构D触发器采用上升沿触发
 - SN54/74LS74A



问题和建议?

