



数字电路实验课程讲义

2021-10

实验 2、16 位比较器实验

实验目标：

- 1、熟悉 verilog 编程、调试
- 2、熟悉简单比较器的工作原理
- 3、通过简单模块例化、连线实现复杂的数字电路

实验内容：

- 1、设计实现 4 位比较器（课本 178 页或第八讲 PPT）
- 2、基于 4 位比较器，多次例化组成 16 位比较器。
- 3、在给定的 testbench 模板中补完代码，检查实现 16bit 比较器的实现

PS：我们还提供了 4bit 比较器的 testbench，并不在验收中查看，但如果有 check 的需要，可以自行使用。

附加实验一：4-16 线译码器

- 1、利用条件语句实现 4-16 译码器，端口的规格要求为：

Input 信号			Output 信号		
信号名称	说明	位宽	信号名称	说明	位宽
In	输入信号为二进制	4	out	输出信号低电平有效	16

注意： out 低电平有效，即 0001 经过译码为 16'b1111_1111_1111_1101

- 2、自行编写 testbench，要求波形中能看到至少 8 组数据，且译码结果正确。

附加实验二

以下两个实验只能 2 选 1

Option1 4 位超前进位加法器(10 分)

1. 实现 4 位超前进位加法器
2. 在给定的 testbench 模板中补完代码，检查实现

注意：为了公平起见，写的和【4.35】的答案类似的不予验收

Option2 4 位超前进位减法器(20 分)

- 1、仿照 4 位超前进位加法器的实现原理，实现 4 位超前进位减法器，端口的规格要求为：

Input 信号		Output 信号	
信号名称	位宽	信号名称	位宽
A(被减数)	4	Out	4
B(减数)	4	Cout	1
Cin	1		

- 2、在给定的 testbench 模板中补完代码，检查实现

参考

1. 全减器的逻辑和信号定义：第 8 讲 PPT P19
2. 4 位超前加法器的逻辑：第 9 讲 PPT P12