数字电路
Digital Circuits and System

李文明
liwenming@ict.ac.cn

中国科学院计算技术研究所
INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学
University of Chinese Academy of Sciences

组合逻辑电路

组合逻辑电路重点内容

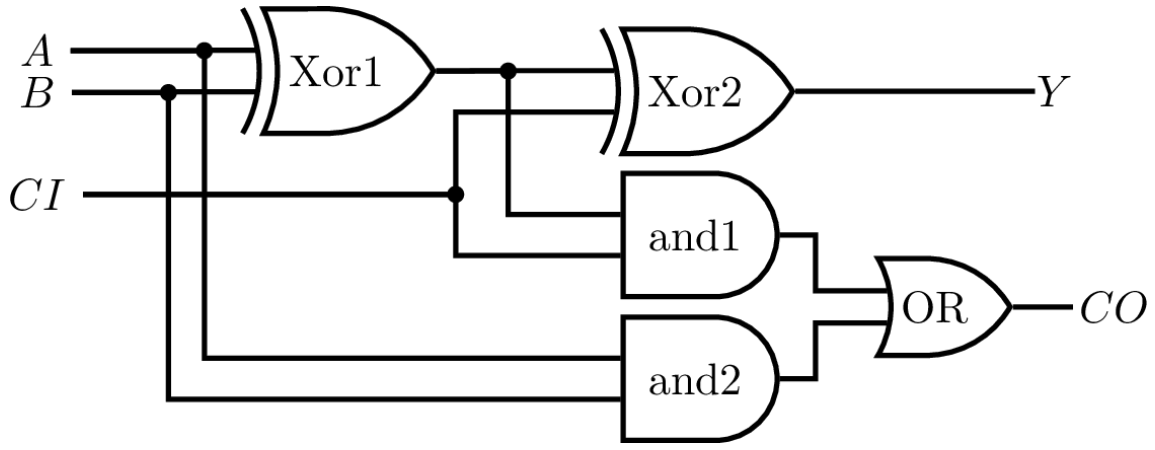
- 组合逻辑电路的的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
  - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法

组合逻辑电路重点内容

- 组合逻辑电路的的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
  - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法

概述

- 数字电路分类
  - 逻辑功能
    - 组合逻辑电路（组合电路）
    - 时序逻辑电路（时序电路）

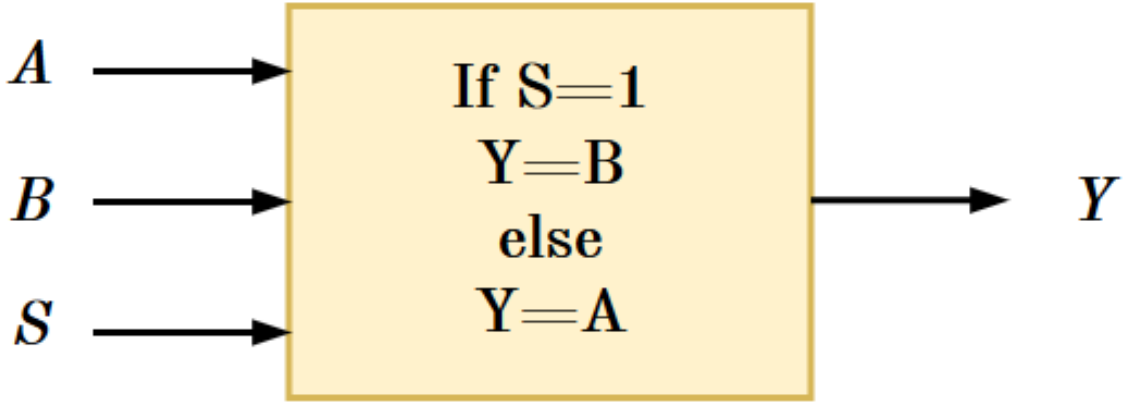


- 组合逻辑电路的特点
  - 任意时刻的输出仅取决于该时刻的输入，与电路原来的状态无关
  - 电路中只包含门电路，没有存储（记忆）单元——电路结构

$$\begin{cases} S = (A \oplus B) \oplus CI \\ CO = (A \oplus B)CI + AB \end{cases}$$

组合逻辑的功能描述

- 描述组合逻辑功能的方法
  - 框图
  - 文字功能规范
  - 硬件描述语言
  - 真值表：列出输入的所有可能组合
  - 逻辑函数：3种基本运算（与、或、非）



S	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

$$Y = \overline{S}\,\overline{B}A + \overline{S}B\overline{A} + S\overline{B}\overline{A} + SBA$$

任何组合（布尔）逻辑功能都可以用真值表，或者等价的最小项和(Sum-of-products)形式的逻辑函数表示

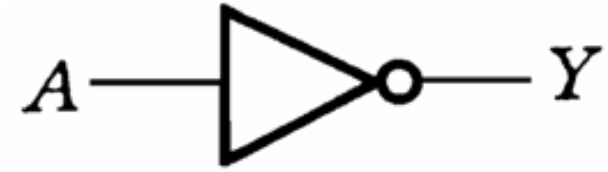
中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路重点内容

- 组合逻辑电路的的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
  - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法

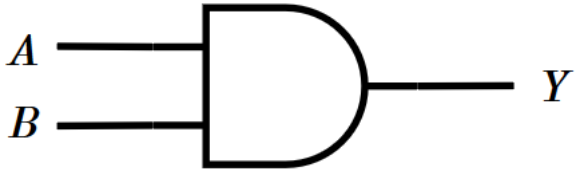
构成最小项和的基本组件

非门 $Y = A'$



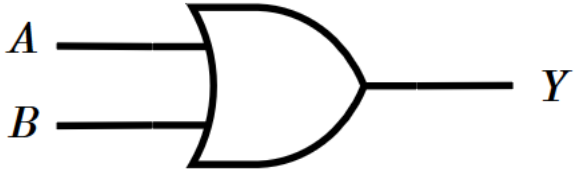
A	Y
0	1
1	0

与门 $Y = A \cdot B$



A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

或门 $Y = A + B$



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

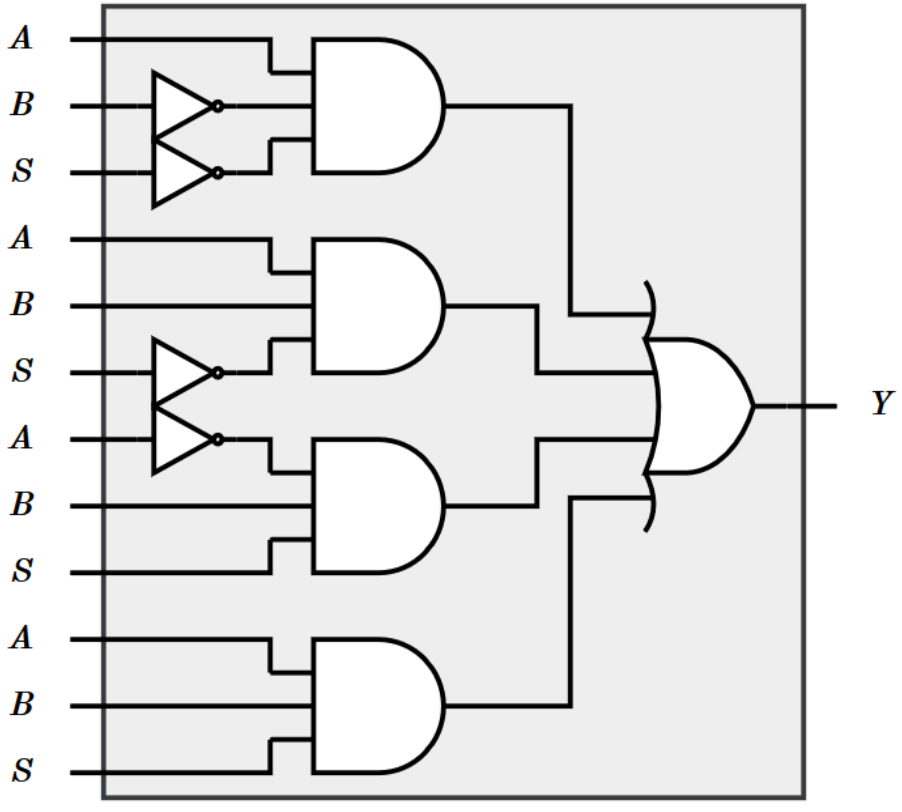
中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

直接生成电路

- 可以采用3级逻辑门直接实现最小项和的逻辑函数
  1. 非门
  2. 与门
  3. 或门

传播延迟时间是3级门的延迟时间之和?

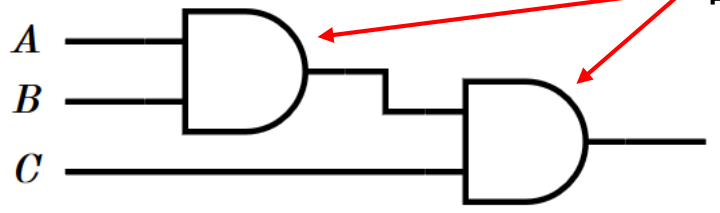
前提是：假设每级门的输入端数量任意多，但物理实现上，这个假设显然是有问题的



$$Y = \overline{S}\overline{B}A + \overline{S}BA + S\overline{B}\overline{A} + SBA$$

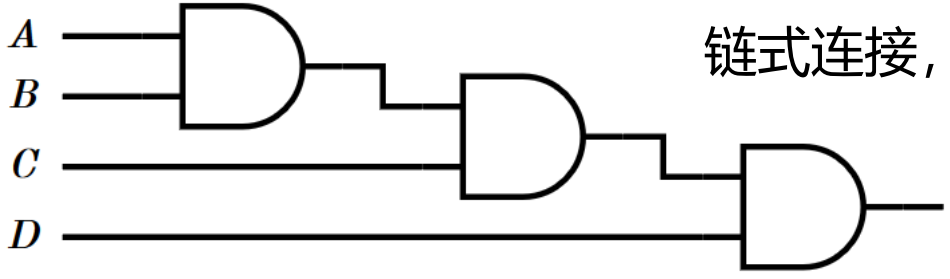
中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

多于2输入的与、或门构成方式



可以把“与门”换成“或门”，来实现多输入或逻辑

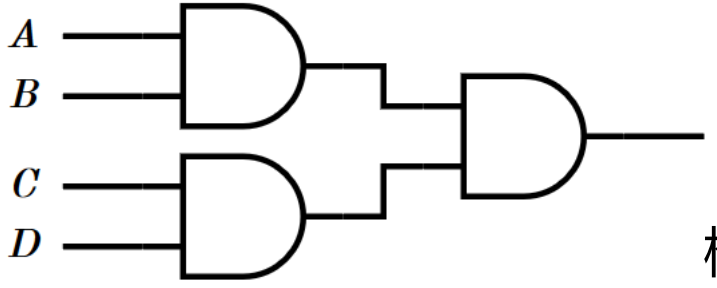
$$Y = A \cdot B \cdot C = (A \cdot B) \cdot C$$



链式连接，传播延迟时间随输入端数线性增加

$$Y = ((A \cdot B) \cdot C) \cdot D$$

这两种电路哪个更好?



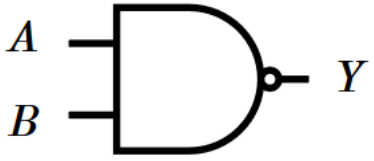
$$Y = (A \cdot B) \cdot (C \cdot D)$$

树形连接，传播延迟时间随输入端数对数增加

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑其他基本组件

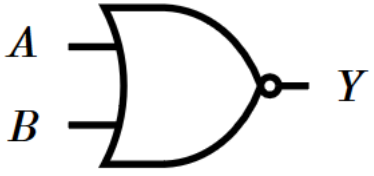
与非门（NAND，Not And）



$$Y = \overline{A \cdot B}$$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

或非门（NOR，Not Or）



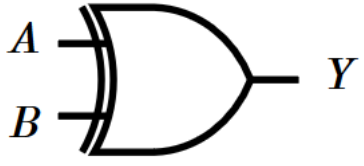
$$Y = \overline{A + B}$$

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

在CMOS门实现中，输入电平变高会导致输出电平下降（反过来一样），CMOS门天然具有反相向功能；因此在CMOS逻辑设计中，一般采用NAND或NOR门来实现

但不能用NAND和NOR直接级联的方式扩展输入端，为什么？

异或门（XOR，exclusive OR）



$$Y = A \oplus B$$

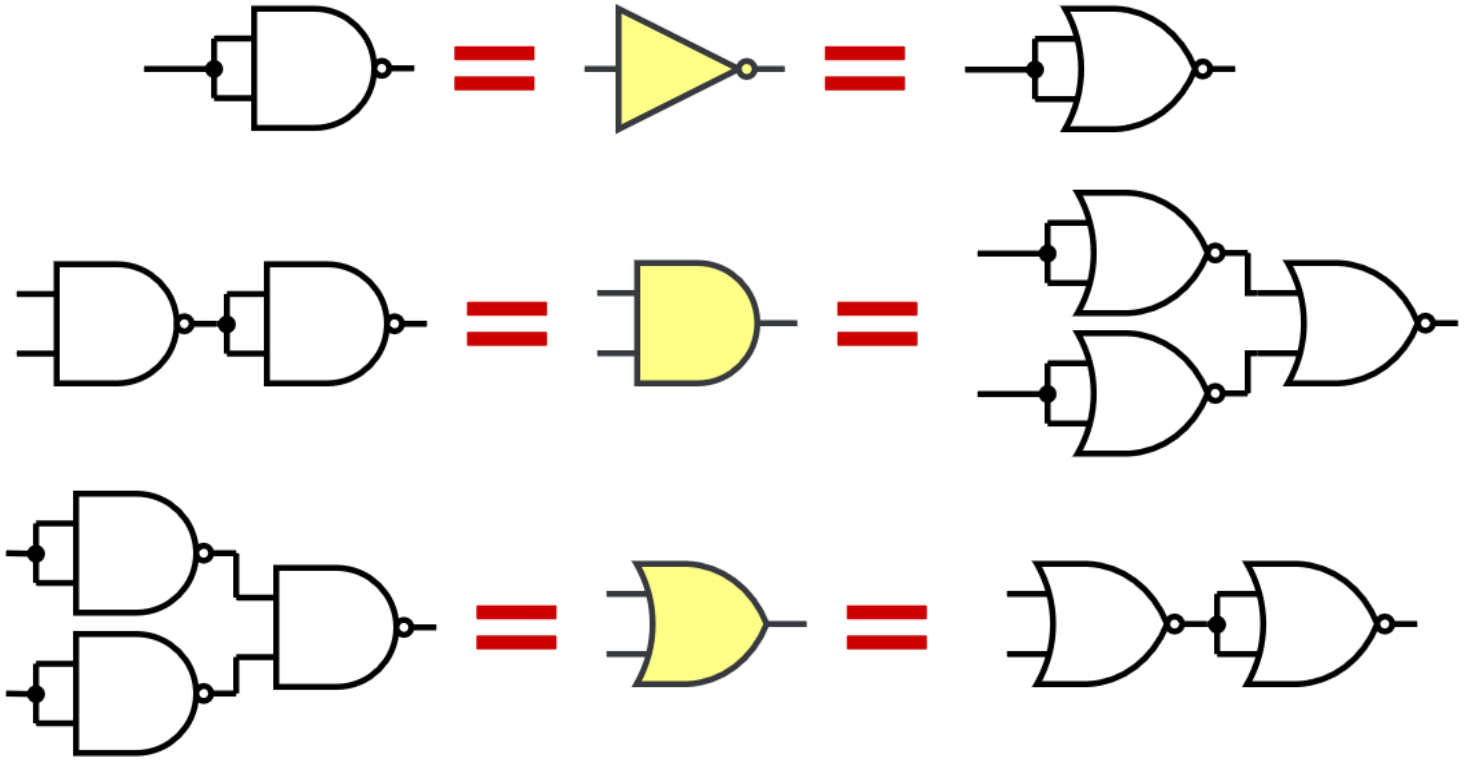
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

1. XOR门在实现算数逻辑运算和奇偶校验时很有用
2. 也可以用来实现“可编程的反相器”
   - $if\ A = 0, Y = B, else\ A = 1, Y = \bar{B}$
3. XOR门可以采用链式连接或树型结构来实现多输入XOR逻辑运算

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

通用逻辑组件

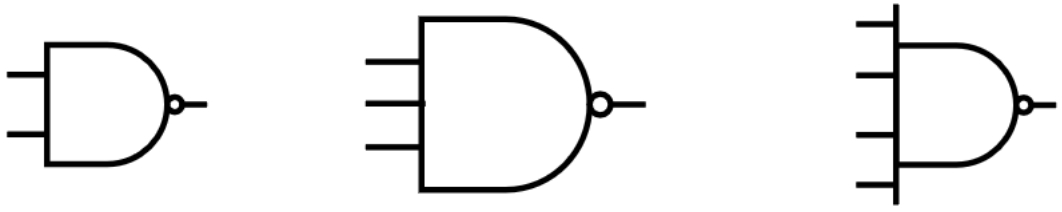
- NAND和NOR是通用的基本逻辑组件



任何逻辑都可以采用NAND（或NOR）来实现，CMOS工程上的好消息

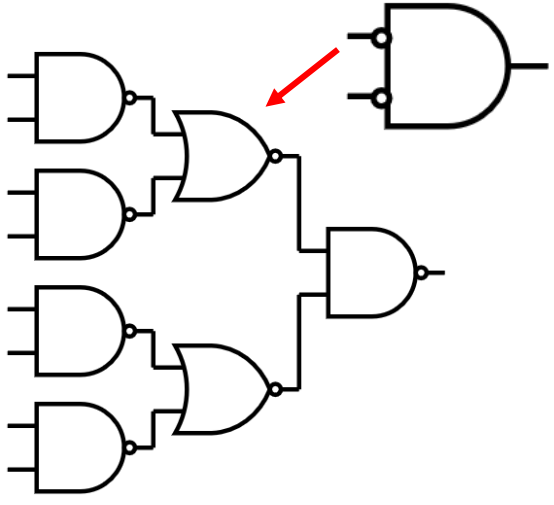
多输入NAND和NOR

- 大多数单元库提供2、3、4输入NAND和NOR

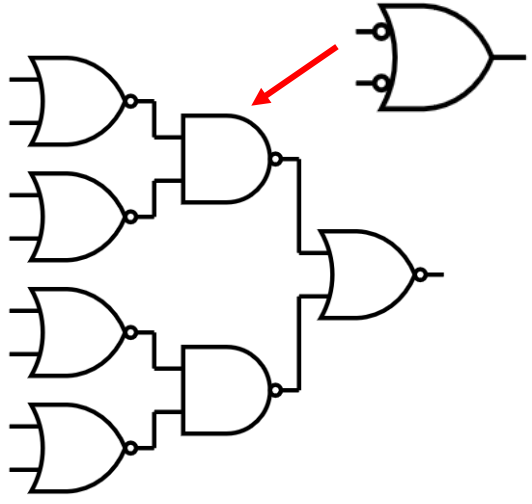


- 需要更多输入的逻辑模块时，一般采用单元库提供的器件，使用树形结构搭建，这样可以避免互连的FET过多，产生的大电阻效应

8输入NAND

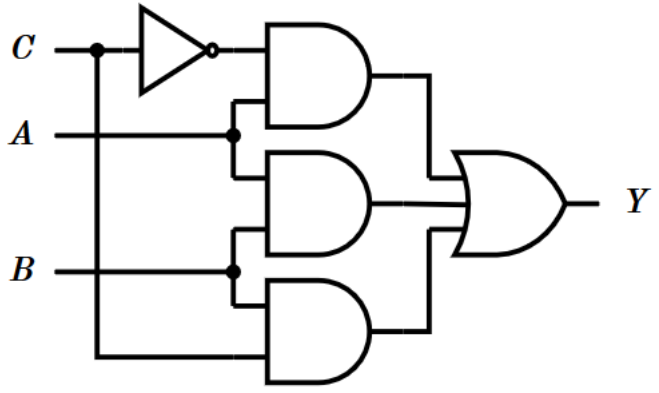


8输入NOR

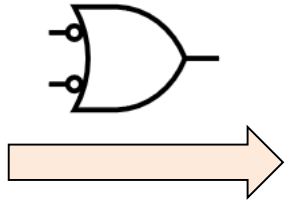


最小项和的CMOS实现

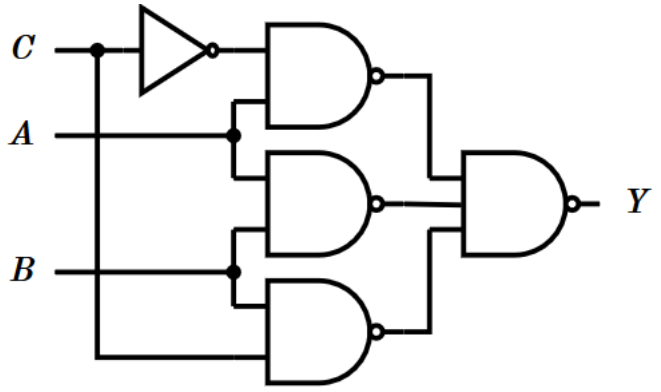
$$Y = AB + BC + A\overline{C}$$

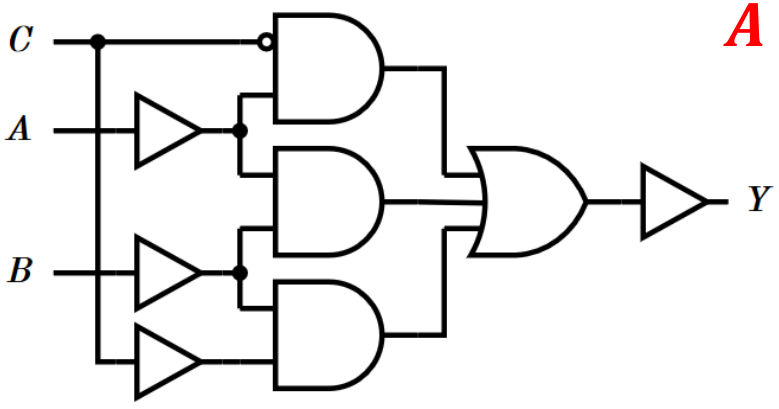


$$\overline{AB} = \overline{A} + \overline{B}$$

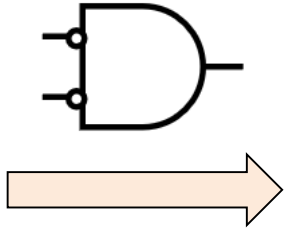


NAND-NAND形式

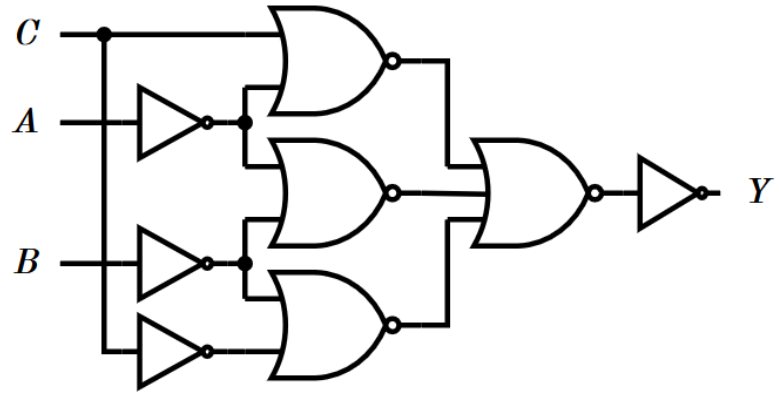




$$\overline{A} \cdot \overline{B} = \overline{A + B}$$



NOR-NOR形式



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路重点内容

- 组合逻辑电路的的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
  - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法

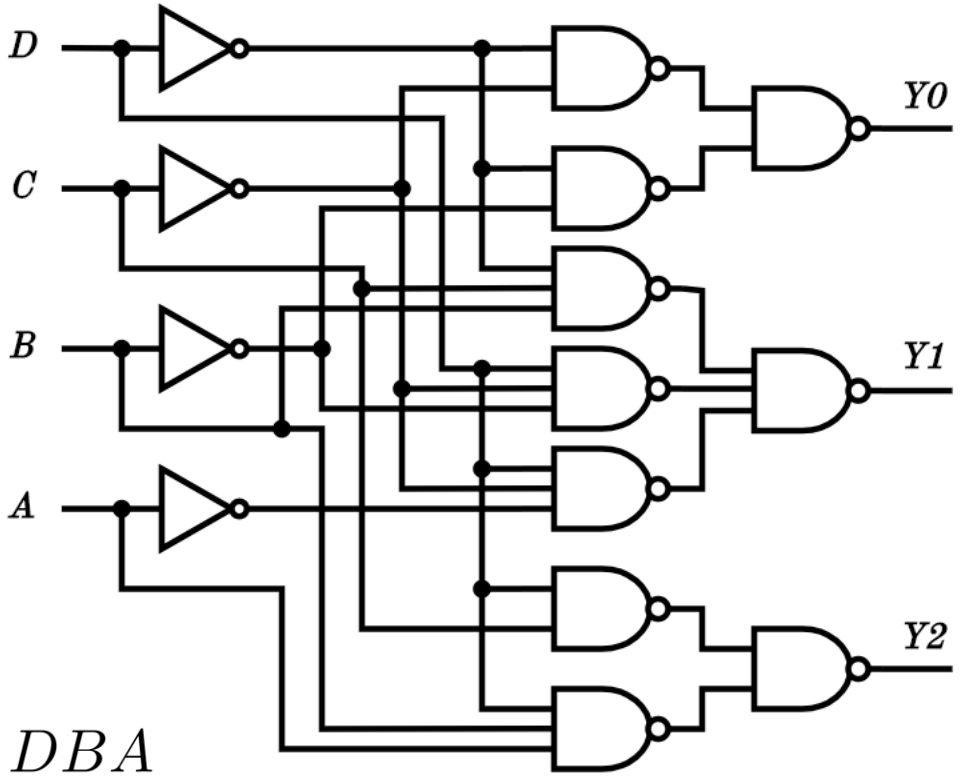
组合逻辑电路的分析步骤

- 目的：通过分析找出电路的逻辑功能
- 步骤
  - 从电路的输入到输出逐级写出逻辑函数式
  - 得到表示输入与输出关系的逻辑关系式
  - 将函数式化简或变换（公式化简法、卡诺图化简法）
  - 为了更加直观，有时可以将逻辑函数式转化为真值表

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路的分析举例

分析下图逻辑功能，指出该电路的用途



1. 根据逻辑图写出逻辑式

$$Y_2(A,B,C,D) = ((DC)'(DBA)')' = DC + DBA$$
$$Y_1(A,B,C,D) = ((D'CB)'(DC'B')'(DC'A')')' = D'CB + DC'B' + DC'A'$$
$$Y_0(A,B,C,D) = ((D'C')'(D'B')')' = D'C' + D'B'$$

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路的分析举例

1. 根据逻辑图写出逻辑式

$$Y_2(A,B,C,D) = ((DC)'(DBA)')' = DC + DBA$$
$$Y_1(A,B,C,D) = ((D'CB)'(DC'B')'(DC'A')')' = D'CB + DC'B' + DC'A'$$
$$Y_0(A,B,C,D) = ((D'C')'(D'B')')' = D'C' + D'B'$$

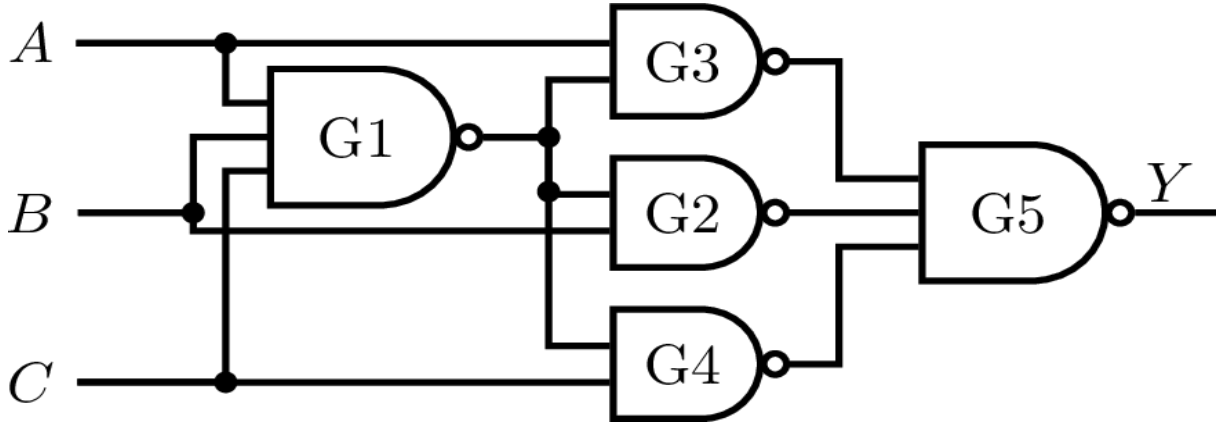
2. 根据逻辑式画出真值表

3. 由真值表可知，该电路可以判定输入4位二进制数的数值范围

输入	输出		
D C B A	Y2	Y1	Y0
0 0 0 0	0	0	1
0 0 0 1	0	0	1
0 0 1 0	0	0	1
0 0 1 1	0	0	1
0 1 0 0	0	0	1
0 1 0 1	0	0	1
0 1 1 0	0	1	0
0 1 1 1	0	1	0
1 0 0 0	0	1	0
1 0 0 1	0	1	0
1 0 1 0	0	1	0
1 0 1 1	1	0	0
1 1 0 0	1	0	0
1 1 0 1	1	0	0
1 1 1 0	1	0	0
1 1 1 1	1	0	0

组合逻辑电路分析练习

- 分析下图电路的逻辑功能?



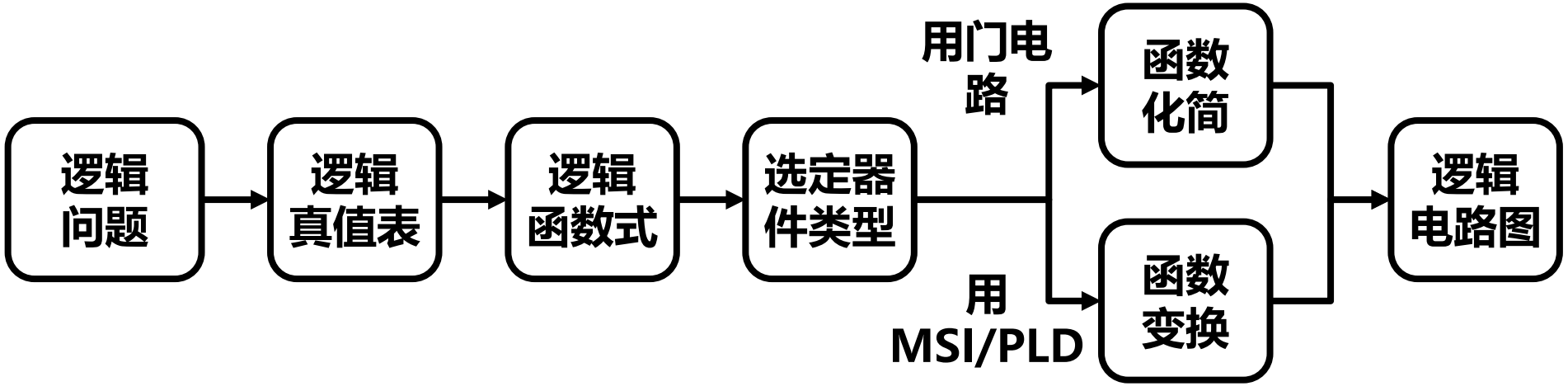
中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路的设计目标

- 目的
  - 根据给出的实际逻辑问题，求出实现这一逻辑功能的**最简单**逻辑电路
- “最简”
  - 器件数最少
  - 器件种类最少
  - 器件之间连线最少

组合逻辑电路的设计步骤

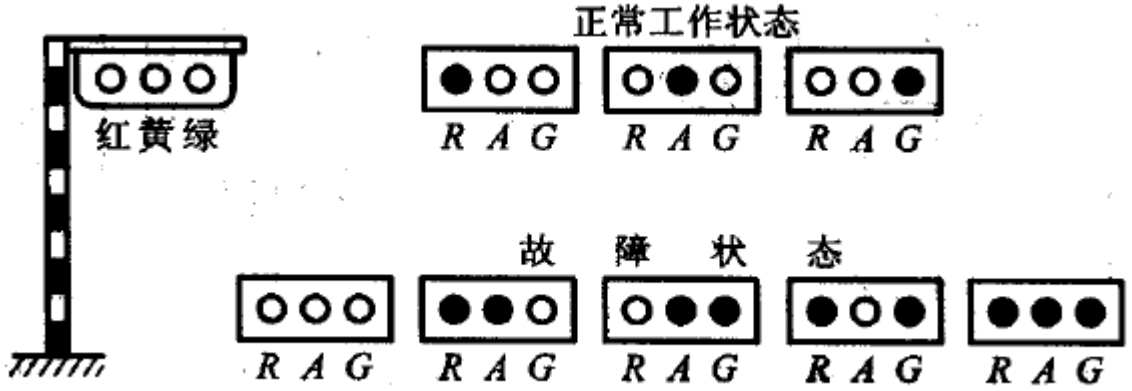
1. 逻辑抽象
   - 分析因果关系，确定输入/输出变量
   - 定义逻辑状态的含意（赋值）
   - 列出真值表
2. 写出逻辑函数式
3. 选定器件类型
4. 逻辑函数变换
   - 化简（用门）
   - 变换（用MSI）
   - 进行相应的描述（PLD）
5. 画出逻辑电路图
6. 工艺设计



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路设计举例(1)

- 设计一个监视交通信号灯工作状态的逻辑电路
- 正常工作：必有一盏灯点亮，而且只允许有一盏灯点亮
- 故障状态：其他5种点亮状态时，电路发生故障，这时要求发出故障信号，以提醒维护人员前去修理



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路设计举例(2)

1. 首先进行逻辑抽象
   - 输入变量：红(R) 黄(A) 绿(G)，亮 “1” 不亮 “ 0”
   - 输出变量：Z，正常工作 “0” 发生故障 “1”
2. 画出真值表，如右图所示
3. 根据真值表写出逻辑表达式

$$Z = R'A'G' + R'AG + RA'G + RAG' + RAG$$

4. 卡诺图化简

$$Z = R'A'G' + RA + RG + AG$$

输入			输出
R	A	G	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

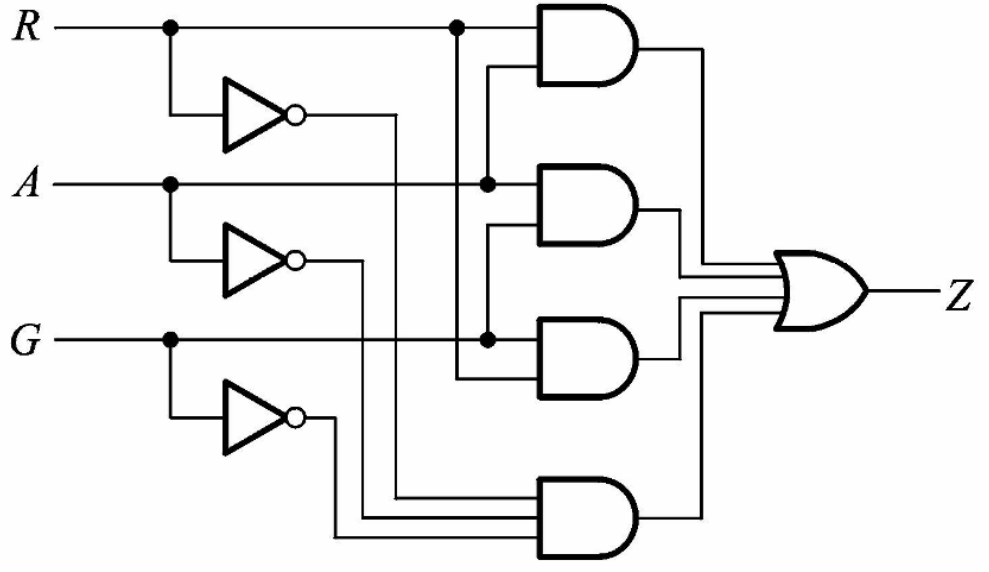
AG	A=0		A=1	
R	00	01	11	10
0	1	0	1	0
1	0	1	1	1

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路设计举例(3)

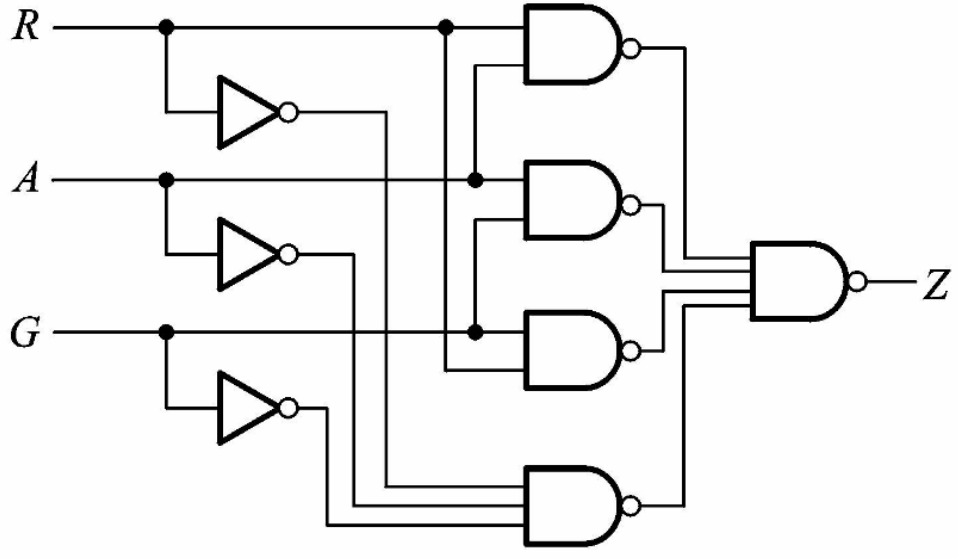
5. 画出逻辑电路图

$$Z = R'A'G' + RA + RG + AG$$



与门、或门实现

$$\begin{aligned} Z &= R'A'G' + RA + RG + AG \\ &= ((R'A'G' + RA + RG + AG)')' \\ &= ((R'A'G')'(RA)'(RG)'(AG)')' \end{aligned}$$

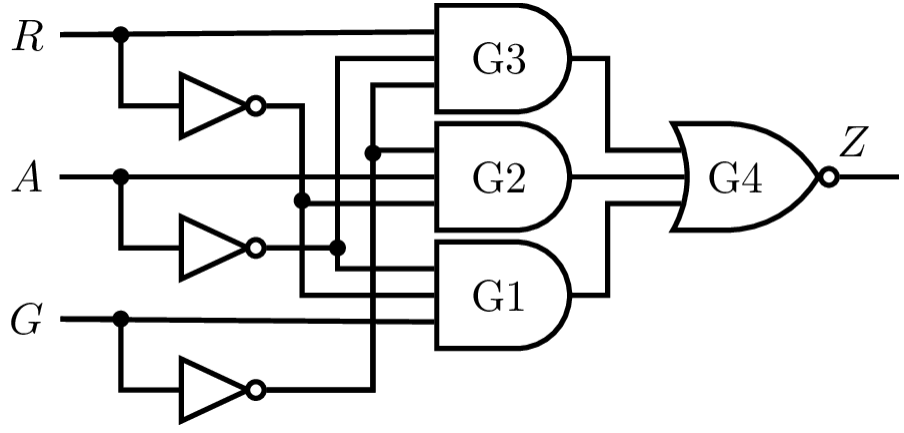


与非门实现

组合逻辑电路设计举例(4)

- 若要求全部使用“与门”、“或非门”组成电路，需将函数式化为最简与或非表达式
- 圈卡诺图上的“0”，然后求反得到即可
- 化简结果和电路图如下

R \ AG	A=0		A=1	
	00	01	11	10
0	1	0	1	0
1	0	1	1	1



$$Z = (RA'G' + R'AG' + R'A'G)'$$

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路重点内容

- 组合逻辑电路的的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
  - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法

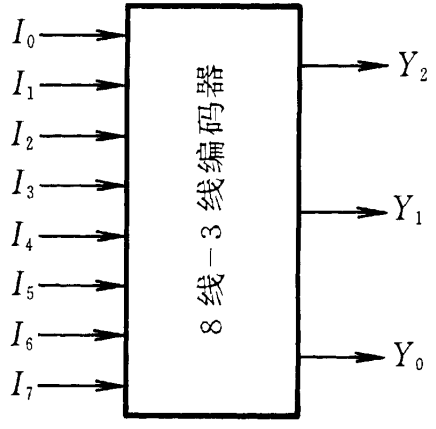
常用的组合逻辑电路—编码器

- 编码：区分一系列不同的事物，将其中的每个事物用一个二值代码表示

- 编码器（Encoder）
  - 将输入的每一个高（或者低）电平信号编成一个对应的二进制代码
  - 编码器分为普通编码器和优先编码器。
  - 根据进制可分为二进制编码器、二 - 十进制编码器

普通编码器(1)

- 任何时刻只允许输入一个编码信号，否则将发生混乱
- 例：3位二进制普通编码器
  - $I_0 \sim I_7$为信号输入端，高电平有效
  - $Y_2\ Y_1\ Y_0$为三位二进制代码输出端
  - 8线-3线编码器

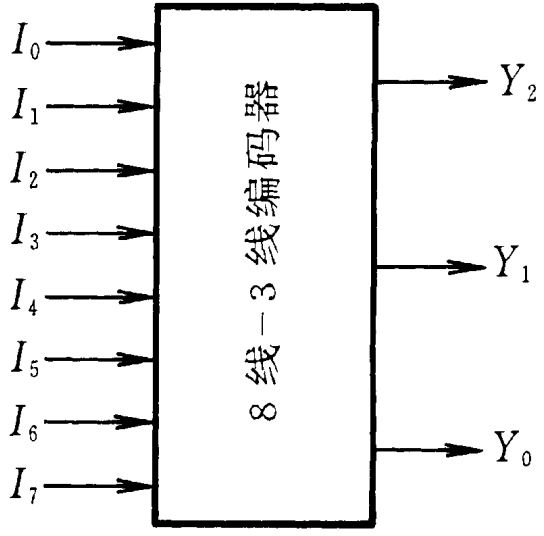


输入								输出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

普通编码器(2)

- 逻辑表达式



输入								输出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

$$Y_2 = I_0'I_1'I_2'I_3'I_4I_5'I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6'I_7$$

$$Y_1 = I_0'I_1'I_2I_3'I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6I_7$$

$$Y_0 = I_0'I_1I_2'I_3'I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6'I_7$$

ICT 中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

普通编码器(3)

8-3 普通二进制编码器的约束项：任意时刻只允许一个编码信号输入

对表达式

$$Y_2 = I_0'I_1'I_2'I_3'I_4I_5'I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6'I_7$$

$$Y_1 = I_0'I_1'I_2I_3'I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6'I_7$$

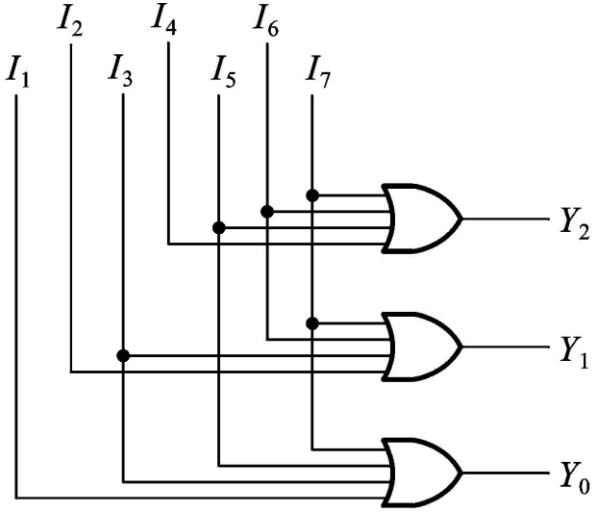
$$Y_0 = I_0'I_1I_2'I_3'I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3I_4'I_5'I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5I_6'I_7' + I_0'I_1'I_2'I_3'I_4'I_5'I_6'I_7$$

化简结果：

$$\boldsymbol{Y_2 = I_4 + I_5 + I_6 + I_7}$$

$$\boldsymbol{Y_1 = I_2 + I_3 + I_6 + I_7}$$

$$\boldsymbol{Y_0 = I_1 + I_3 + I_5 + I_7}$$

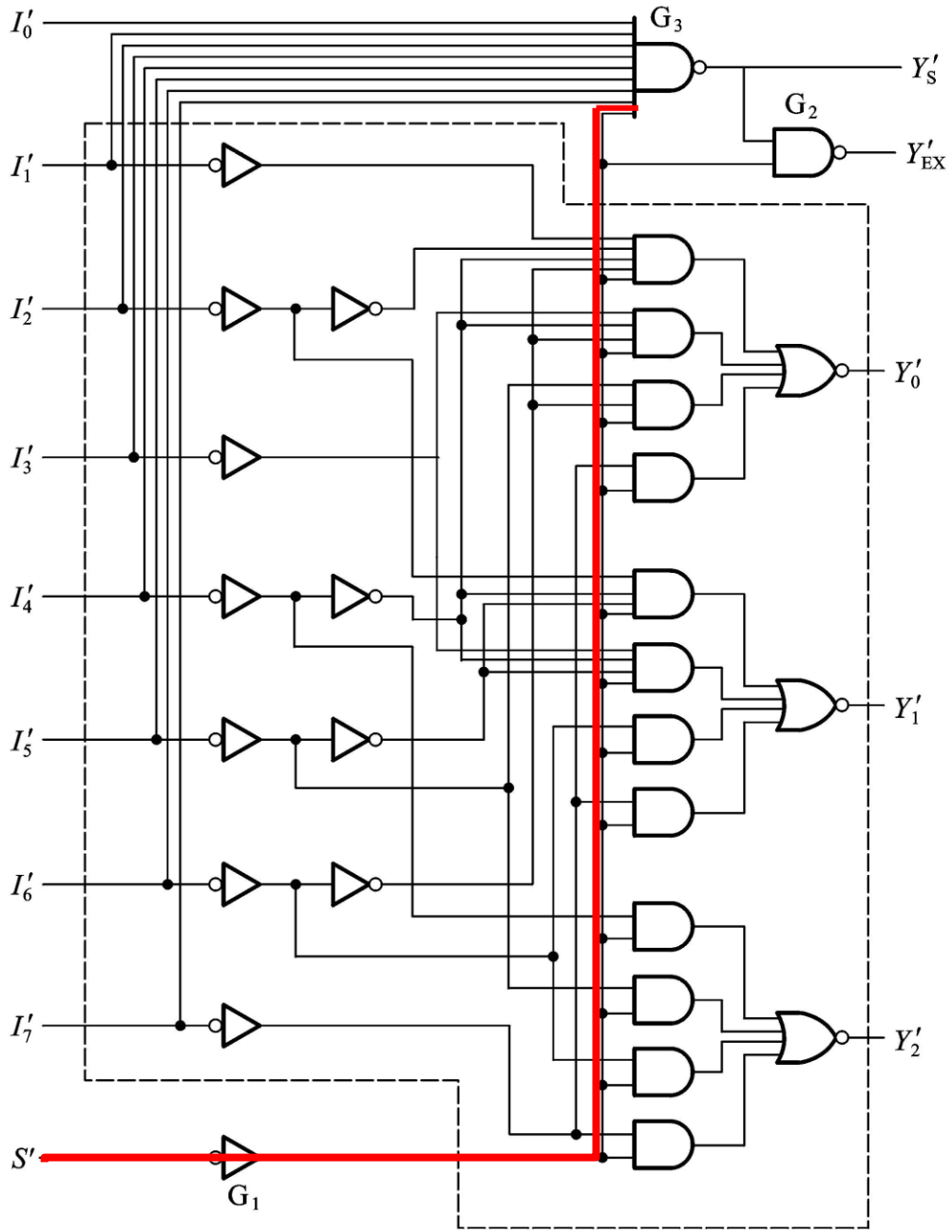


中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

优先权编码器(1)

- 允许同时输入两个以上编码信号，当几个输入信号同时出现时，只对其中优先权最高的一个进行编码

- 例：8线-3线优先编码器 *74HC148*
- 设I_7优先权最高，依次降低，I_0优先权最低
- 增加选通输入端S'
  - 当"$S'=0$"时，编码器才能正常工作；
  - 当"$S'=1$"时，所有输出端均被锁定在高电平



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
University of Chinese Academy of Sciences

优先权编码器(2)

化简后的逻辑函数式

$$Y_2' = ((I_7 + I_6 + I_5 + I_4)S)'$$
$$Y_1' = ((I_7 + I_6 + I_5 I_4' I_3' + I_2 I_4' I_5')S)'$$
$$Y_0' = ((I_7 + I_6' I_5 + I_3 I_4' I_6' + I_1 I_2 I_4' I_6')S)'$$

选通输入端Y_S'和扩展端Y_{EX}'用于扩展编码功能

当Y_S'=0时，电路工作，但**无**编码输入

当Y_{EX}'=0时，电路工作，且**有**编码输入

$$Y_s' = (I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' S)'$$
$$Y_{EX}' = ((I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' S)' S)'$$
$$= ((I_7 + I_6 + I_5 + I_4 + I_3 + I_2 + I_1 + I_0)S)'$$

输入									输出				
S'	I_0'	I_1'	I_2'	I_3'	I_4'	I_5'	I_6'	I_7'	Y_2'	Y_1'	Y_0'	Y_S'	Y_{EX}'
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	X	X	X	X	X	X	X	0	0	0	0	1	0
0	X	X	X	X	X	X	0	1	0	0	1	1	0
0	X	X	X	X	X	0	1	1	0	1	0	1	0
0	X	X	X	X	0	1	1	1	0	1	1	1	0
0	X	X	X	0	1	1	1	1	1	0	0	1	0
0	X	X	0	1	1	1	1	1	1	0	1	1	0
0	X	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0

优先权编码器附加信号功能

- 采用附加信号实现多个优先权编码器的级联扩展，
- 如2个8-3编码器，扩展成一个16-4编码器

Y'_S	Y'_{EX}	状态
1	1	不工作
0	1	工作，但无输入
1	0	工作，且有输入
0	0	不可能出现

输入									输出				
S'	I'_0	I'_1	I'_2	I'_3	I'_4	I'_5	I'_6	I'_7	Y'_2	Y'_1	Y'_0	Y'_S	Y'_{EX}
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	X	X	X	X	X	X	X	0	0	0	0	1	0
0	X	X	X	X	X	X	0	1	0	0	1	1	0
0	X	X	X	X	X	0	1	1	0	1	0	1	0
0	X	X	X	X	0	1	1	1	0	1	1	1	0
0	X	X	X	0	1	1	1	1	1	0	0	1	0
0	X	X	0	1	1	1	1	1	1	0	1	1	0
0	X	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0

优先权编码器扩展举例(1)

- 用2个74HC148接成16-4线优先编码器，其中，A'_{15}优先权最高，A'_0优先权最低
- 解答说明
  - 每个优先权编码器有8个输入，2个编码器16个输入
  - 采用选通S'和功能扩展信号Y'_S、Y'_{EX}实现2个8-3编码器级联工作
  - 根据优先权的要求，若第一片的优先级比第二片高，则第一片的输入为A'_{15} ~ A'_8，第二片的输入为A'_7 ~ A'_0。当第一片工作，即有输入信号时，第二片禁止工作，也就是使得第二片的S′ = 1
  - 由表中可知可将第一片的Y'_S接到第二片的S′上

Y'_S	Y'_{EX}	状态
1	1	不工作
0	1	工作，但无输入
1	0	工作，且有输入
0	0	不可能出现

优先权编码器扩展举例(2)

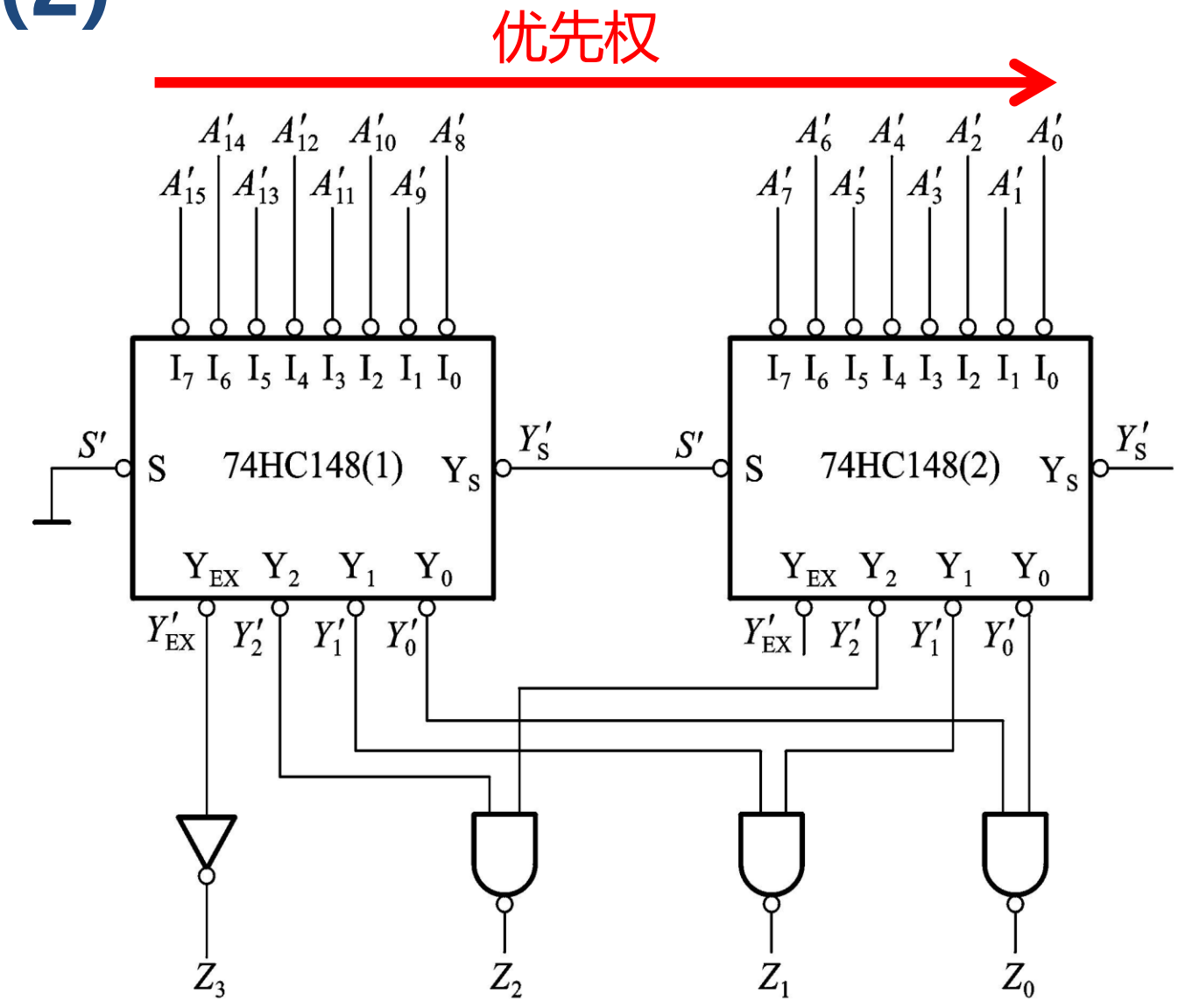
- 第一个编码器为高优先权
- 编码器(1)无编码输入时，编码器(2)才允许工作
- 编码器(1)的$Y'_{EX}=0$时，表示对A'_{15} ~ A'_8的编码
- 低3位输出是两个编码器输出相应位的“与非”

$$Z_3=(Y'_{1EX})'$$

$$Z_2=(Y'_{12}Y'_{22})'$$

$$Z_1=(Y'_{11}Y'_{21})'$$

$$Z_0=(Y'_{10}Y'_{20})'$$



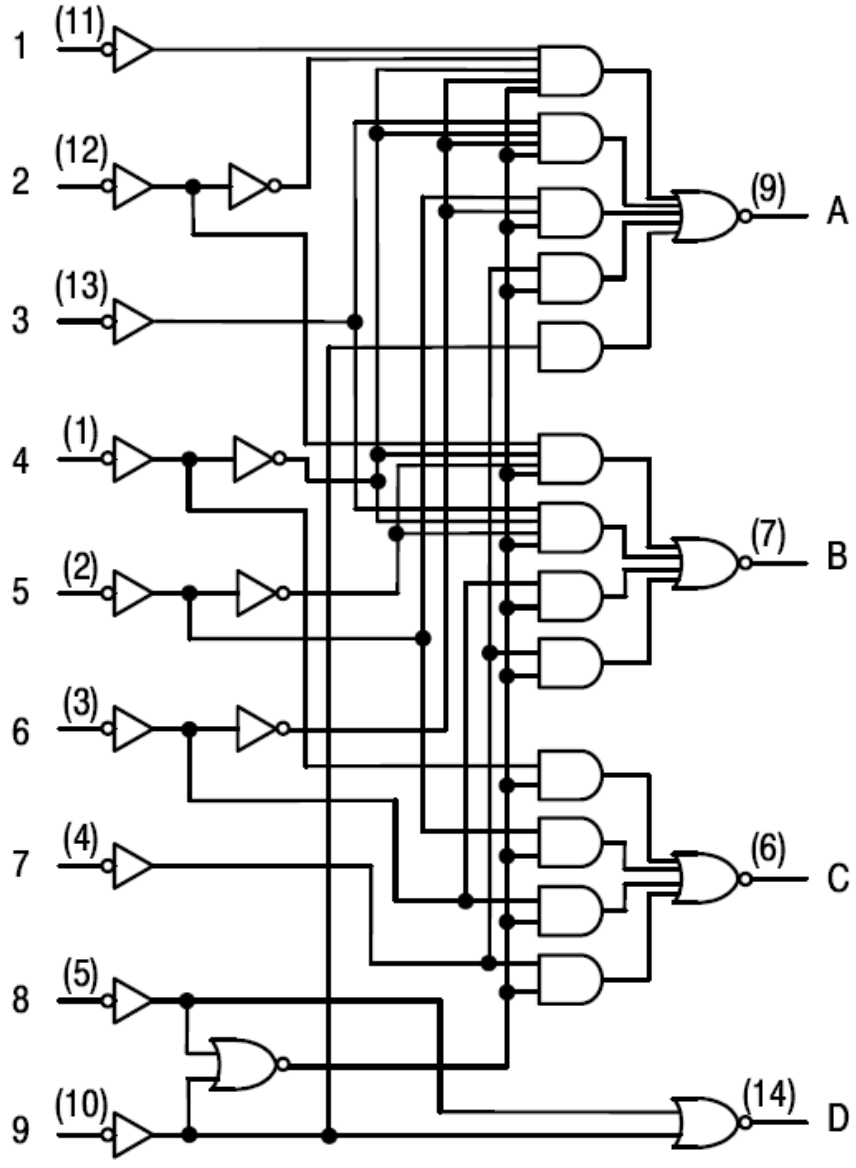
二—十进制优先权编码器

- “*1~9*”是9个输入信号，*DCBA*是4位编码输出，编码值：*0110 ~ 1110*
- “*9*”优先权最高，“*1*”优先级最低
- *DCBA*为四位二进制BCD码（反码）输出端
- 输入的低电平信号变成一个对应的十进制的编码

SN54/74LS147
FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Logic Level, L = LOW Logic Level, X = Irrelevant



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

组合逻辑电路重点内容

- 组合逻辑电路的的描述方法
- 构成组合逻辑电路的基本组件
- 组合逻辑电路的分析与设计方法
- 常用的组合逻辑电路模块及其应用实例
  - 编码器、译码器、数据选择器、加法器、数据比较器
- 竞争-冒险现象及其避免方法

常用的组合逻辑电路—译码器

- 将一个多位二进制数码转换成相应的一个电平信号
- 例3-8译码器，工作时：

$$CS_1 = 1, CS_2 + CS_3 = 0$$

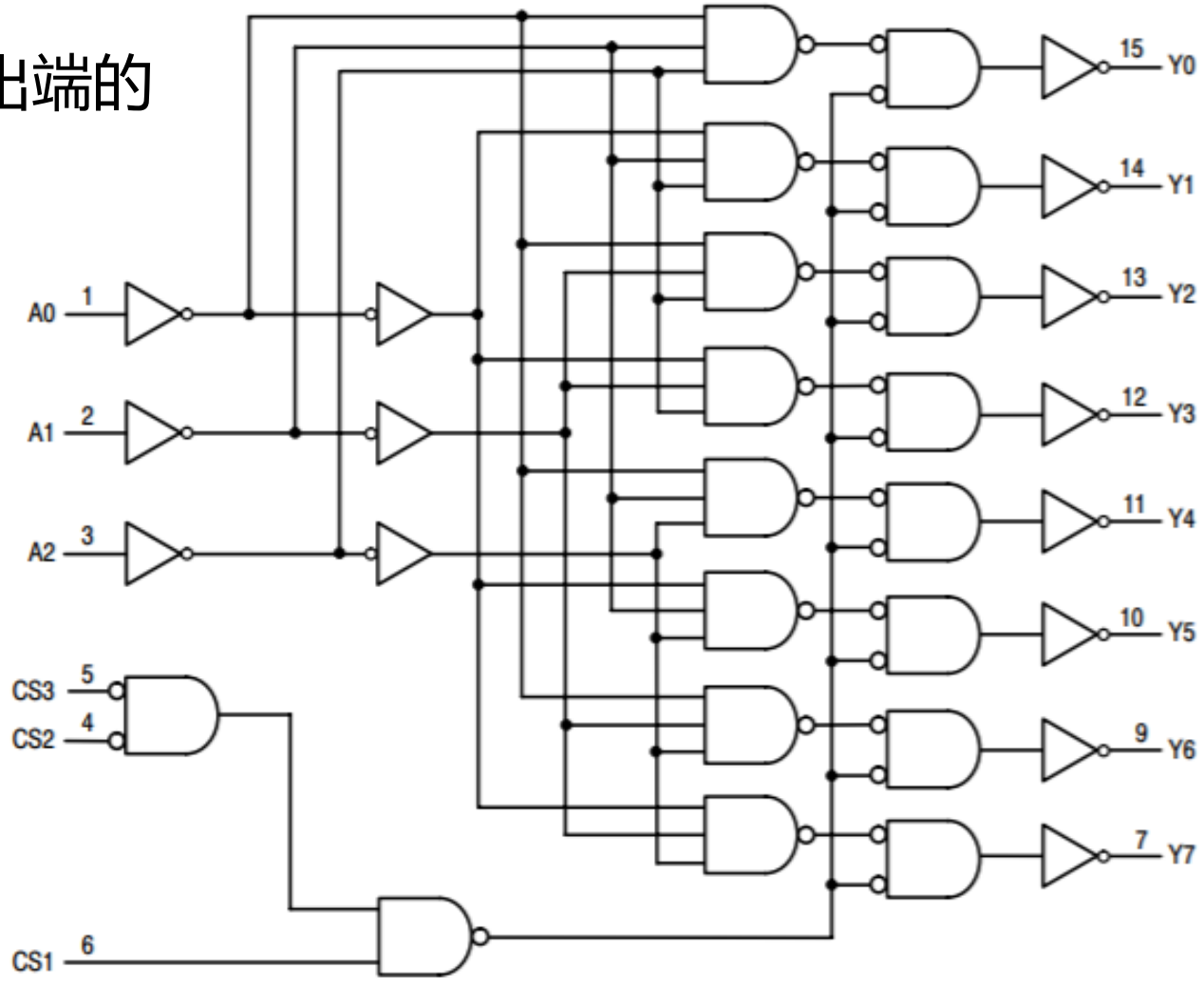
$$Y_0' = A_2'A_1'A_0' = m_0'$$
$$Y_1' = A_2'A_1'A_0 = m_1'$$
$$Y_2' = A_2'A_1A_0' = m_2'$$
$$Y_3' = A_2'A_1A_0 = m_3'$$
$$Y_4' = A_2A_1'A_0' = m_4'$$
$$Y_5' = A_2A_1'A_0 = m_5'$$
$$Y_6' = A_2A_1A_0' = m_6'$$
$$Y_7' = A_2A_1A_0 = m_7'$$

最小项译码器

输入					输出							
CS_1	$CS_2 + CS_3$	A_2	A_1	A_0	Y_7'	Y_6'	Y_5'	Y_4'	Y_3'	Y_2'	Y_1'	Y_0'
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

二进制3-8译码器电路图

- 当$CS_1 = 1$，$CS_2 + CS_2 = 0$时，输出端的逻辑式为$Y_i' = m_i'$
- 数据分配器（多路器）功能：
  - 当$CS_2 + CS_2 = 0$时，数据由CS_1端输入，地址$A_2A_1A_0$的取值决定CS_1的状态从哪个输出端出现，CS_1称为“数据”输入端，$A_2A_1A_0$称为“地址”输入端
  - 如当$A_2A_1A_0$=101时，其他门输出端全是高电平，$Y_5' = CS_1'$，数据以反码输出



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

二进制3-8译码器功能扩展

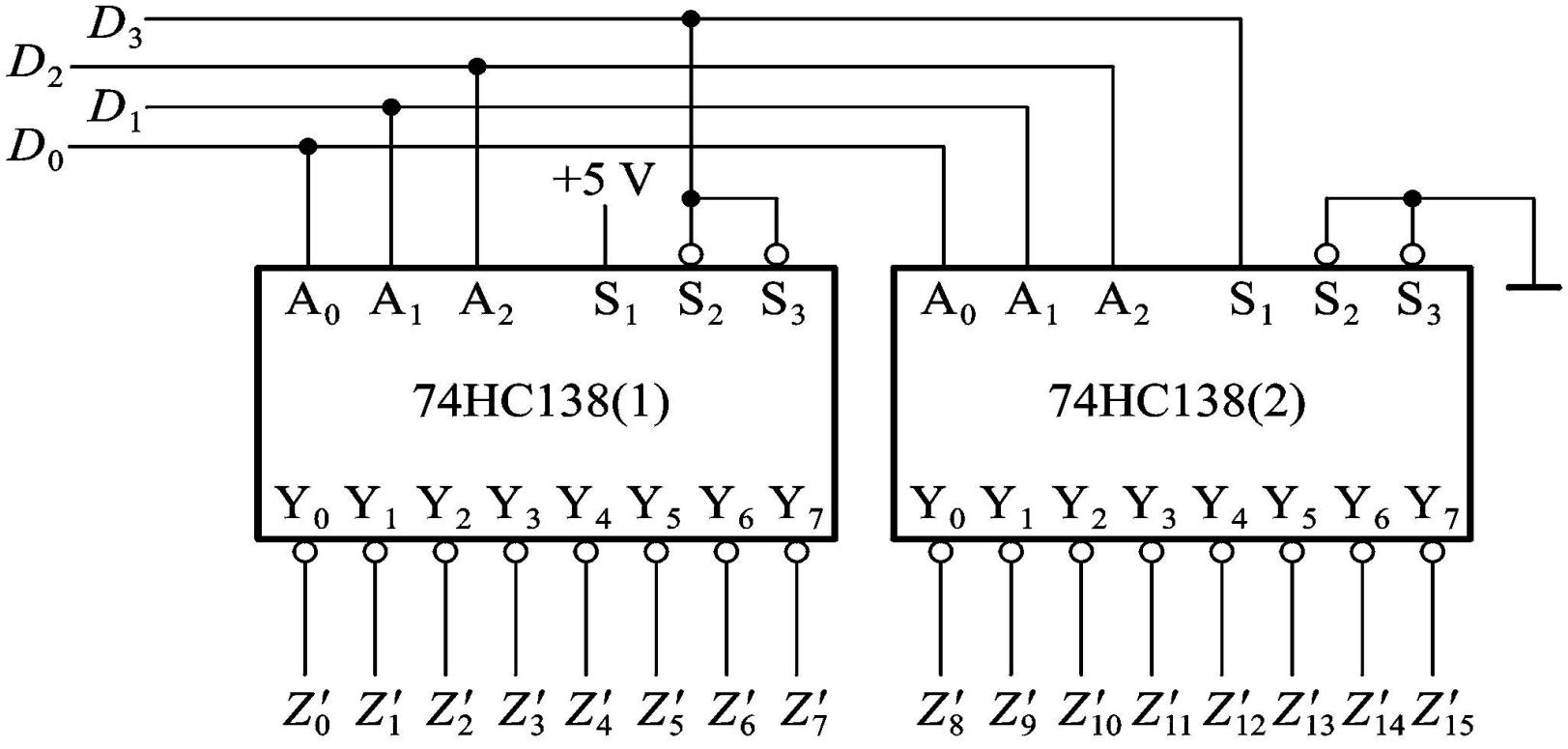
- 用两个74HC138接成4线-16线译码器

$74HC138(1)$

$$S_1 = 1$$
$$S_2' = S_3' = D_3$$
$$A_2 = D_2$$
$$A_1 = D_1$$
$$A_1 = D_0$$

$74HC138(2)$

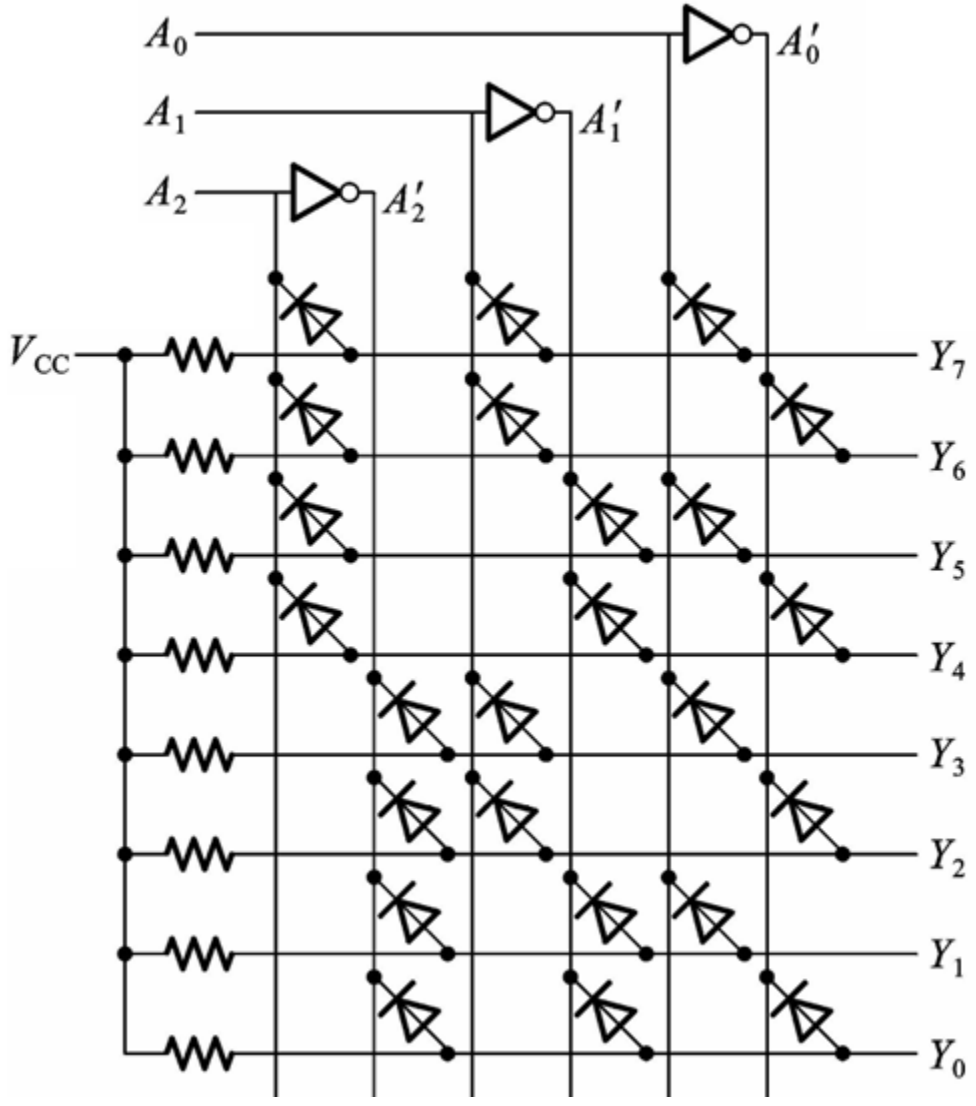
$$S_1 = D_3$$
$$S_2' = S_3' = 0$$
$$A_2 = D_2$$
$$A_1 = D_1$$
$$A_1 = D_0$$



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

二极管阵列构成的译码器

- 用二极管“与门阵列”构成的3-8线译码器
- 设Vcc = 5V，输入信号高电平为3V，低电平是0V，二极管导通压降为0.7V
- $A_2, A_1, A_0, A_2', A_1', A_0'$中的6个列线有为“0”的状态时，与其相连的所有二极管处于导通状态，对应的Y线输出为“0” （0.7V）
- 优点：电路比较简单
- 缺点：电路的输入电阻较低而输出电阻较高，输出的高、低电平信号发生偏移



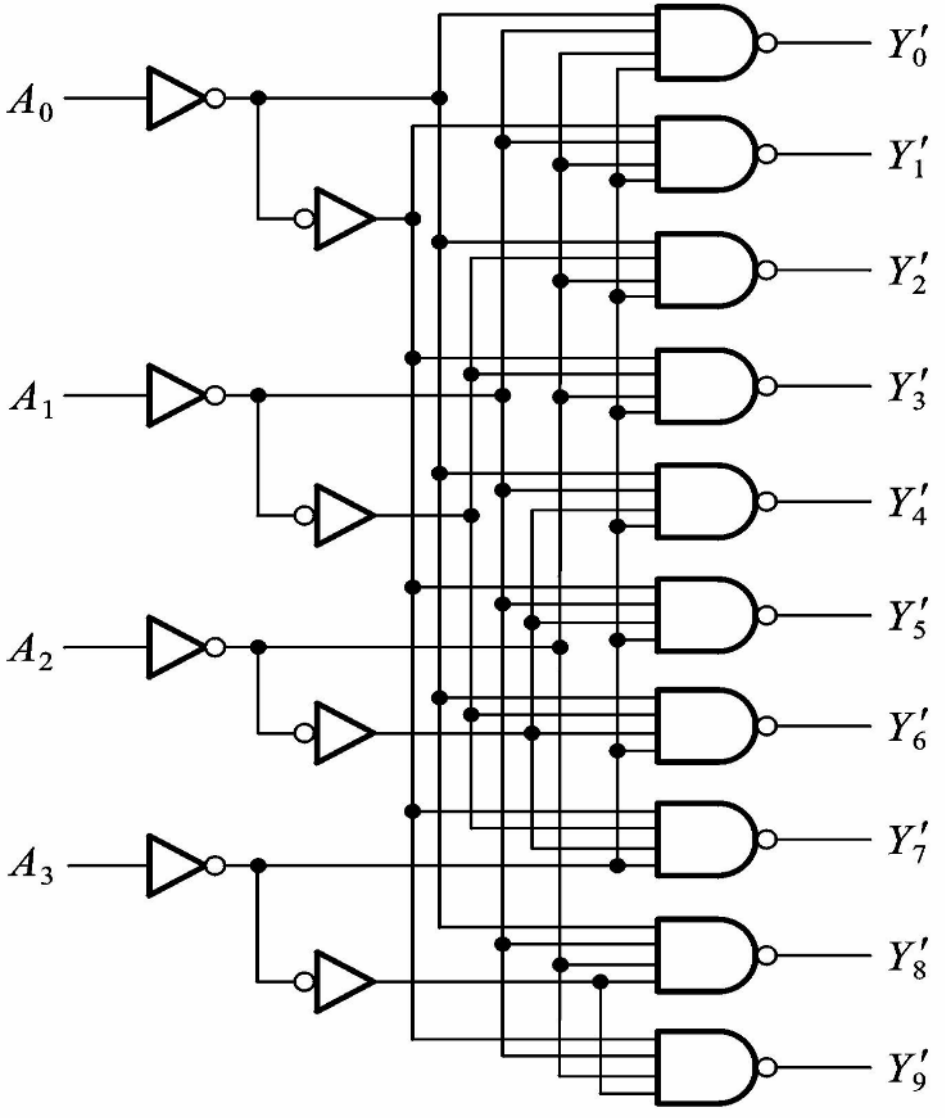
中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

二十进制译码器电路图、逻辑式

- 把输入的二进制BCD码转换成输出的10个电平信号，例74HC42

$$Y_0' = (A_3' A_2' A_1' A_0')' \qquad Y_5' = (A_3' A_2 A_1' A_0)'$$
$$Y_1' = (A_3' A_2' A_1' A_0)' \qquad Y_6' = (A_3' A_2 A_1 A_0')'$$
$$Y_2' = (A_3' A_2' A_1 A_0')' \qquad Y_7' = (A_3' A_2 A_1 A_0)'$$
$$Y_3' = (A_3' A_2' A_1 A_0)' \qquad Y_8' = (A_3 A_2' A_1' A_0')'$$
$$Y_4' = (A_3' A_2 A_1' A_0')' \qquad Y_9' = (A_3 A_2' A_1' A_0)$$

$$Y_i' = m_i' \qquad (i = 0, 1, \cdots, 9)$$



中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

二十进制译码器真值表

正常译码

拒绝伪码

序号	输入				输出									
	A_3	A_2	A_1	A_0	Y'_9	Y'_8	Y'_7	Y'_6	Y'_5	Y'_4	Y'_3	Y'_2	Y'_1	Y'_0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	1	1	0	1
2	0	0	1	0	1	1	1	1	1	1	1	0	1	1
3	0	0	1	1	1	1	1	1	1	1	0	1	1	1
4	0	1	0	0	1	1	1	1	1	0	1	1	1	1
5	0	1	0	1	1	1	1	1	0	1	1	1	1	1
6	0	1	1	0	1	1	1	0	1	1	1	1	1	1
7	0	1	1	1	1	1	0	1	1	1	1	1	1	1
8	1	0	0	0	1	0	1	1	1	1	1	1	1	1
9	1	0	0	1	0	1	1	1	1	1	1	1	1	1
10	1	0	1	0	1	1	1	1	1	1	1	1	1	1
11	1	0	1	1	1	1	1	1	1	1	1	1	1	1
12	1	1	0	0	1	1	1	1	1	1	1	1	1	1
13	1	1	0	1	1	1	1	1	1	1	1	1	1	1
14	1	1	1	0	1	1	1	1	1	1	1	1	1	1
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ICT 中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES
中国科学院大学 University of Chinese Academy of Sciences

问题和建议?