

数字电路

Digital Circuits and System

李文明

liwenming@ict.ac.cn



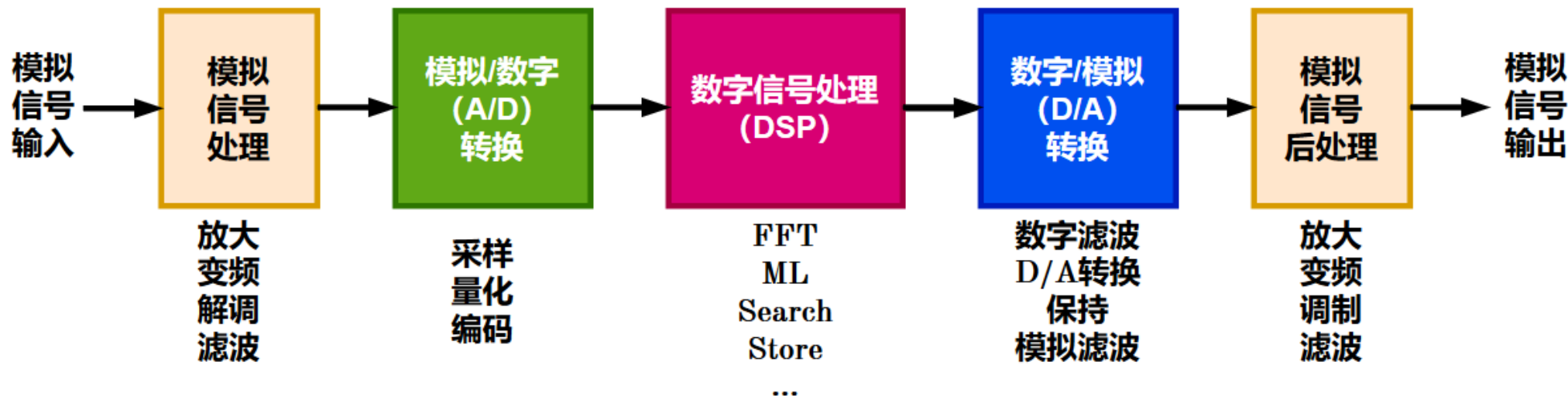
数模/模数转换



提纲

- 数模转换的必要性
- DAC、ADC结构
 - DAC
 - 传输特性
 - 技术指标
 - 结构和实现
 - 电阻串
 - 加权电阻
 - R-2R梯型网络
 - DAC举例
 - ADC
 - 传输特性
 - 结构和分类
 - 逐次逼近
 - 积分
 - 并联比较
 - 流水线
 - $\Sigma\Delta$
 - ADC精度和速度

一个完整的模拟/数字混合系统



数字处理可以实现复杂的算法，方便存储、纠错、搜索等

现实世界还是模拟的

1. 时间变化连续
2. 物理量的幅值变化连续

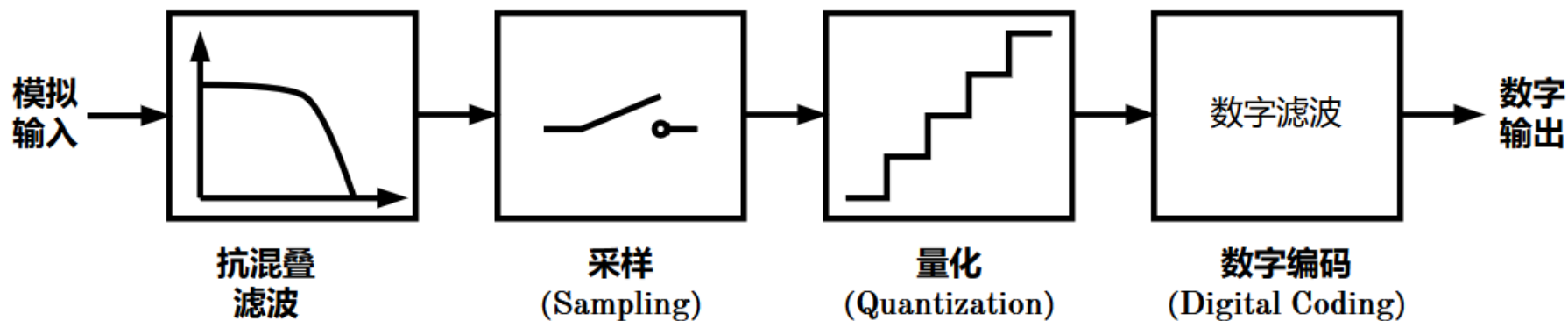
DSP数据处理的特征

1. 时间变化离散
2. 幅值变化离散

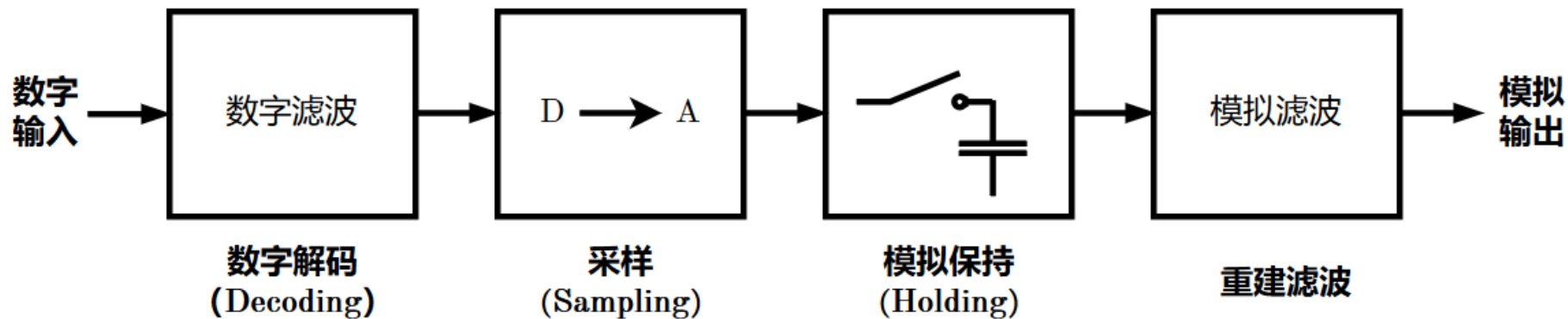
需要把数据从模拟量转换成数字量，处理后再把数字量转换成模拟量

ADC、DAC转换器结构

ADC
功能框图

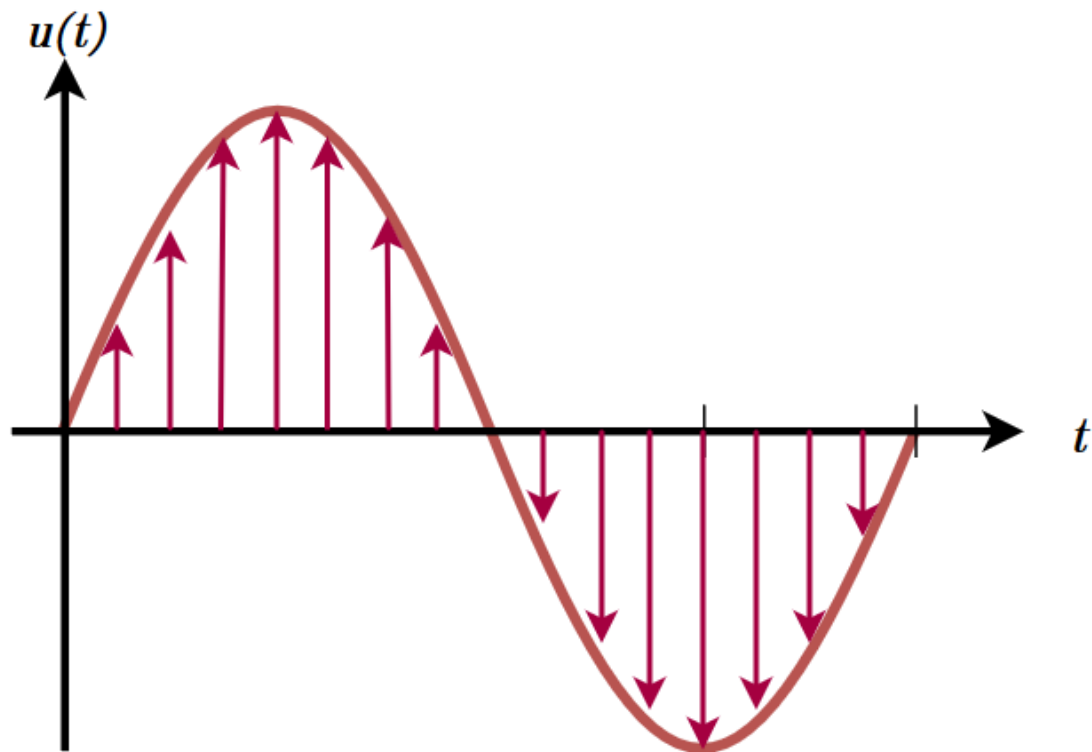


DAC
功能框图



采样(Sampling)

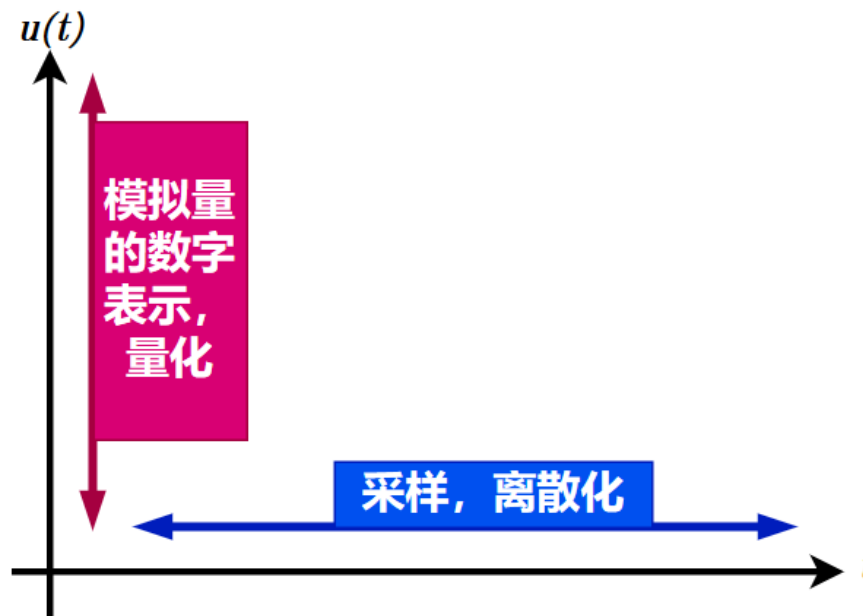
- 计算机为存储和处理物理世界的连续变量，需要对测量得到的变量进行采样
- 连续 \rightarrow 离散的变换过程，这个过程称为离散化
 - 时间的离散化
 - 幅值的离散化
- 采样会引起信息丢失
 - 只能在离散的时间点获得数据
 - 采样点之间的数据不知道
 - 输入信号的波形不清楚
- 增加采样速率能获得更好的结果
 - 获得更多样点数据，降低采样间隔
 - 获得更清晰的信号波形
 - 避免引起频谱混叠 (Nyquist Rate)



量化(Quantization)

- 连续信号的幅值具有无限精度（小数点后无限位）
- 有限位二进制数所能分辨的数值最小间隔有限
 - 如N位二进制数，其最小间隔是： $1/2^N$
- 把模拟数值转换成有限位数字数值的过程，称为量化
- 量化会产生数值表示误差，要求误差越小，需要的数字bits越多

- 离散化与量化的关系
 - 离散化：时间维度
 - 量化：幅值维度



理想DAC传输特性

理想数模转换器特性

1. 接收 n bits 二进制数 $b_0 \sim b_{n-1}$
2. 产生模拟的输出电压或电流
3. 假设输入是均匀的二进制数编码
4. 输出模拟电压或电流是单极性

n = 输入二进制位数

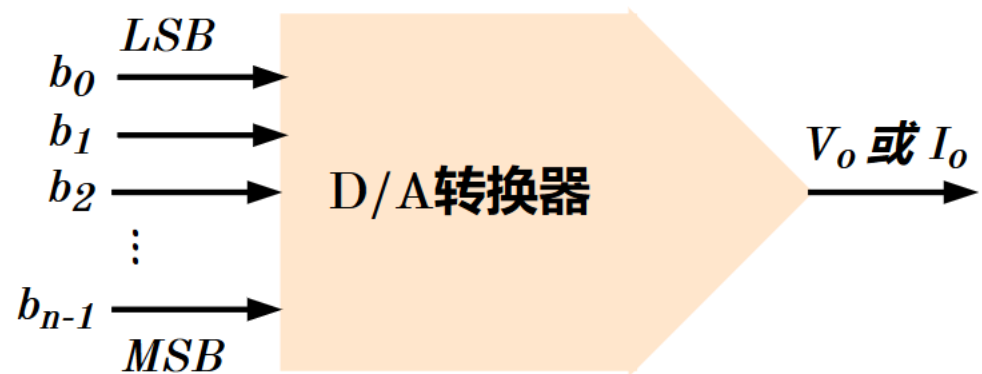
V_{FS} = 输出电压最大值(Full Scale Voltage)

Δ = 最小电压分辨间隔, 1 LSB

$\Delta = V_{FS}/2^n$

或者

$n = \log_2 \frac{V_{FS}}{\Delta}$, 分辨率



$$V_o = \Delta \sum_{i=0}^{n-1} b_i \times 2^i = \frac{V_{FS}}{2^n} \sum_{i=0}^{n-1} b_i \times 2^i$$

$b_i = 0 \text{ 或 } 1$

$$\begin{cases} V_{o_min} = 0 \\ V_{o_max} = V_{FS}(1 - \frac{1}{2^n}) \end{cases}$$

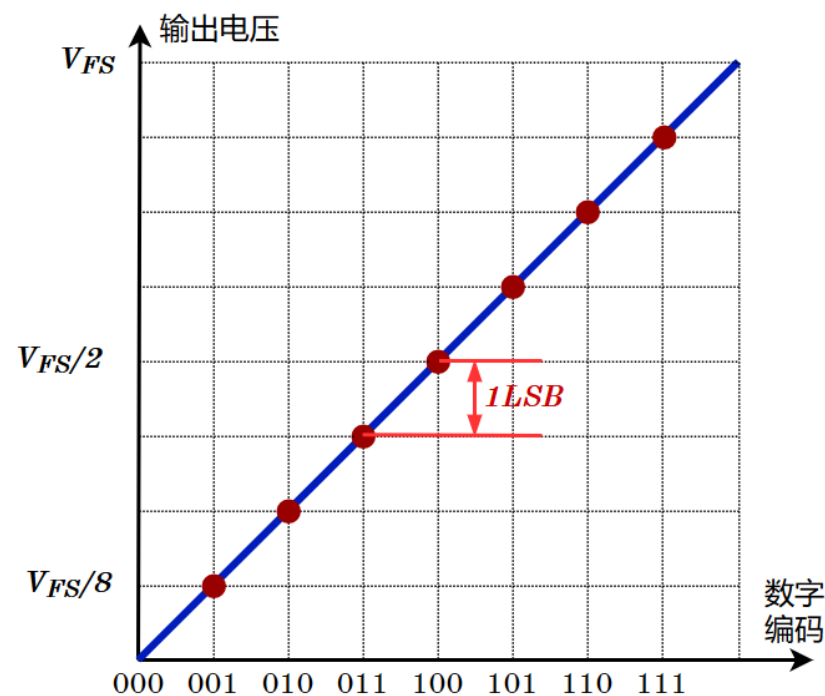
分辨率为 3 bits D/A转换器举例

- 例： $n = 3$, $V_{FS} = 0.8V$, 输入编码为 $(110)_b$, 求输出电压 V_o

$$\begin{aligned} V_o &= \frac{V_{FS}}{2^n} \sum_{i=0}^{n-1} b_i \times 2^i = \frac{0.8}{2^3} \sum_{i=0}^2 b_i \times 2^i \\ &= 0.1 \times (0 \times 2^0 + 1 \times 2^1 + 1 \times 2^2) = 0.6 V \end{aligned}$$

理想的D/A转换器完全线性，
输出无错误

输入二进制编码与输出电压
之间一对一映射



DAC技术指标

- 分辨率

- D/A转换器输出电压能被分辨的等级，分辨率= $\frac{1}{2^n - 1}$

- 转换精度

- 比例系数误差：转换曲线斜率的偏差： $\Delta V_{out} = \frac{\Delta V_{REF}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$

- 失调误差：模拟量实际起始值与理想值之差，运算放大器零点漂移引起

- 非线性误差：转换曲线的非线性(DNL/INL)，器件稳定性和非线性，温度，电压飘移等

- 单调特性：D/A转换器的输出电压不会随输入数字编码的增大而减小

- 条件： $|INL| \leq 0.5 \text{ LSB}$ ，或者： $|DNL| \leq 1 \text{ LSB}$

- 转换速度

- 建立时间：输入数字量变化，输出电压达到规定误差范围所需的时间

- 转换速率：大信号状态下，模拟输出电压的最大变化率

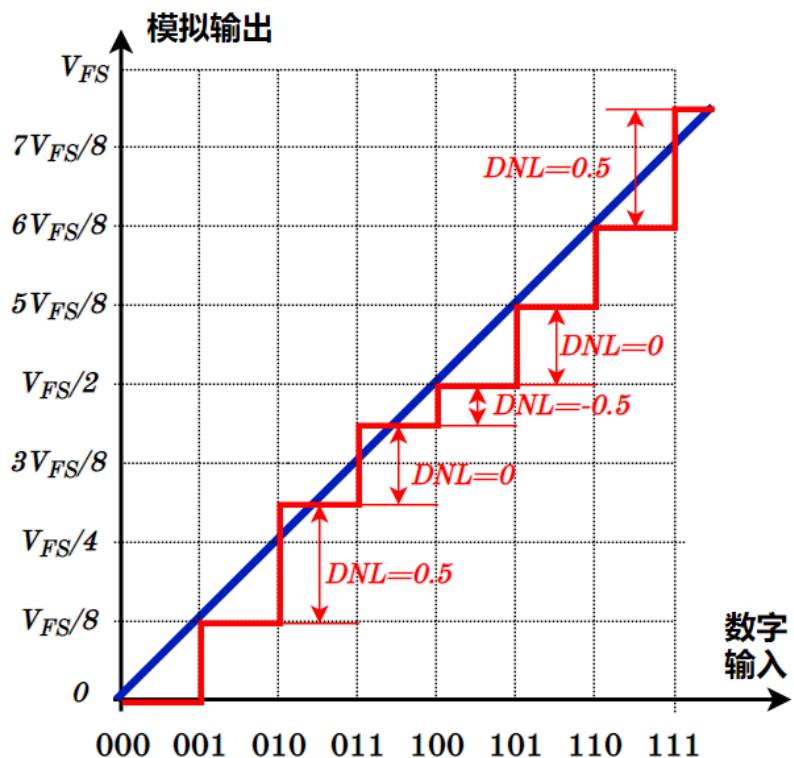
- 温度系数

- 输入不变，输出电压随温度的变化量



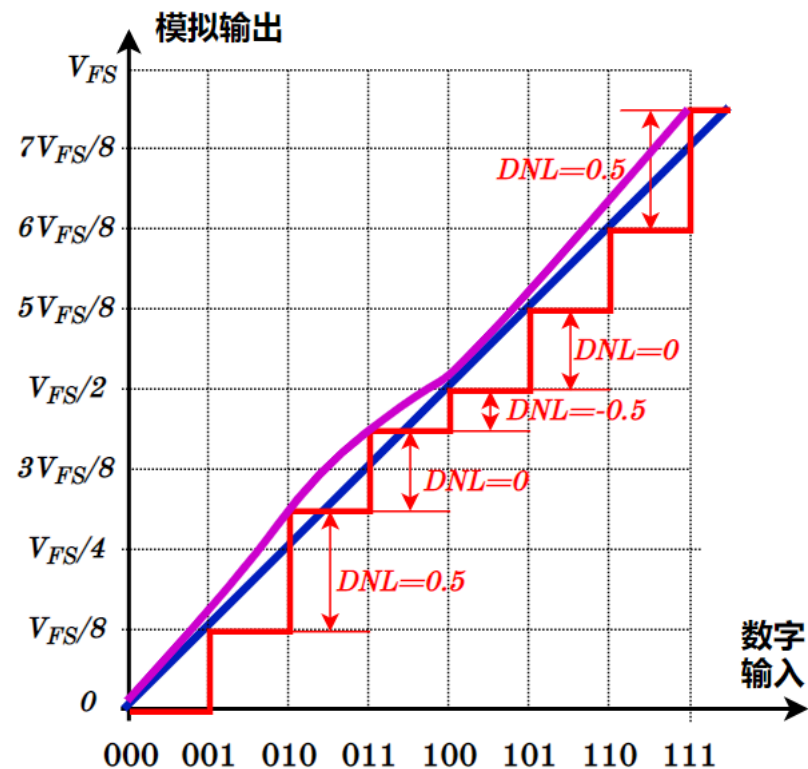
DAC的非线性(DNL/INL)

差分非线性((Differential Non-Linearity(DNL)), 在每个跳步的输出电压与理想值的偏离量, 用LSB来度量



$$DNL = \frac{V_{i+1} - V_i}{V_{LSB}} - 1$$

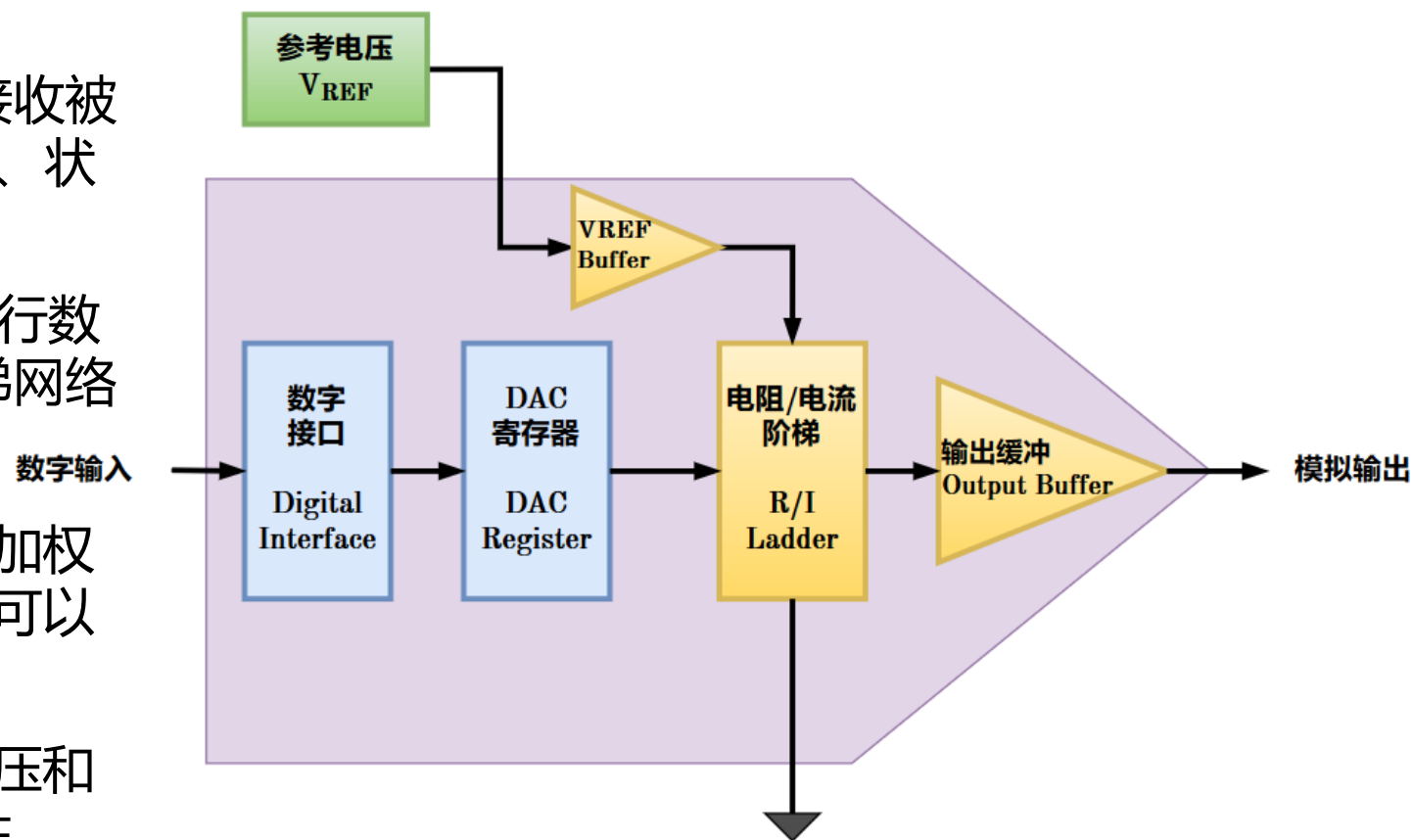
积分非线性(Integral Non-Linearity(INL)), 某个编码值的INL可以表示为之前各点DNL的累积和



$$INL_i = \sum_{j=1}^{i-1} DNL_j$$

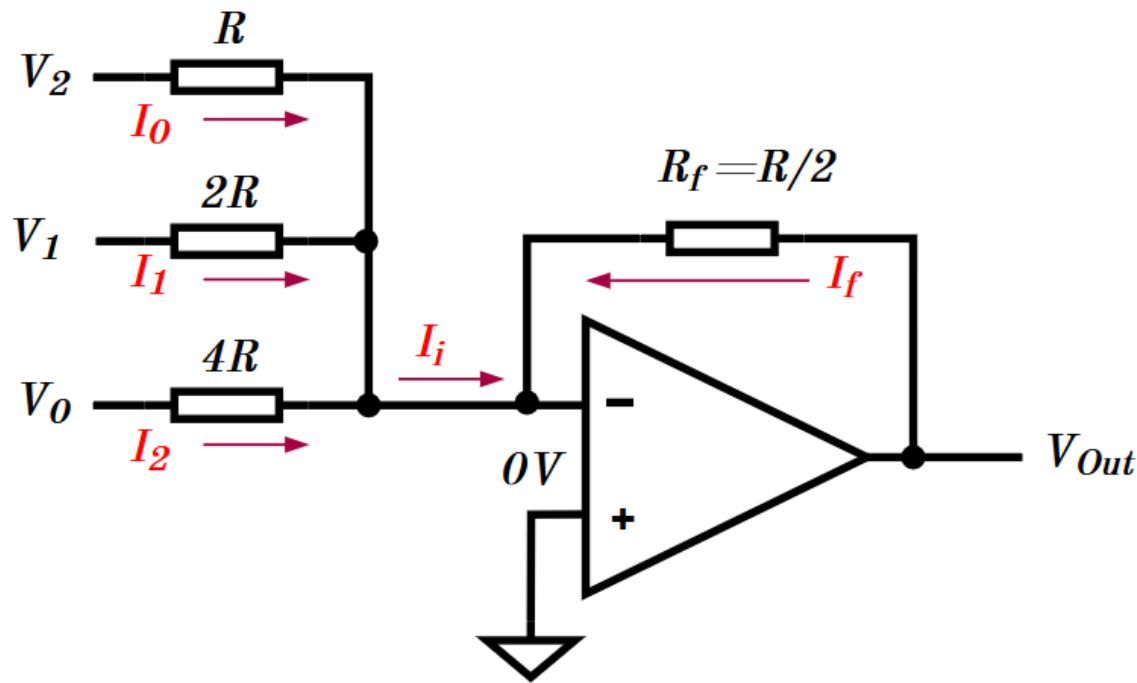
DAC实现

- 数字接口：并行/串行数据，接收被转换的二进制编码，连接CPU、状态机
- DAC寄存器：当前被转换的并行数据，直接去控制电阻/电流阶梯网络
- 参考电压：被电阻网络划分成加权电压间隔，可以来自外部，也可以芯片内生成
- 参考电压缓冲器：隔离参考电压和权电阻/电流网络，提高稳定性
- 电阻/电流权值网络：把参考电压划分成加权电压间隔，在输入被转换二进制编码的控制下，确定哪些权值电压连接到输出缓冲器
- 输出缓冲：实现对权值电压的加法运算，输出与输入二进制编码对应的模拟电压/电流值



输出缓冲 - 运放 (OP-Amplifier)模拟加法器

$$\begin{cases} I_i = I_2 + I_1 + I_0 \\ I_i = -I_f \end{cases} \quad \begin{cases} I_0 = \frac{V_0}{4R} \\ I_1 = \frac{V_1}{2R} \\ I_2 = \frac{V_2}{R} \\ I_f = \frac{2V_{out}}{R} \end{cases}$$

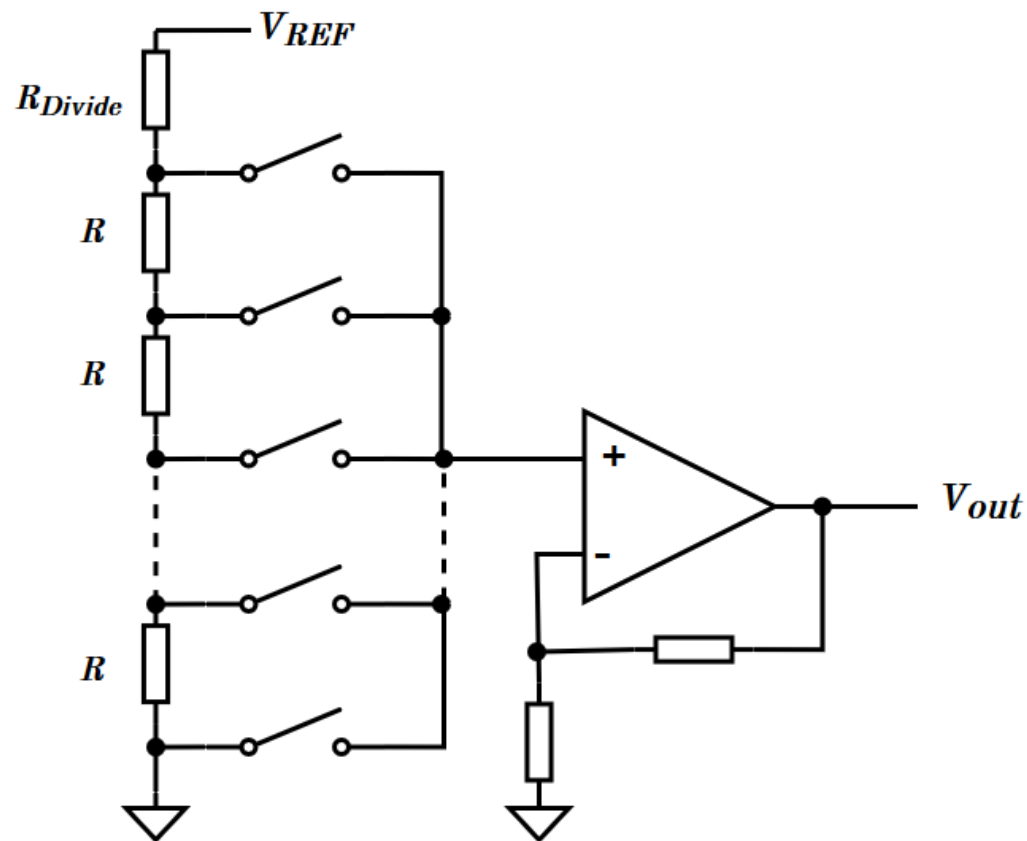


$$V_{out} = -\left(\frac{V_0}{4R} + \frac{V_1}{2R} + \frac{V_2}{R}\right)\frac{R}{2} = -\frac{1}{8}(V_0 + 2V_1 + 4V_2)$$

输出电压是输入电压的加权和

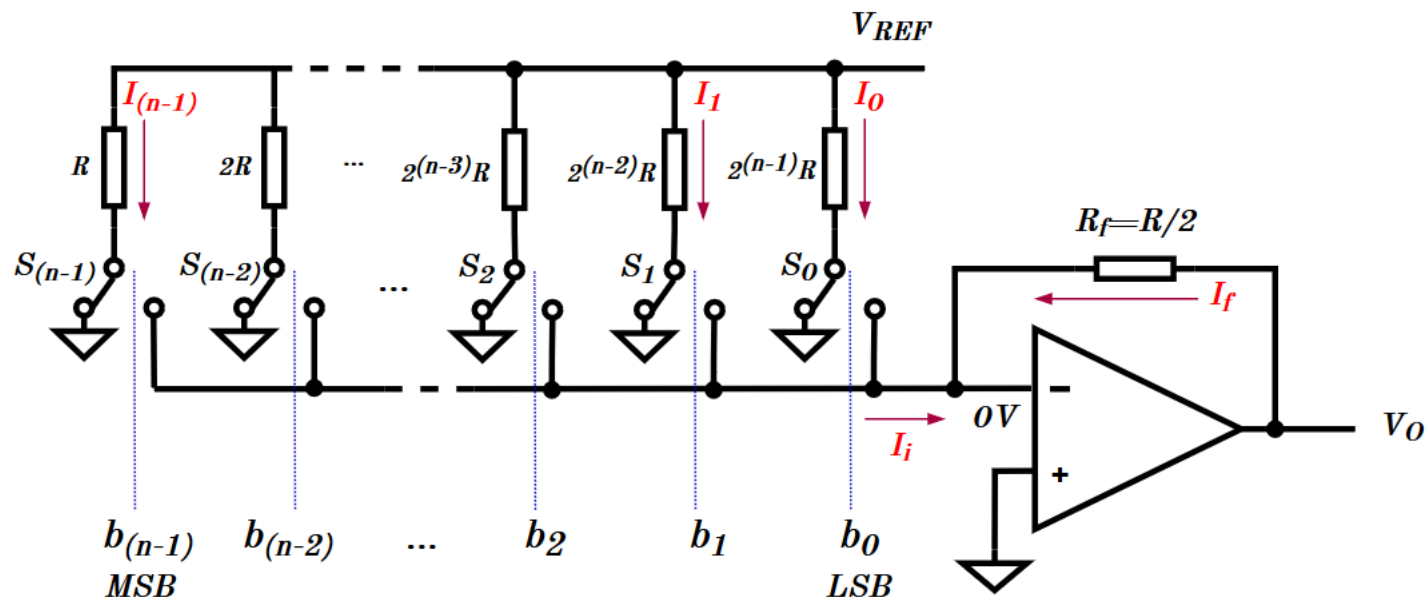
电阻串 DAC

- 串联电阻分压实现加权电压值
- R_{Divide} 可以决定各个加权电压值的系数
- 输出缓冲为同相放大器
- 优点：尺寸小、成本低、功耗小、输出平滑
- 缺点：线性差、噪声大
- 器件：DAC6551、DAC8411



加权电阻网络 DAC

用输入的二进制编码的各个位控制开关的位置
为“0”时，输入悬空
为“1”时，连通权值电阻网路

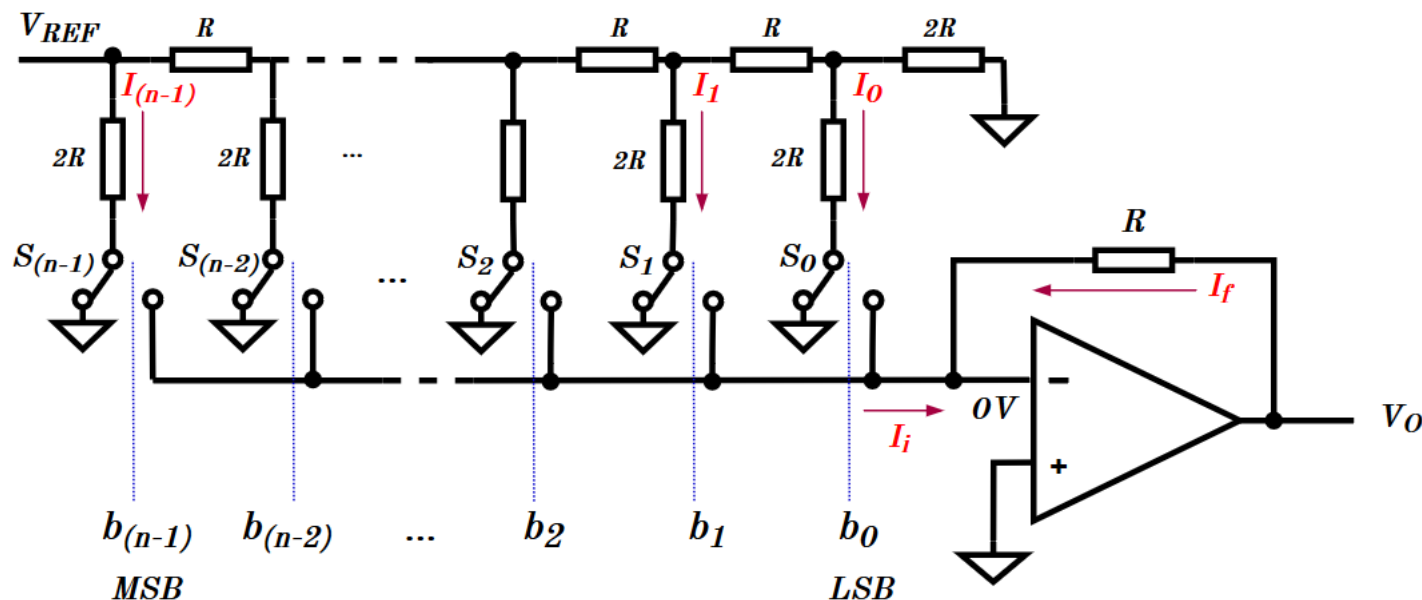


$$V_o = -\frac{R}{2} \cdot V_{REF} \sum_{i=1}^n \frac{1}{2^{(n-i)}R} b_{i-1} = -\frac{V_{REF}}{2^n} (2^{n-1} \times b_{n-1} + 2^{n-2} \times b_{n-2} + \cdots + 2b_1 + b_0)$$

电路实现时，电阻值差异大（ 2^{n-1} 倍），工程上有难度，能否找到一种阻值差别小的电路结构？

R-2R阶梯电路DAC

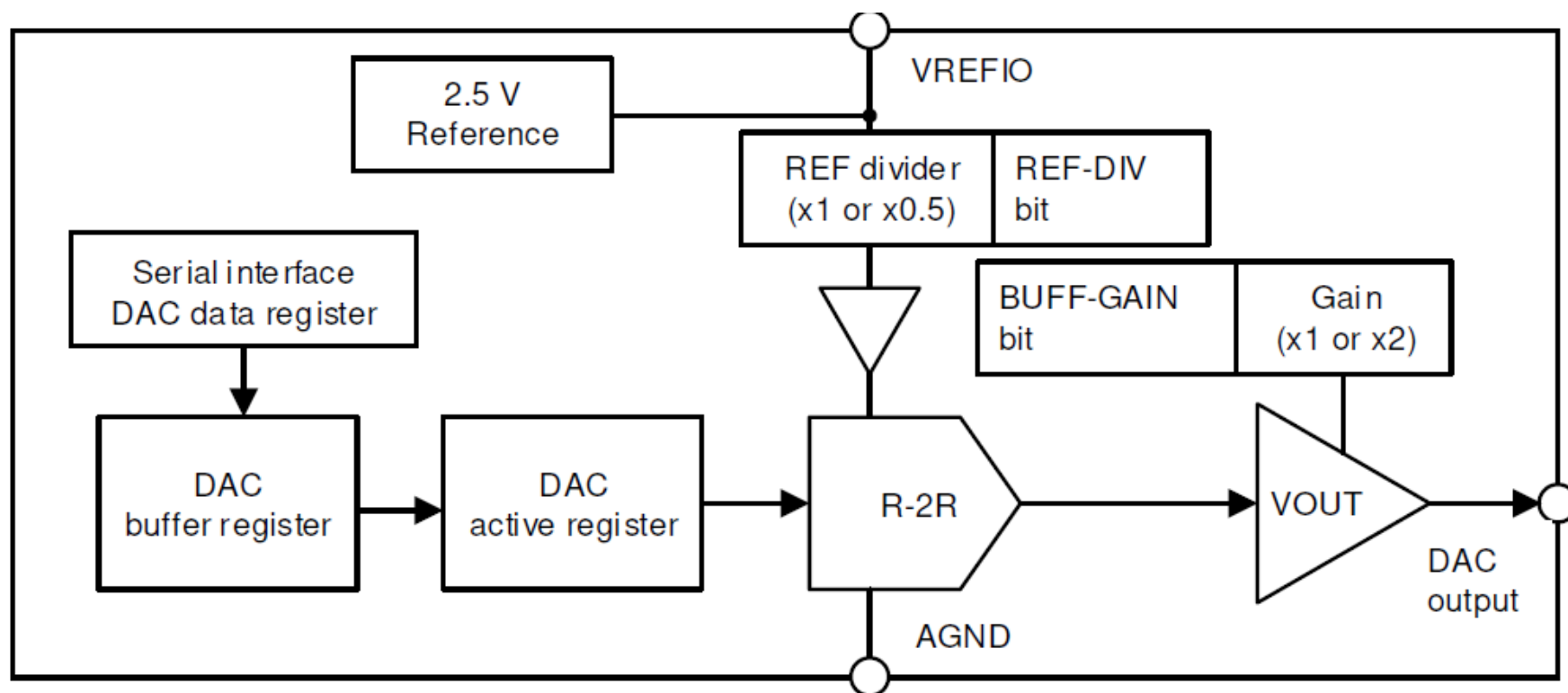
$$\left\{ \begin{array}{l} I_{n-1} = \frac{1}{2} \frac{V_{REF}}{R} \\ I_{n-2} = \frac{1}{4} \frac{V_{REF}}{R} \\ \vdots \\ I_1 = \frac{1}{2^{n-1}} \frac{V_{REF}}{R} \\ I_0 = \frac{1}{2^n} \frac{V_{REF}}{R} \end{array} \right.$$



$$V_O = -\frac{V_{REF}}{2^n} (2^{n-1} \times b_{n-1} + 2^{n-2} \times b_{n-2} + \cdots + 2b_1 + b_0)$$

- 优点
 - 线性好、噪声低
- 缺点
 - 输出有毛刺、编码的输出结果依赖于负载电阻
 - 任何一个电阻的阻值偏差都会产生全局性影响
 - 输出电压反相

DAC举例(DAC80502/DAC70502/DAC60502)



- 16-bit DAC80502, 14-bit DAC70502, and 12-bit DAC60502 (DACx0502) DAC.
- The DACx0502 offer linearity of < 1 LSB

$$V_{out} = \frac{DAC_DATA}{2^n} \times \frac{VREFIO}{DIV} \times GAIN$$

DAC通过SPI(Serial Peripheral Interface)与处理器连接

//SPI Settings

//Mode: Mode-1 (CPOL: 0, CPHA: 1)

//CS Type: Active Low, Per Packet

//Frame length: 24

//SYNTAX: <WRITE REGISTER (HEX ADDRESS)>, <HEX DATA>

//Disable internal reference (only in case of external reference)

WRITE CONFIG (0x03), 0x0100

//Select REFDIV=1 (reference divided by 2) and GAIN=1 (gain at both the DAC outputs is 2)

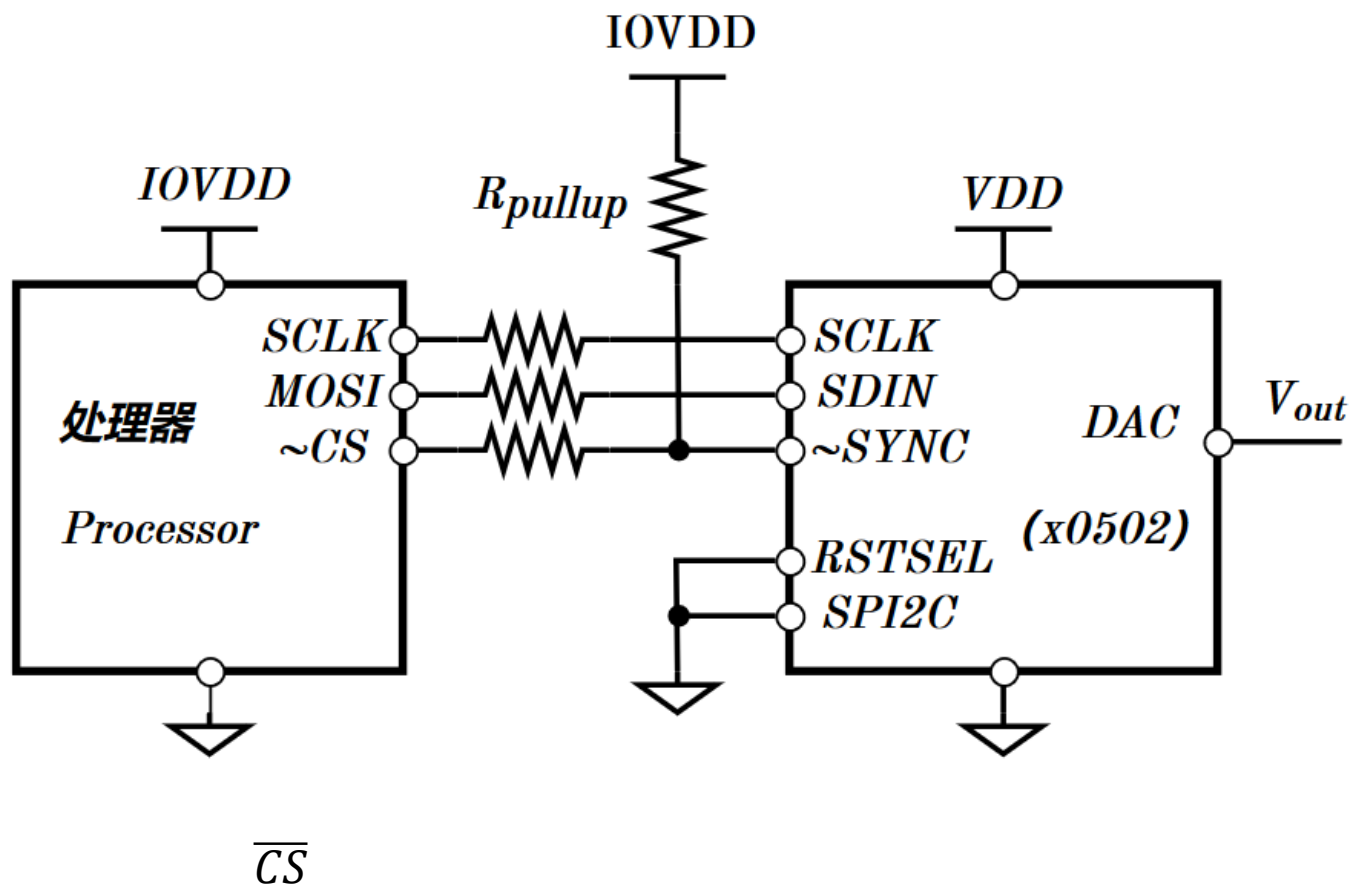
WRITE GAIN (0x04), 0x0103

//Write mid-code to DACA

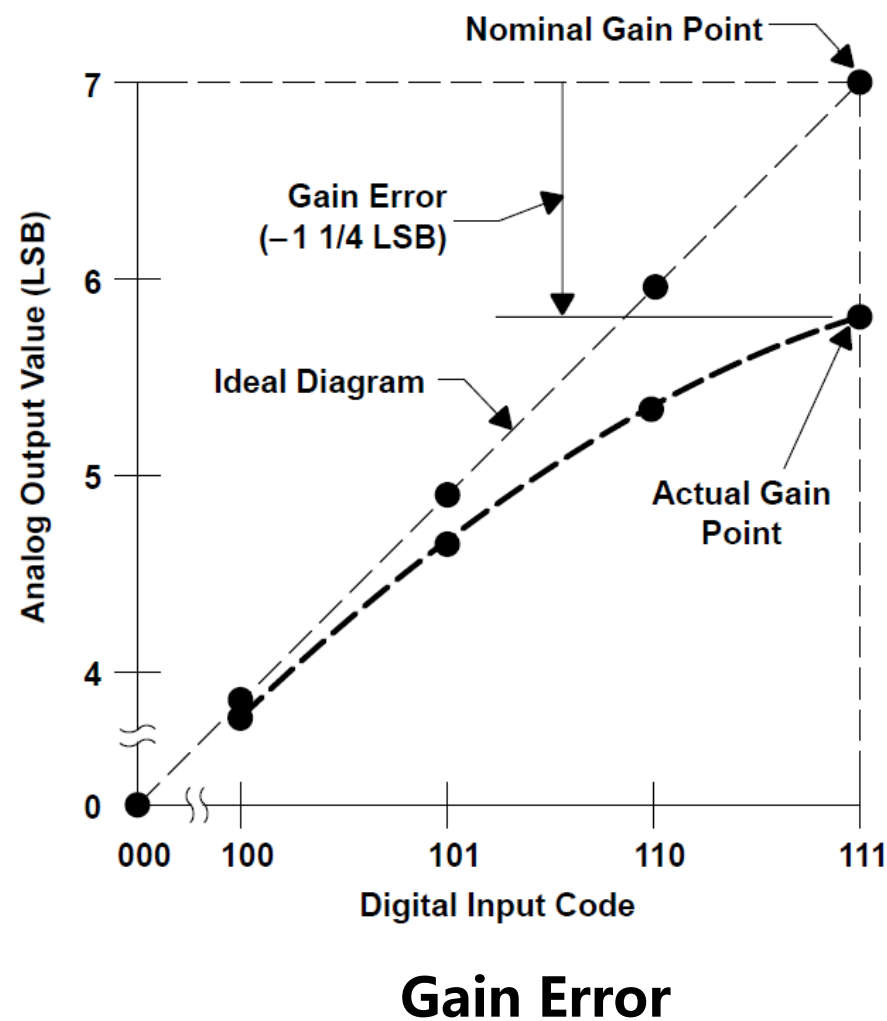
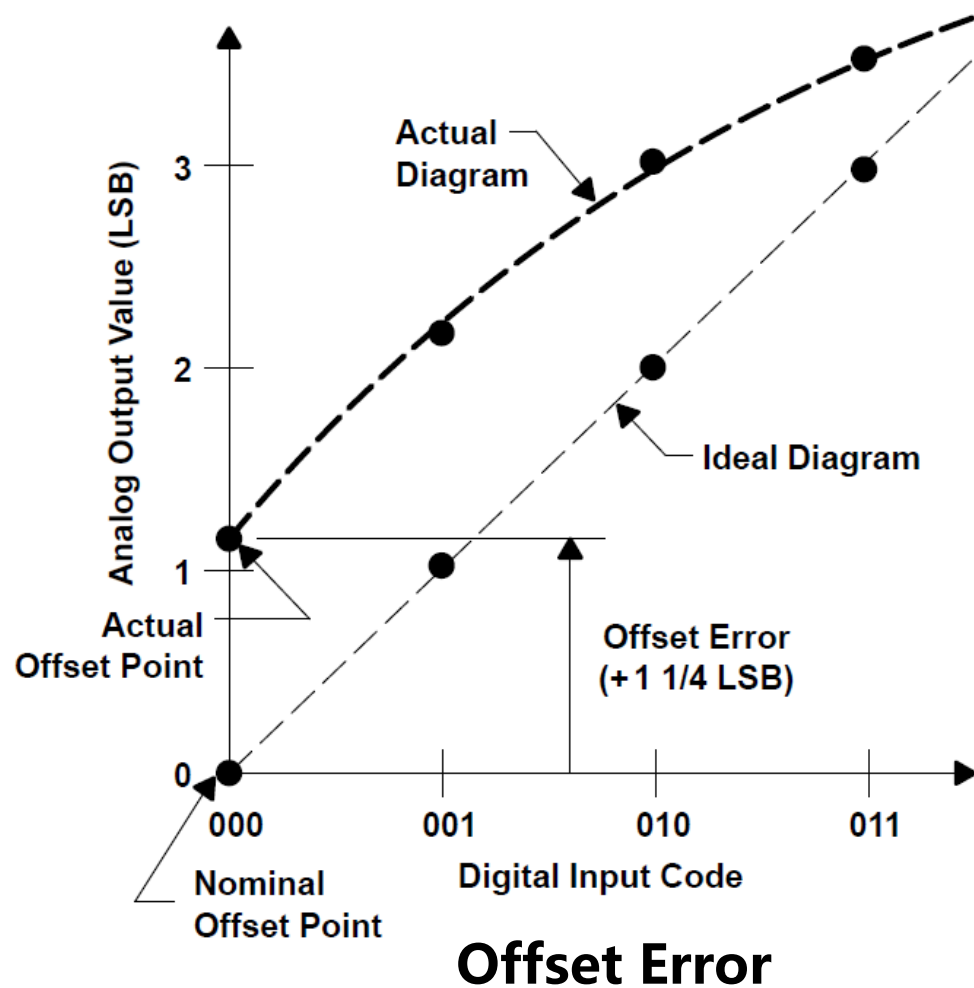
WRITE DAC-A (0x08), 0x7FFF

//Write Full-code to DACB

WRITE DAC-B (0x09), 0xFFFF

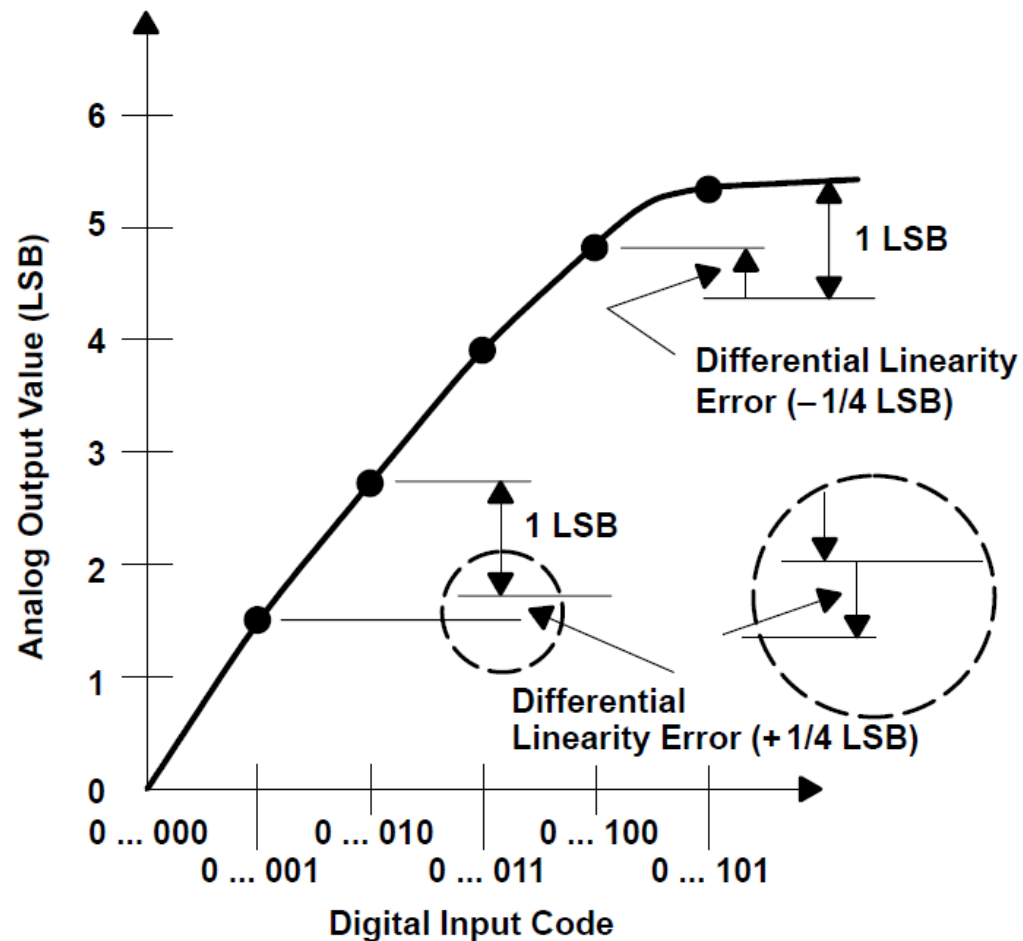


DAC 静态误差来源(1)

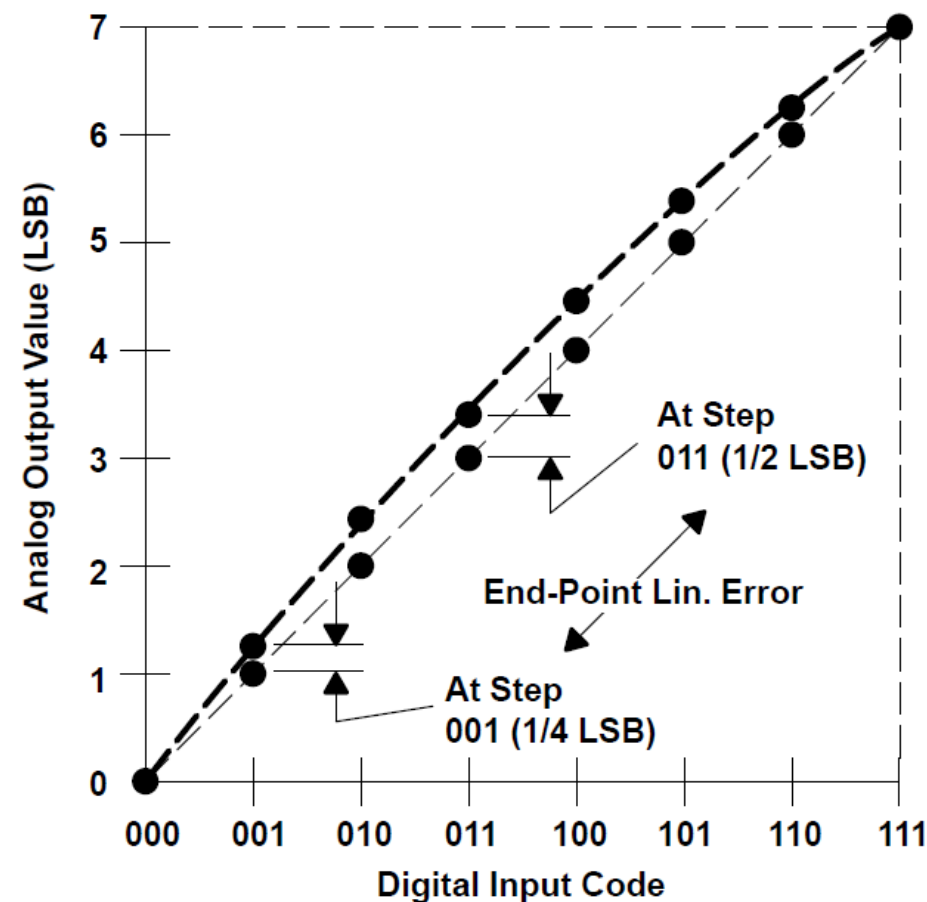


Understanding Data Converters Application Report, 1995, SLAA013, TI

DAC DAC 静态误差来源(2)



Differential Nonlinearity (DNL)



Integral Nonlinearity (INL) Error

Understanding Data Converters Application Report, 1995, SLAA013, TI



理想ADC的传输特性

理想A/D转换器特性

1. 输入电流或电压形式的模拟信号
2. 以串行/或并行方式输出转换后的数字编码
3. 假设输入电压是单极性，幅值 $0 \sim V_{FS}$ (*Full Scale Voltage*)
4. 假设输出二进制为均匀编码

n = 输出**二进制位数**

V_{FS} = 输入**电压最大值**

Δ = 最小**电压分辨间隔**, 1 *LSB*

$$\Delta = V_{FS}/2^n$$

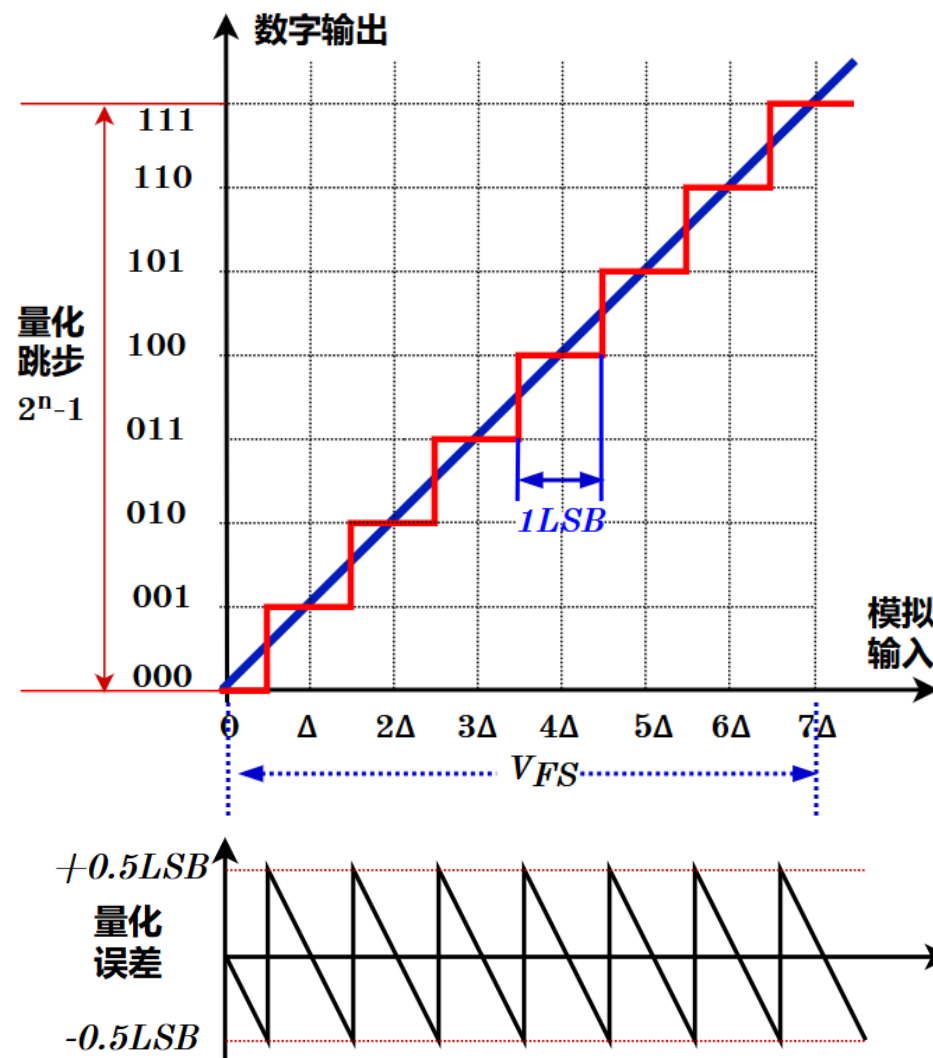
或者

$$n = \log_2 \frac{V_{FS}}{\Delta}, \text{ 分辨率}$$



理想ADC的传输特性

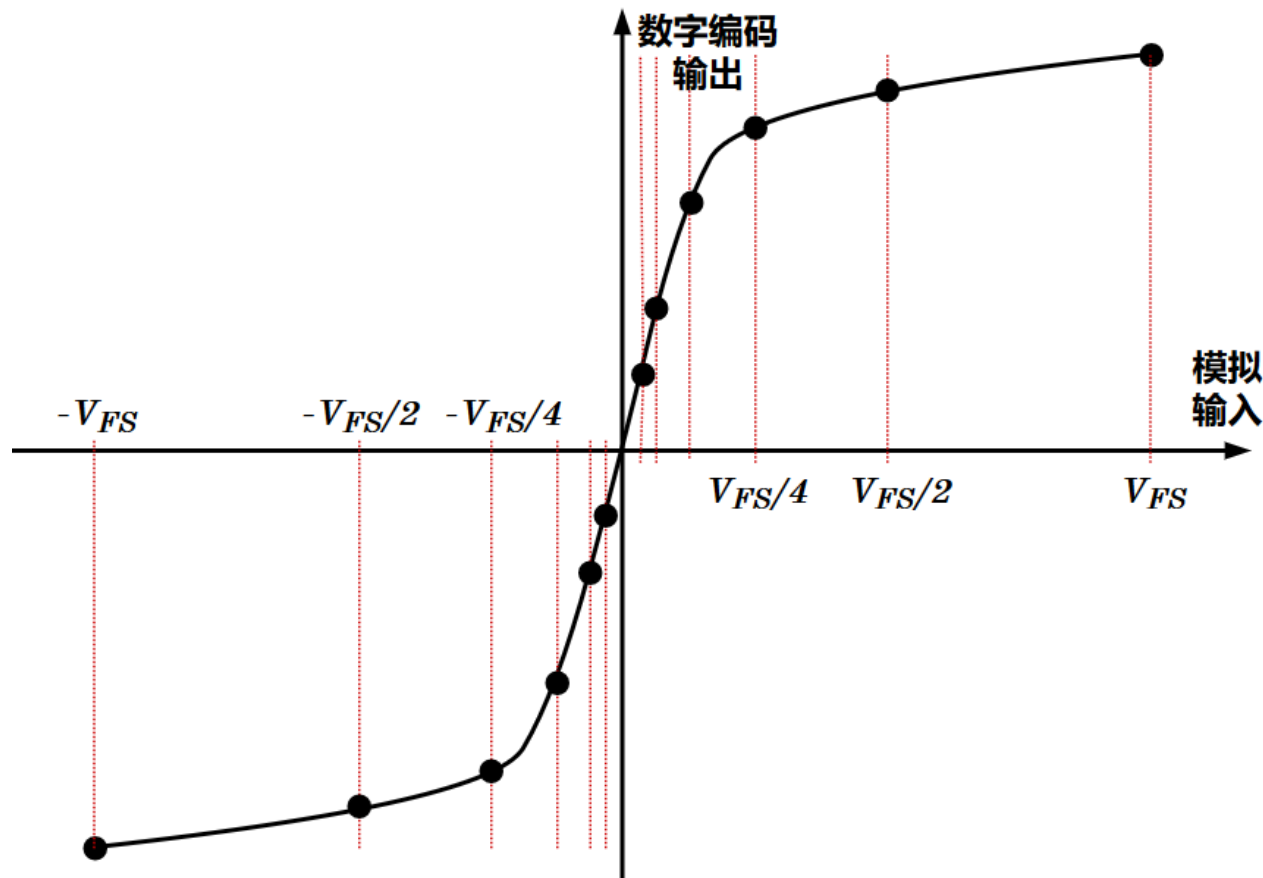
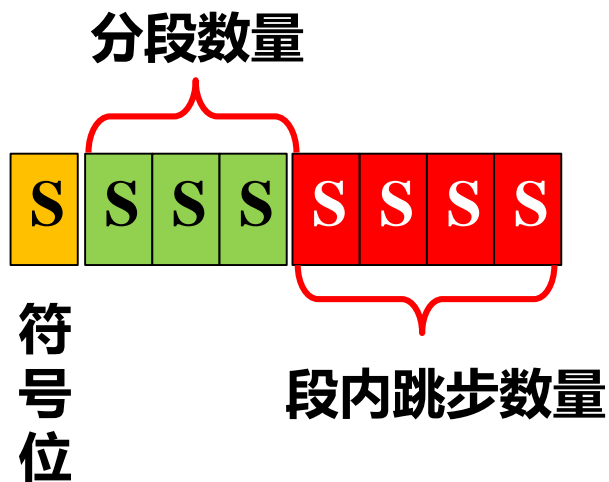
- 理想ADC的转换误差峰-峰值为 $\pm \frac{1}{2} \Delta$,
 - $$\begin{cases} \Delta = \frac{V_{FS}}{2^n} \\ n = \text{转换输出的二进制位数} \end{cases}$$
- 上述转换误差称为量化误差
- 对于给定的 V_{FS} (*Full Scale Range, FSR*), 随着 n 增加, 量化误差缩小, 转换器的分辨率增大



非线性ADC

如音频电话应用

- 目标：采用较少的 bits 数目，获得较大的动态范围
- 非线性编码也称为 A-law & μ -Law
- 也称为压缩编码



P. R. Gray, et al. "Companded pulse-code modulation voice codec using monolithic weighted capacitor arrays," *IEEE Journal of Solid-State Circuits*, vol. 10, pp. 497 - 499, December 1975

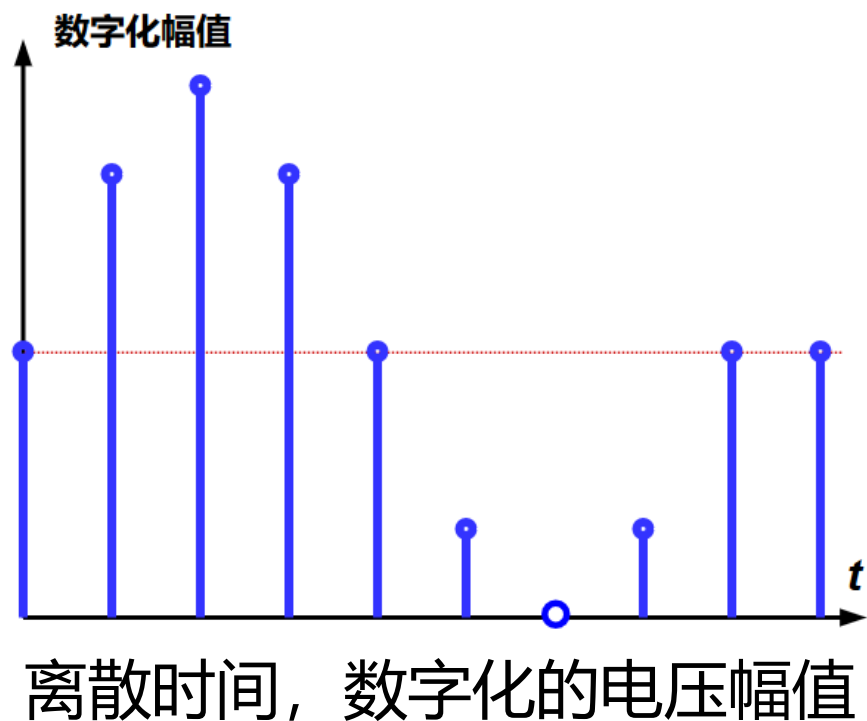
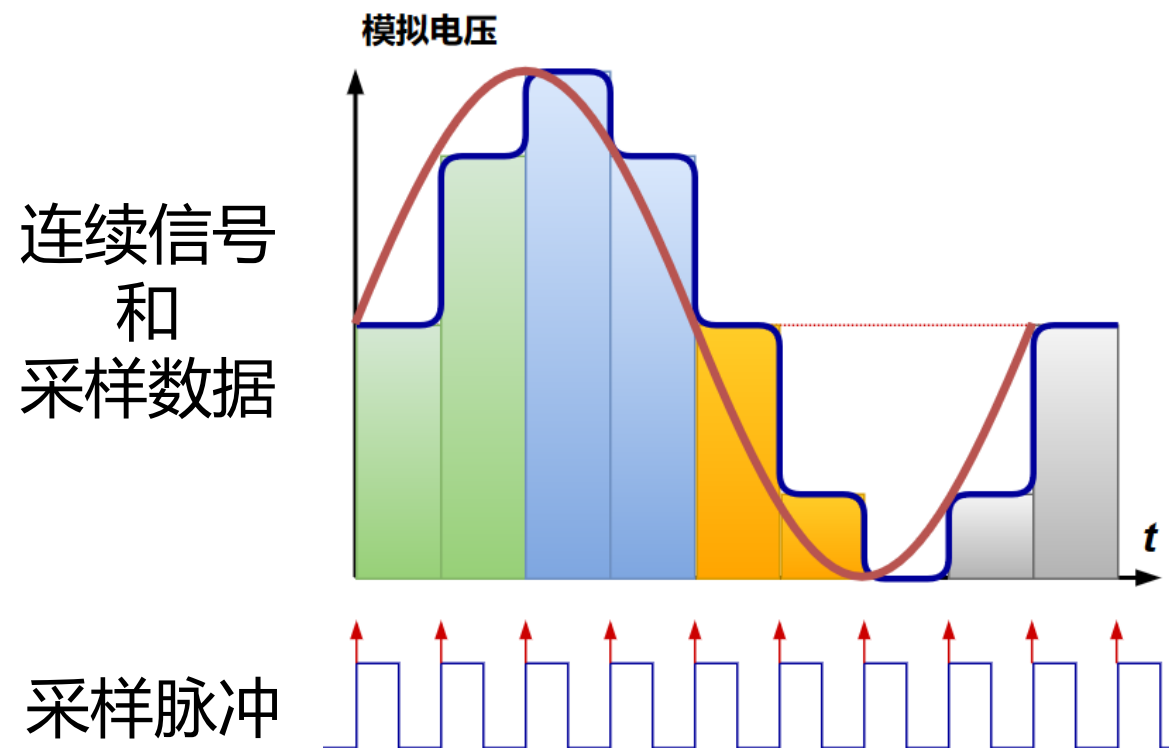
ADC结构分类

- **逐次逼近 (Successive Approximation, SAR)**
 - 数字值依靠采样和迭代过程获得
 - 应用中低速场景，如音频、温度、压力等的信号转换
- **积分型 (Ramp/Integrate)**
 - 数字转换结果依靠计数被转换电压充电时间获得
 - 转换速度慢、低成本，应用在数字仪表中
- **并联比较 (Flash)**
 - 转换结果依靠分段多比较器和编码电路获得
 - 转换速度快、成本高、噪声大
 - 应用在高速信号处理系统，如视频
- **流水线型 (Pipeline)**
 - 转换结果依靠采样、放大、差值计算的多级级联结构实现
 - 转换结果需要延迟、拼接、矫错等步骤，转换延迟时间大
 - 可实现低成本、高分辨率，转换过程流水完成，可实现高速度
- **$\Sigma\Delta$ (Sigma-Delta)**
 - 过采样（简化抗混叠滤波器设计，采样率远高于信号带宽），数字滤波
 - 高分辨率、低成本、低速率



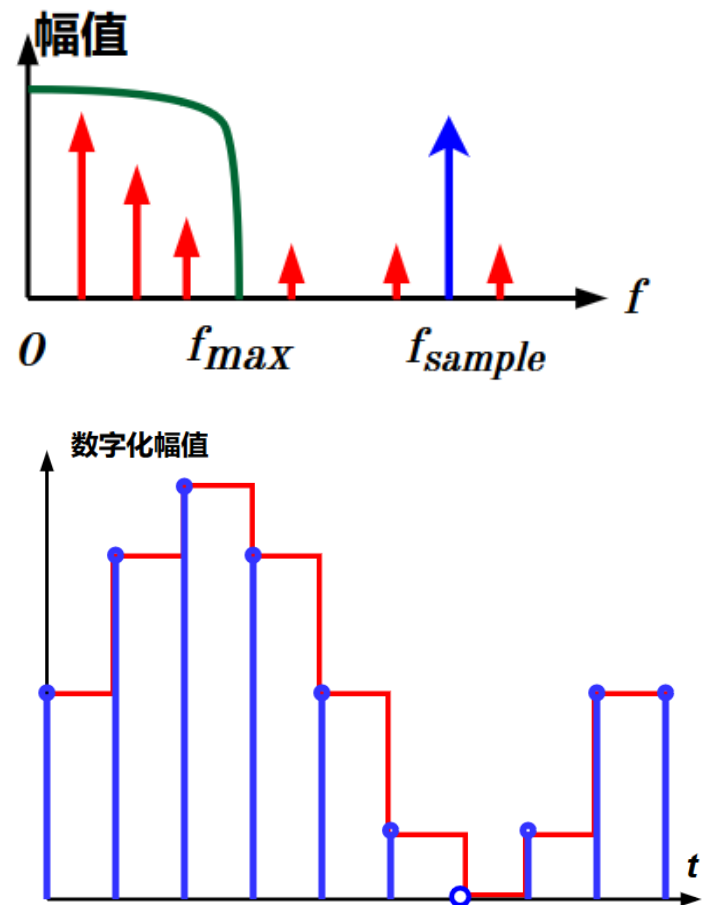
ADC的采样过程

连续时间信号 \rightarrow 采样数据 \rightarrow 离散时间数据



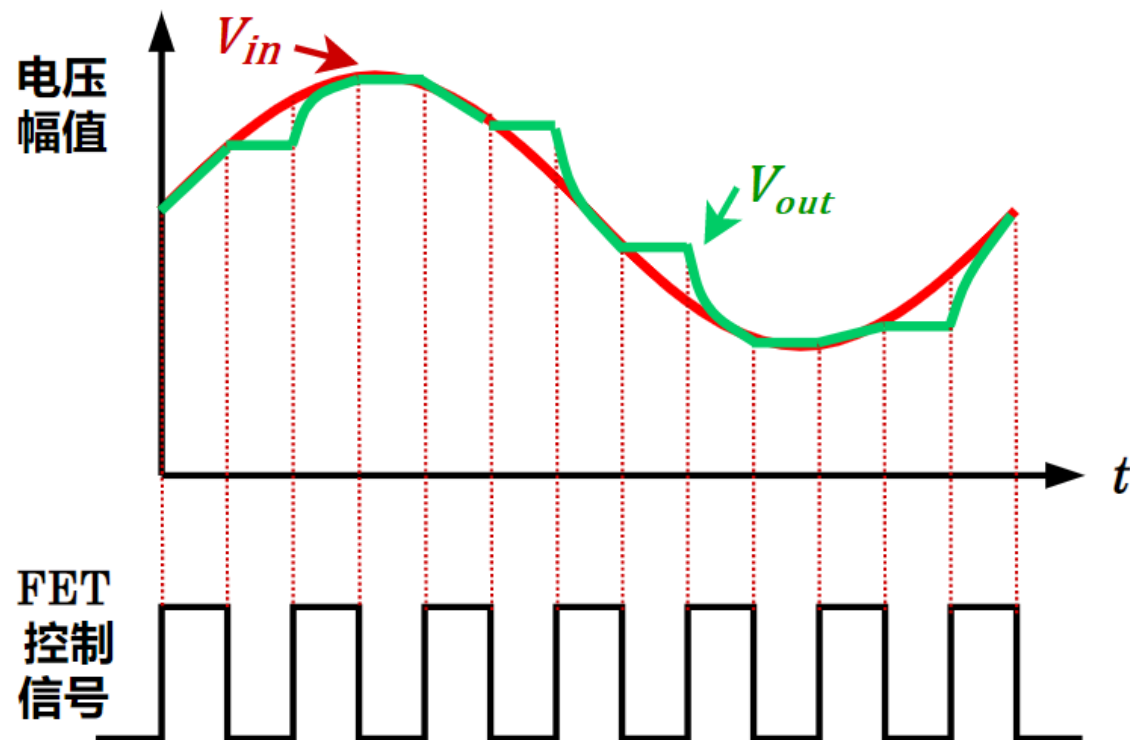
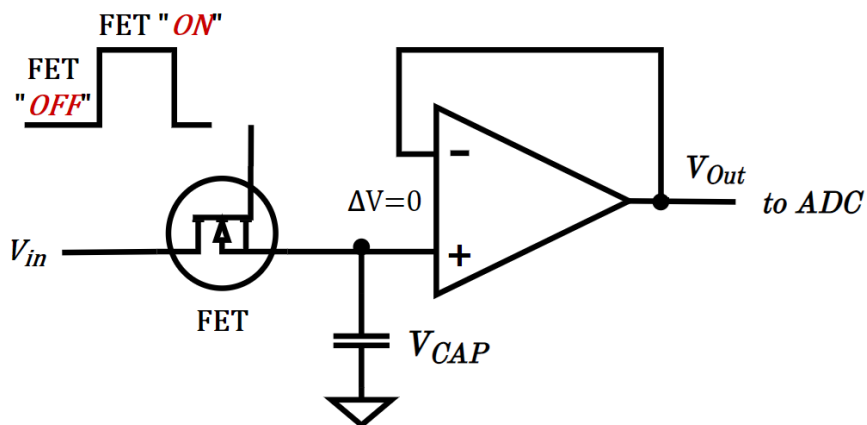
关于采样的相关理论

- 采样定理：采样频率要高于被采样信号频谱上限频率的2倍，避免频谱混叠
 - $f_s > 2f_{max}$
- 如果满足采样定理，则可以从离散的数字信号中无损地恢复出模拟信号
- 零阶保持和平滑滤波可以从离散时间向量中重建出连续时间信号
- 过采样技术可以缩减抗混叠和平滑滤波器的阶数



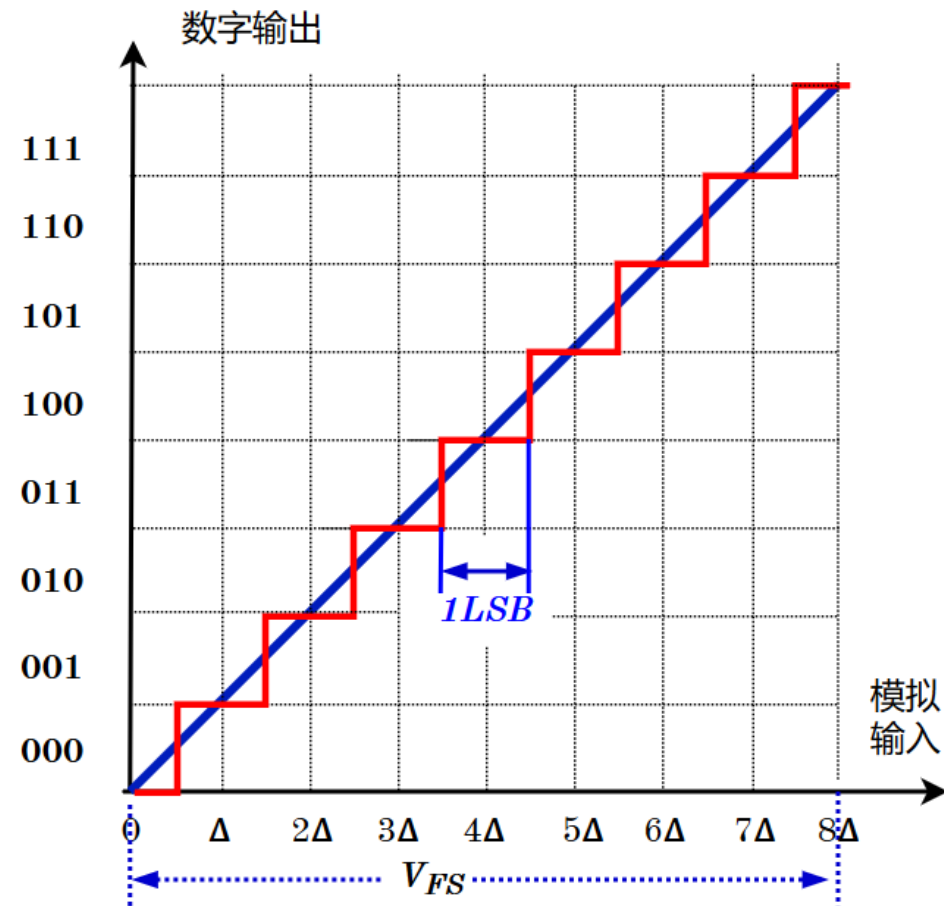
ADC采样保持电路

- 运算放大器连城跟随器模式
 - $\Delta V = 0, V_{out} = V_{CAP}$
- FET在采样时钟的控制下，周期性“导通”和“关断”
 - 导通时，电容充电， $V_{CAP} = V_{in}$ ，**采样过程**
 - 关断时， V_{CAP} 电压保持，**保持过程**



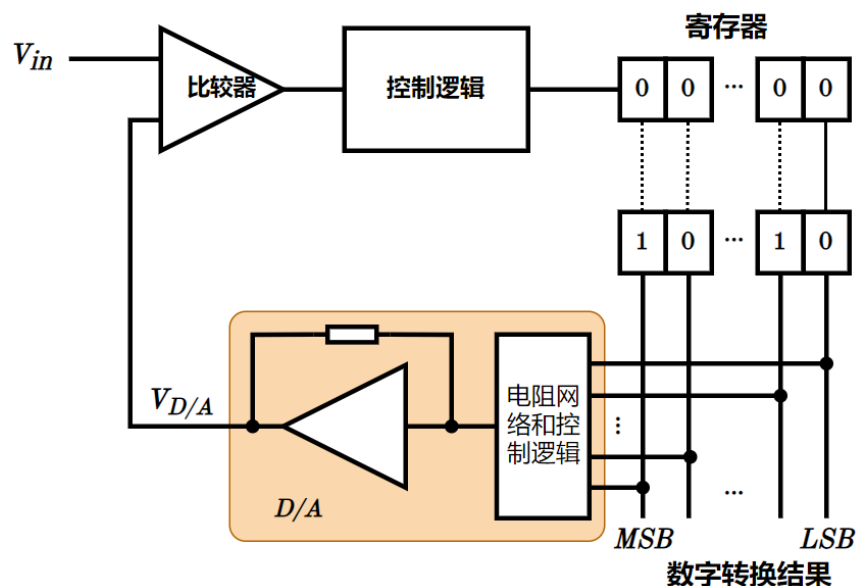
量化器 (Quantizer)

- 理想的量化器采用无限位二进制表示模拟量的幅值
- 实际的量化器总是采用有限的二进制位数
– 如 8 bits、12bits、16 bits、24 bits
- 量化跳步：
 - Δ = 最小电压分辨间隔, 1 *LSB*
- 输入模拟电压范围：
 - $0 \sim 2^n \Delta$
- 如果 $n = 3$
 - $V_{FS} = 0 \sim 8\Delta$

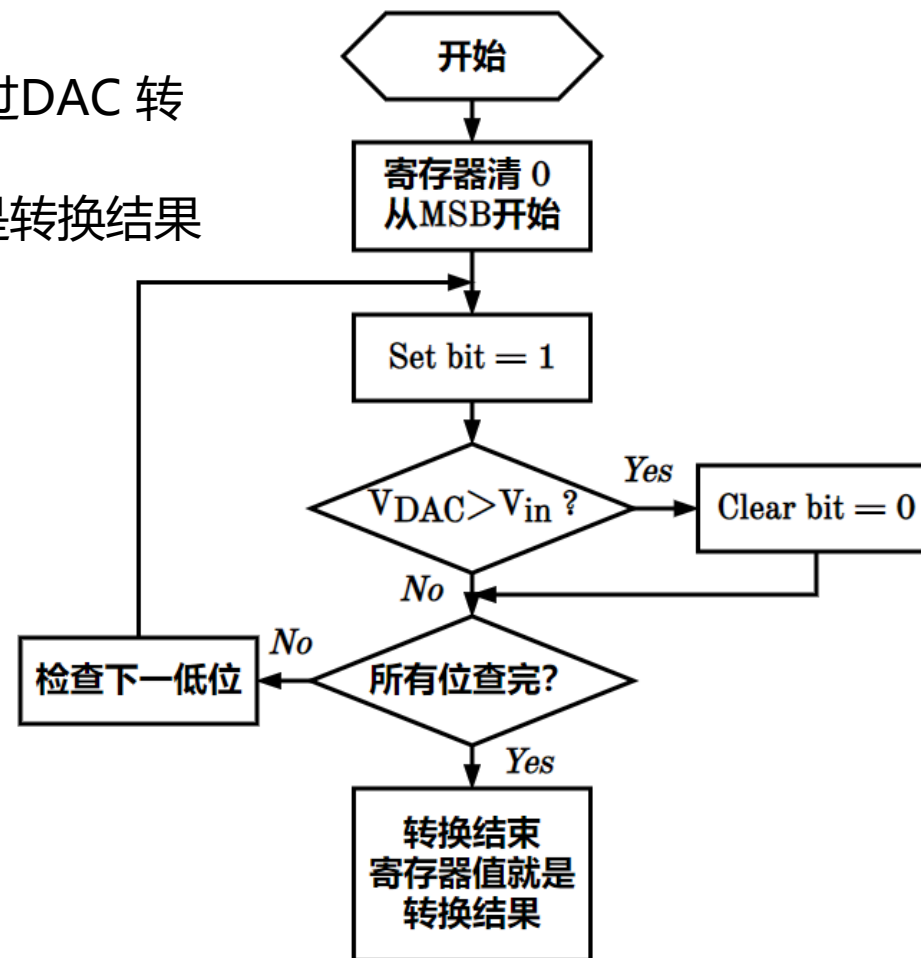


逐次逼近型ADC (Successive Approximation ADC)

- 使用试错法来设置 M 位寄存器的值，该寄存器值逐步接近于被转换的模拟信号
- 从MSB开始，逐步测试到 LSB，把设置后的寄存器值通过DAC 转换器转换成模拟电压，与输入被转换的电压比较
- 寄存器各个位都设置好后，转换完成，寄存器中的值就是转换结果

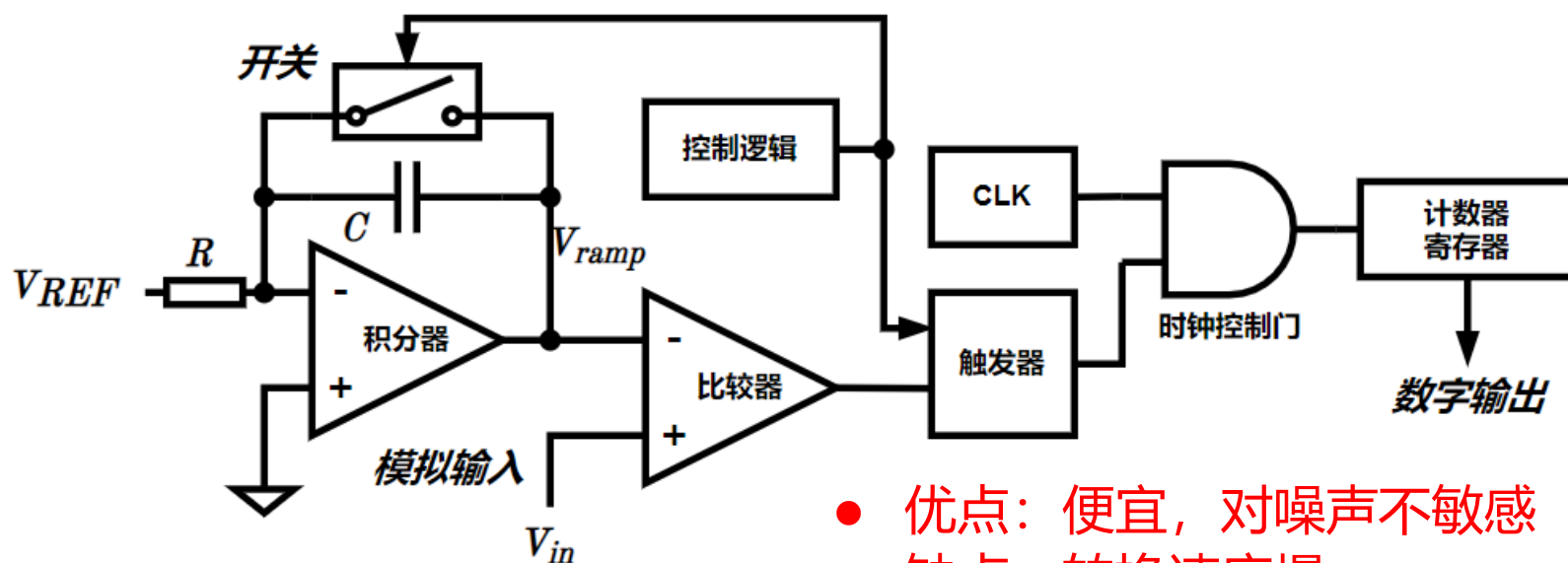


- 优点：转换速度、成本适中
- 缺点：对噪声敏感

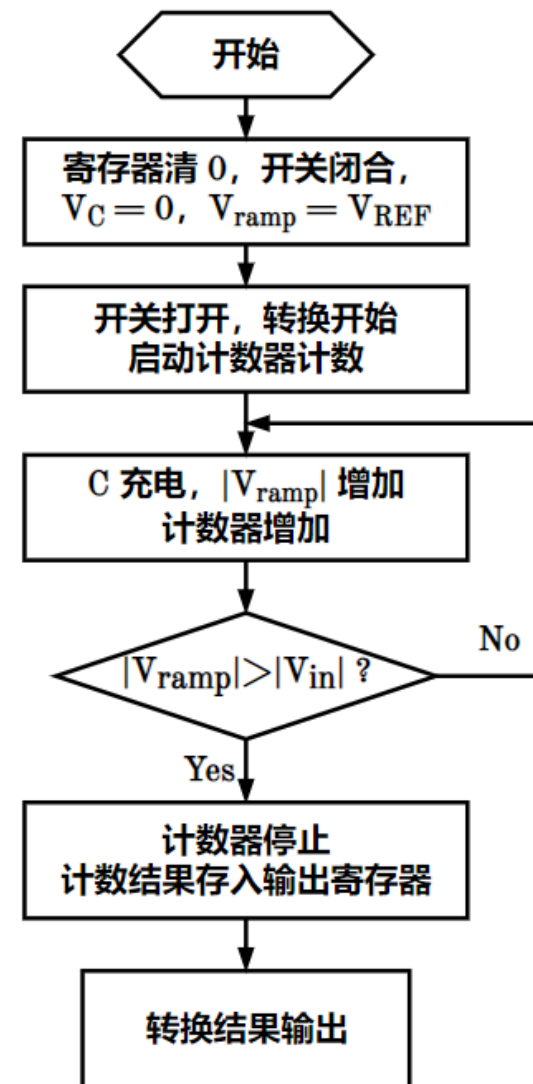


积分型ADC (Ramp ADC)

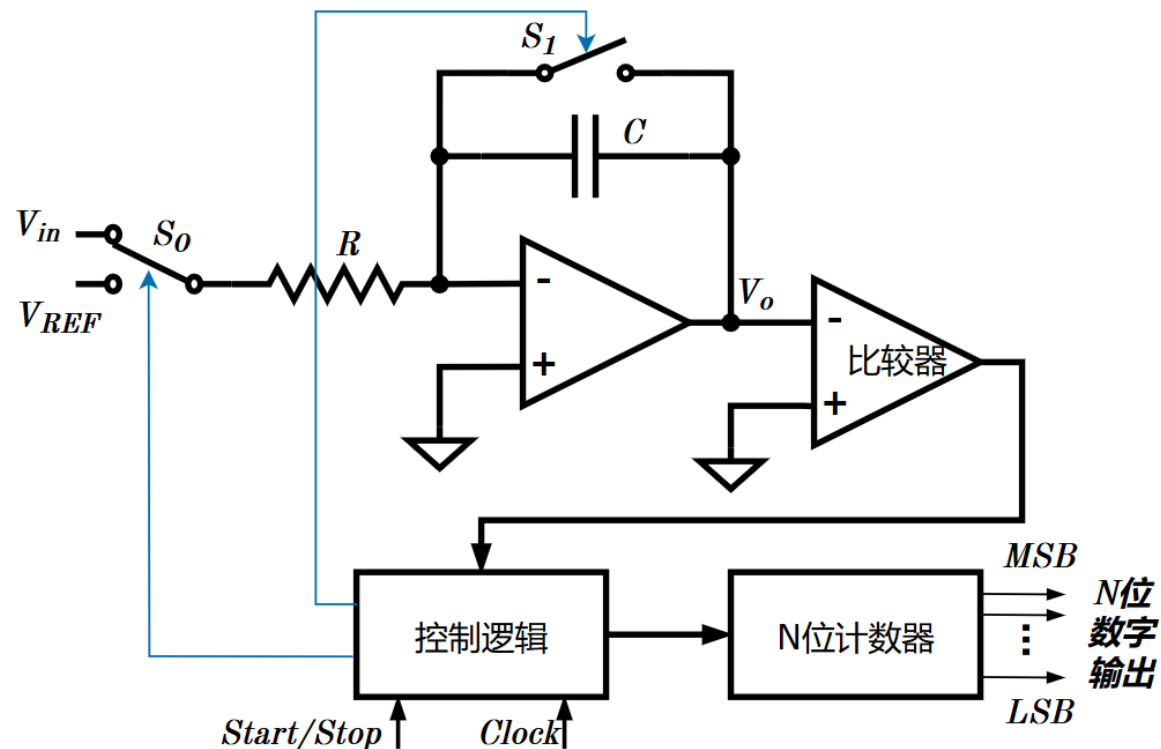
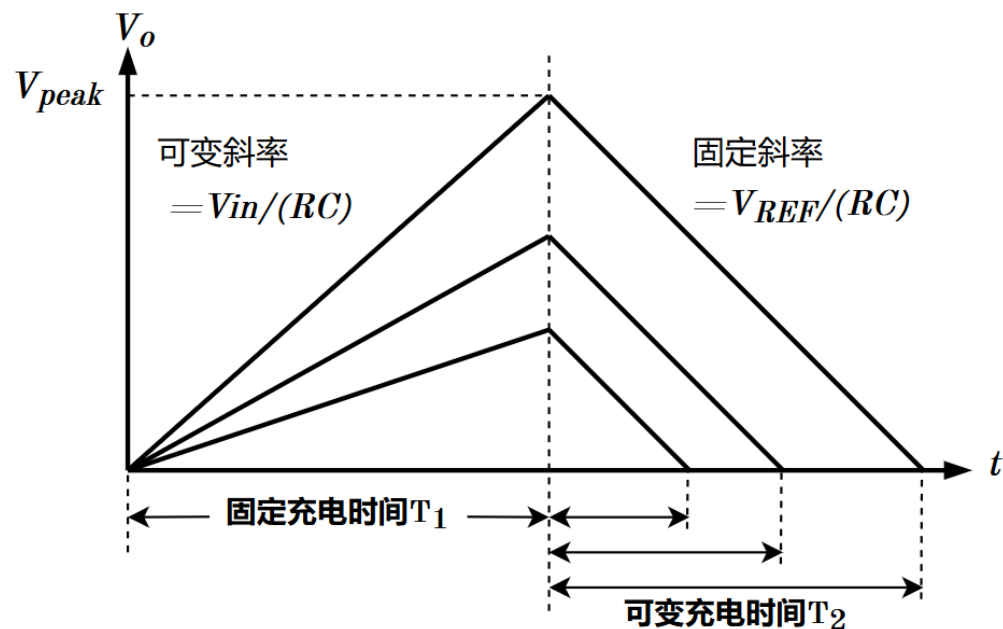
- 使用积分器 (DAC) 和计数器完成ADC
- 单斜率积分和双斜率积分
- 单斜率积分
 - 积分电压从最小一直扫描到ADC电压范围的最大值，同时计数器计数
 - 输入模拟电压与积分电压比较，当积分电压超过模拟输入电压时，转换结束，转换结果就是计数器的值



- 优点：便宜，对噪声不敏感
- 缺点：转换速度慢



双积分ADC



转换开始: S_1 打开, S_0 联通 V_{in} , C 充电: $V_o = -\frac{T_1}{RC} V_{in}$

T_1 时刻: S_0 联通 V_{REF} , $\frac{T_2}{RC} V_{REF} = \frac{T_1}{RC} V_{in} \rightarrow T_2 = \frac{T_1}{V_{REF}} V_{in}$

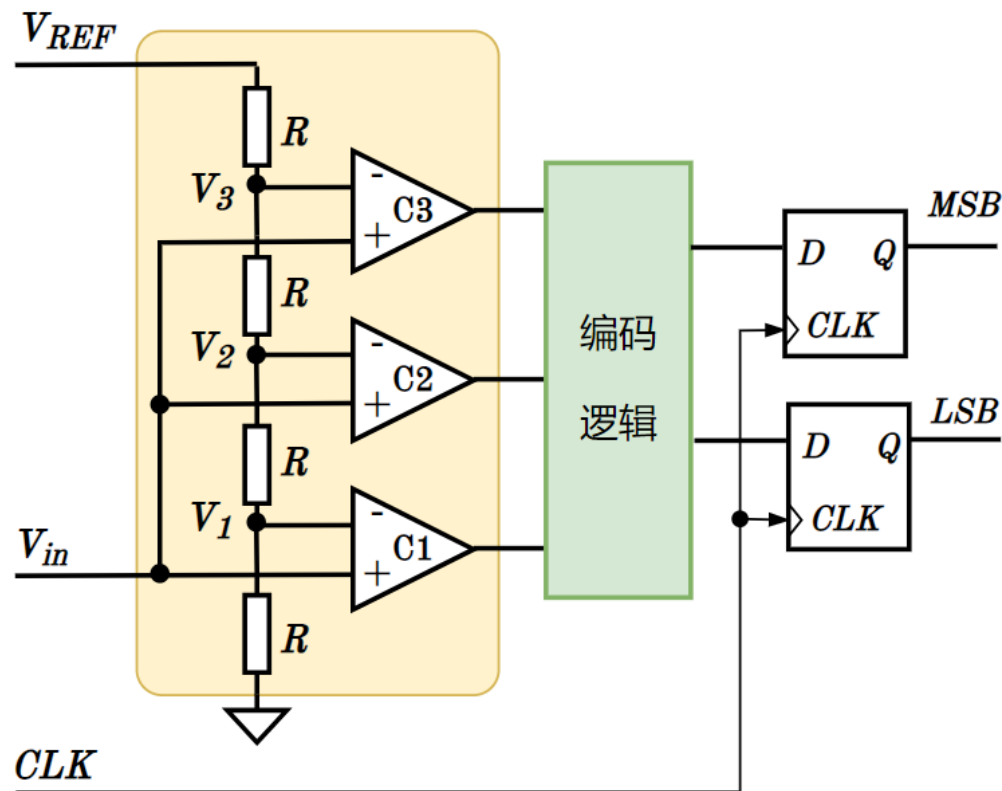
如果计数时钟频率为 f_{clock} , 周期 T_{clock} , 则在 T_2 时间内计数值: $D = \frac{T_2}{T_{clock}} = \frac{T_1}{T_{clock} V_{REF}} V_{in}$

数字转换结果依靠计数被转换电压充电时间获得
转换速度慢、低成本, 应用在数字仪表中

并联比较型ADC

- 输入电压（在ADC转换范围内）同时与多个阈值电压比较，**并联比较**
- 如果输入电压高于特定的阈值，则输出比较器置为高电平
- 特点：转换速度快
- 缺点：成本高，需要 $2^n - 1$ 个比较器，8位ADC需要255个比较器，10位ADC需要1023个比较器

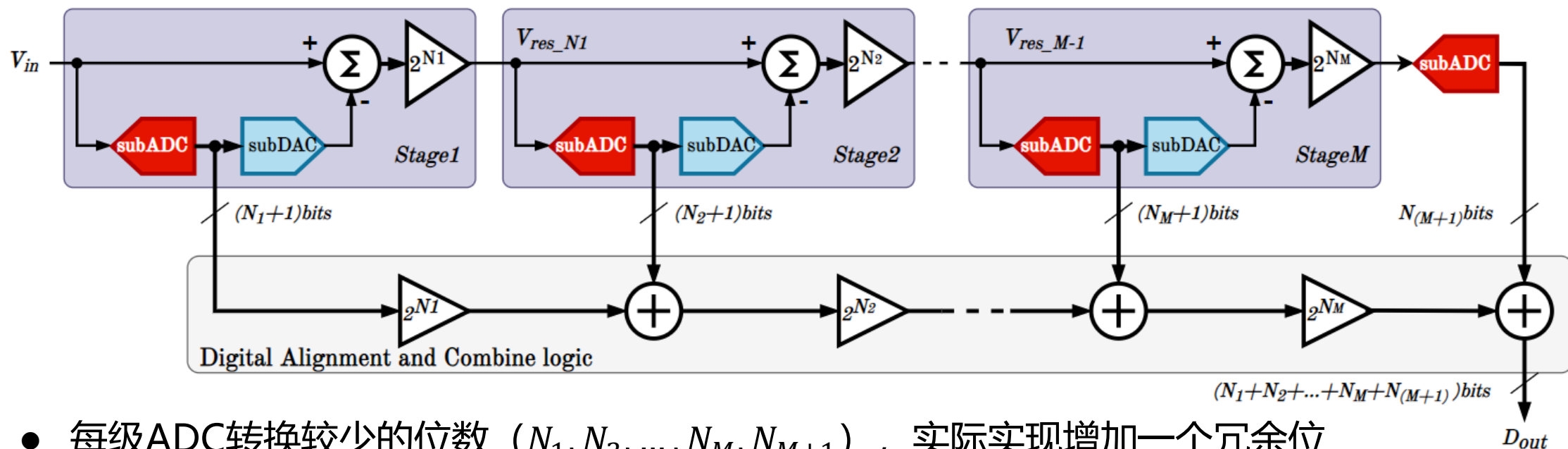
V_{in}	C3	C2	C1	MSB	LSB
$(0 \sim \frac{1}{4})V_{REF}$	0	0	0	0	0
$(\frac{1}{4} \sim \frac{2}{4})V_{REF}$	0	0	1	0	1
$(\frac{2}{4} \sim \frac{3}{4})V_{REF}$	0	1	1	1	0
$\frac{3}{4}V_{REF} \sim V_{FS}$	1	1	1	1	1



$$\begin{cases} MSB = C_2 \cdot C_1 \\ LSB = \overline{C_3} \cdot \overline{C_2} \cdot C_1 + C_3 \cdot C_2 \cdot C_1 \end{cases}$$

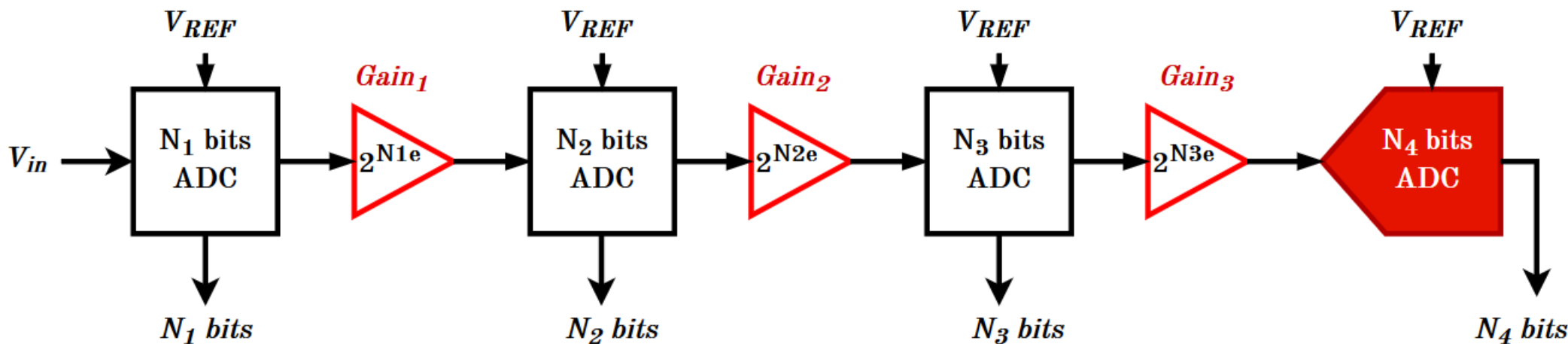
流水线 (Pipeline) ADC结构

- Flash ADC 速度快, 比较器数量 = $2^n - 1$, 当 $n = 8$ 时, 需要255个比较器, 不适合构成高分辨率ADC



- 每级ADC转换较少的位数 $(N_1, N_2, \dots, N_M, N_{M+1})$, 实际实现增加一个冗余位
- ADC的总分辨率为: $P = N_1 + N_2 + \dots + N_M + N_{M+1}$
- 第 i 级转换器输出的电压称为残差电压 (Residue) V_{Res_i}
- 数字对齐和拼接逻辑把各个子模块的结果拼接成一个高分辨率结果, 同时修正由于级联带来的转换误差

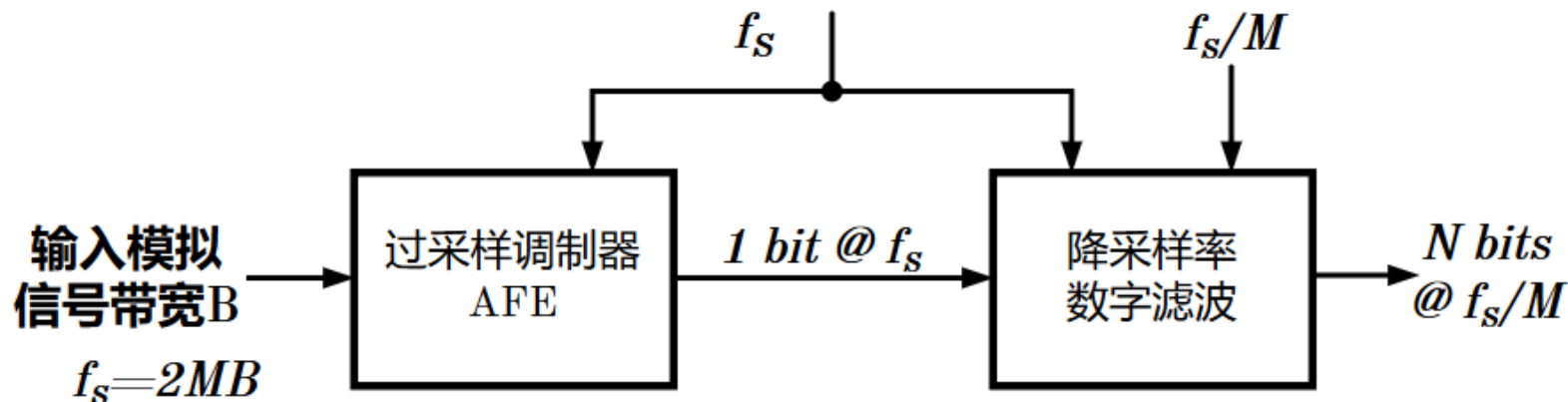
流水线ADC小结



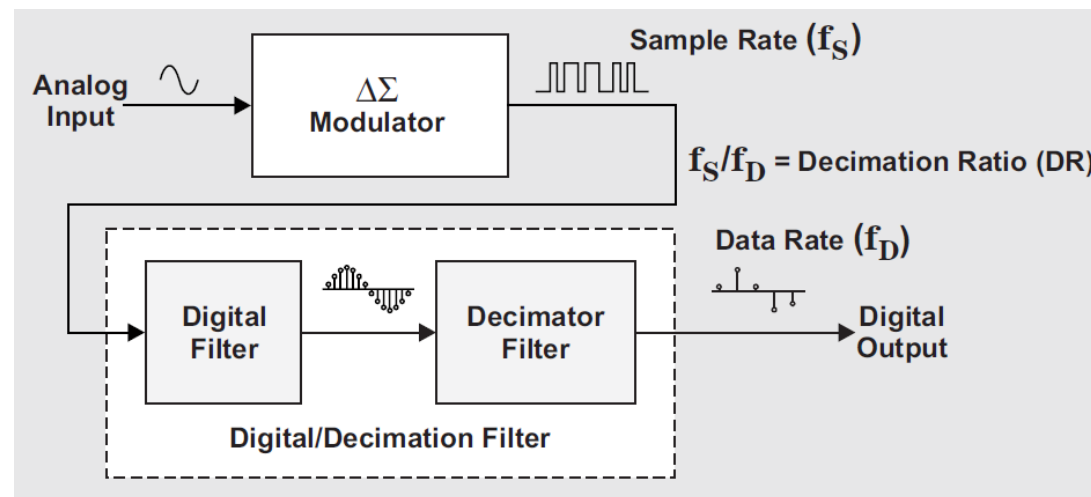
- 在各流水级之间插入 $Gain = 2^{N_i e}$ 放大器
 - 各级的ADC无需依次降低 V_{REF}
 - 从而降低了后续各级ADC的转换精度要求
- 流水线各级内部包含独立的采样保持电路
 - 各流水级可以同时在统一的时钟控制下工作，最大可每个时钟输出一个采样结果
 - 转换器的总延迟时间是流水线级数、每级完成转换所需时间的函数
- 流水线ADC需要内置校准电路，来补偿非理想情况
 - 模拟部分的校准：放大器非线性、比较器电压漂移，调整放大器增益
 - 数字校准，每级转换增加冗余位，甚至采用必要的算法实现数据对其和拼接

过采样ADC

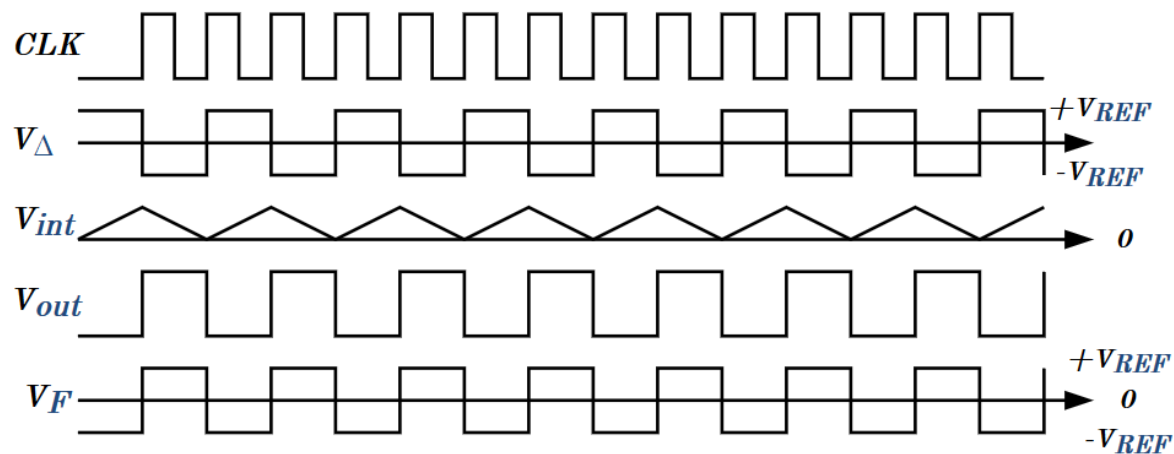
- 简化抗混叠滤波器设计，应用在模拟前端，如语音处理



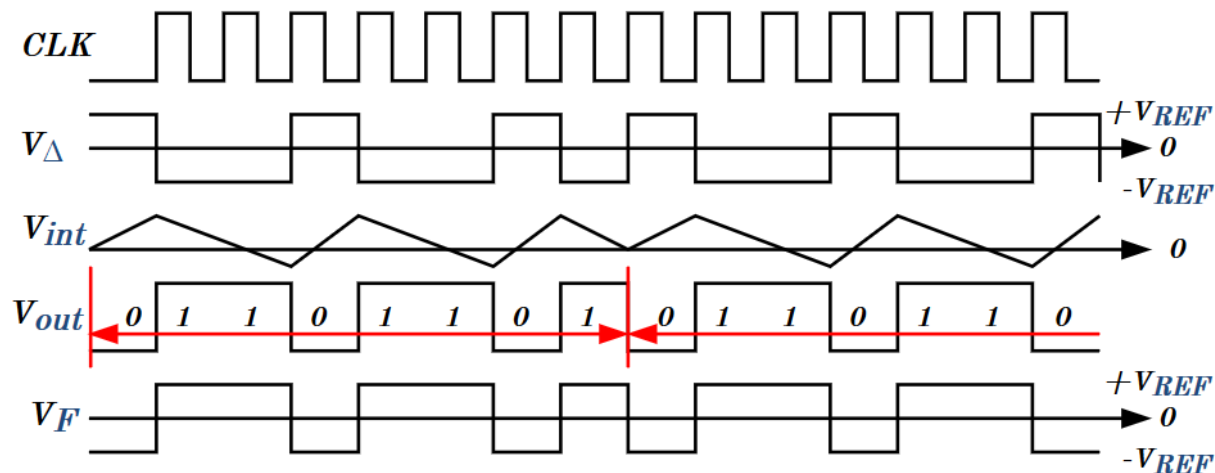
- 模拟前端(Analog front-end)过采样调制器
 - 把原始信号转换成高采样率的 1 bit 数字信号, $f_s = 2 \times M \times B$, M 为过采样系数, B 是信号带宽
- 数字后端采用数字滤波器
 - 滤除带外量化噪声
 - 实现降低采样率时需要的抗混叠滤波功能



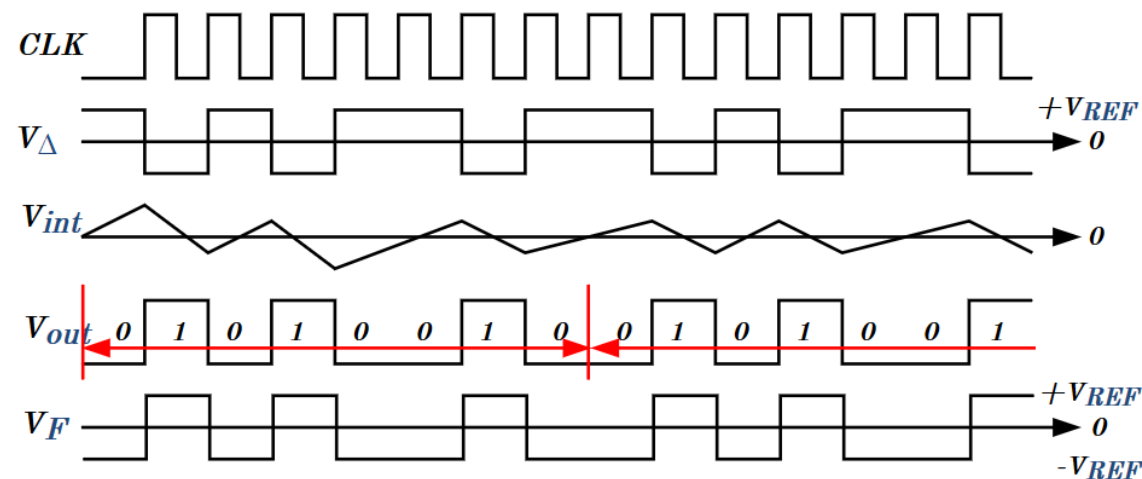
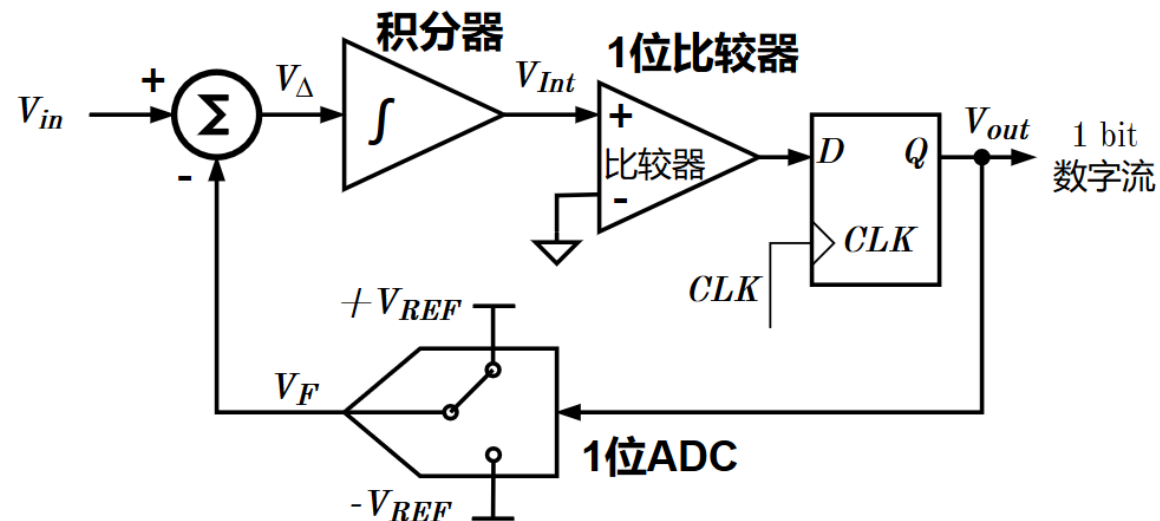
$\Sigma\Delta$ (Sigma-Delta) ADC



$V_{in} = 0$ 时, 各点波形

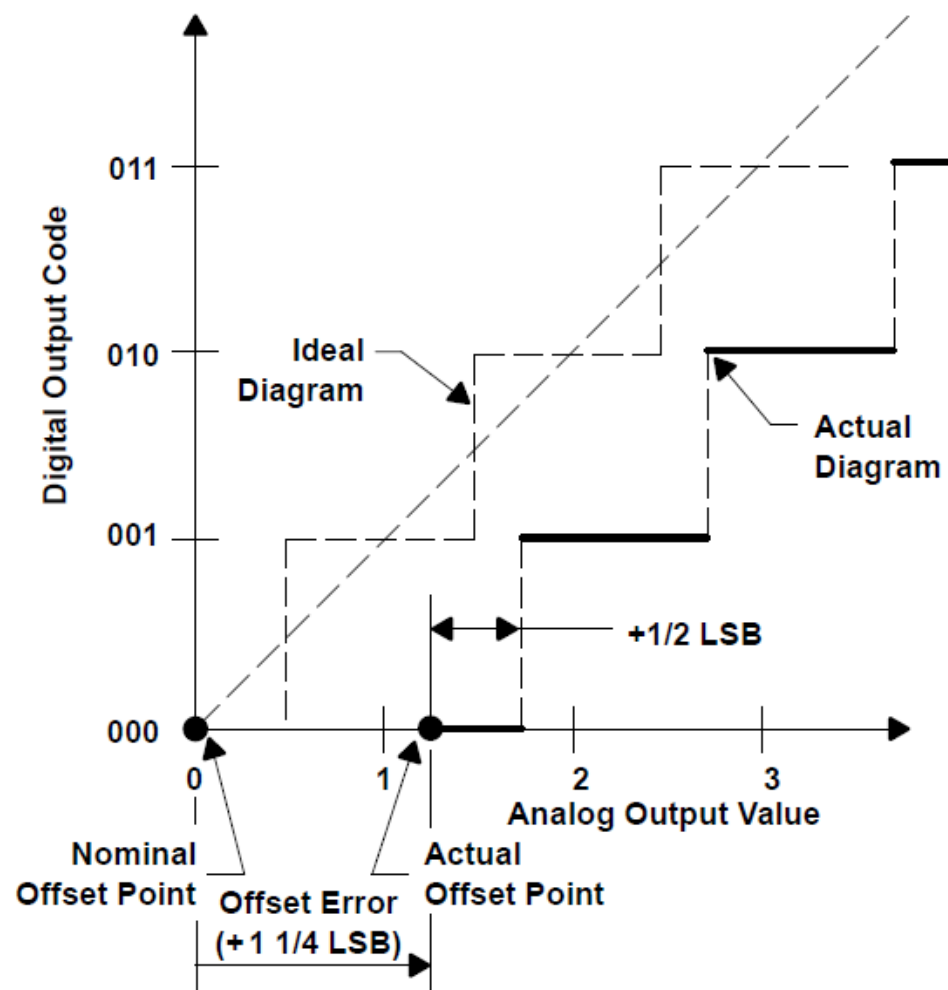


$V_{in} = +V_{REF}/4$ 时, 各点波形

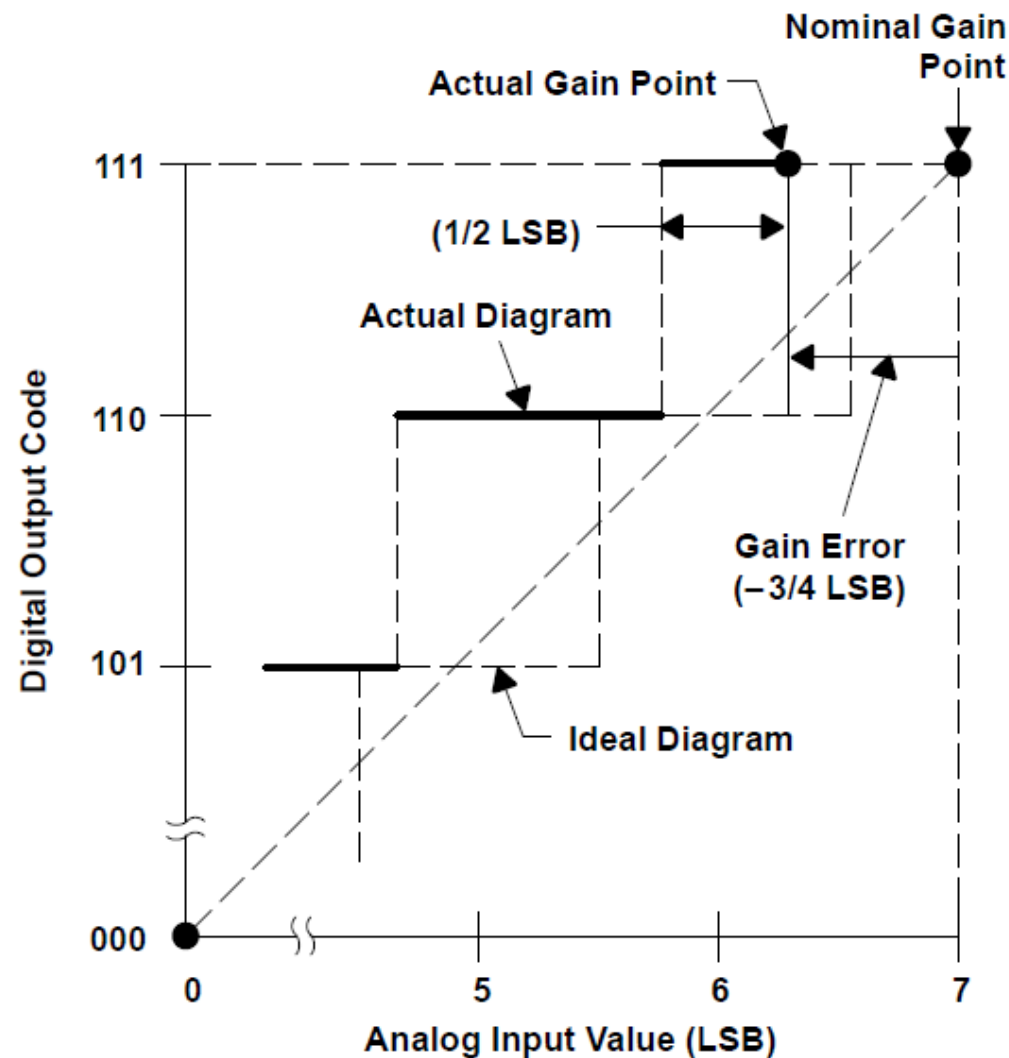


$V_{in} = -V_{REF}/4$ 时, 各点波形

ADC 静态误差来源(1)

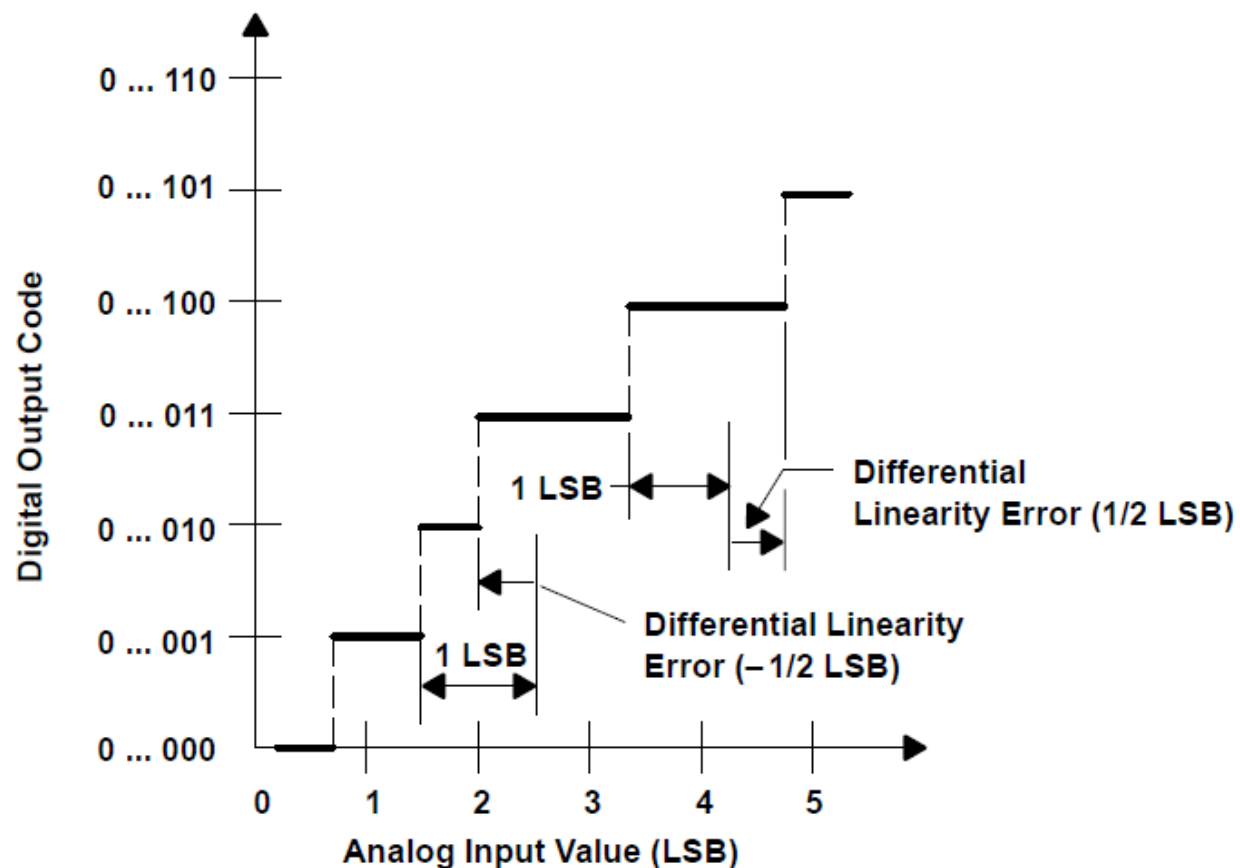


Offset Error

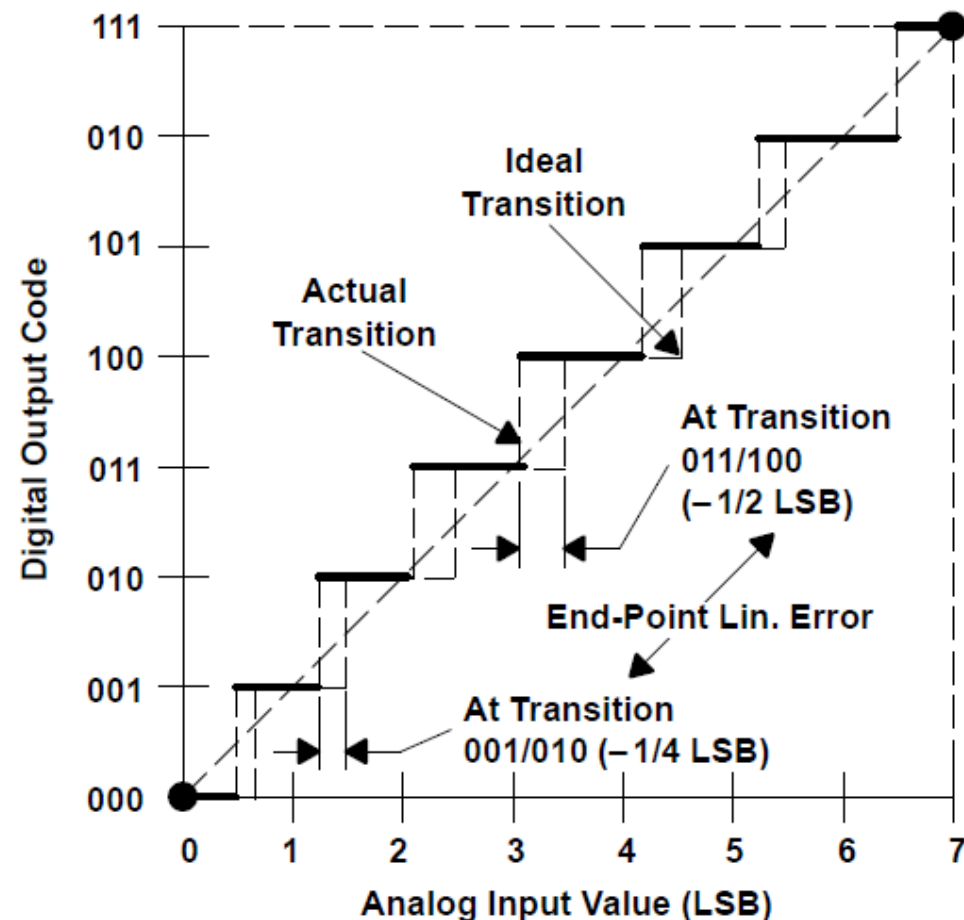


Gain Error

ADC 静态误差来源(2)



Differential Nonlinearity (DNL) Error



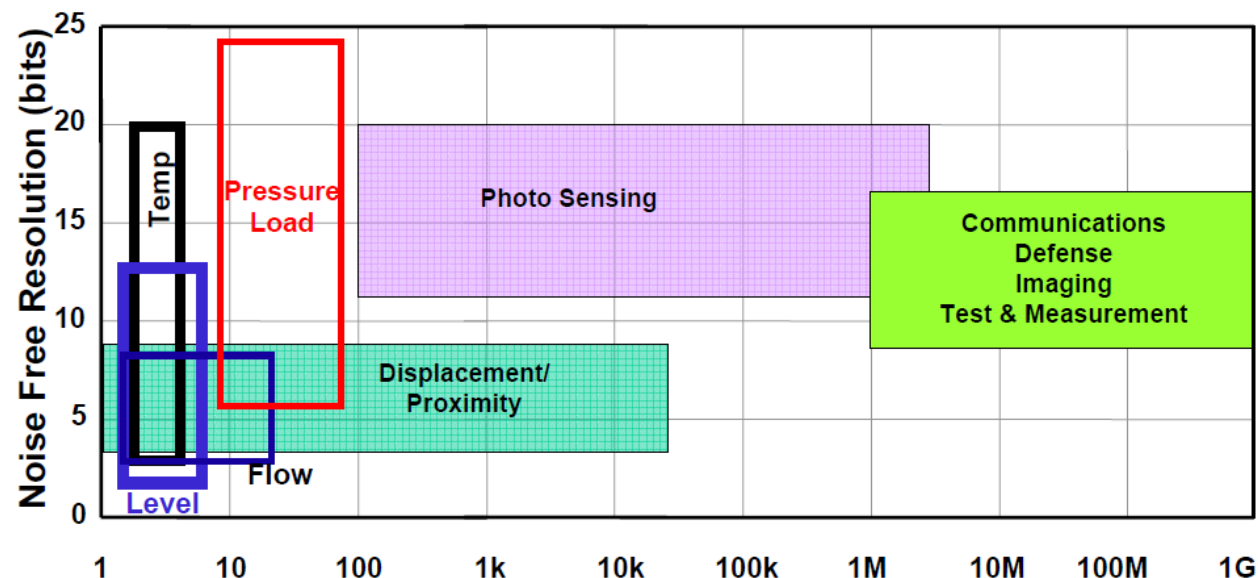
Integral Nonlinearity (INL) Error

Understanding Data Converters Application Report, 1995, SLAA013, TI



ADC转换精度和速度

Choose the right A/D converter for your application, Texas Instruments



<i>ADC Topology</i>	<i>F Conversion</i>	<i>Resolution</i>	<i>Comments</i>
SAR	$\leq 4\text{Msps}$ $\leq 1.25\text{Msps}$	$\leq 16\text{-bit}$ $\leq 18\text{-bit}$	Simple operation, low cost, low power
Delta-Sigma	$\leq 4\text{ksps}$ $\leq 4\text{Msps}$ $\leq 10\text{Msps}$	$\leq 31\text{-bit}$ $\leq 24\text{-bit}$ $\leq 16\text{-bit}$	Moderate cost.
Pipeline	$\leq 200\text{Msps}$ $\leq 250\text{Msps}$ $\leq 550\text{Msps}$	$\leq 16\text{-bit}$ $\leq 14\text{-bit}$ $\leq 12\text{-bit}$	Fast, expensive, higher power requirements.

小结



问题和建议?

