

# 数字电路

## Digital Circuits and System

李文明

liwenming@ict.ac.cn

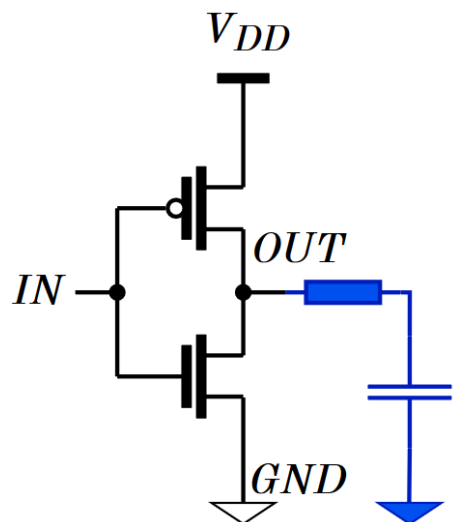


# CMOS门电路时序和工艺实现

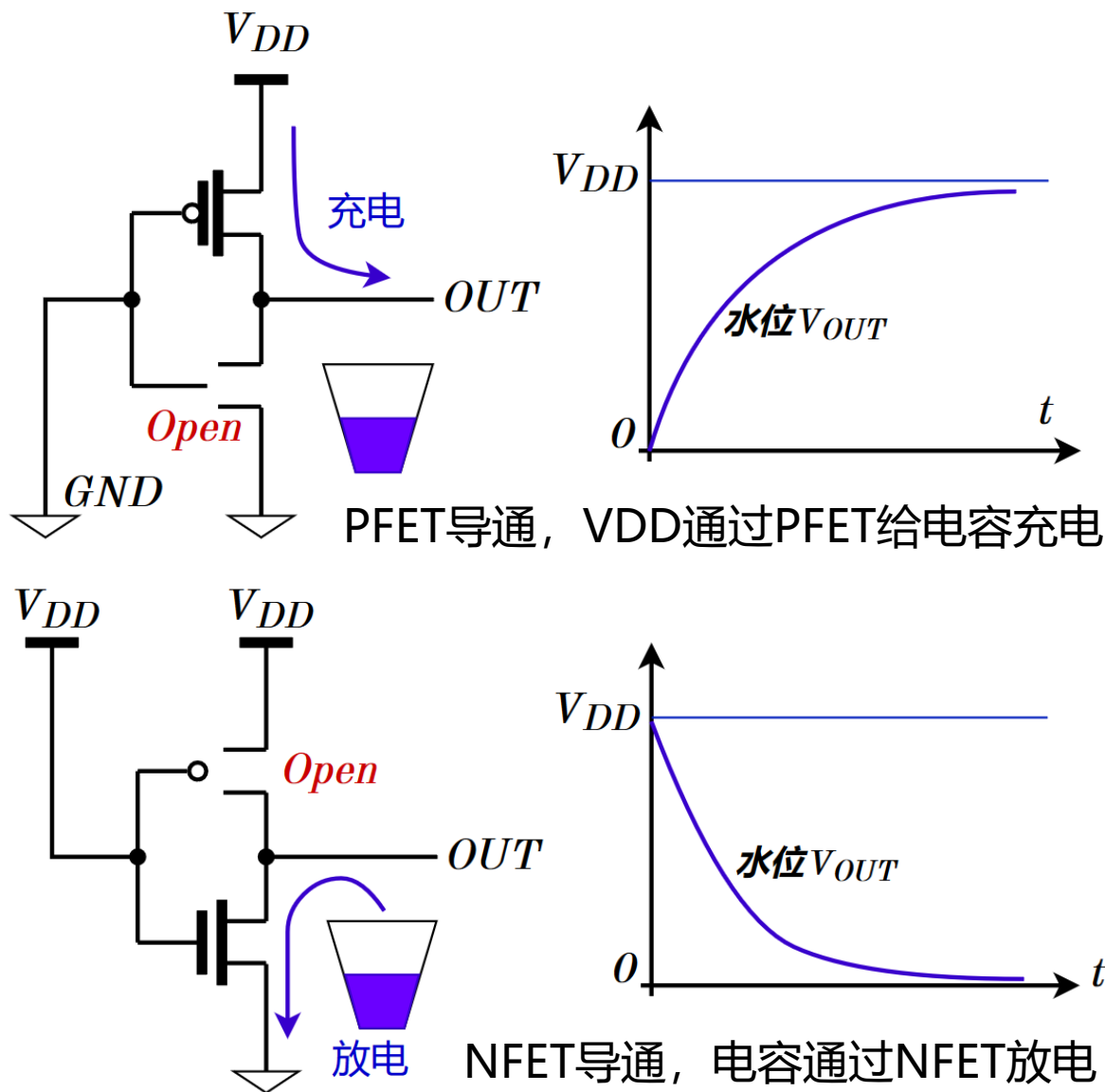


# CMOS延时(Delay)

CMOS反相器结构，输出连接的逻辑门可以简化成电阻电容串联

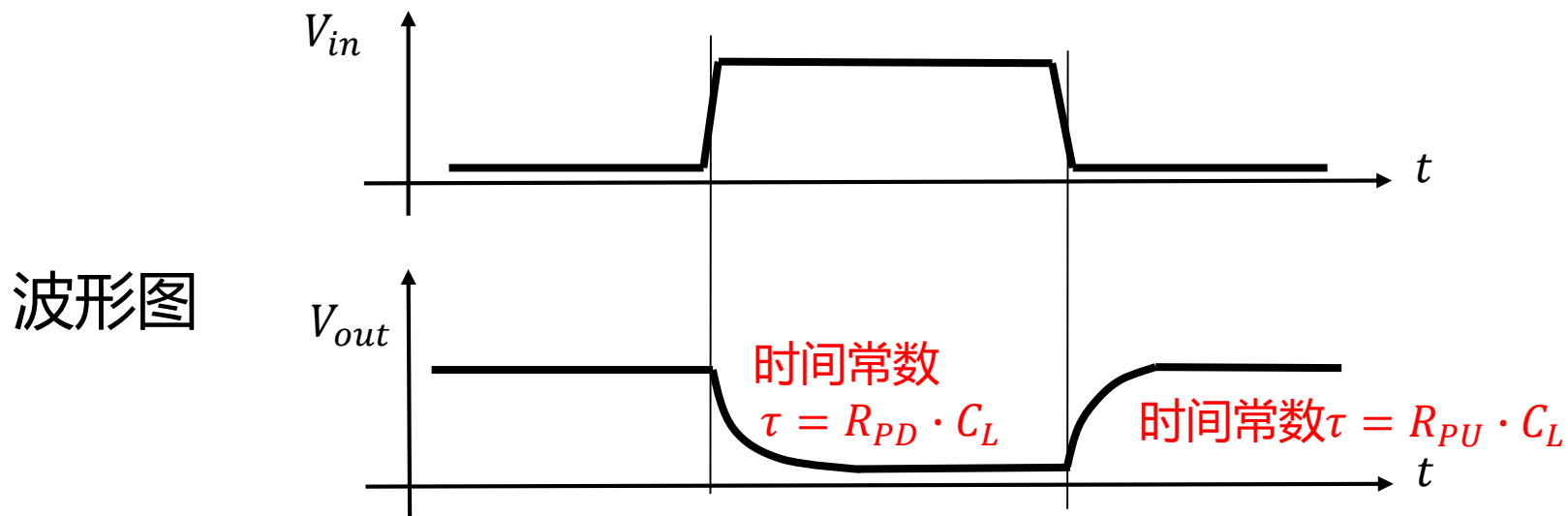
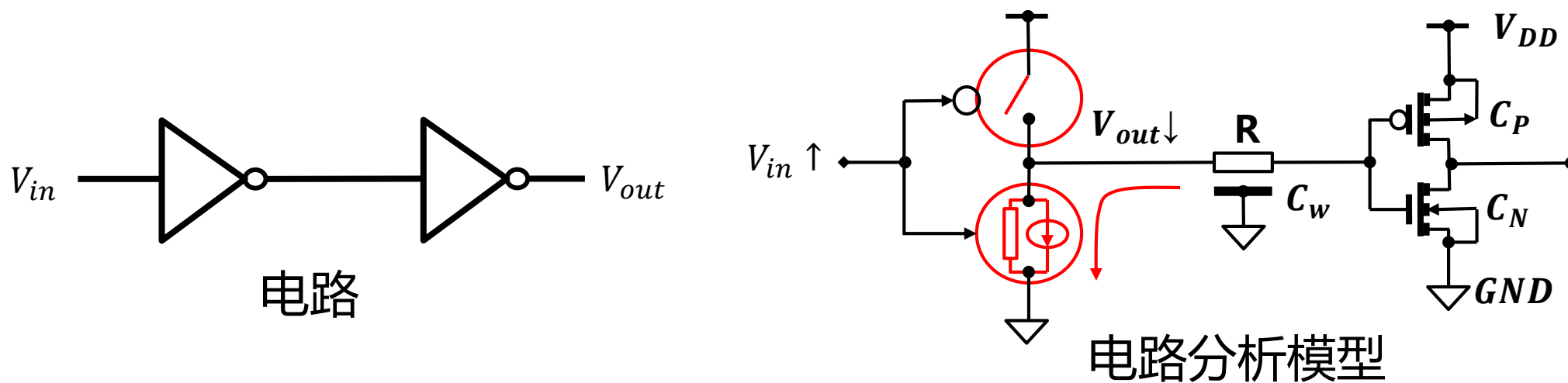


- 输出端的电容充、放电过程可以看成向水桶注水和倒水的过程
- 电容相当于水桶，电荷相当于水



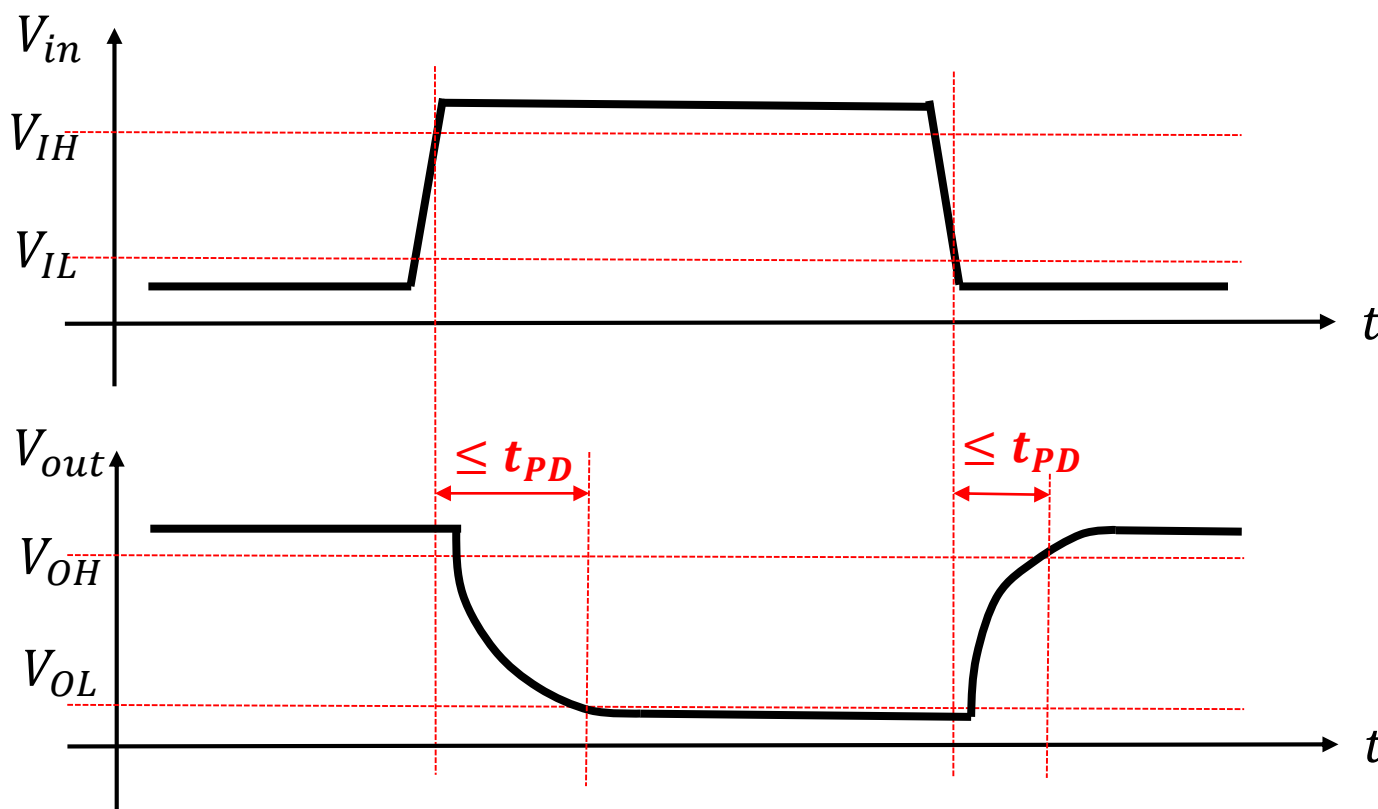
通常情况下，也能够上述模型分析CMOS延时可以很精确

# CMOS时序规范(Timing Specification)



# 传播延时(Propagation Delay)

- 传播延迟( $t_{PD}$ )定义
  - 从输入电平变成有效，到输出电平变成有效的延迟时间上限



目标：尽量缩小 $t_{PD}$

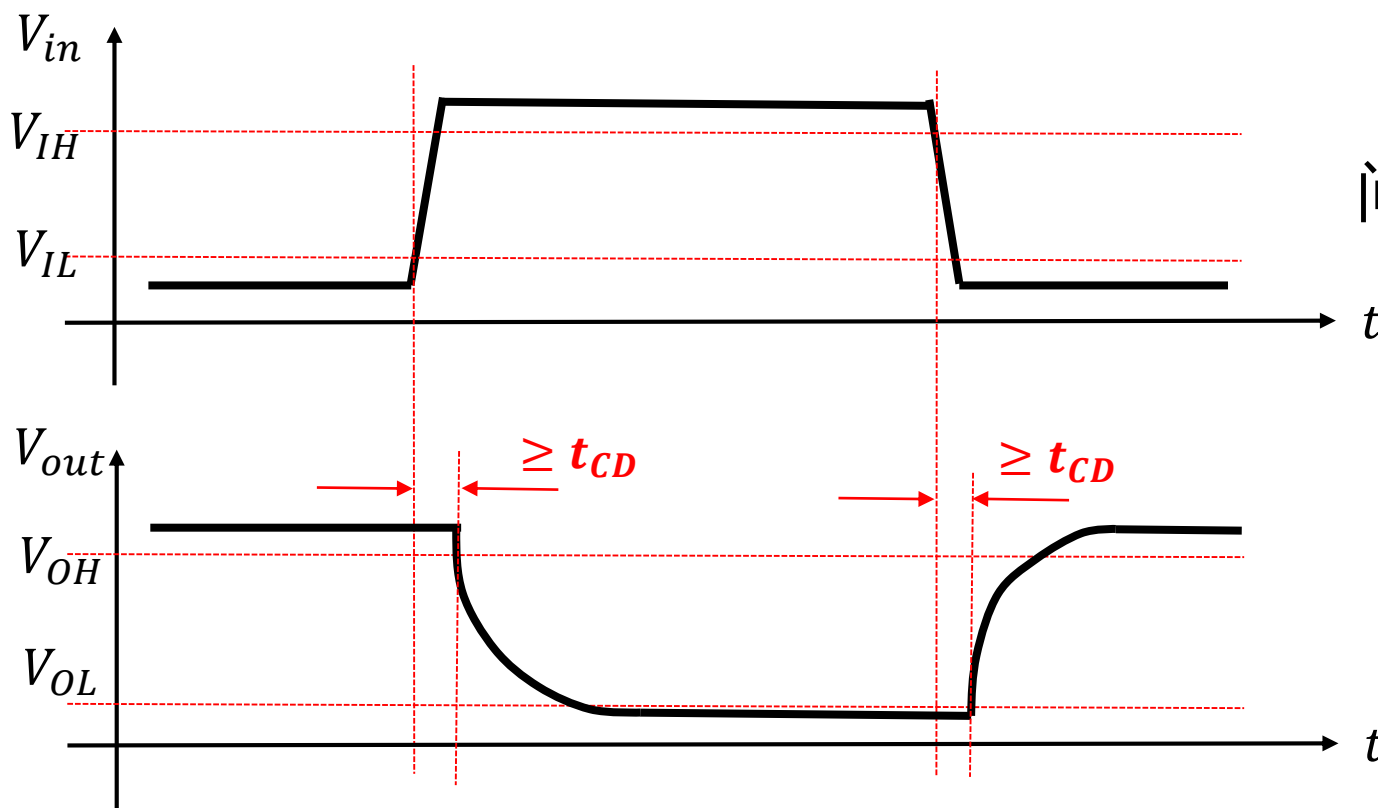
关键：

- 减小电容
- 提高FET的速度

# 不稳定时间(Contamination Delay)

- 定义

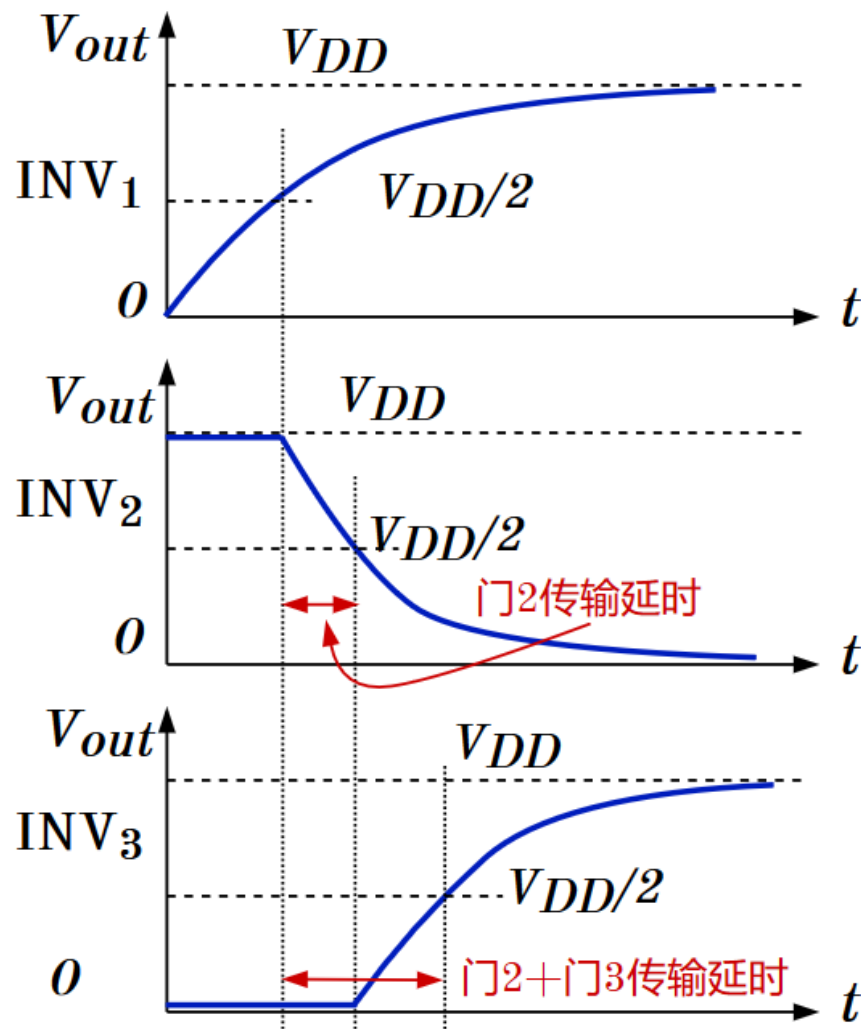
- 从任意输入的电平无效开始，到输出电平开始无效的延迟时间 ( $t_{CD}$ ) 下限



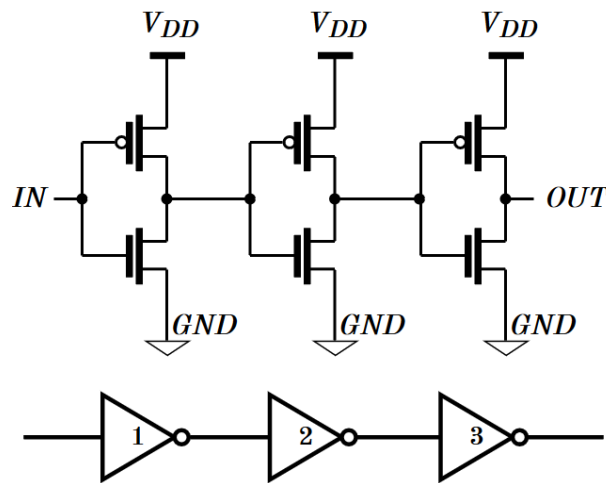
问题:  $t_{CD}$  是否是必须的?

一般情况下不需要, 但在包含触发器电路里,  $t_{CD}$  是分析时序电路的关键

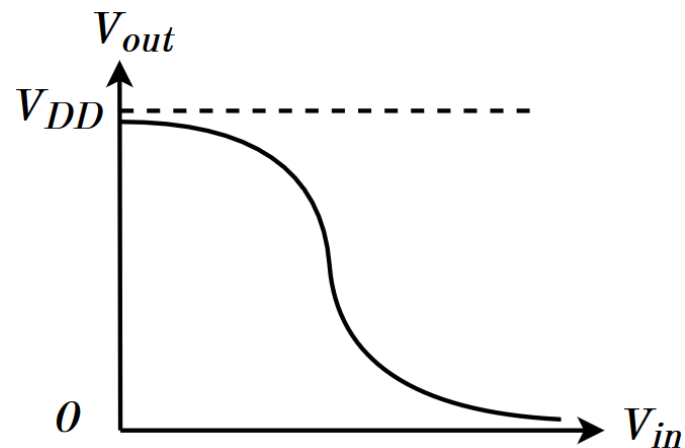
# 多个门的级联导致延迟时间增加



3个非门级联



非门的电压转移特性(VTC)

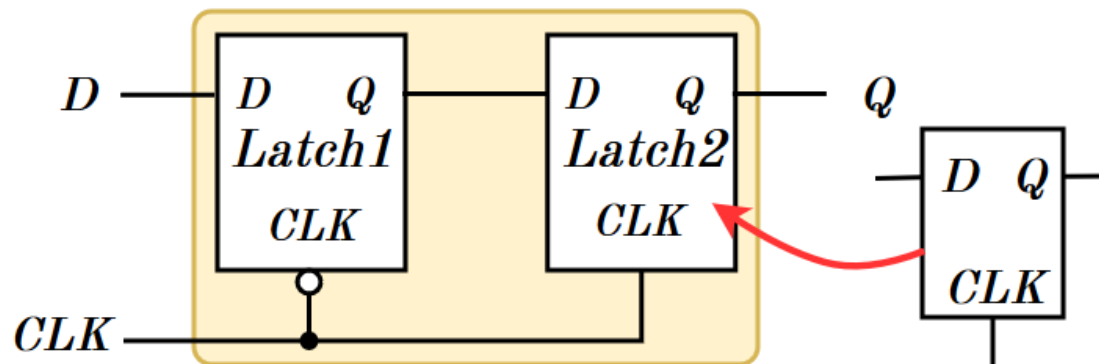


一般而言：级联逻辑的总传播延时等于各级门传播延时之和，本例中：

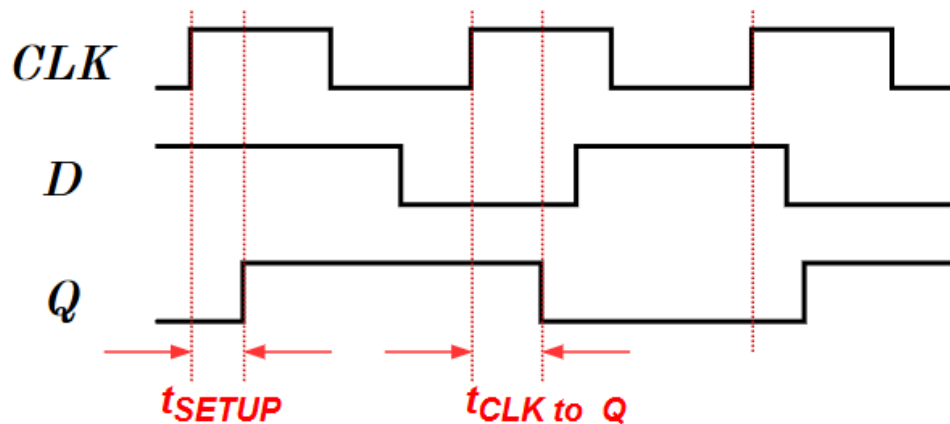
$$t_{PD\_3\,Gates} = t_{PD\_Gate1} + t_{PD\_Gate2} + t_{PD\_Gate3}$$

## 触发器延迟时间

## 由2级锁存器构成的边沿触发器

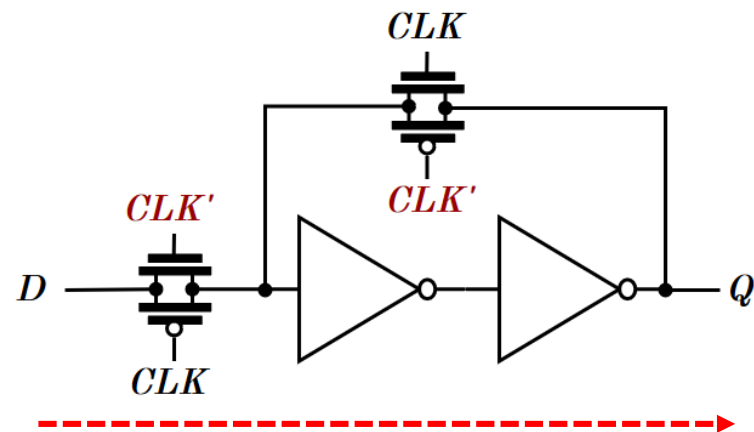


## 边沿触发器时序图

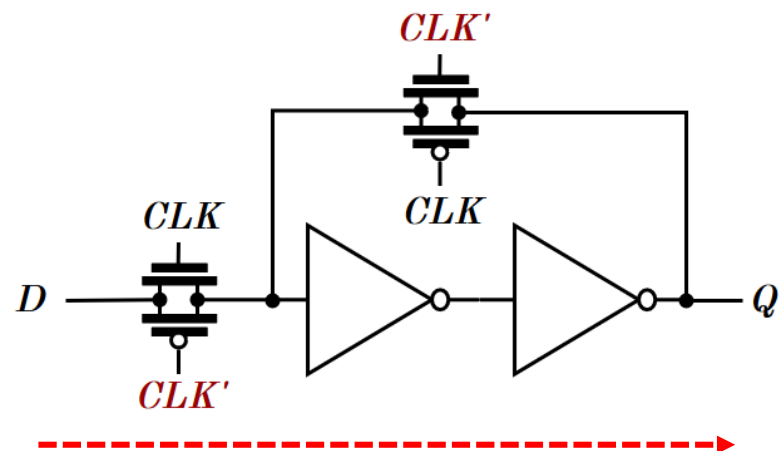


对于此特定结构的电路:

$t_{SETUP}$ 主要是第一级Latch的传播延迟时间产生



$t_{CLK\ to\ Q}$  主要是第二级Latch的传播延迟时间产生

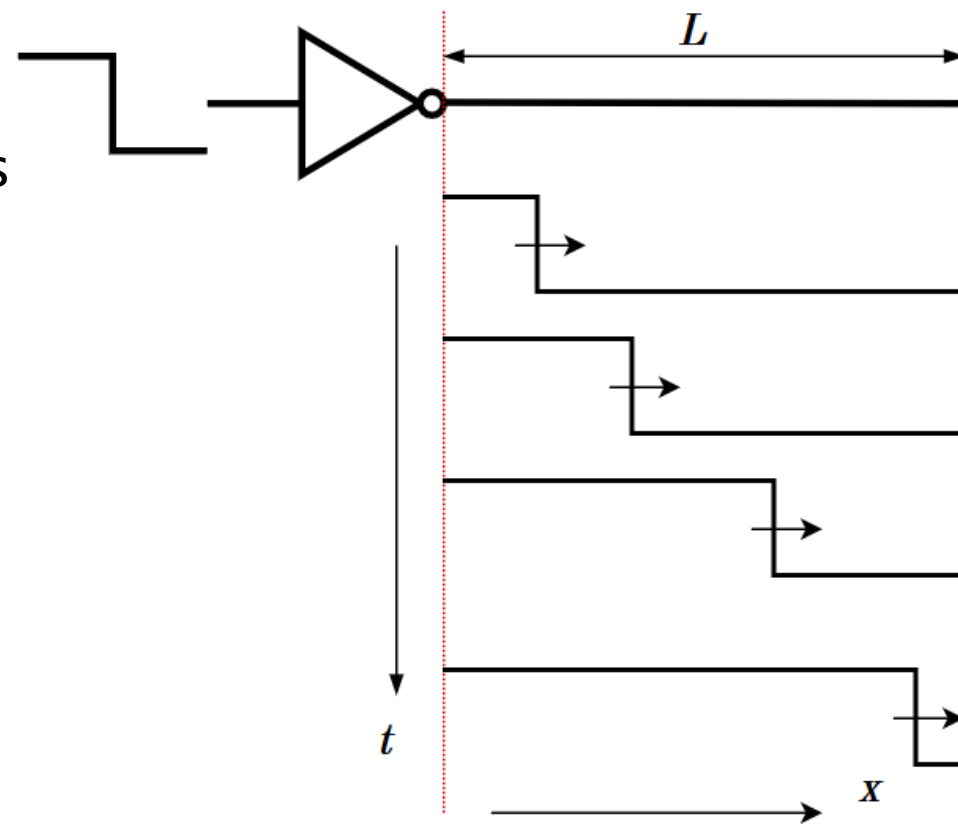




# 线延时(1)

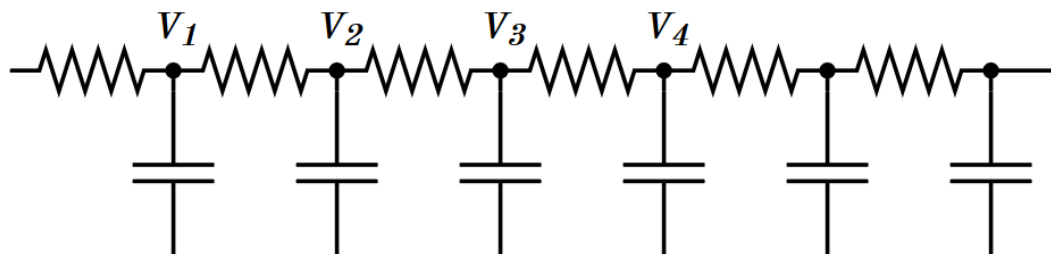
理想情况下，导线具备**传输线**特性

- 信号波形的前沿在导线上以光速传播： $\sim 1\text{ft/ns}$
- 从源端到目的端传播所经历的时间，称为“**传输时间(Transit time)**”
- 早期，在集成电路内部，导线一般很短（mm量级），相对于工作时钟周期（ns量级），延迟时间可以忽略
- 目前，随工艺进步，芯片Die尺寸越来越大（ $\sim \text{cm}^2$ ），工作频率提高（3~5GHz），芯片内部的线延时目前已不可忽略
- 电子系统的印刷电路板(Printed Circuit Board, PCB)的线延迟不可忽略



# 线延时(2)

- 导线存在分布式电阻和电容



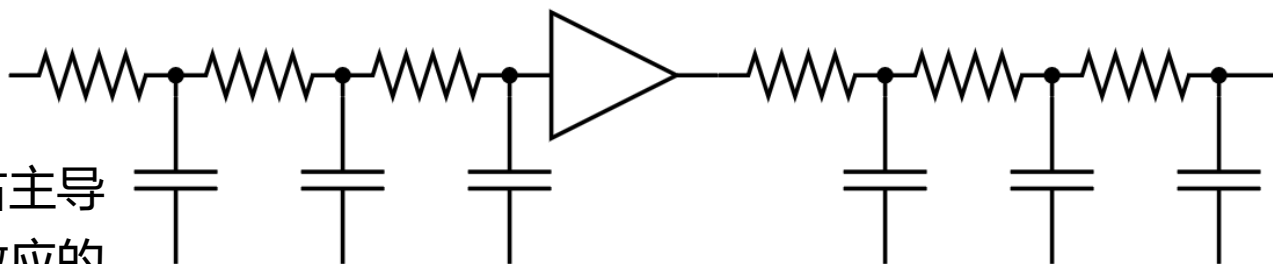
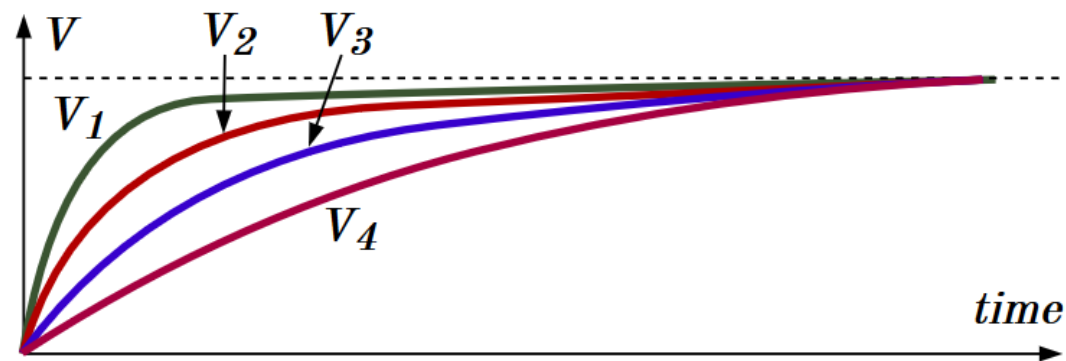
## 对IC内部的短线

- 导线电阻相对于晶体管电阻要小，因此不是主要因素，但分布电容的影响很显著
- 一般，门负载电容的一半来源于导线电容

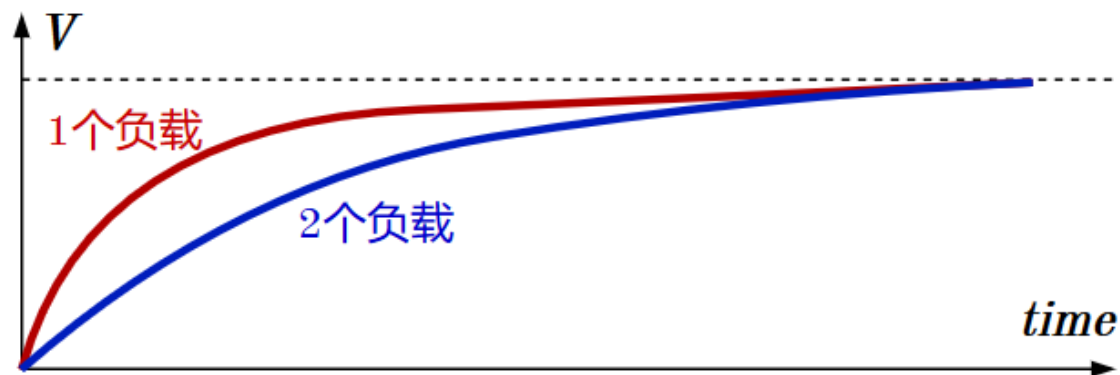
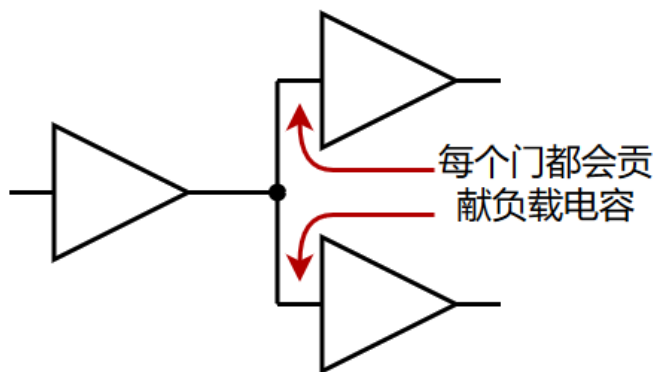
## 对IC内部的长线

- 总线、时钟、全局控制信号等
- 导线电阻影响显著，因此分布式RC的影响占主导
- 一般通过增加驱动缓冲器，来降低长线RC效应的影响

- 分布式电阻电容的时间常数与导线长度的平方成正比



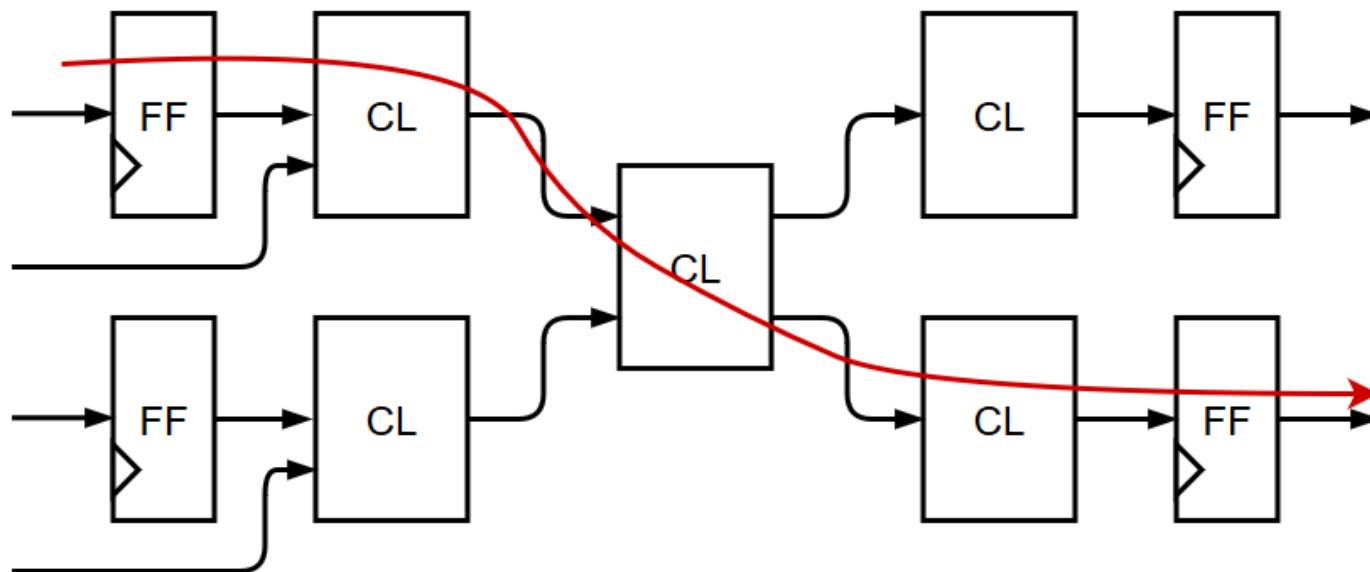
# 延时与扇出(Fan-out)



- 门的输出延时与其负载电容成正比，输出端连接的负载门数（称为扇出，Fan-out）越多，其负载电容越大，开关过程中达到门限电压所经历的时间越长，延时越大
- 驱动导线同样会增加扇出延时
- 在需要大扇出，又要保证延时满足规范的逻辑设计中，应该如何解决？

# 传输路径延时的组成部分

1. 逻辑单元的数量
2. 逻辑单元内部延时
3. 各逻辑单元间的线延时
4. 逻辑单元输入电容
5. 逻辑单元扇出
6. 逻辑单元的驱动能力
7. ...

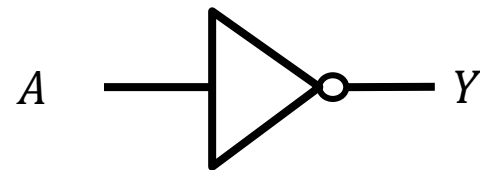
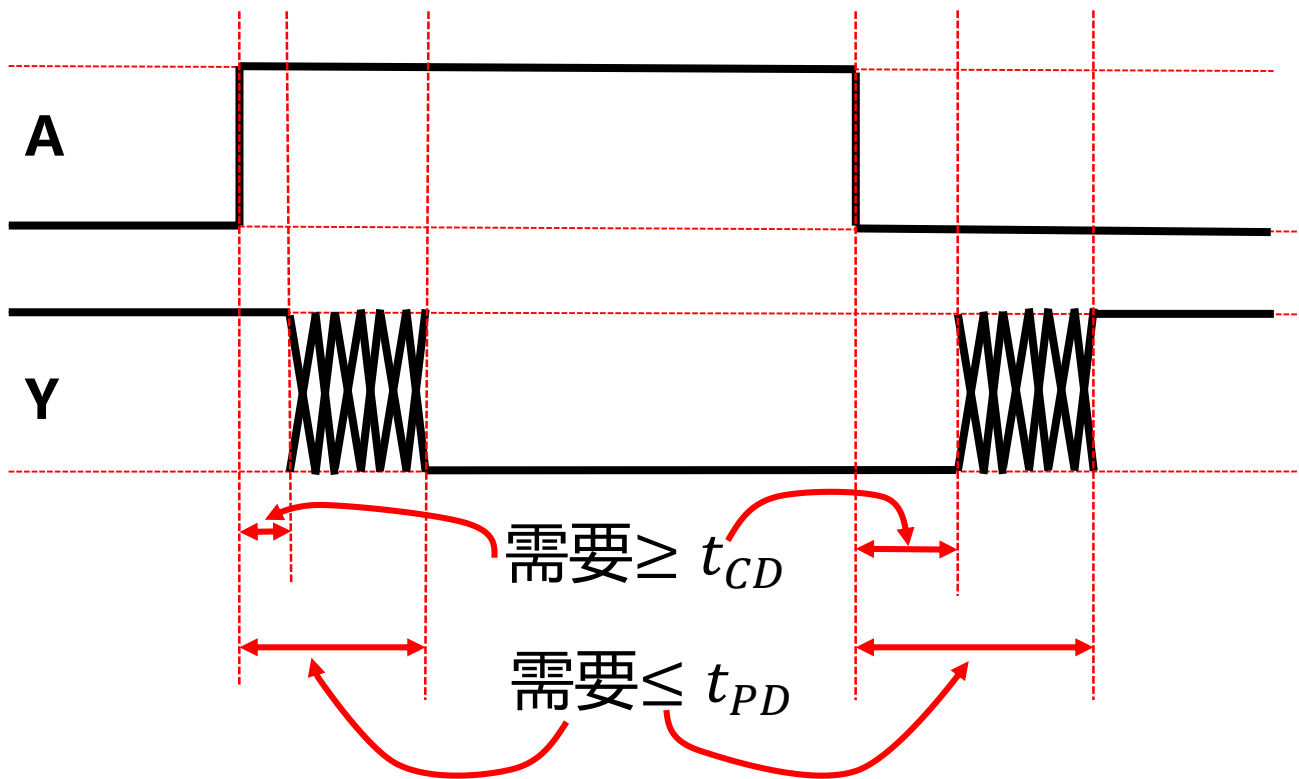


CL: Combinational Logic, 组合逻辑  
FF: Flip-Flop, 触发器

# 谁可以控制延时?

	<b>Silicon Foundry Engineer</b>	<b>Cell Library developers, FPGA Chip Designer</b>	<b>CAD Tools Logic synthesis Place and Route</b>	<b>Designer</b>
<b>Number of Levels</b>			synthesis	RTL
<b>Internal Cell Delay</b>	physical parameters	cell topology, trans sizing	cell selection	
<b>Wire Delay</b>	physical parameters		Place and Route	layout generator
<b>Cell input capacitance</b>	physical parameters	cell topology, trans sizing	cell selection	
<b>Cell fan-out</b>			synthesis	RTL
<b>Cell drive strength</b>	physical parameters	transistor sizing	cell selection	instantiation (ASIC)

# 组合逻辑中的时序约定



A	Y
0	1
1	0

注意:

1. 在输出信号稳定之前的过渡阶段, 输出状态不确定 **XXXXX**
2. 默认规范:  $t_{CD} = 0$

# 非循环组合逻辑电路的时序

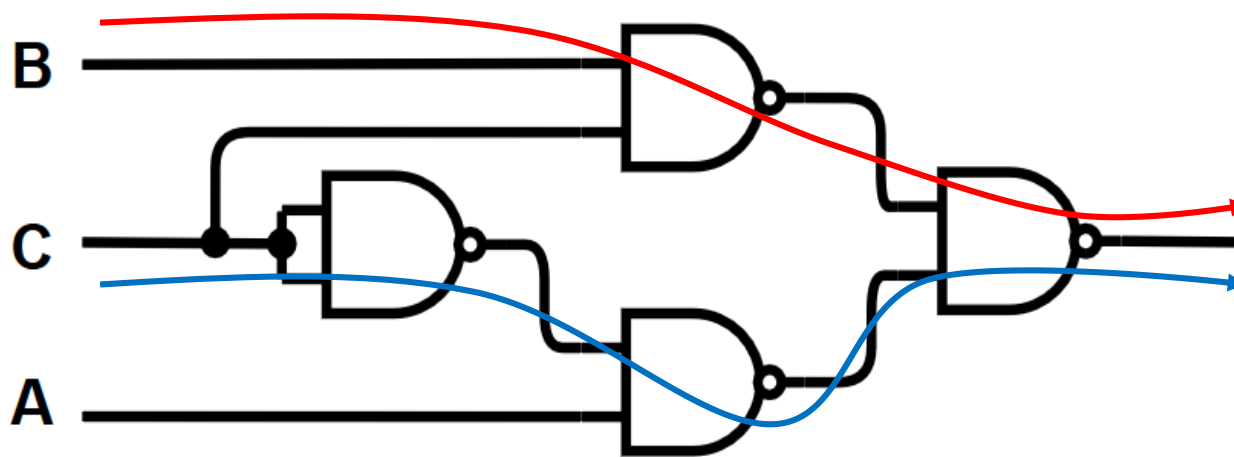
- 如果NAND门  $\begin{cases} t_{PD} = 5ns \\ t_{CD} = 1ns \end{cases}$ , 计算图所示组合逻辑电路的  $t_{PD}$  和  $t_{CD}$

组合逻辑电路的  $t_{CD}$  是所有从输入到输出路径中  $t_{CD}$  累加的最小值

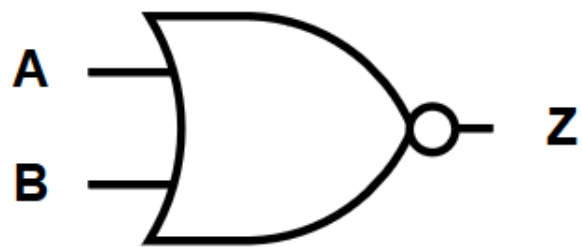
组合逻辑  $t_{CD} = 2ns$

组合逻辑电路的  $t_{PD}$  是所有从输入到输出路径中  $t_{PD}$  累加的最大值

组合逻辑  $t_{PD} = 15ns$



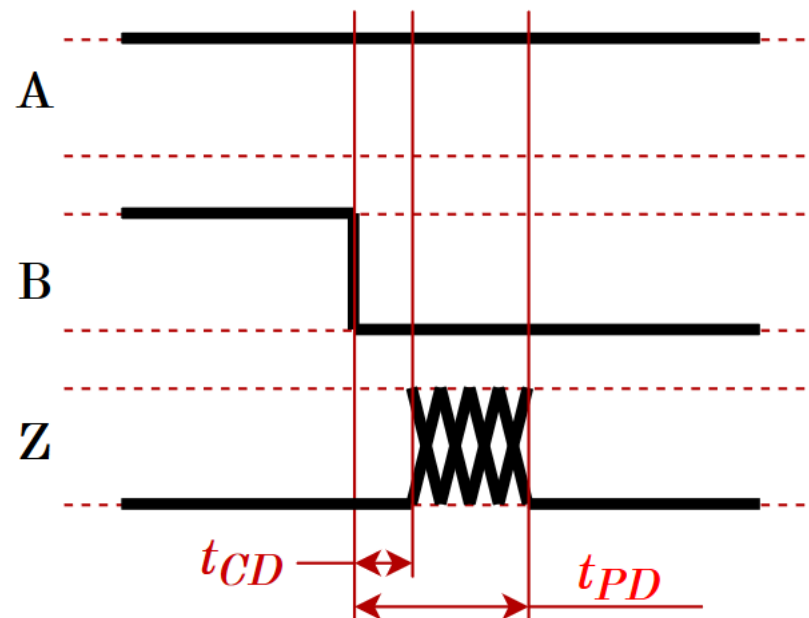
# 时序的另一个问题



NOR 门

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

NOR 门真值表



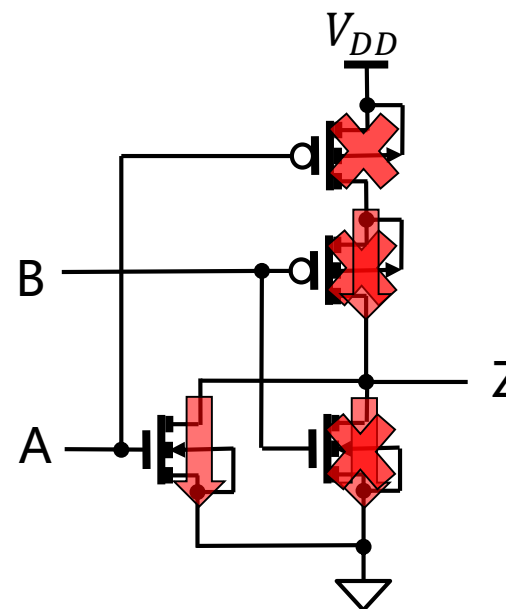
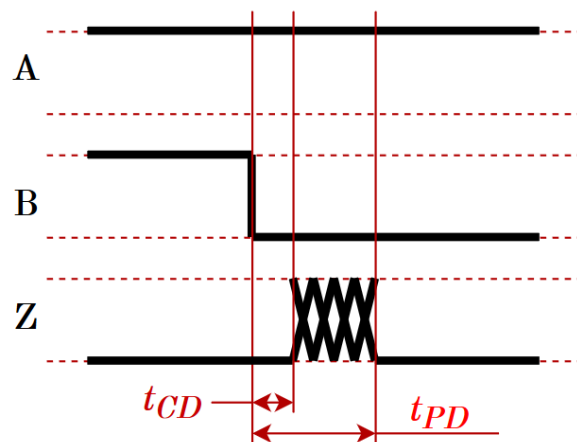
## 回顾组合逻辑的时序定义

- $t_{PD}$ : 从**所有**输入电平**变成有效**, 到输出**电平变成有效**的延迟时间上限
- $t_{CD}$ : 从任意输入的**电平无效**开始, 到输出**电平开始无效**的延迟时间 下限

很多逻辑门在具体实现时 (如CMOS), 往往会有更严格的时间约束条件



# 改进的NOR门电路



## ● Lenient 组合逻辑器件

- 当任意一个输入端的有效电平，就能够确保输出端电平在  $t_{PD}$  时间后状态有效
- 可以容忍无关的输入端无效的电平状态、和变化

NOR

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

Lenient NOR

A	B	Z
0	0	1
X	1	0
1	X	0



# 小结

- 时序规范
  - $t_{PD}$ : 从输入电平变成有效, 到输出电平变成有效的延迟时间上限
  - $t_{CD}$ : 从任意输入的电平无效开始, 到输出电平开始无效的延迟时间下限
  - 除非特殊说明, 默认  $t_{CD} = 0$
  - Lenient 门: 输出电平的变化, 仅受部分输入电平变化的影响



# 如何制造一个MOS管？



# 沙子

- 硅是地壳内第二丰富的元素，而脱氧后的沙子(尤其是石英)最多包含25%的硅元素，以二氧化硅( $SiO_2$ )的形式存在，这也是半导体制造产业的基础



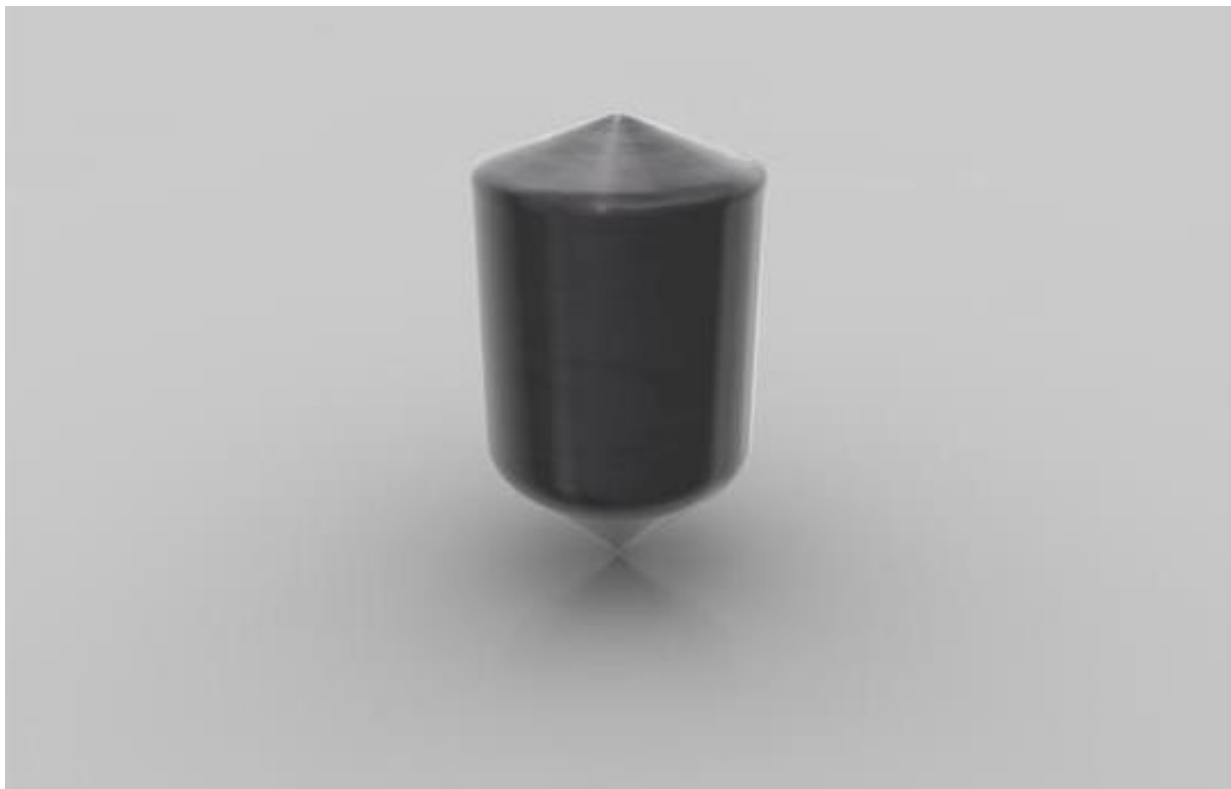
# 硅熔炼

- 通过多步净化得到可用于半导体制造的硅，学名**电子级硅(EGS)**，**平均每一百万个硅原子中最多只有一个杂质原子**。此图展示了是如何通过硅净化熔炼得到大晶体的，最后得到的就是**硅锭**(Ingot)



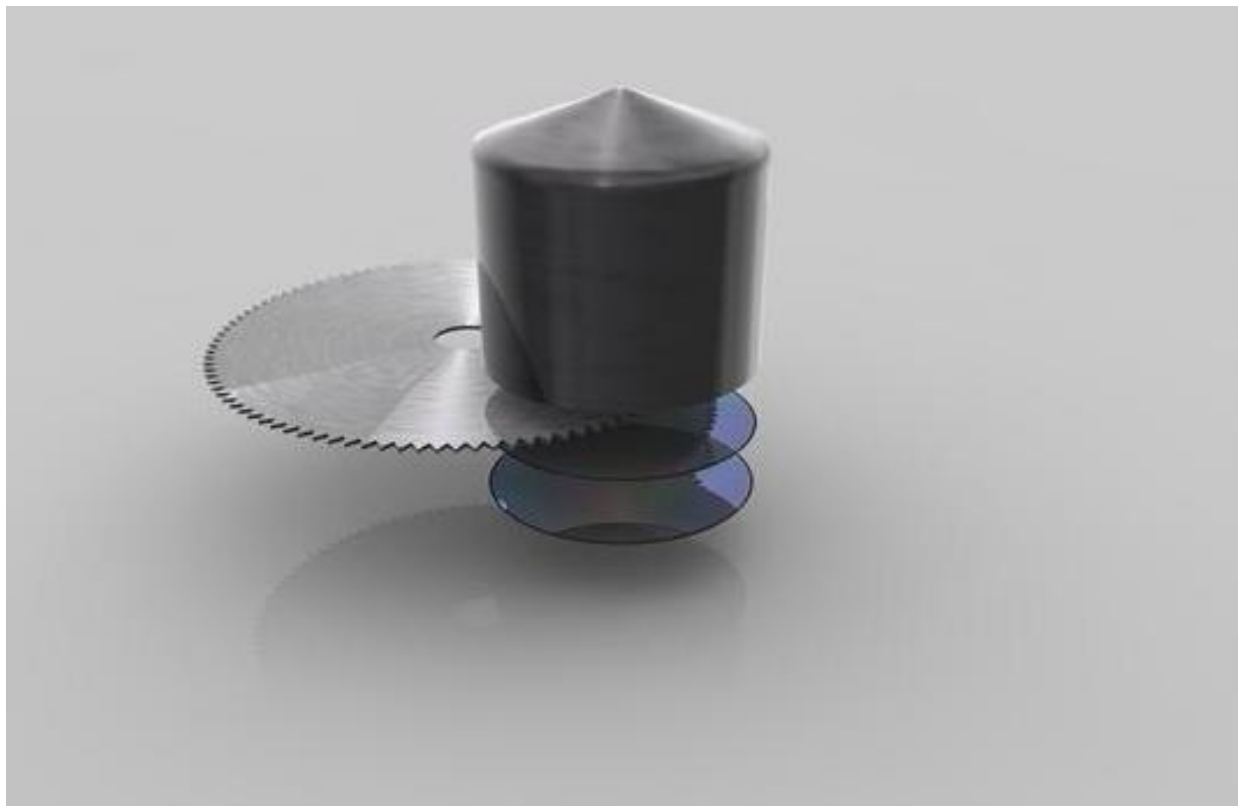
# 单晶硅锭

- 整体基本呈圆柱形，重约100千克，硅纯度99.9999%



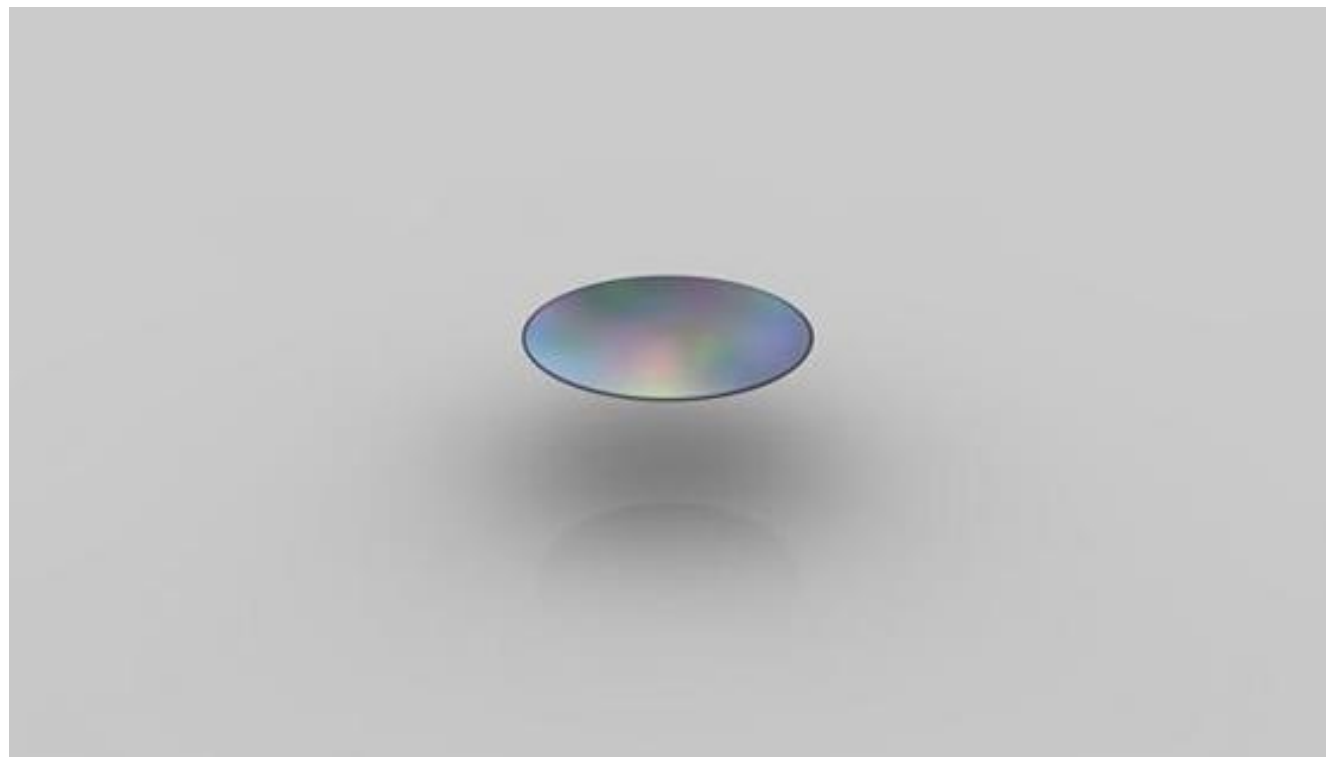
# 硅锭切割

- 横向切割成圆形的单个硅片，也就是我们常说的晶圆(Wafer)。顺便说，这下知道为什么晶圆都是圆形的了吧？



# 晶圆

- 切割出的晶圆经过抛光后变得几乎完美无瑕，表面甚至可以当镜子





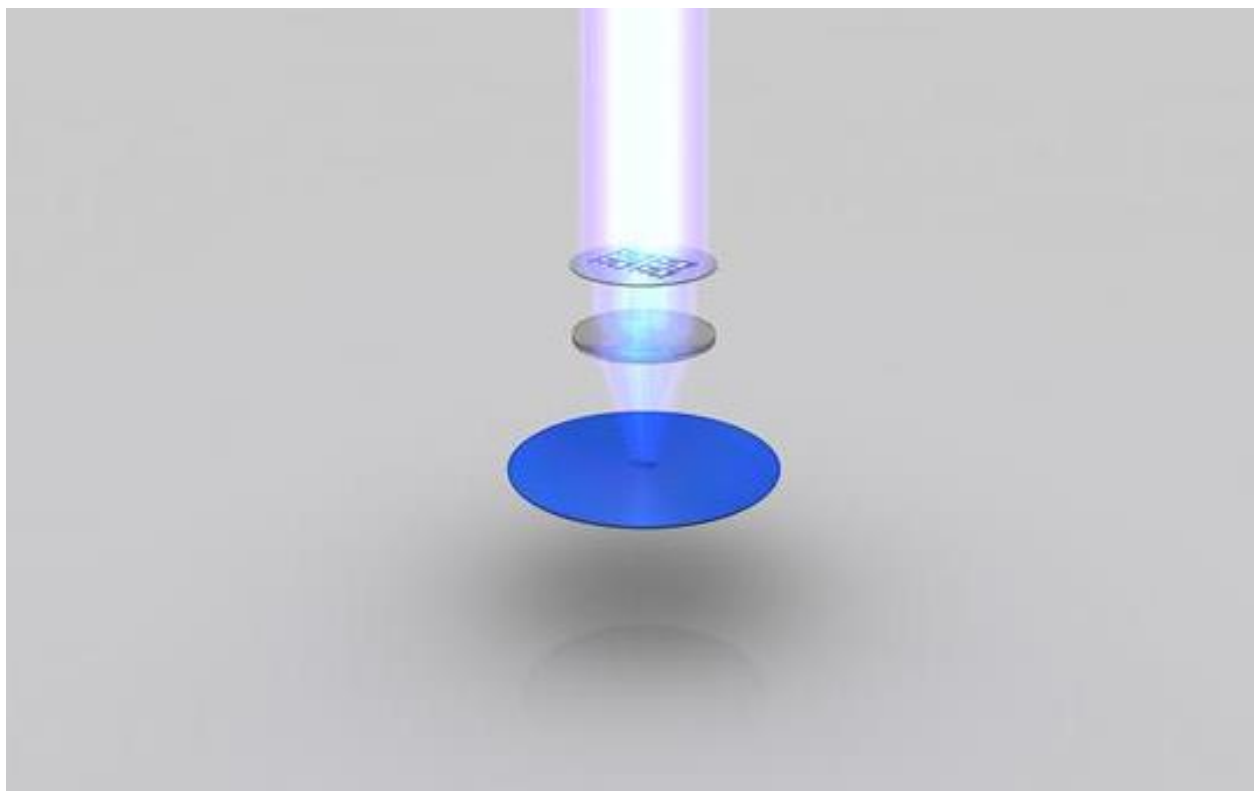
# 光刻胶(Photo Resist)

- 图中蓝色部分就是在晶圆旋转过程中浇上去的光刻胶液体，类似制作传统胶片的那种。晶圆旋转可以让光刻胶铺的非常薄、非常平



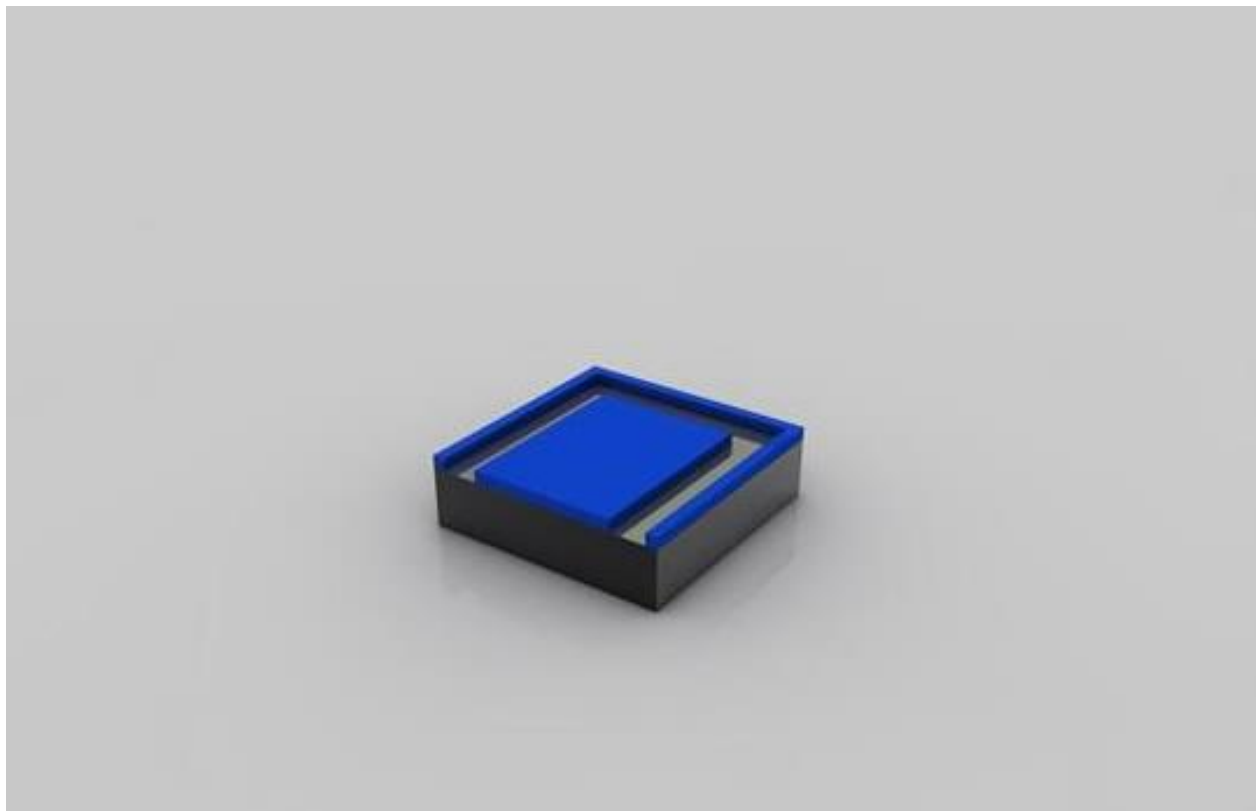
# 光刻

- 光刻胶层随后透过掩模(Mask)被曝光在紫外线(UV)之下，变得可溶。**掩模上印着预先设计好的电路图案**，紫外线透过它照在光刻胶层上，就会形成处理器的每一层电路图案



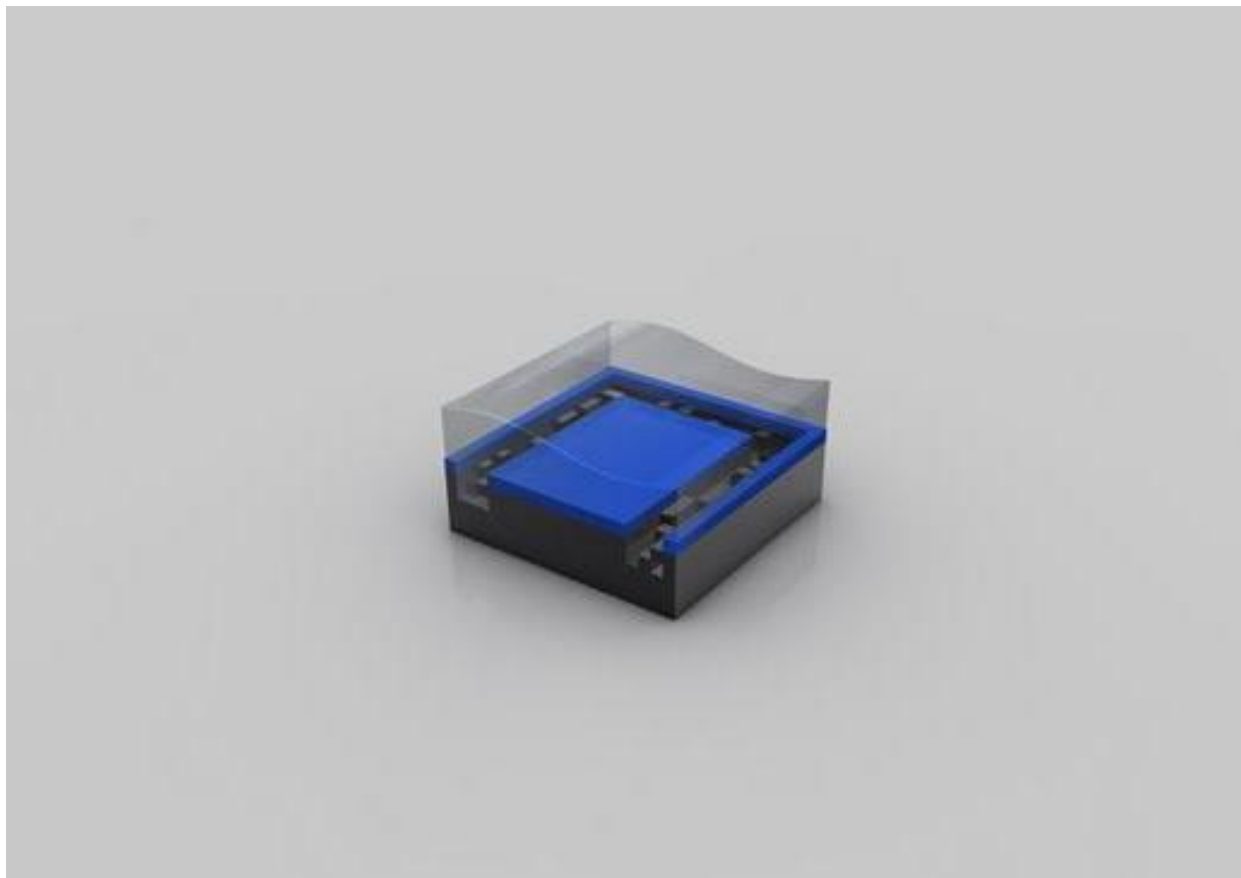
# 溶解光刻胶

- 光刻过程中曝光在紫外线下的光刻胶被溶解掉，清除后留下的图案和掩模上的一致



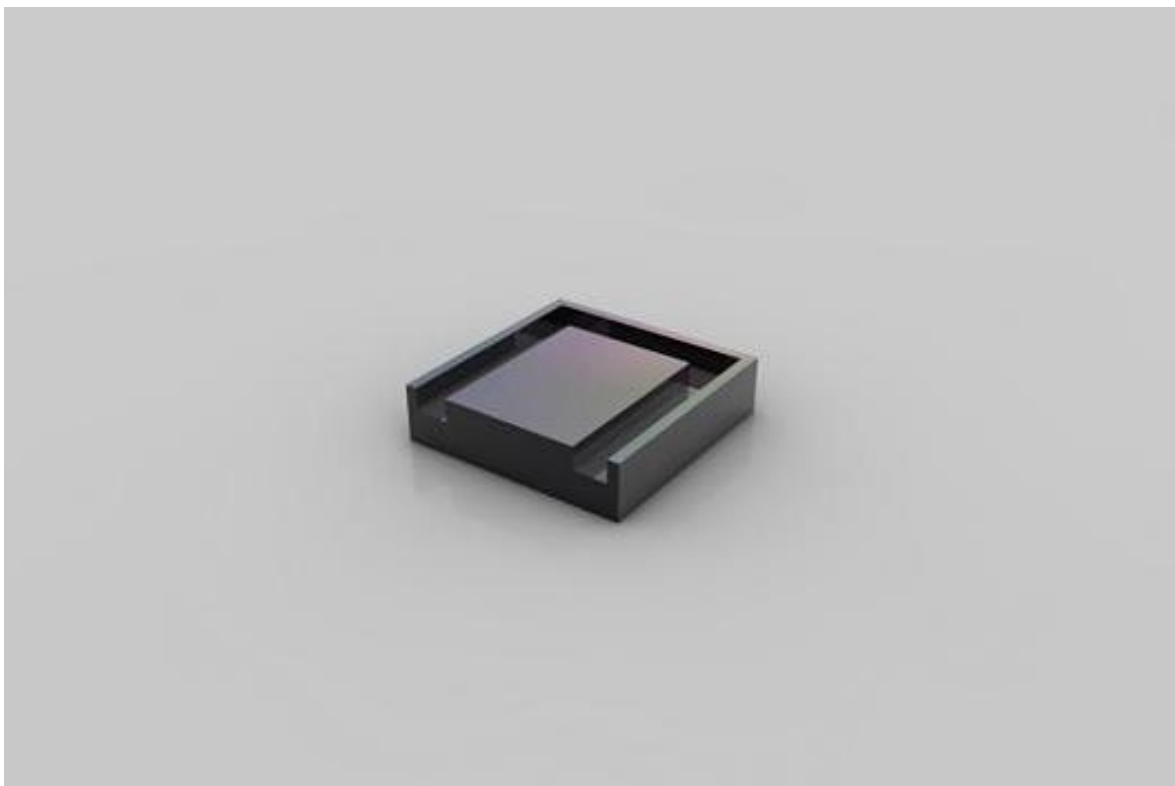
# 蚀刻

- 使用化学物质溶解掉暴露出来的晶圆部分，而剩下的光刻胶保护着不应该蚀刻的部分



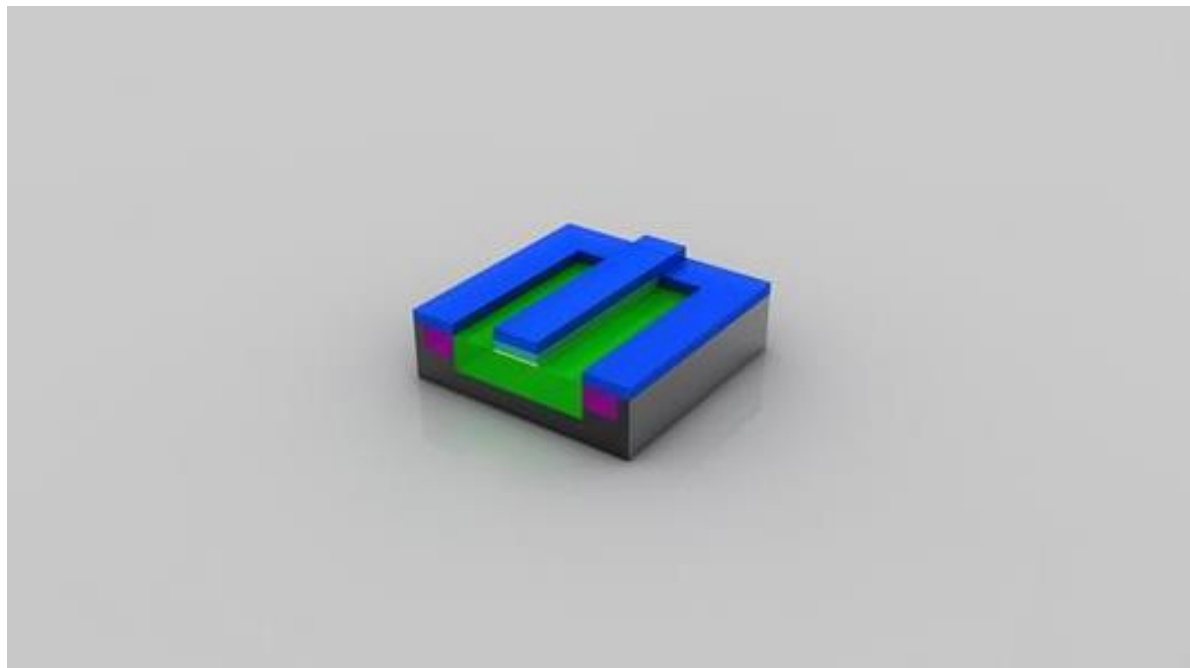
# 清除光刻胶

- 蚀刻完成后，光刻胶的使命宣告完成，全部清除后就可以看到设计好的电路图案
- 中间的方形区域就是有源区（掺杂区）



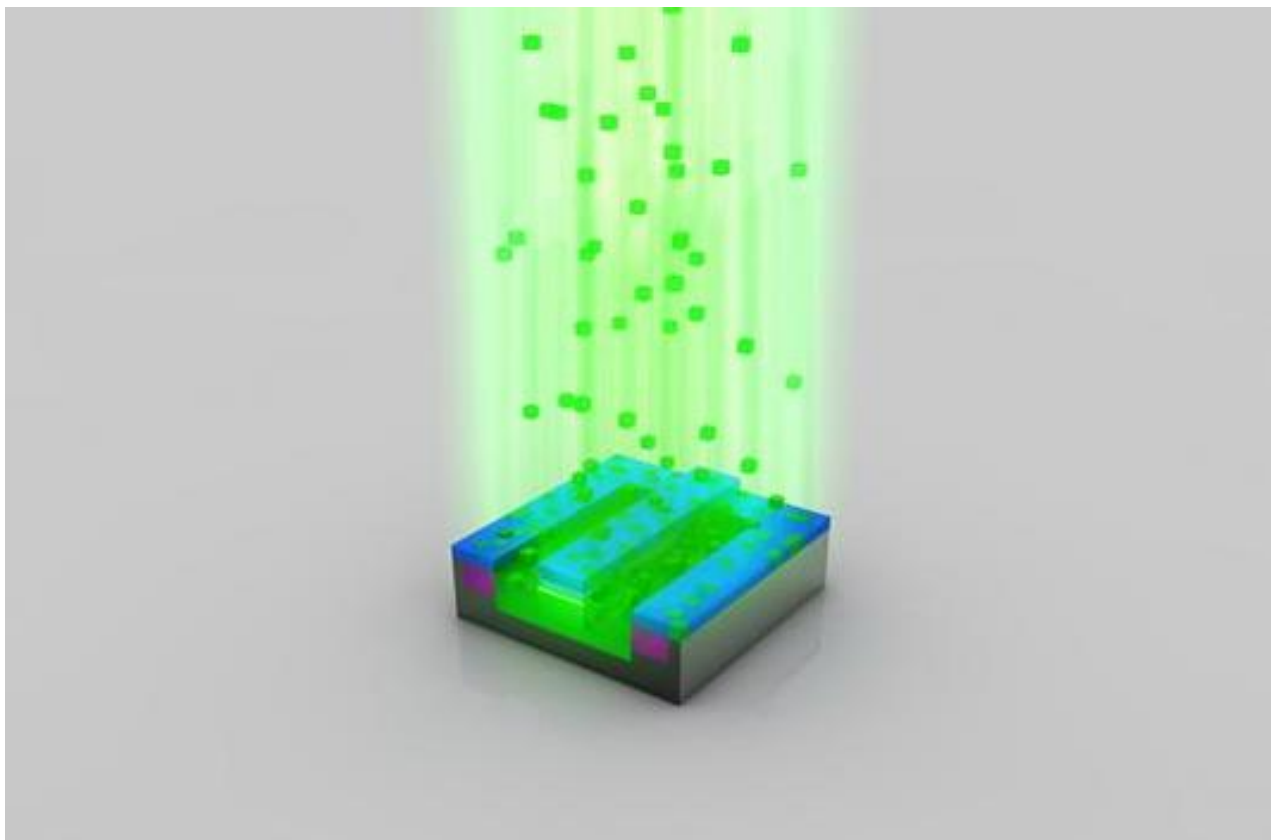
# 光刻胶

- 再次浇上光刻胶(蓝色部分), 然后光刻, 并洗掉曝光的部分, 剩下的光刻胶还是用来保护不会离子注入的那部分材料。
- 紫色材料是用于隔离有源区的, 绿色部分是有源区



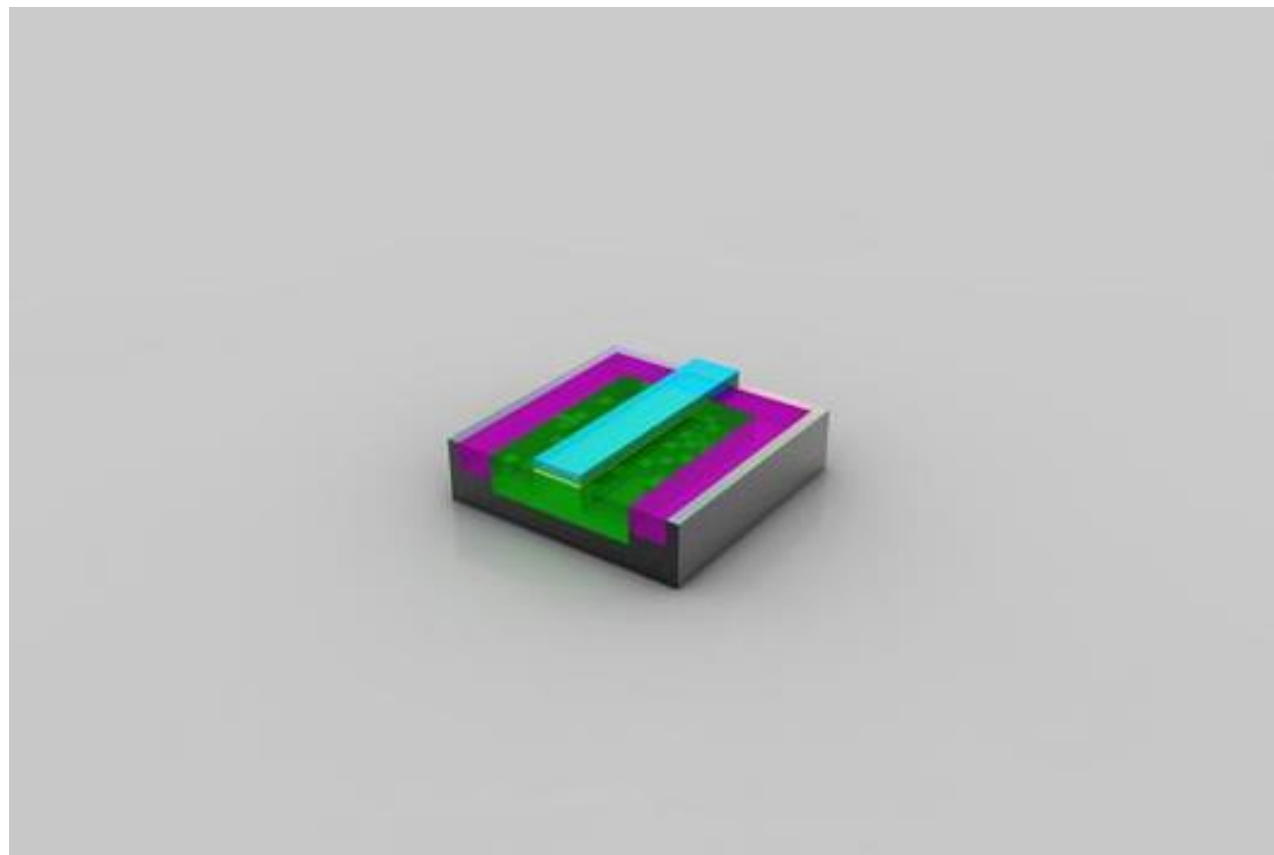
# 离子注入(Ion Implantation)

- 在真空系统中，用经过加速的、要掺杂的原子的离子照射(注入)固体材料，从而在被注入的区域形成特殊的注入层，并改变这些区域的硅的导电性



# 清除光刻胶

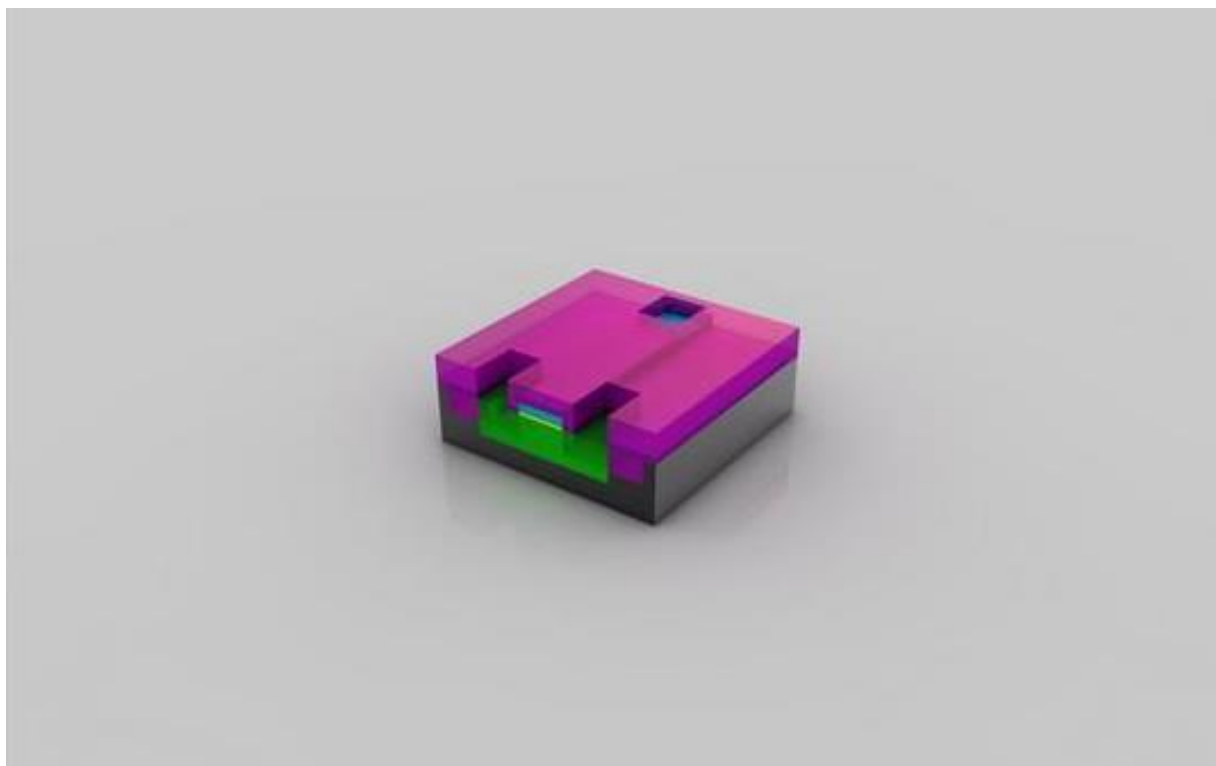
- 离子注入完成后，光刻胶也被清除，而注入区域(绿色部分)也已掺杂，注入了不同的原子。注意这时候的绿色和之前已经有所不同





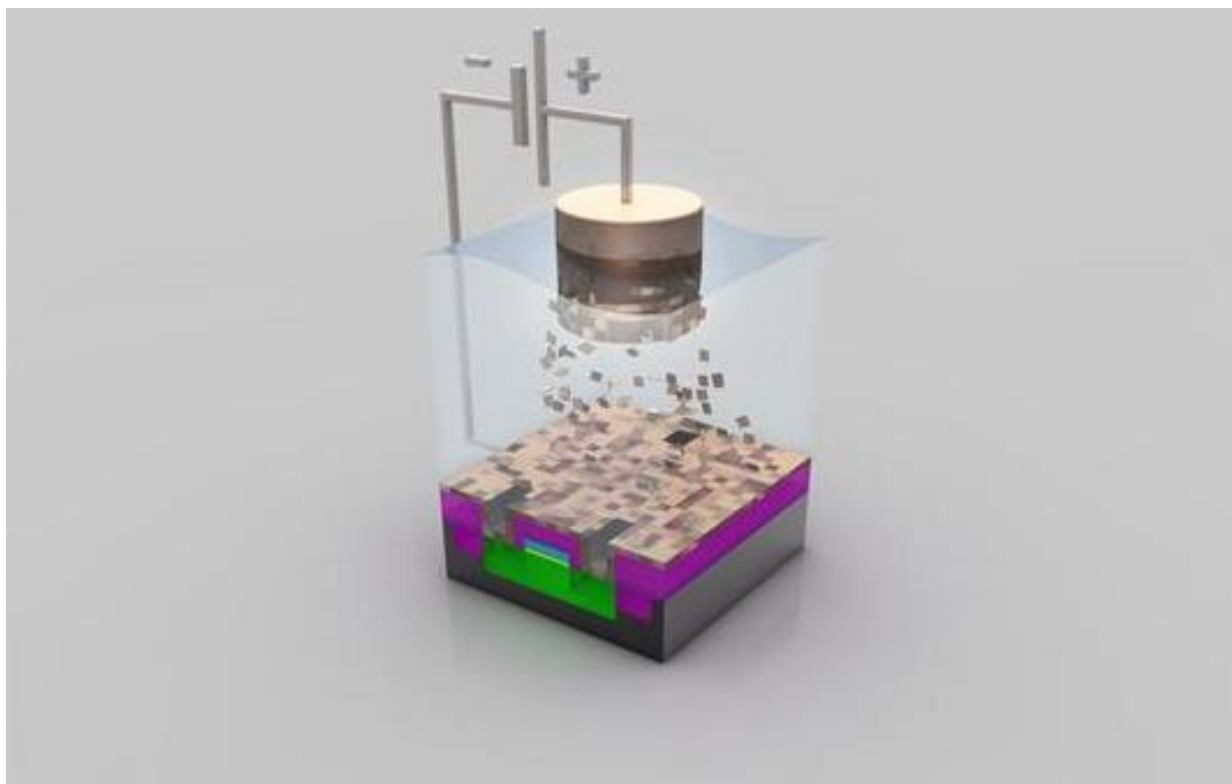
# 晶体管就绪

- 至此，晶体管已经基本完成。在绝缘材(品红色)上蚀刻出**三个孔洞**，并填充铜，以便和其它晶体管互连



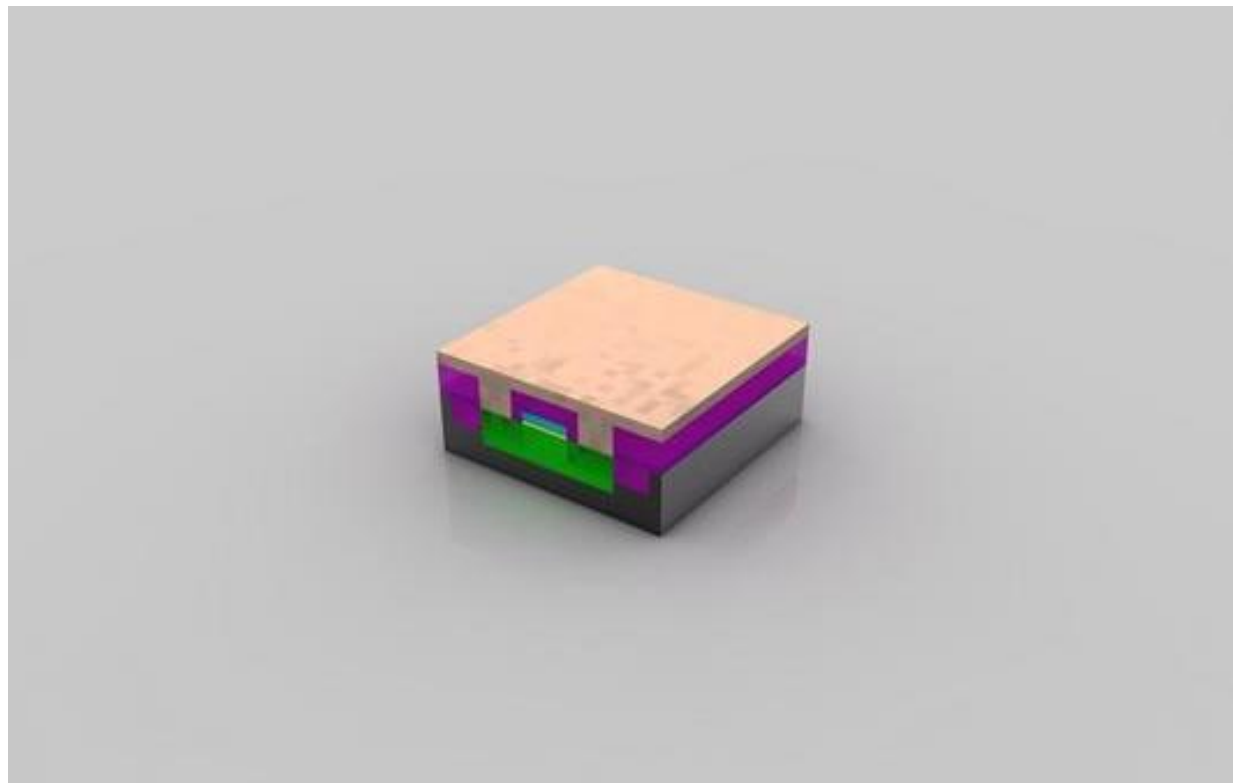
# 电镀

- 在晶圆上电镀一层硫酸铜，将铜离子沉淀到晶体管上。铜离子会从正极(阳极)走向负极(阴极)



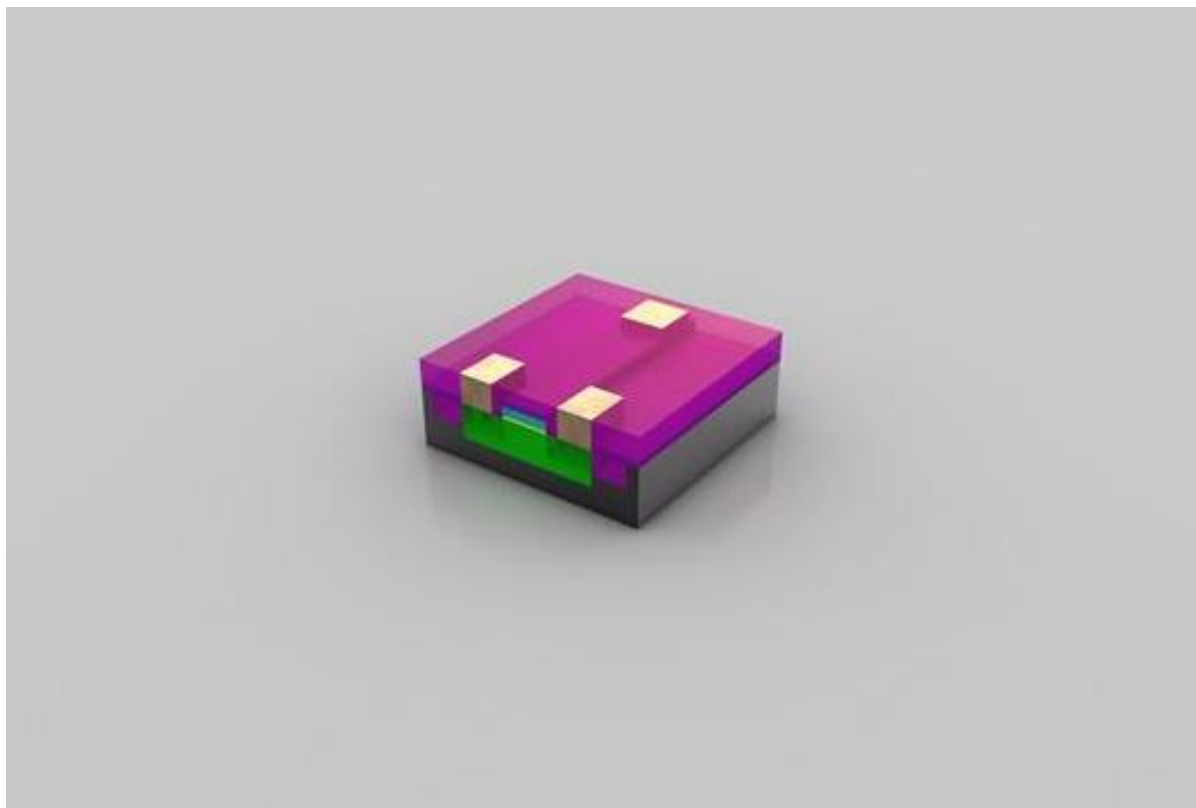
# 铜层

- 电镀完成后，铜离子沉积在晶圆表面，形成一个薄薄的铜层



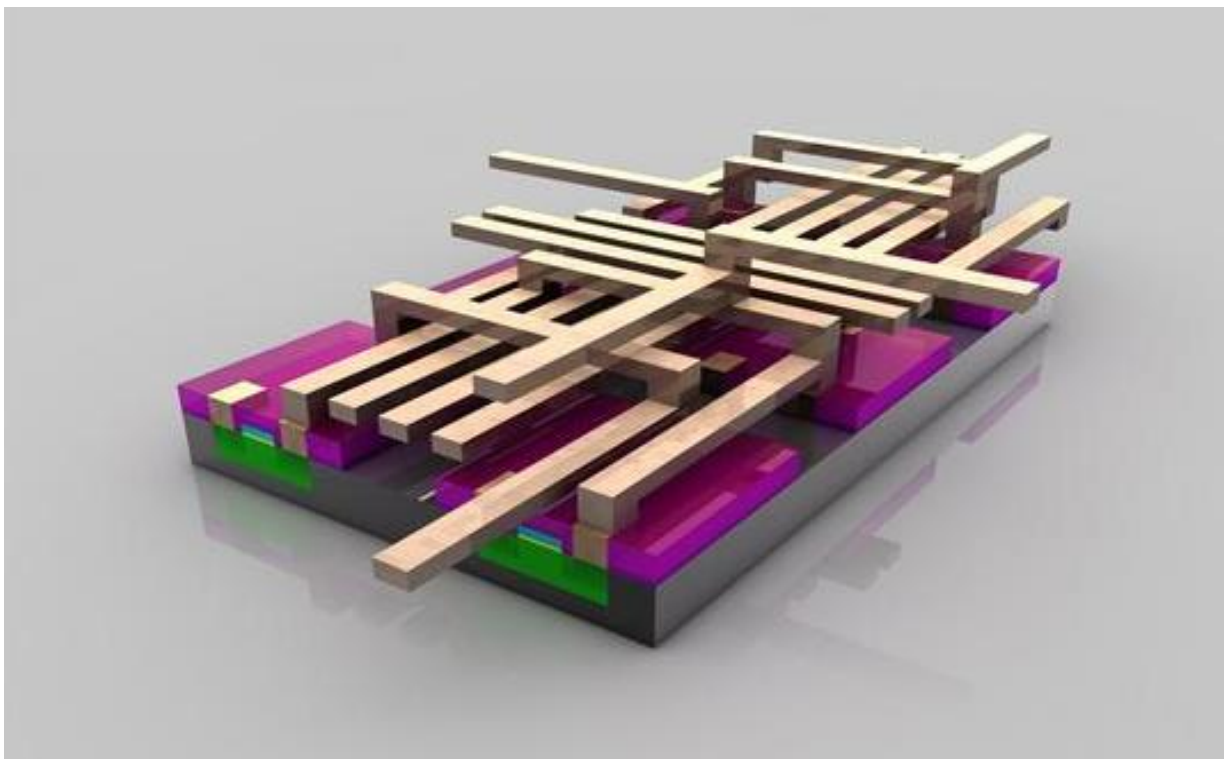
# 抛光

- 将多余的铜抛光掉，也就是磨光晶圆表面



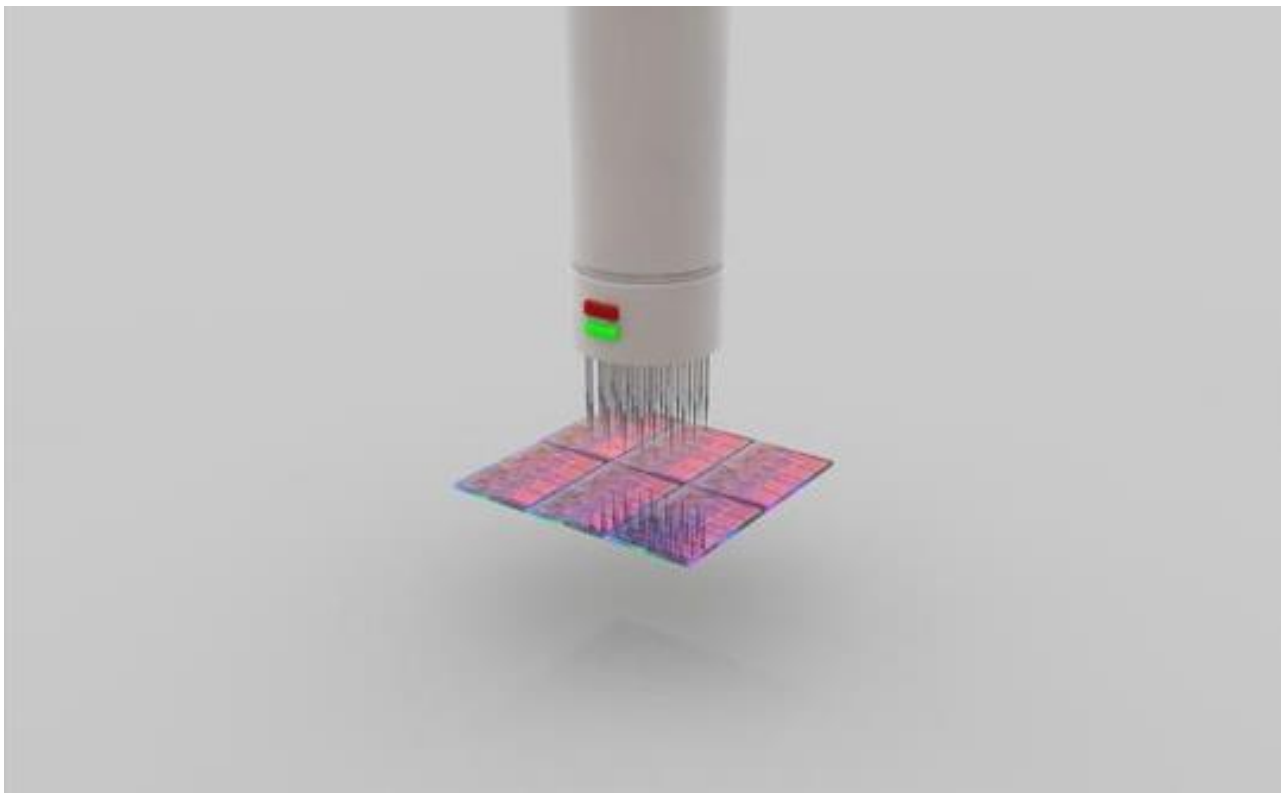
# 金属层

- 在不同晶体管之间形成复合互连金属层，具体布局取决于集成电路的不同功能。芯片表面看起来异常平滑，但事实上可能包含**20多层**复杂的电路，放大之后可以看到极其复杂的电路网络



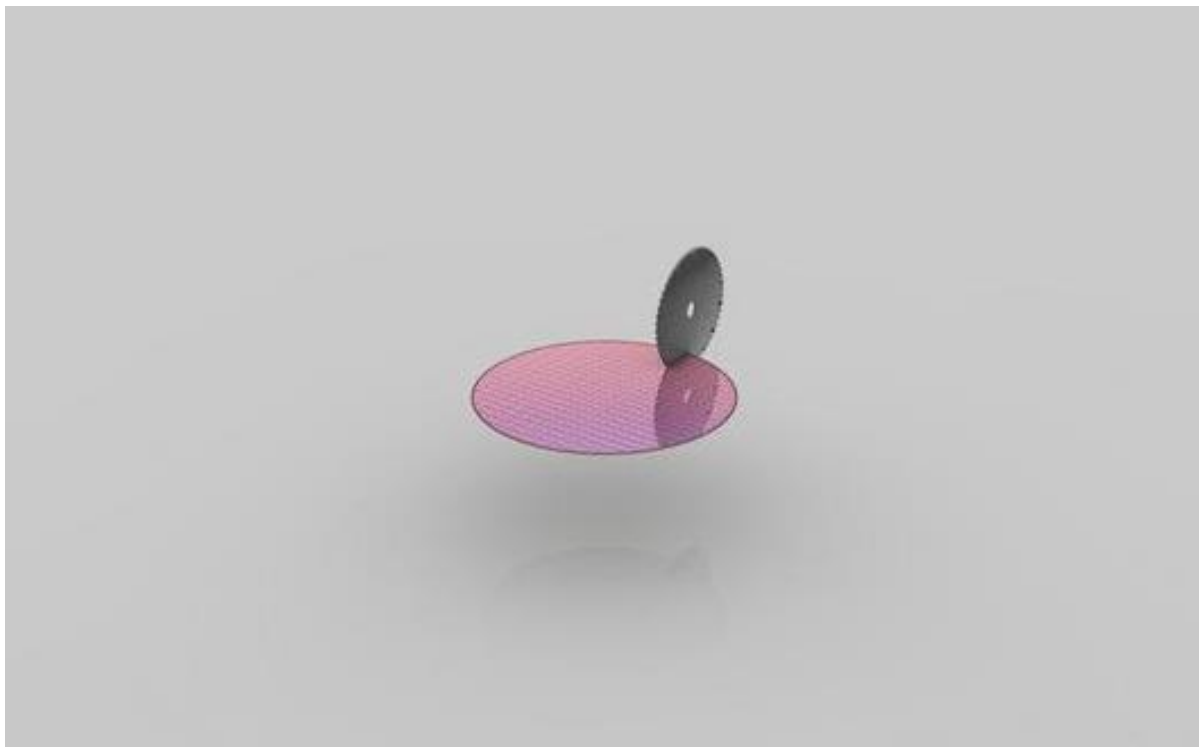
# 晶圆测试

- 图中是晶圆的局部，正在接受第一次功能性测试，使用参考电路图案和每一块芯片进行对比



# 晶圆切片(Slicing)

- 晶圆级别，300毫米/12英寸。将晶圆切割成块，每一块就是一个集成电路(称为Die)



# 丢弃瑕疵Die

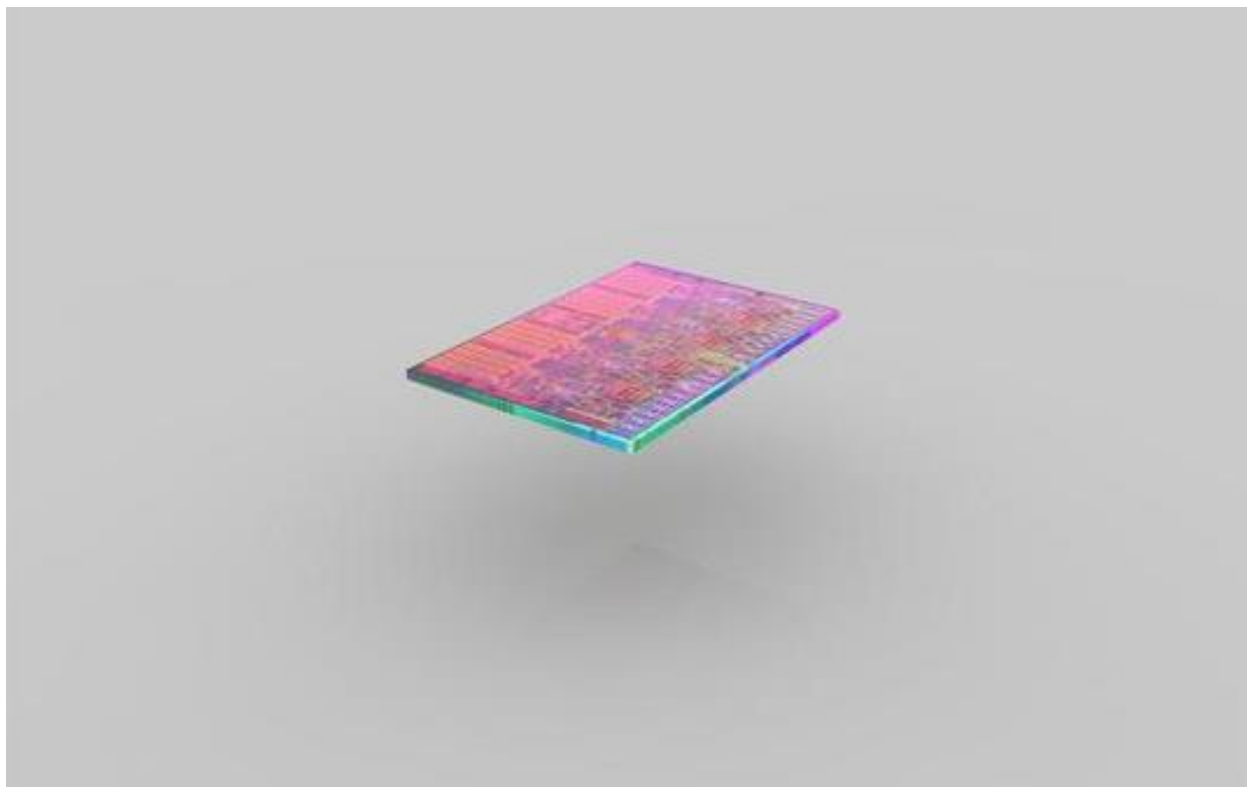
- 晶圆级别，测试过程中发现的有瑕疵的Die被抛弃，留下完好的准备进入下一步





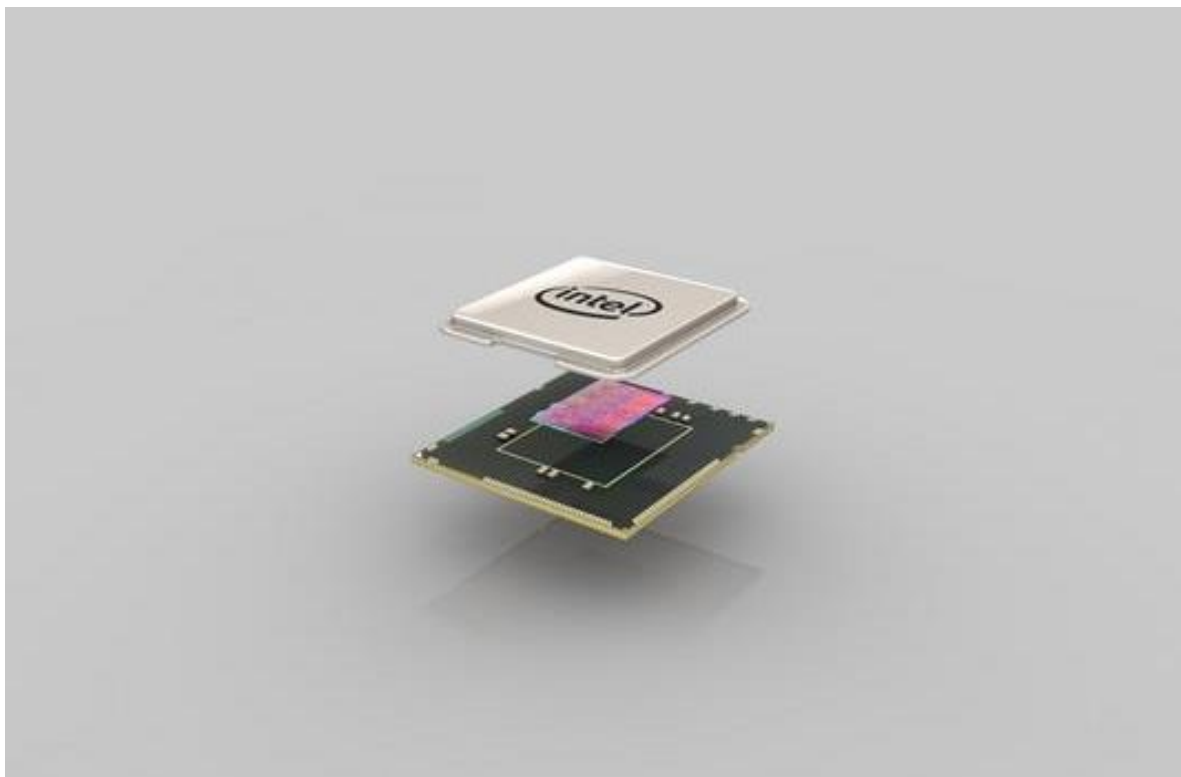
# 单个Die

- 从晶圆上切割下来的单个Die，这里展示的是Intel Core i7的核心



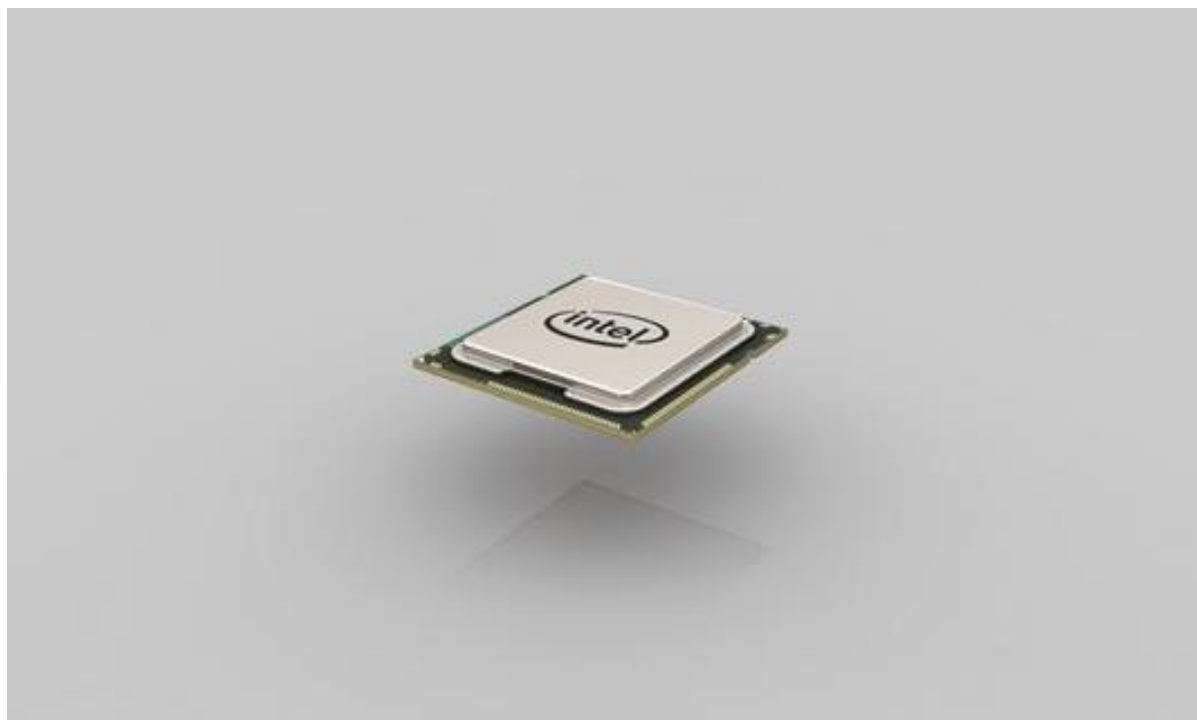
# 封装

- **衬底(基片)、Die、散热片**堆叠在一起，就形成了我们看到的处理器的样子。衬底相当于一个底座，并为处理器内核提供电气与机械界面，便于与PC系统的其它部分交互。散热片(银色) 负责散热



# 处理器

- 至此就得到完整的处理器了(这里是一颗Core i7)。这种在世界上最干净的房间里制造出来的最复杂的产品实际上是经过数百个步骤得来的，这里只是展示了其中的一些关键步骤



# 等级测试

- 最后一次测试，可以鉴别出每一颗处理器的关键特性，比如最高频率、功耗、发热量等，并决定处理器的等级，比如适合做成最高端的Core i7-975 Extreme，还是低端型号Core i7-920



# 装箱

- 根据等级测试结果将同样级别的处理器放在一起装运



# 零售包装



# 芯片制作视频



# 问题和建议?

