

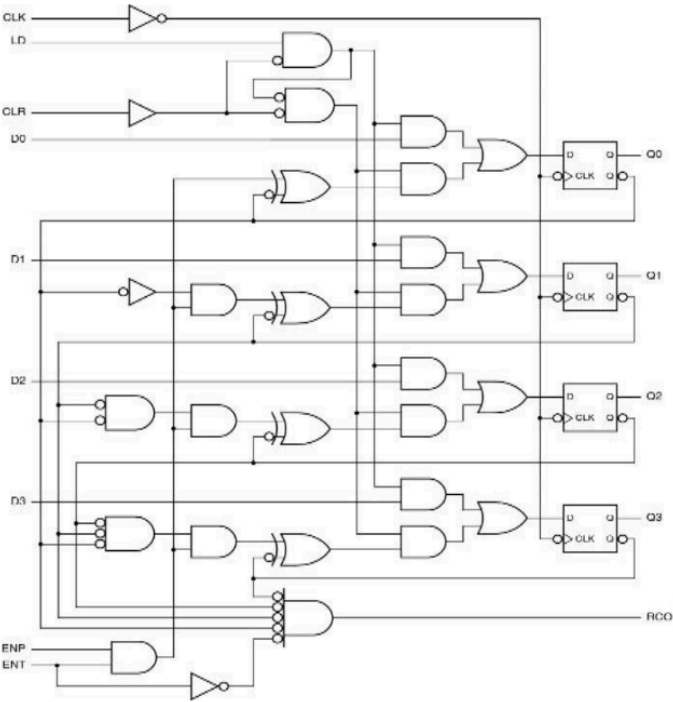
数字逻辑与计算机组成Lab3

202220013 徐简 161200063@smail.nju.edu.cn

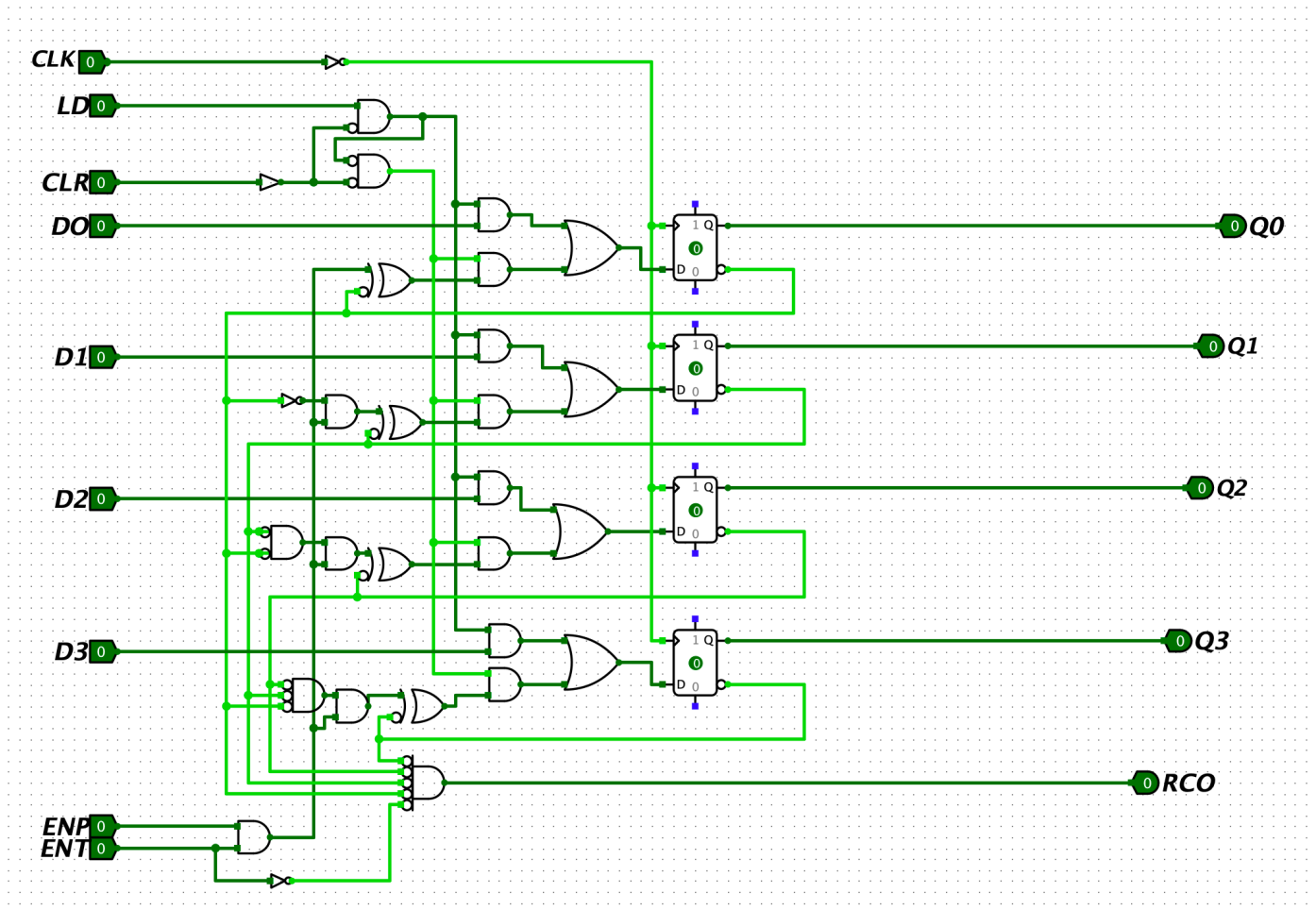
同步二进制计数器

1. 根据以下所给出的功能表和电路原理图构建 4 位同步二进制计数器 CNTR4U 子电路.

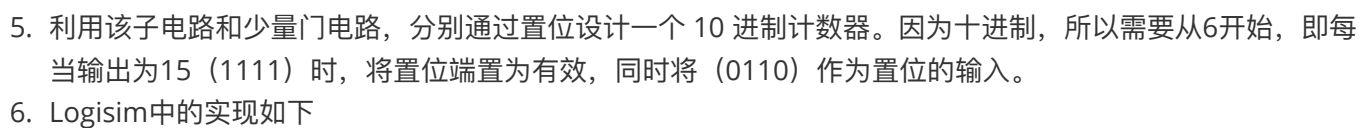
Inputs				Current State				Next State			
CLR	LD	ENT	ENP	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*
1	x	x	x	x	x	x	x	0	0	0	0
0	1	x	x	x	x	x	x	D3	D2	D1	D0
0	0	0	x	x	x	x	x	Q3	Q2	Q1	Q0
0	0	x	0	x	x	x	x	Q3	Q2	Q1	Q0
0	0	1	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	1	0	0	1	0
...											
0	0	1	1	1	1	0	1	1	1	1	0
0	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	1	1	1	1	0	0	0	0

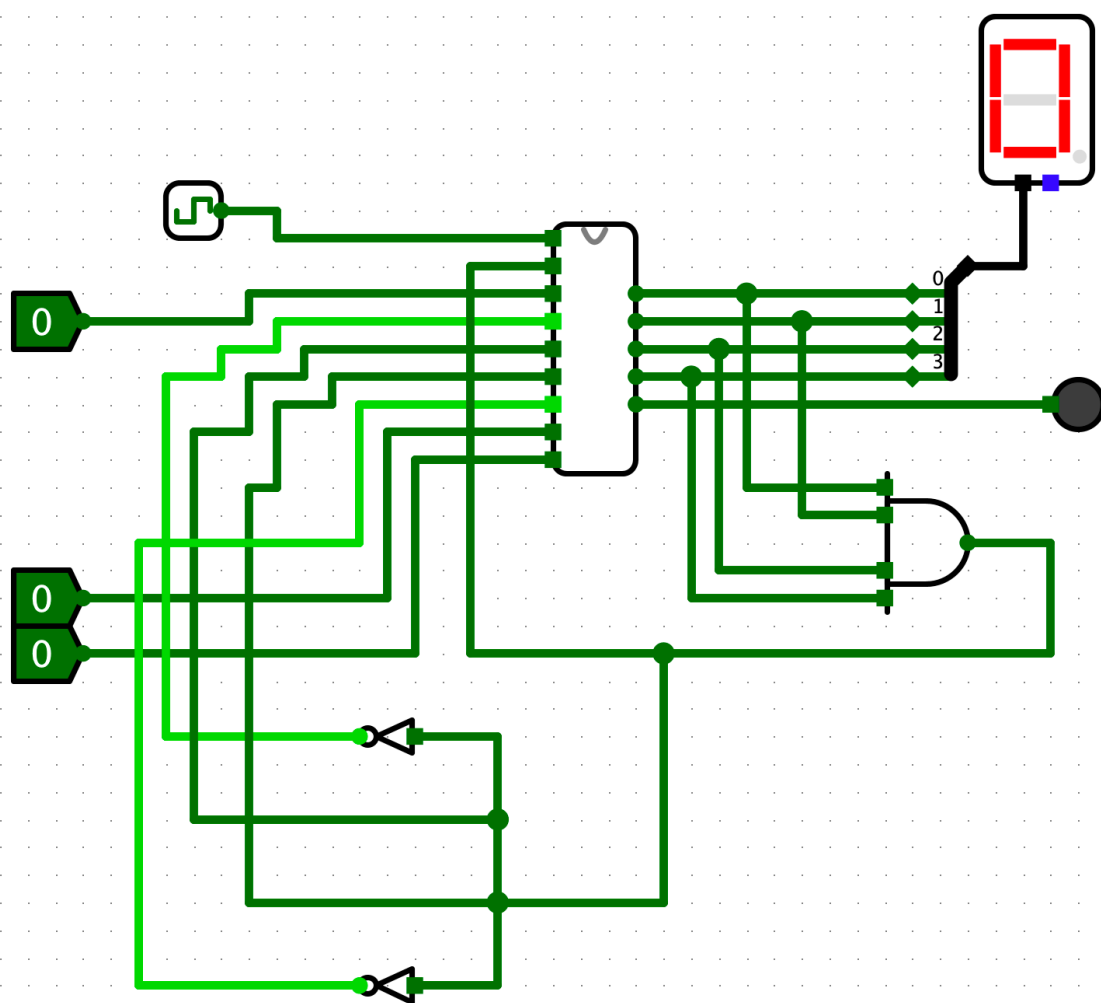


2. Logisim中的实现如下



3. 利用该子电路和少量门电路，分别通过清零设计一个 10 进制计数器。因为十进制，所以需要在输出为9 (1001) 的时候，将CLR位置为有效。
4. Logisim中的实现如下

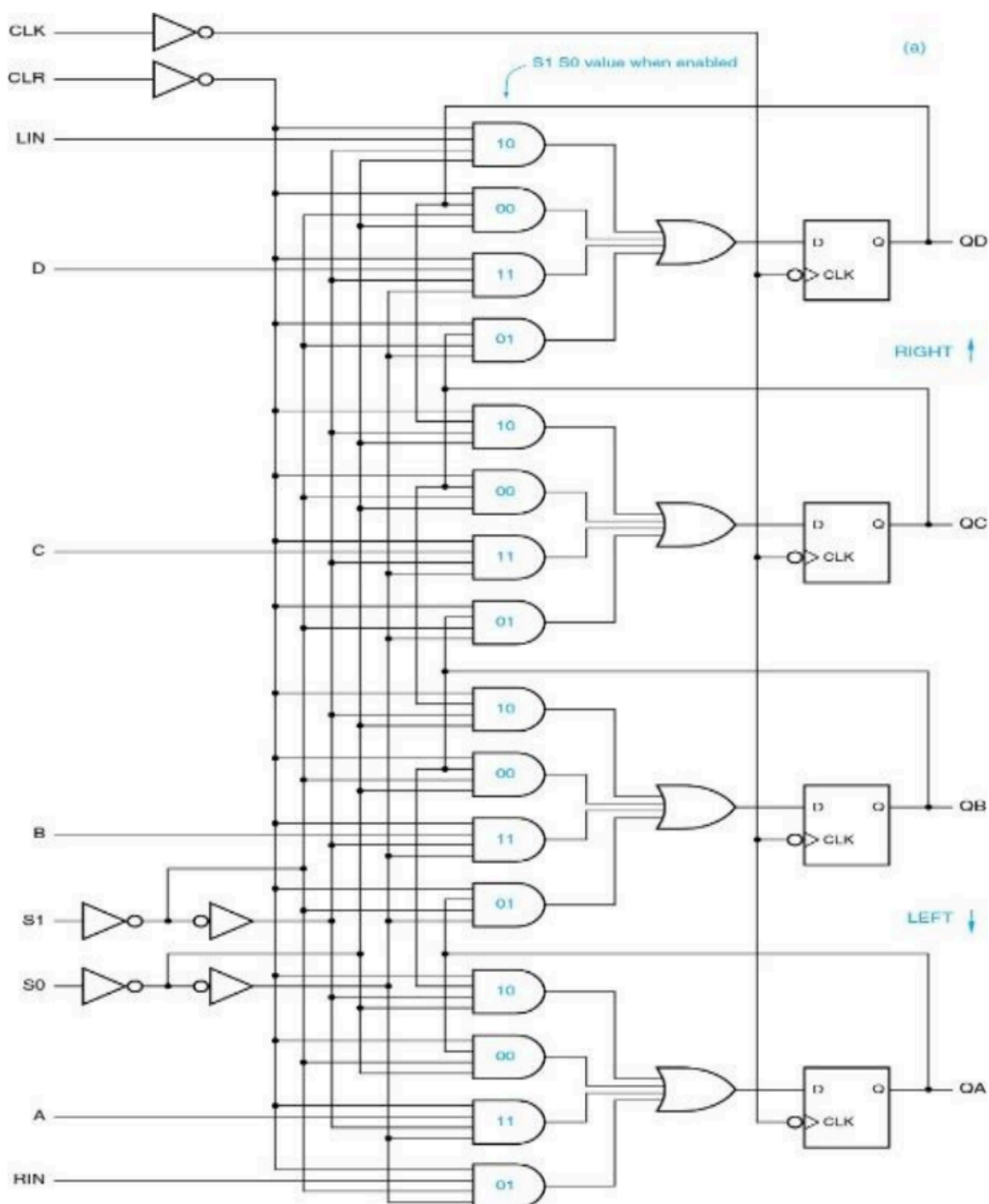




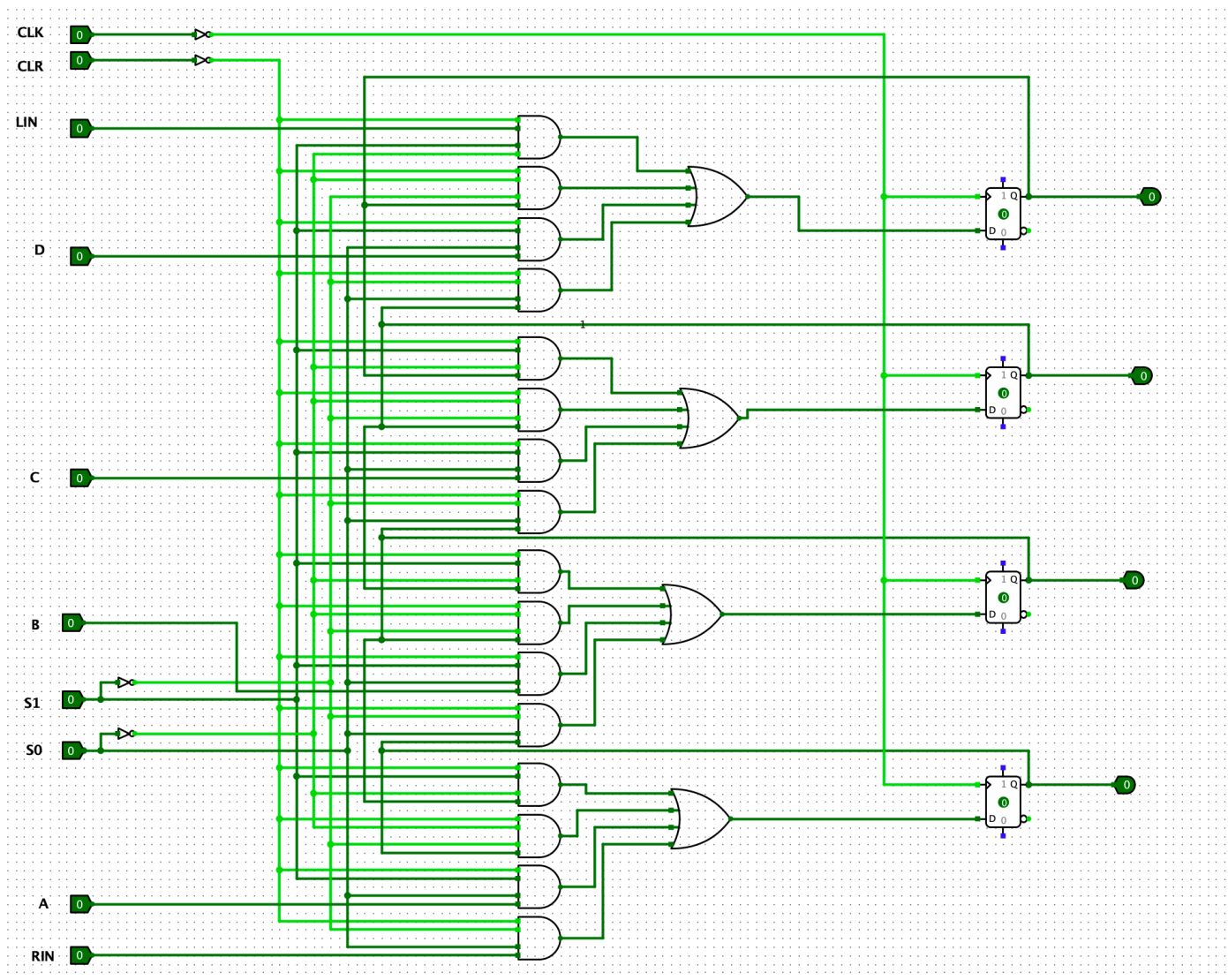
4位通用移位寄存器

1. 根据以下所给出的功能表和电路原理图构建 4 位通用移位寄存器 SHRG4U 子电路

Function	Inputs			Next state			
	CLR	S1	S0	QA*	QB*	QC*	QD*
Clear	1	x	x	0	0	0	0
Hold	0	0	0	QA	QB	QC	QD
Shift right	0	0	1	RIN	QA	QB	QC
Shift left	0	1	0	QB	QC	QD	LIN
Load	0	1	1	A	B	C	D



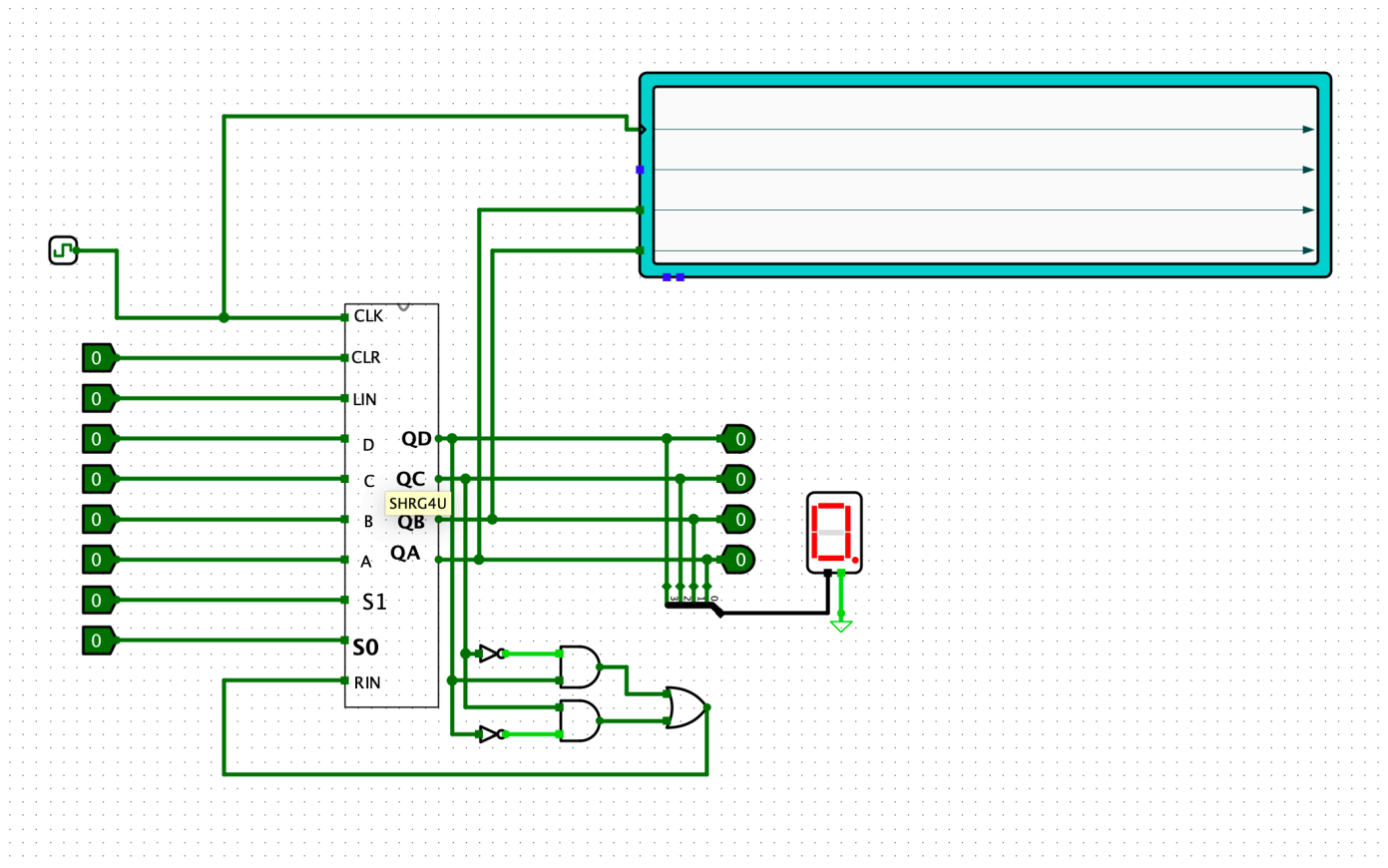
2. Logisim中的实现如下



3. 利用该 SHRG4U 子电路和少量门电路重复生成二进制序列“000100110101111”。采取右移的方式，首先 LOAD 初始状态1111。根据给定的序列，得到右移输入RIN的逻辑表达式

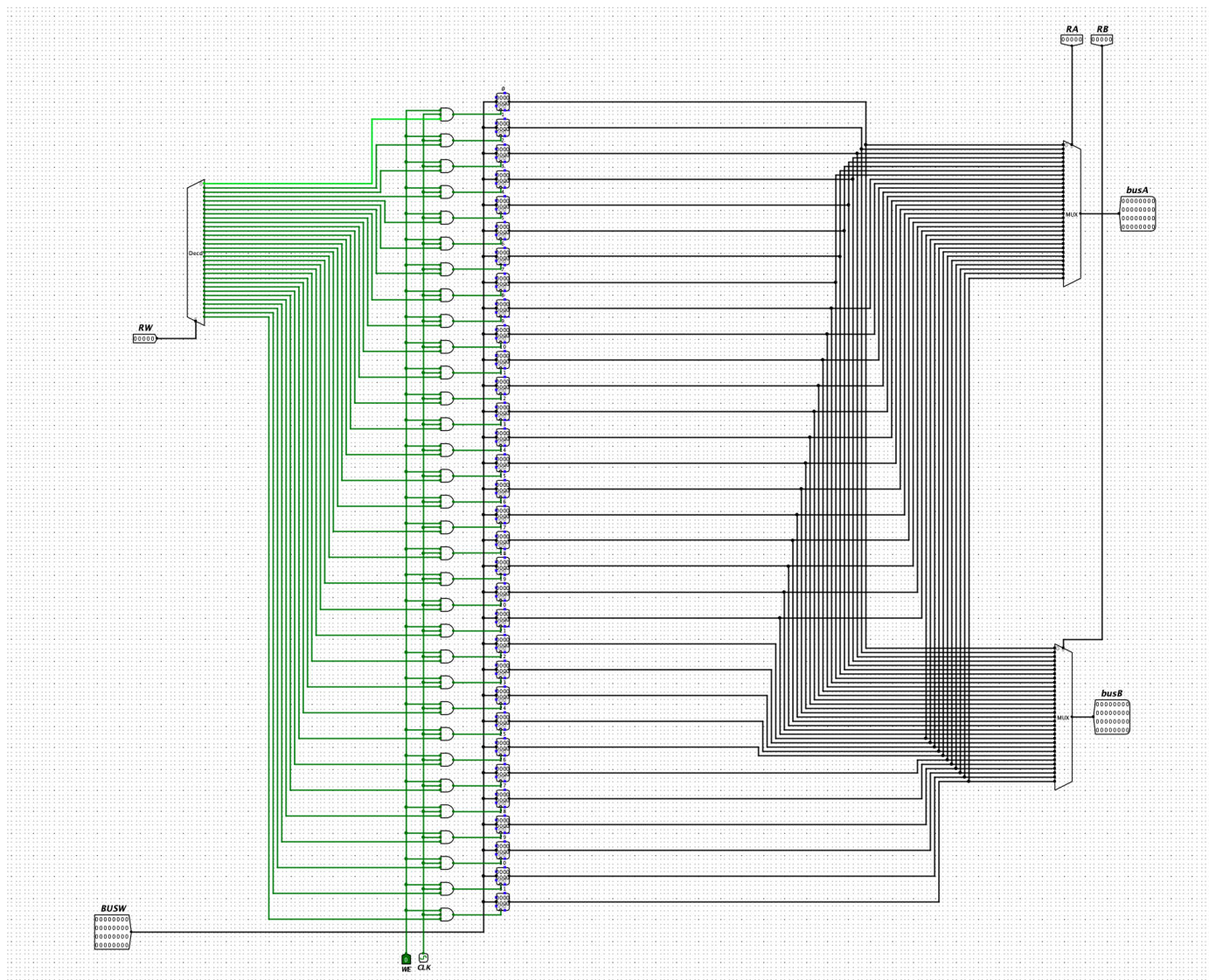
$$Rin = (!QC * OD) + (QC * !QD)$$

4. Logisim中的实现如下



32 位寄存器堆 Regfile 的读写电路

1. 根据以下寄存器堆的原理图及给出的引脚图，构建实现至少含有 8 个 32 位寄存器堆 Regfile 的读写电路，写入操作需有时钟信号控制，读取操作是组合电路。
2. Logisim实现如下



3. 测试后，能够在时钟信号有效时写入数据到指定寄存器，能够随时读取任意一个寄存器的数据，满足要求。

思考题

1. 如何利用 CNTR4U 实现从任意初始值开始的 10 进制计数器？
 - 初始值加10取模的位置触发置位信号，将信号置为初始值即可。
2. 如何用两片 CNTR4U 子电路设计一个 60 进制计数器？
 - 需要用两片 CNTR4U 子电路，N1 作为低4位计数，N2 最为高两位计数，进位条件为59，转换成二进制是 111011，清零即可。
3. 在寄存器堆中，如何实现 0 号寄存器始终存储数值 0？
 - 每个时钟周期，往0号寄存器写入数值0。
4. 如何用组合电路实现 4 位移位寄存器？
 - 题2中的4 位通用移位寄存器 SHRG4U 子电路就是一个例子。
 - 触发器用于存储数据，4位移位寄存器即需要4个触发器。
 - 要实现它的移位功能，就是在串行输入的情况下，前级的上次输出作为下级的后一次输出。所以可以利用前级的输出作为下级的输入的办法来实现数据的移位功能。

- 在共同时钟的作用下，每到一个时钟脉冲，寄存器的数据就顺序向左或向右移一位。