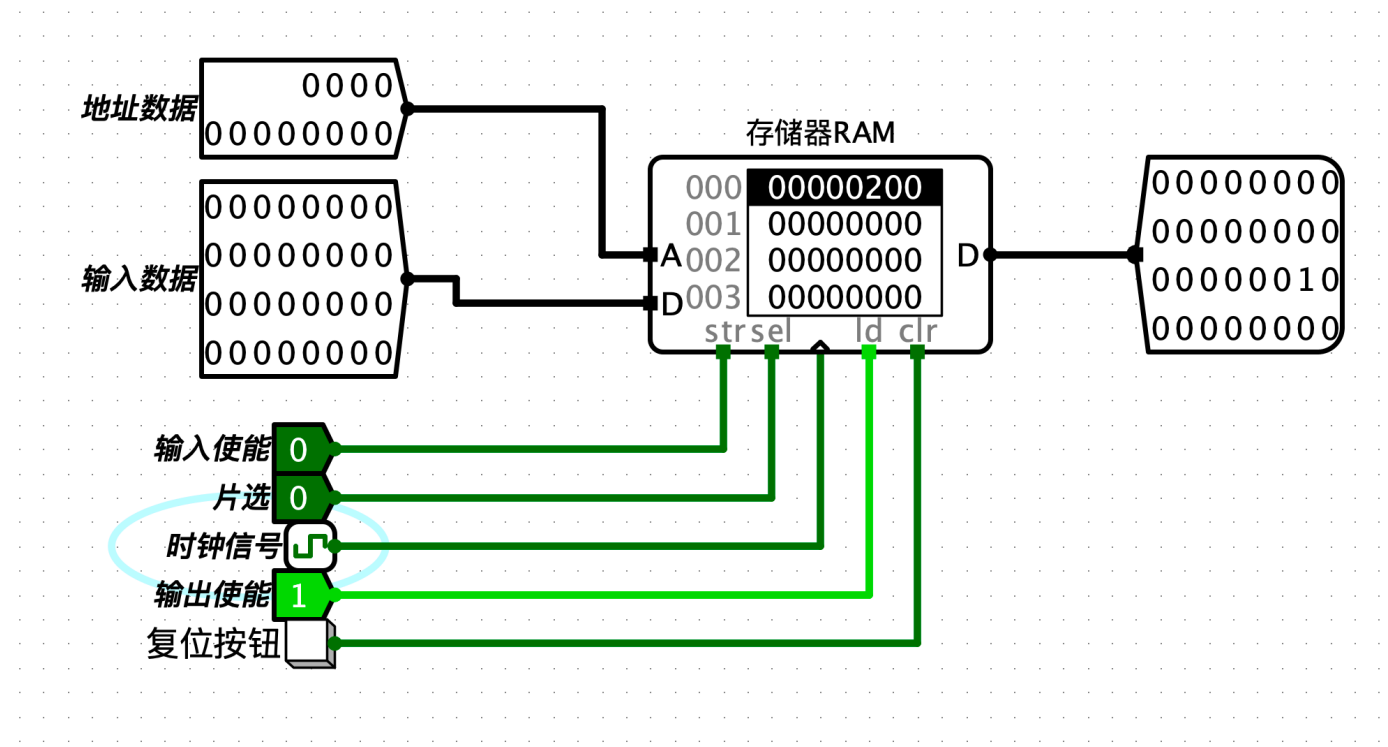


数字逻辑与计算机组成Lab5

202220013 徐简 161200063@smail.nju.edu.cn

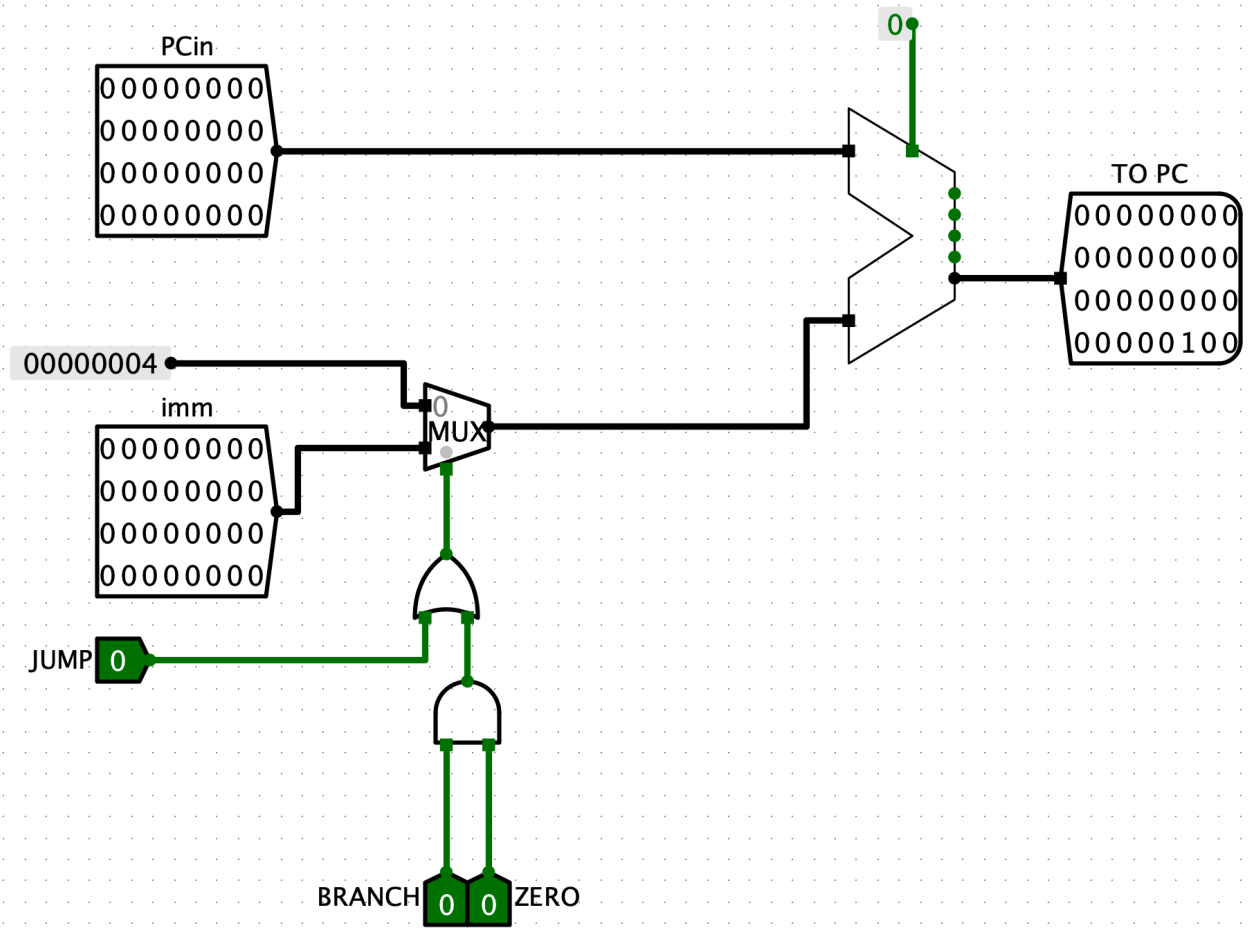
RAM

- 1. RAM组件最多可以存储224个存储单元，每个存储单元位宽最大32位。有3种不同的工作模式：同步模式、异步模式、输入输出分离同步模式。实验要求在3种不同模式下写入一定格式（如奇校验、偶检验、汉明码、校验和等）的数据，然后读取数据并验证该数据的正确性。
- 2. Logisim中的实现如下

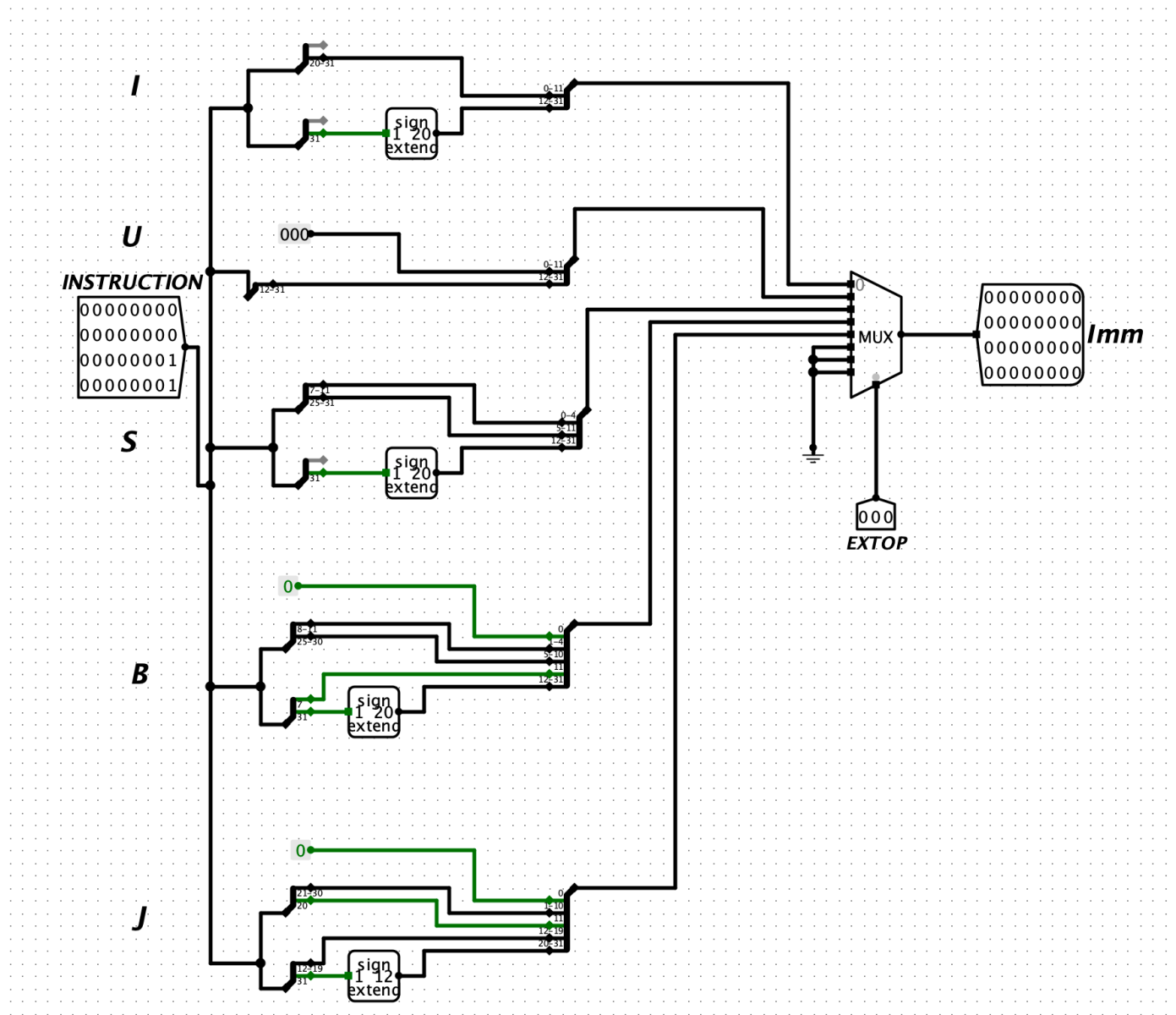


取指令部件

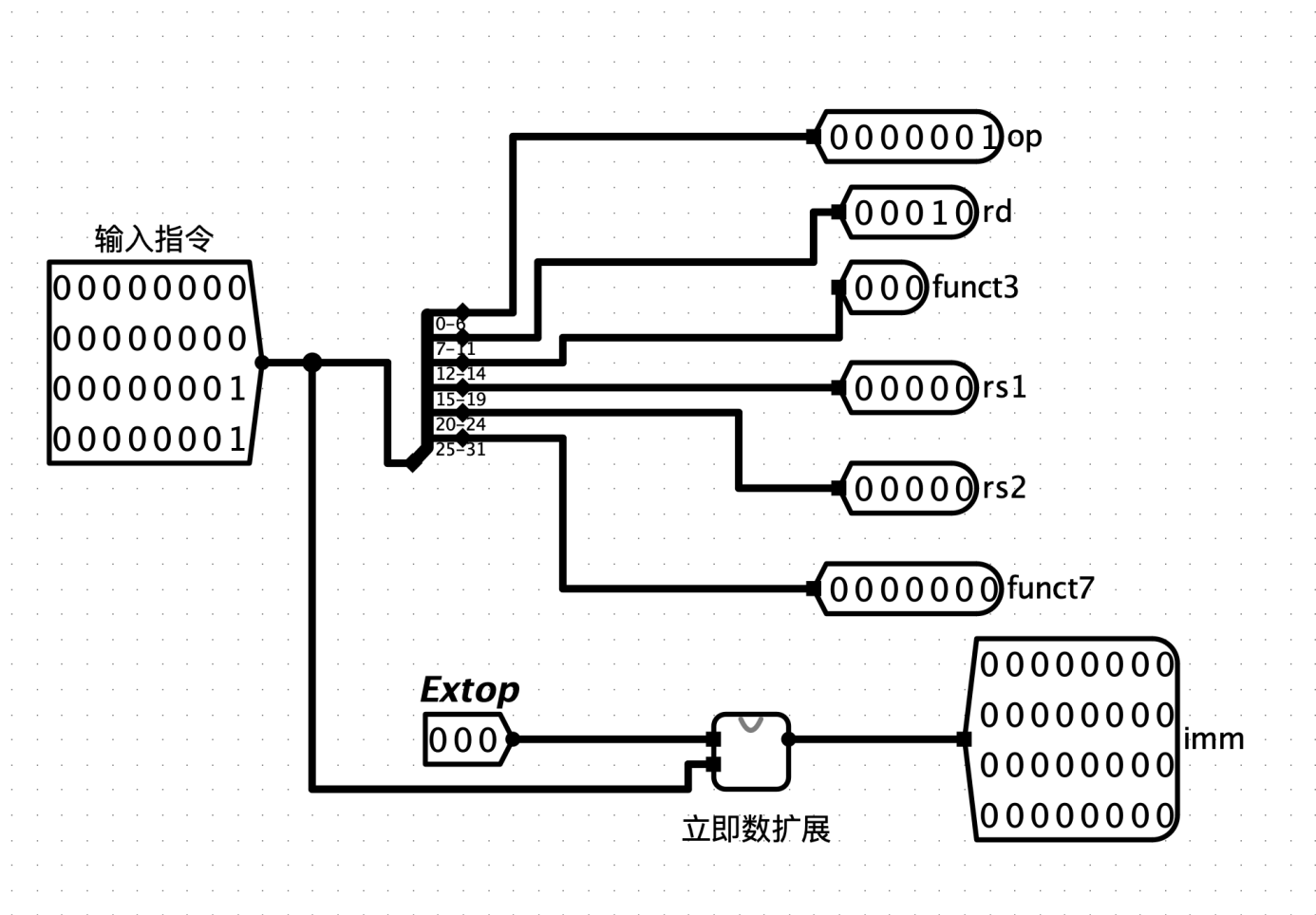
- 1. 下地址逻辑部件



2. 立即数扩展部件

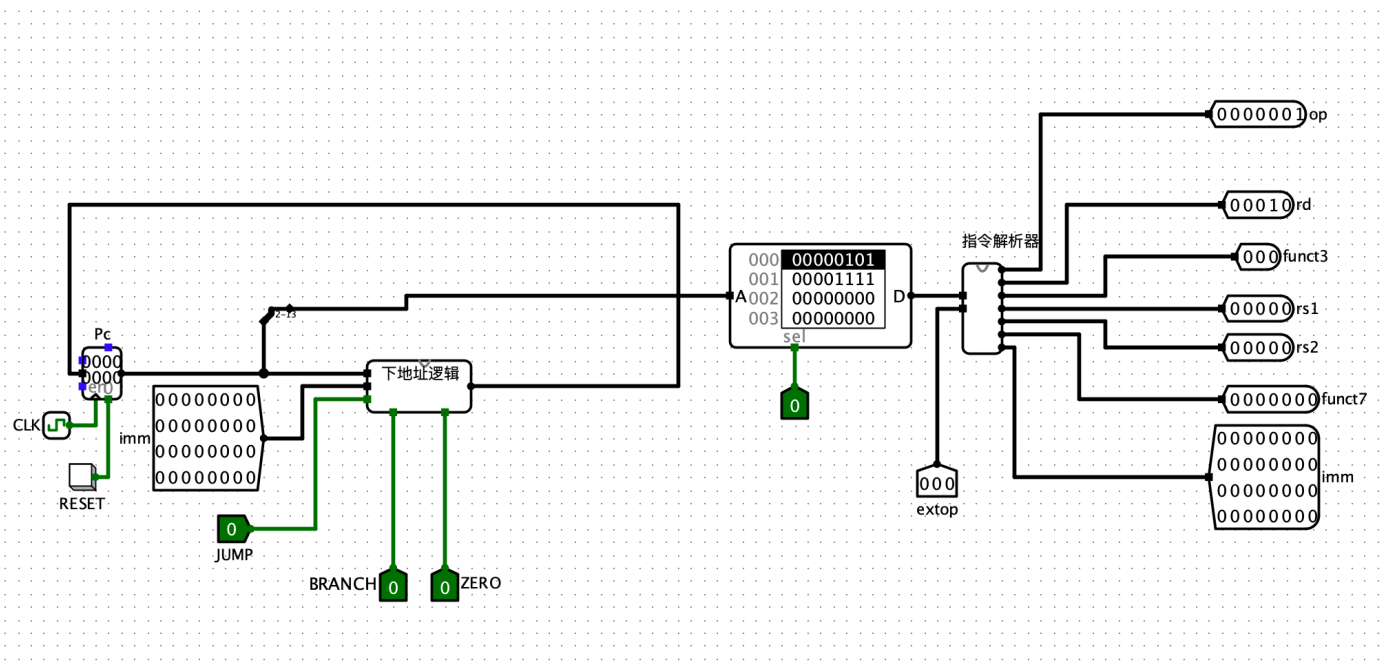


3.指令译码部件



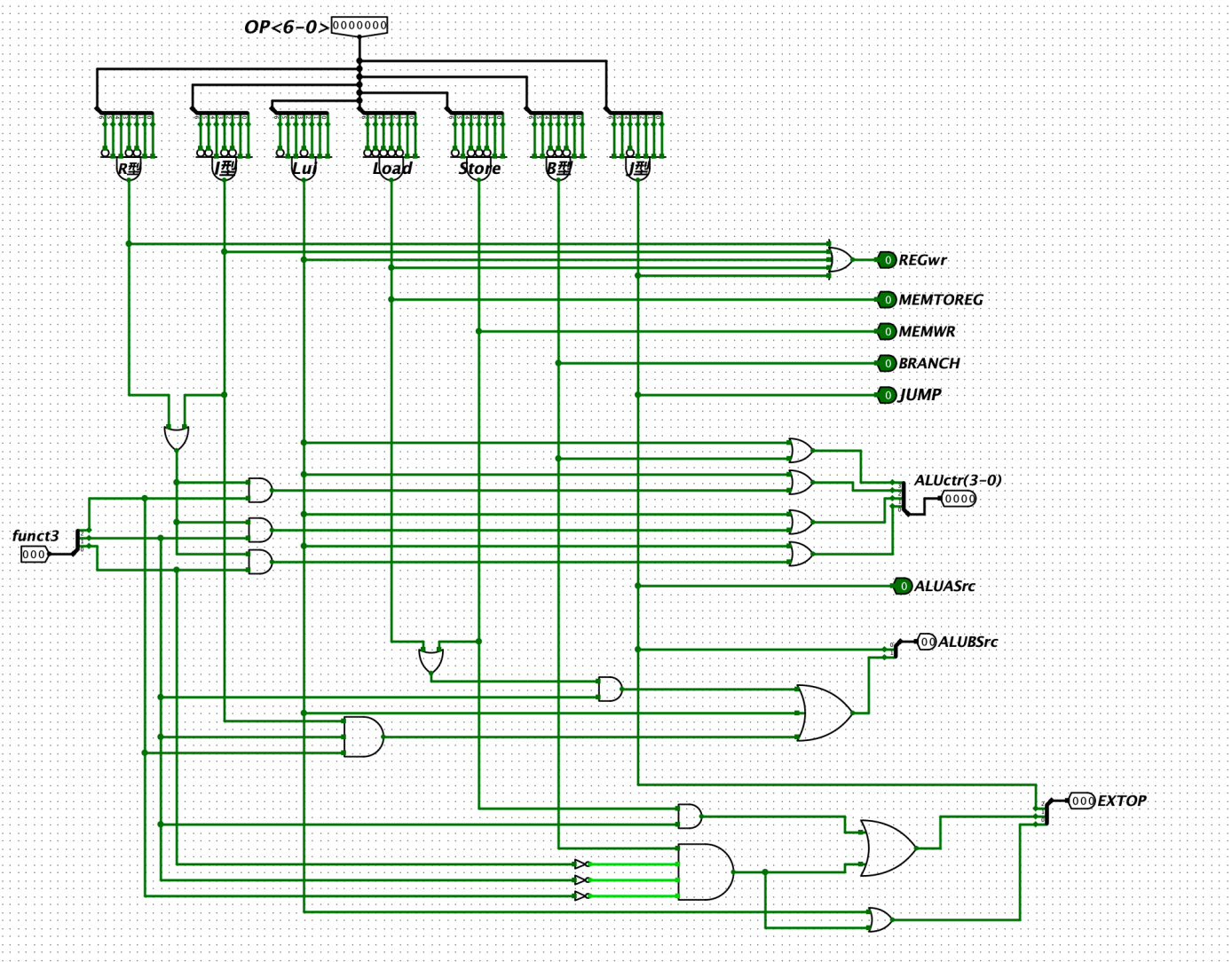
4.取指令部件

将上面实现的三个部件组合起来，得到完整的取指令部件



控制部件

- 1. 根据控制器功能表设计并实现控制器电路，可直接在Logisim组合电路分析中，根据真值表来生成电路。
- 2. 直接真值表生成发现，Logisim支持的位数不够，于是采取了课本中的控制部件实现方式。



思考题

- 1. RAM存储空间如何扩展？如何实现读写一个字节或一个字的数据？
 - 增大data width，增大address width。先进行地址转换，再对读出的32位数据，做截断。
- 2. 读取指令实现过程中，除了使用加法器实现地址计算外，还可以使用什么方法来实现？
 - 直接赋值，实现跳转，以及还可以使用移位器实现地址计算。

总结

在第三部分实现控制信号生成的时候，尝试手册方法没有成功，在Logisim中只支持单位的变量，如果拆分开来，又超过其上限，所以没有使用真值表生成的办法。验收的时候问了助教，好像别同学可以，回去又研究了一下，还是没成功，泪目。Anyway，控制部件还是实现好了。

报告写的太迟，上传的电路中，包含了lab6的部分结果。

