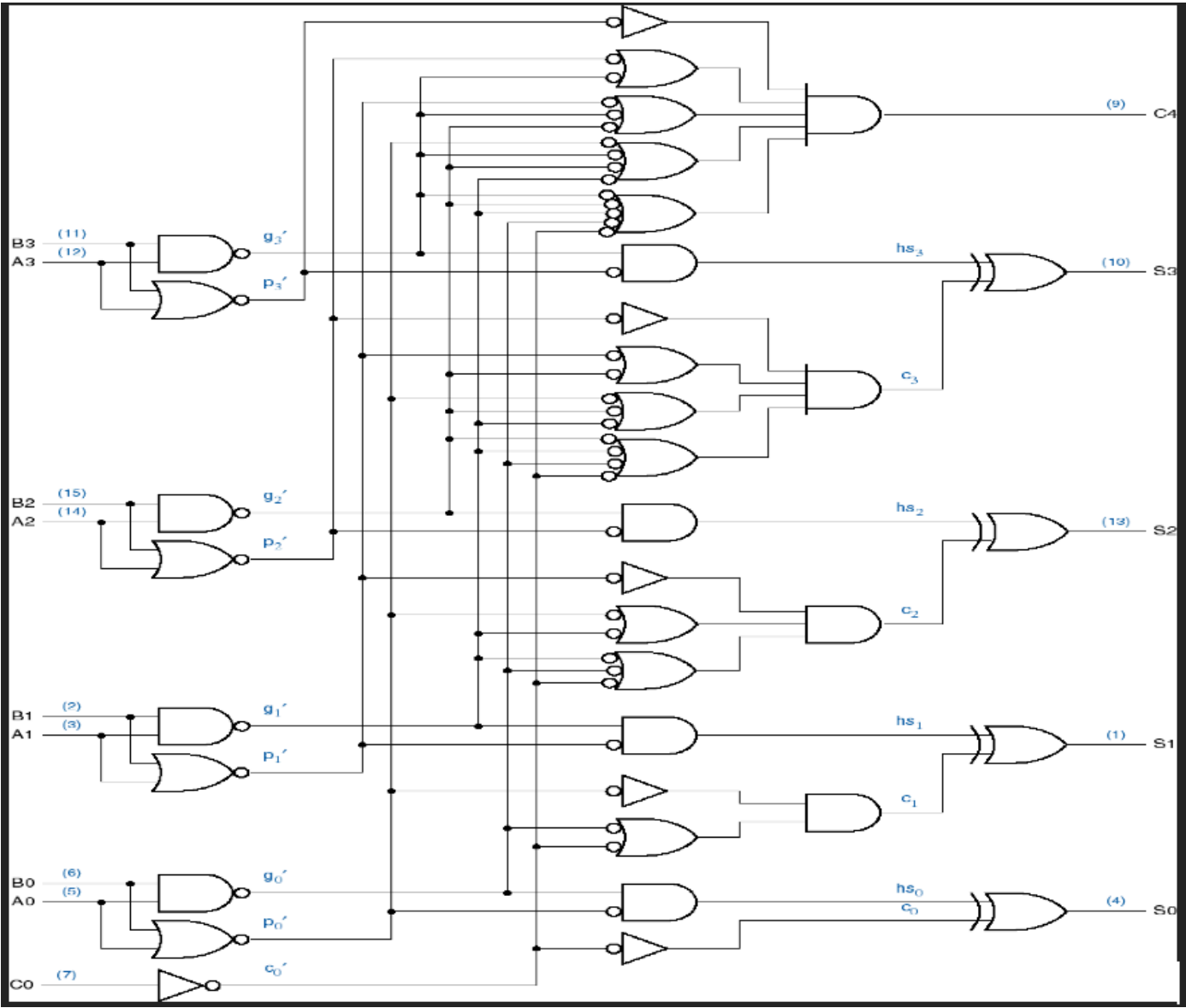


数字逻辑与计算机组成Lab3

202220013 徐简 161200063@smail.nju.edu.cn

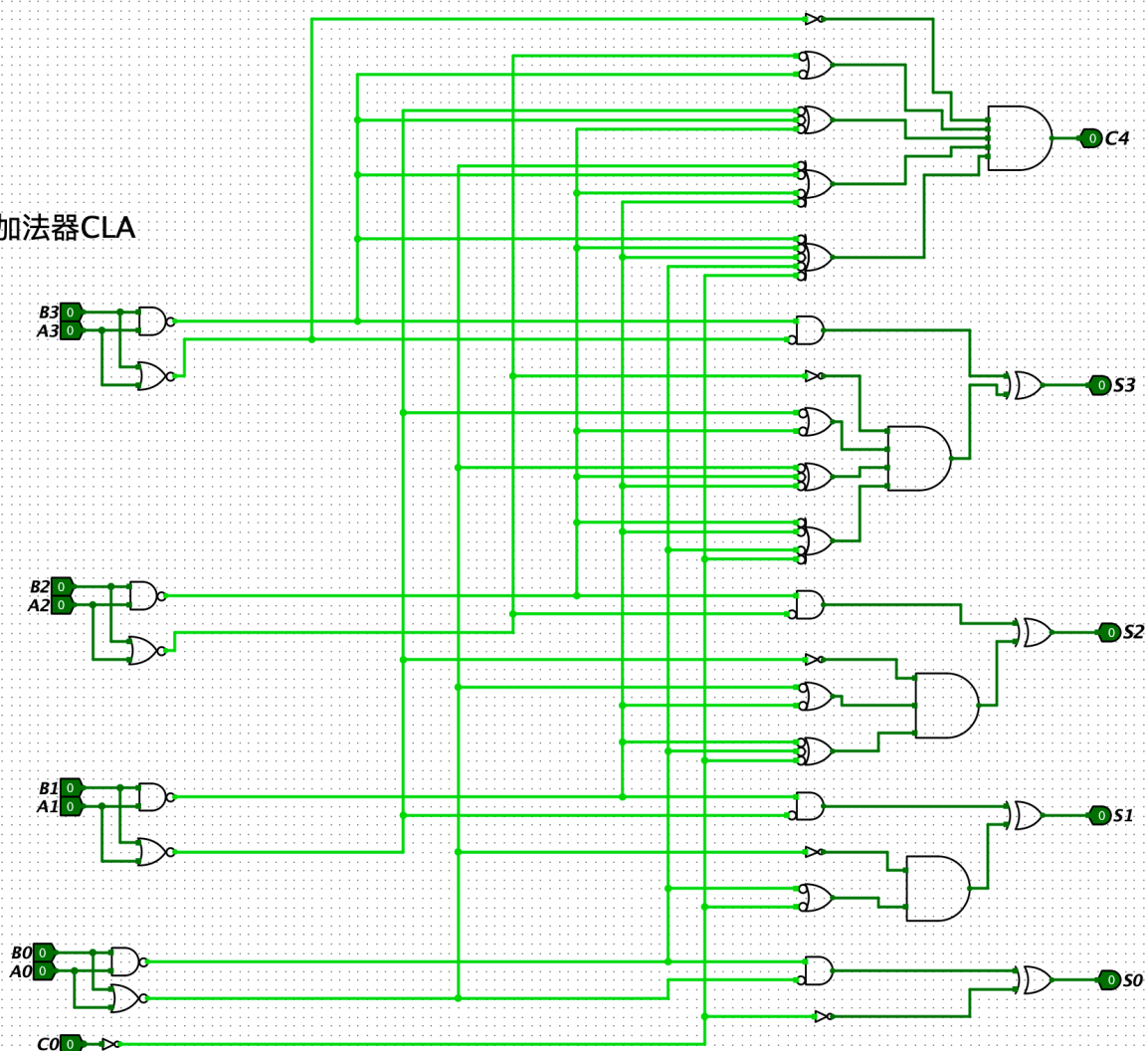
4位快速加法器

1. 1、根据下图给出的电路原理图（参照其他原理图亦可），实现 并验证4 位快速加法器CLA。



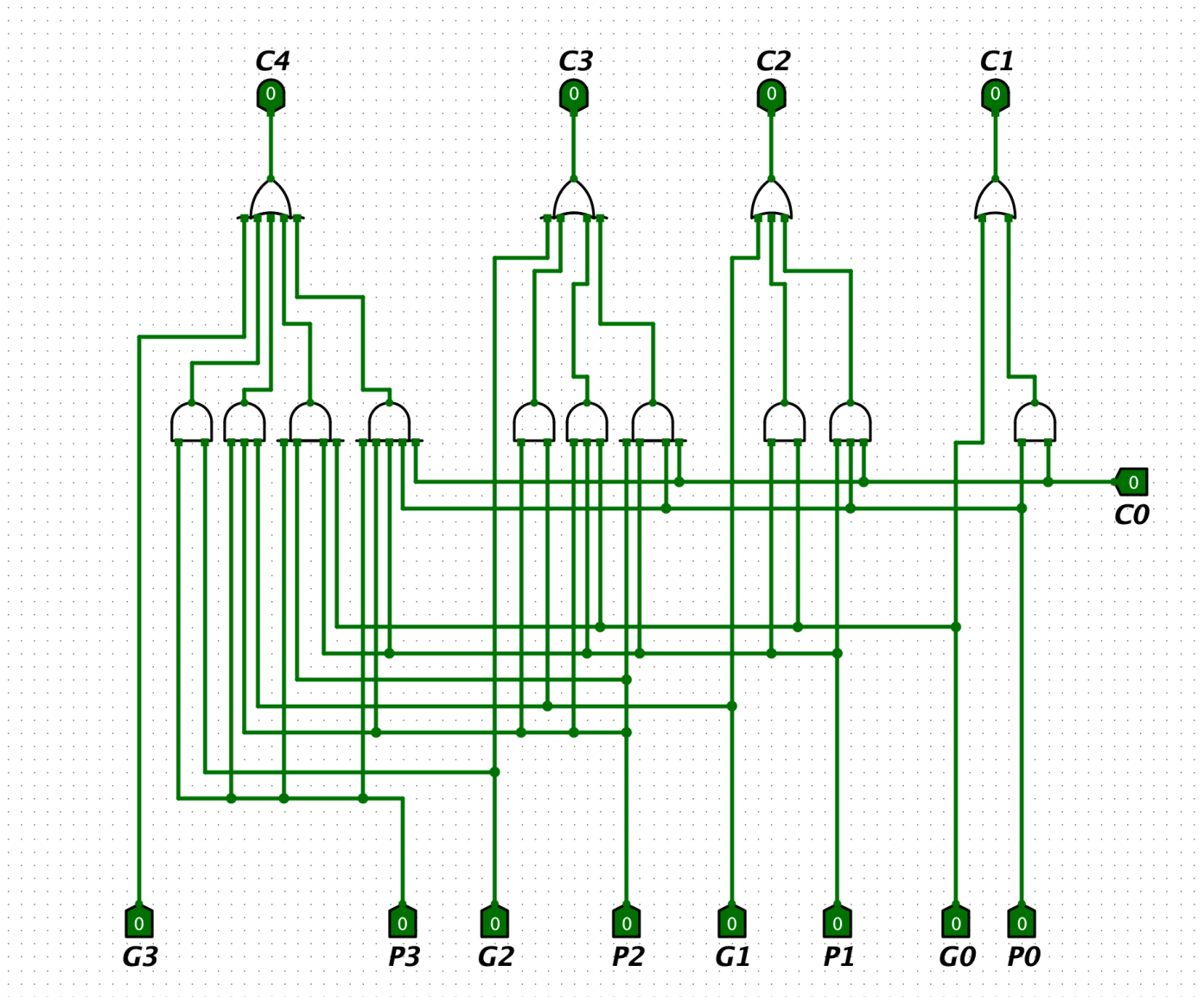
2. Logisim中的实现如下

4位快速加法器CLA



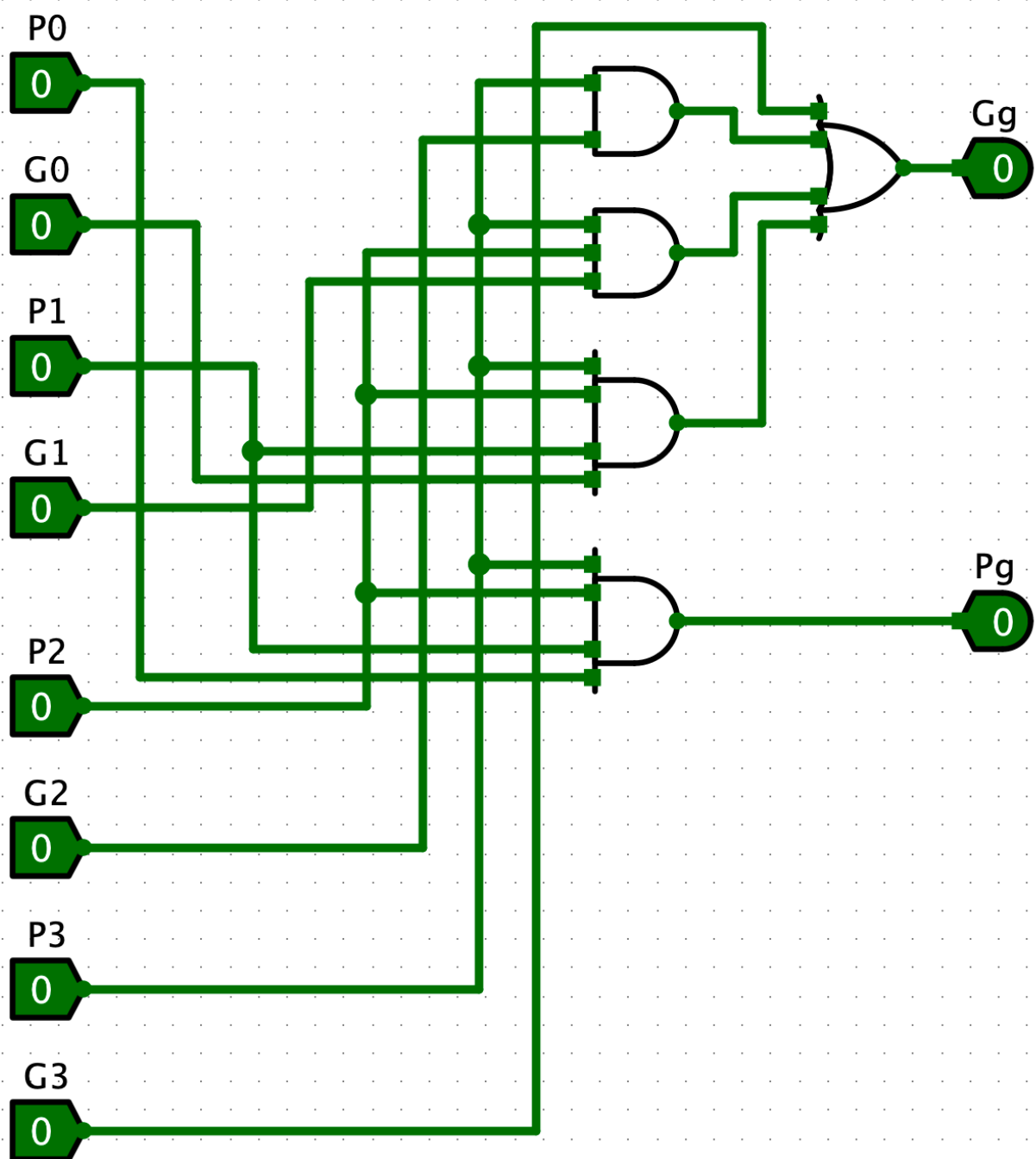
4 位先行进位逻辑单元 CLU

1. 根据给出的逻辑表达式，选择合适的逻辑门，实现并验证 4 位先行进位逻辑单元 CLU。
2. Logisim中的实现如下

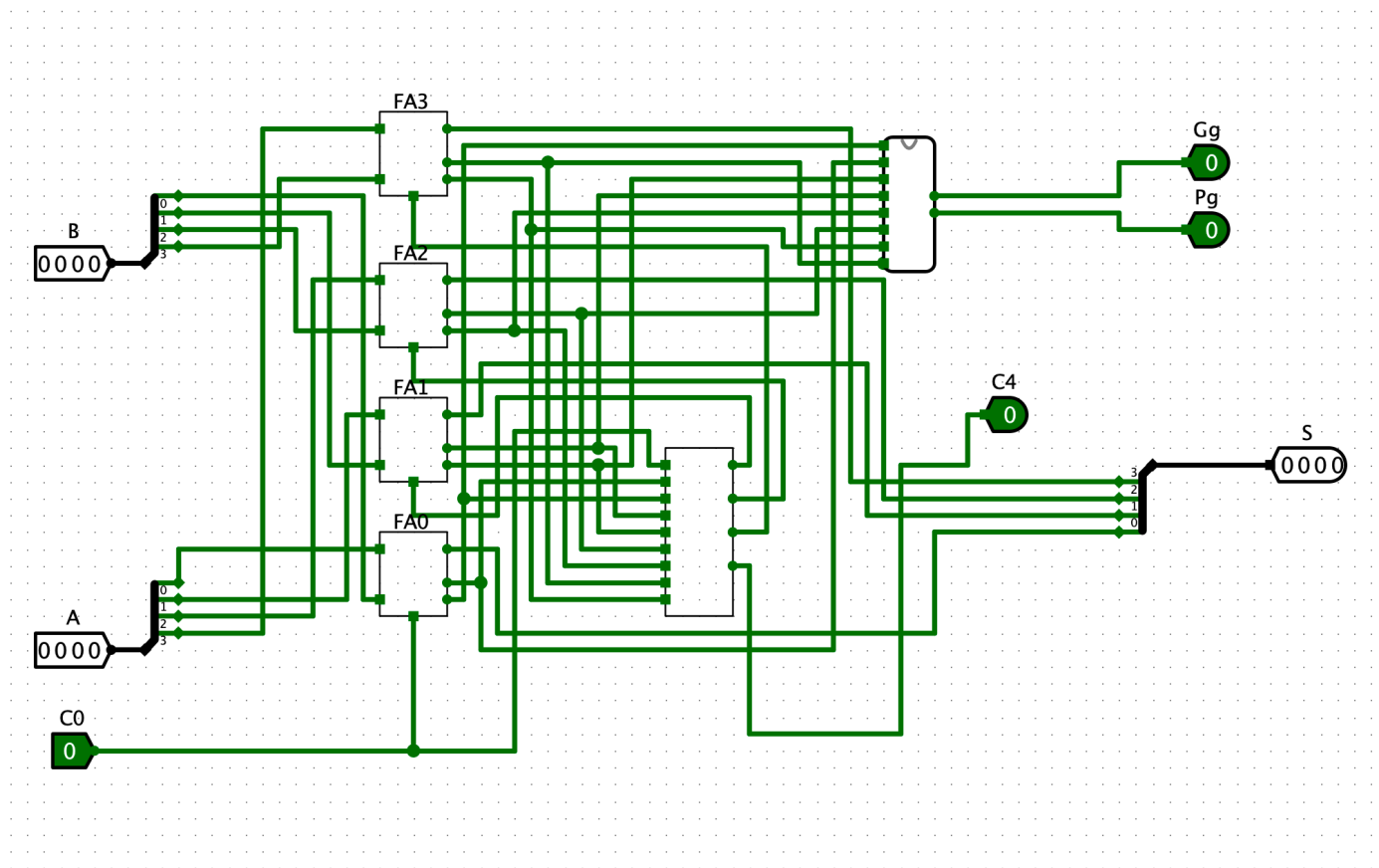


16位先行进位加法器

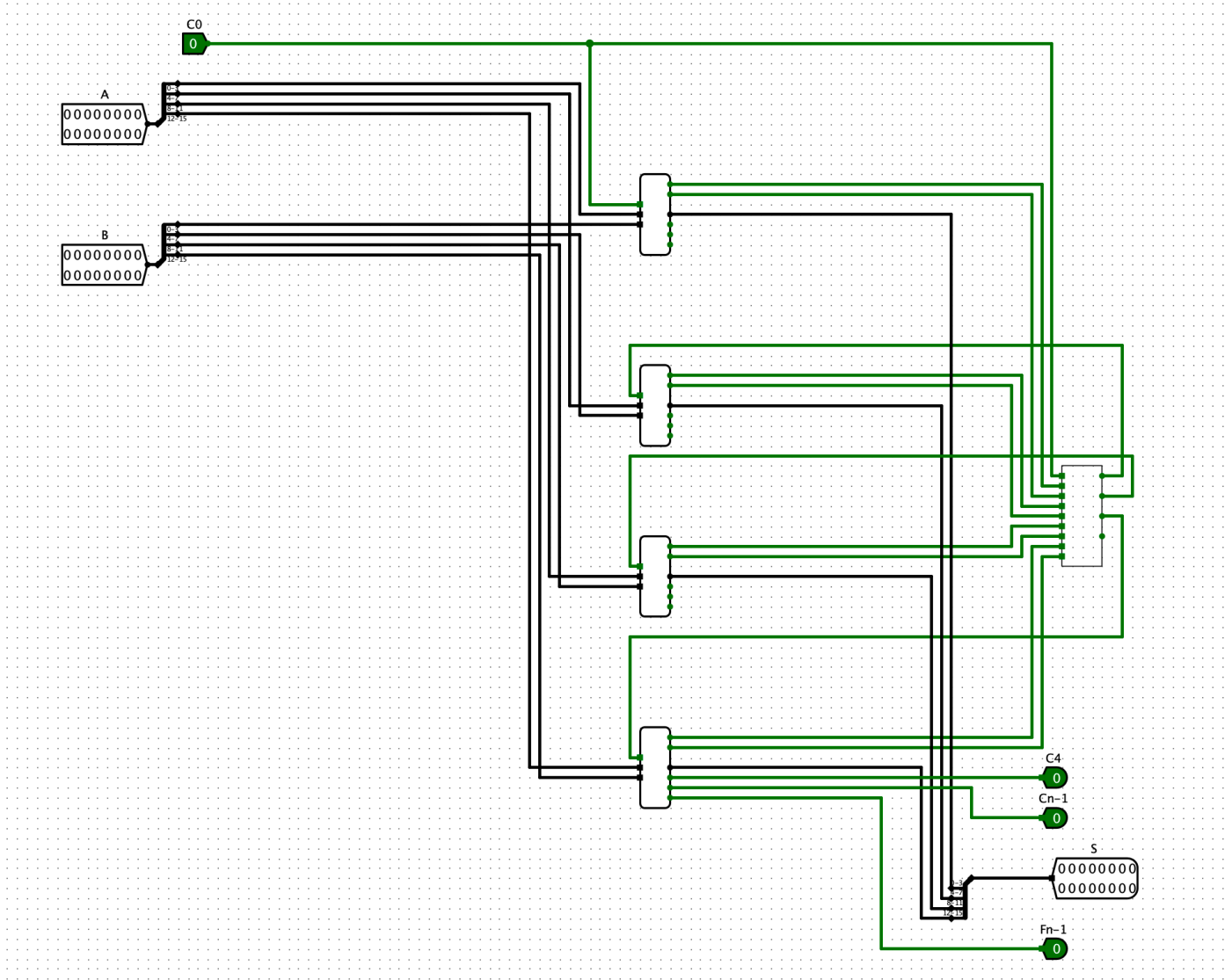
1. 根据给出的逻辑表达式和电路原理图，在4位快速加法器中增加支持组件并联的Gg、Pg输出端，加上4位先行进位逻辑部件，设计并实现16位先行进位加法器。
2. 先实现组间并联的Gg, Pg部件



3. 接着将该部件接入四位加法器

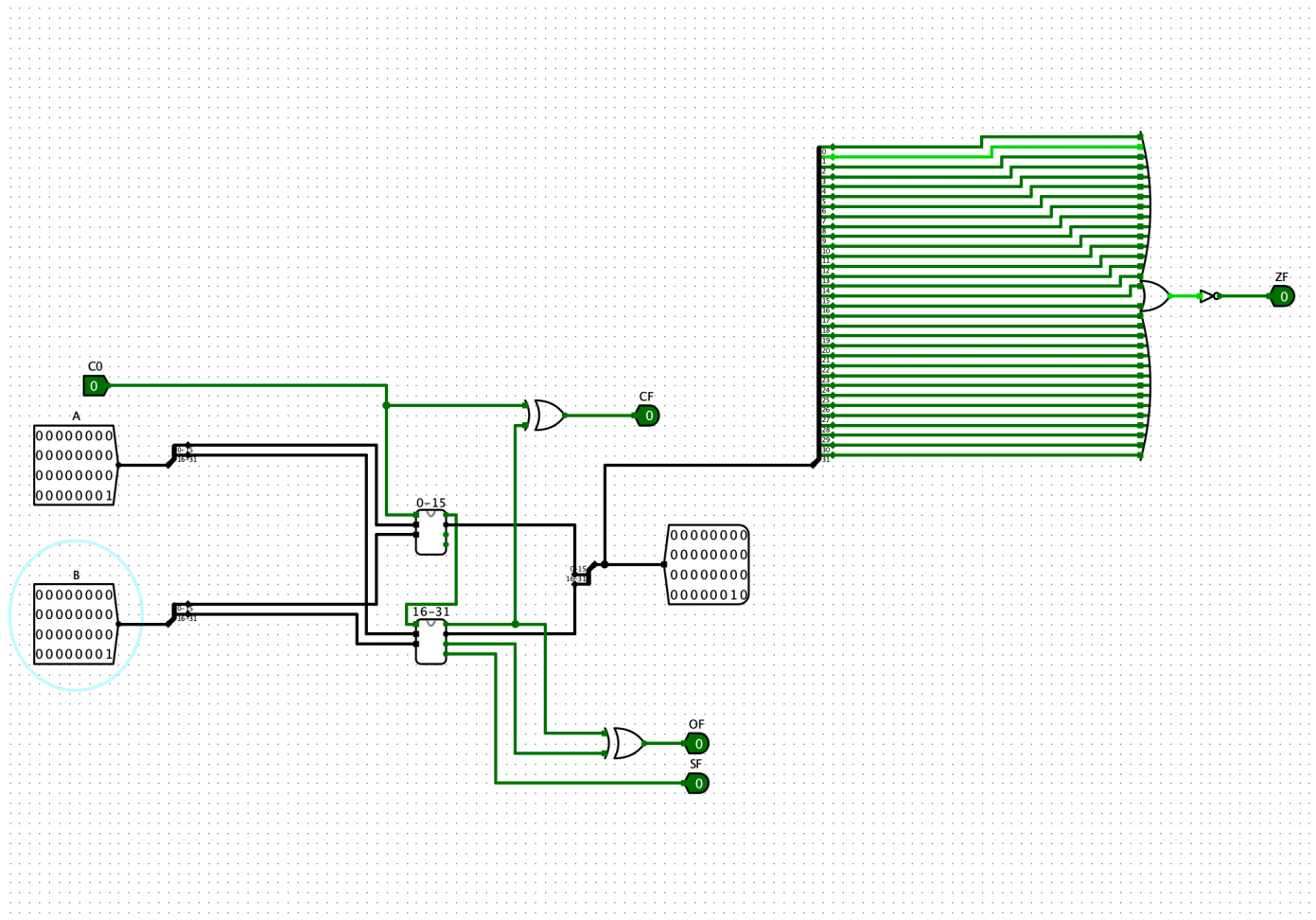


4. 用四个四位加法和CLU实现十六位加法器



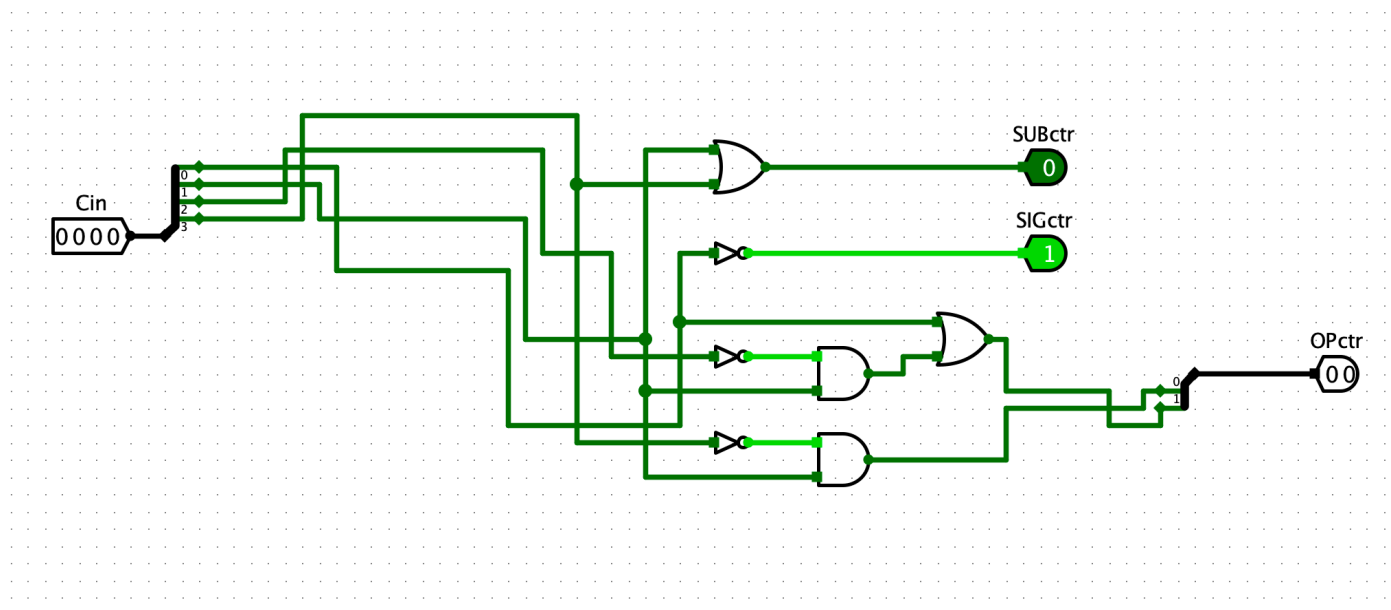
32位加法器

1. 根据给出的标志位生成电路原理图，利用两片16位先行进位加法器实现 32 位快速加法器，及CF、SF、OF、ZF等标志位。

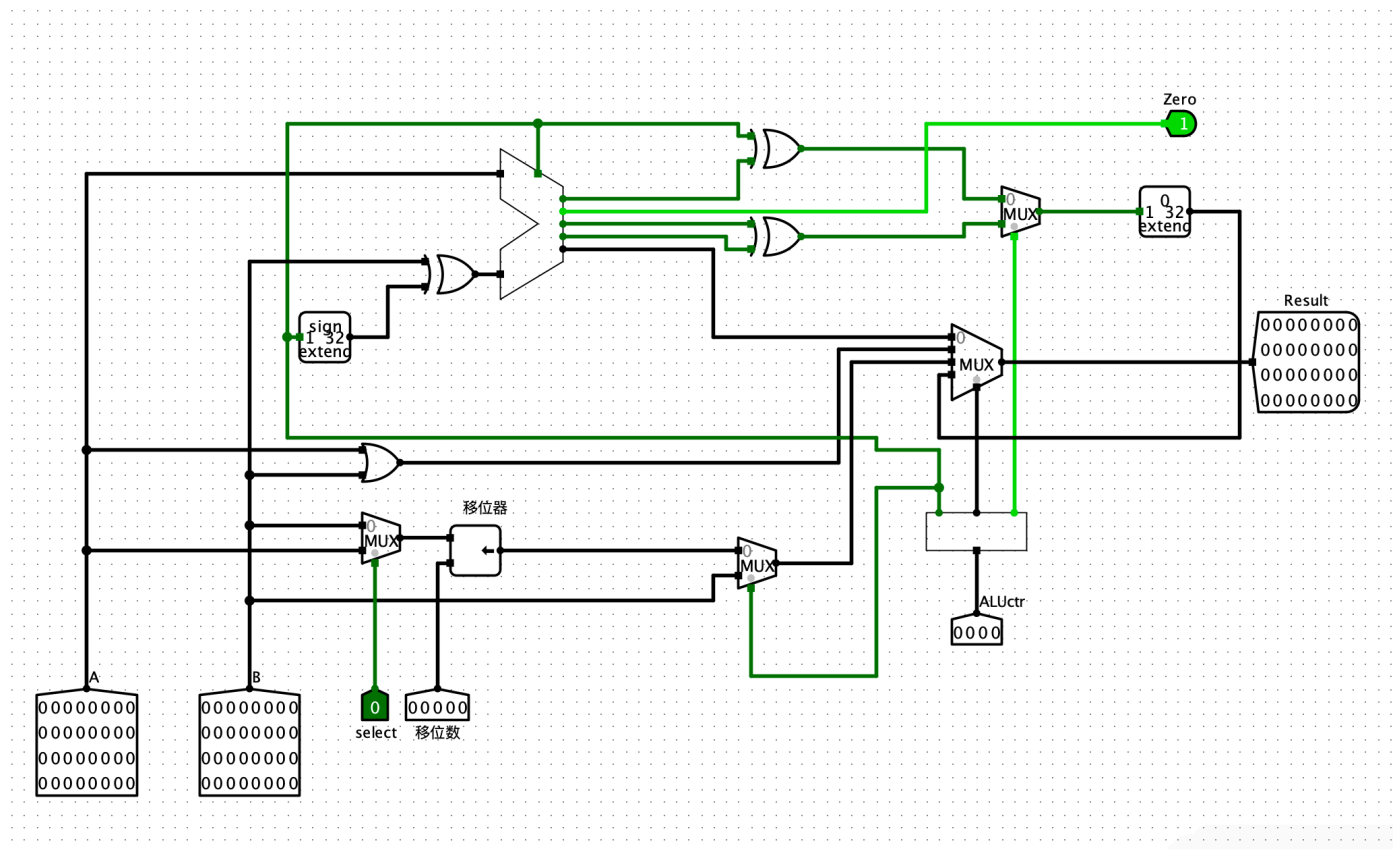


32位算术逻辑运算单元ALU

1. 根据给出的电路原理图和ALU引脚定义要求，设计并验证支持9条指令6种操作的32位算术逻辑运算单元ALU，6种运算包括：add、or、slt、sltu、srcB,判0(sub)。
2. 先实现控制单元ALUctr



3. 根据给出的电路原理图，在Logisim中实现ALU



思考题

1. 如何实现一种乘法运算器？
 - 基于移位和相加。乘法器中每一个比特位都会产生一个局部乘积。如果相应的乘数比特位是1，那么局部乘积就是被乘数的值，如果相应的乘数比特位是0，那么局部乘积全为0。每次局部乘积都向左移动一位。在乘法器电路中，乘数中的每一位都要和被乘数的每一位相与，并产生其相应的乘积位。最后得到的乘积项在CLA电路中相加。
2. 如果需要增加与运算和逻辑右移运算，分别需要修改电路中的哪些部分？
 - 增加与门阵列和逻辑右移部件，并在ALU控制器信号中，为两个操作对应的控制信号生成ALUctr编码。
3. 如何验证运算器的结果是否正确？
 - 选择合适的数据进行测试，比如临界数据测试，取数据小值、大值（0、边界值等）。