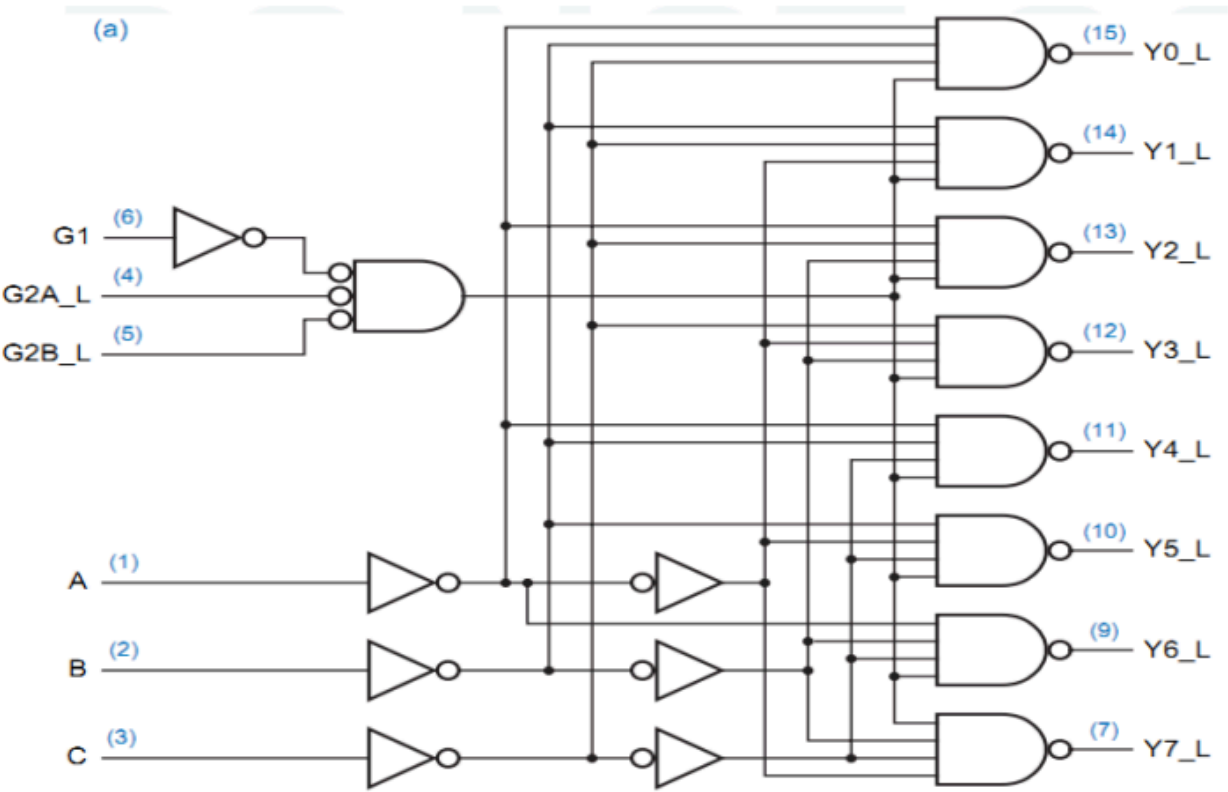


数字逻辑与计算机组成Lab2

202220013 徐简 161200063@smail.nju.edu.cn

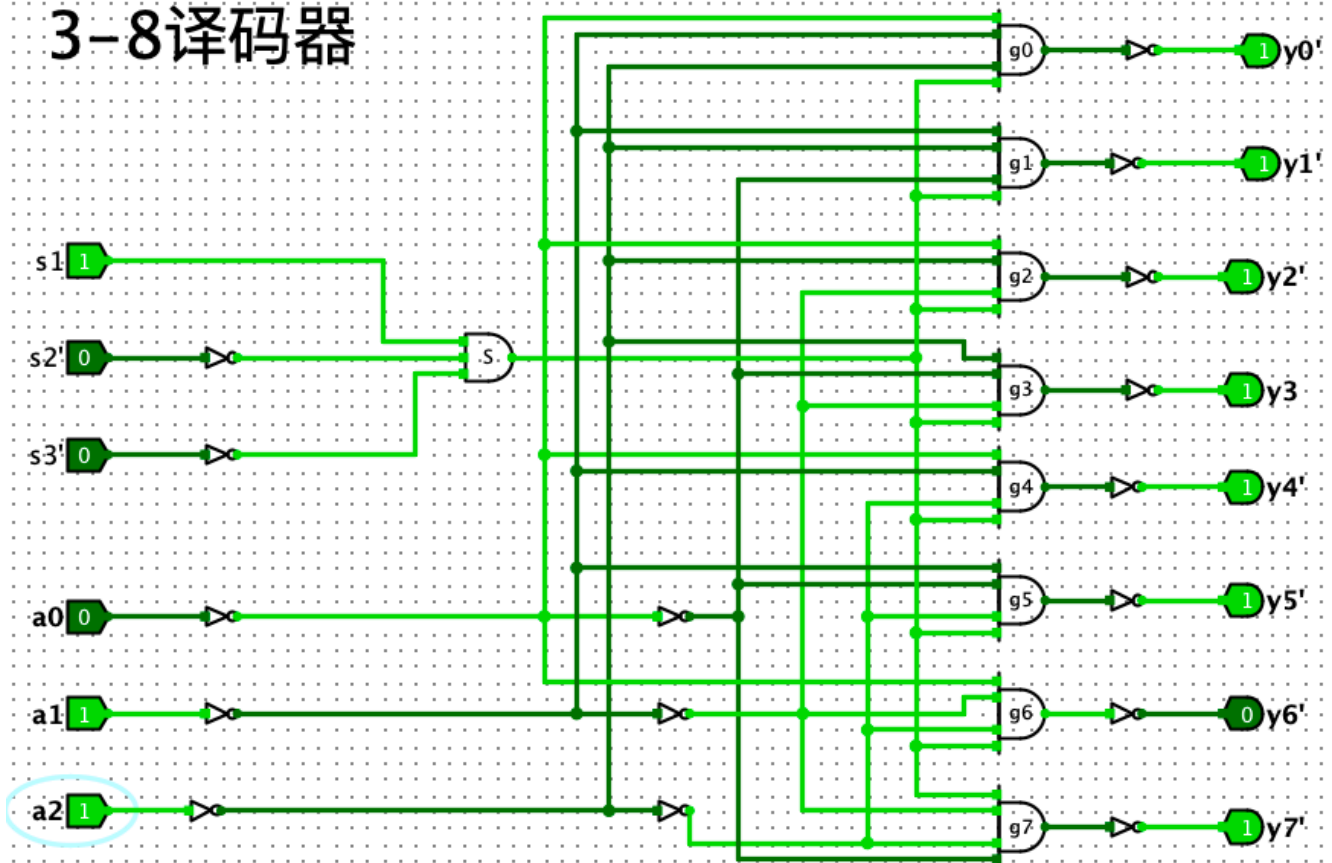
3-8 译码器芯片

1. 根据以下 3-8 译码器芯片 74X138 的电路原理图，设计一个由逻辑门电路构成的 3- 8 译码器。



2. Logisim中的实现如下

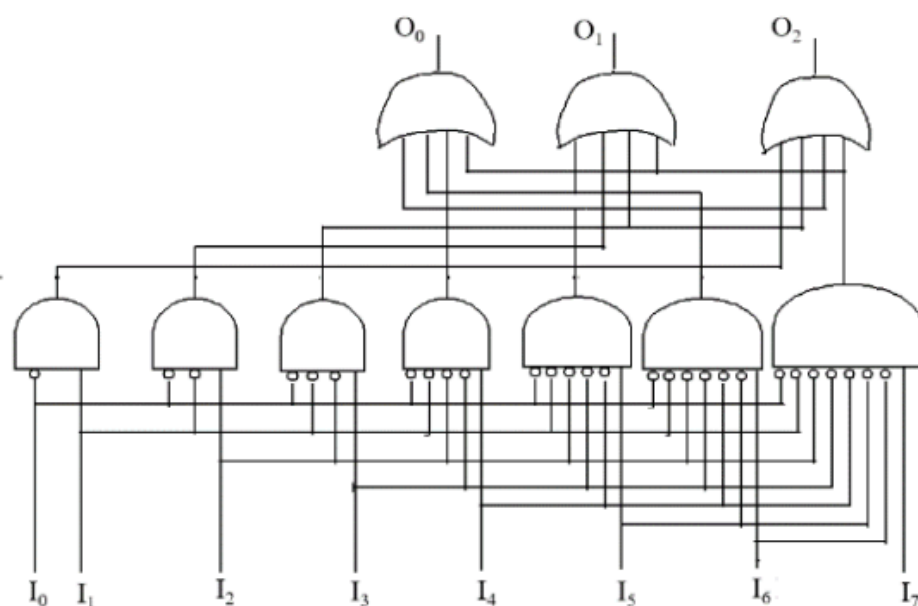
3-8译码器



3. s_1, s_2, s_3 为控制信号，当三个控制信号分别为 100 时，该逻辑电路的功能为 3-8 译码器。这时 a_0, a_1, a_2 分别代表二进制从低到高位，输出端低电平则表示译码的结果。

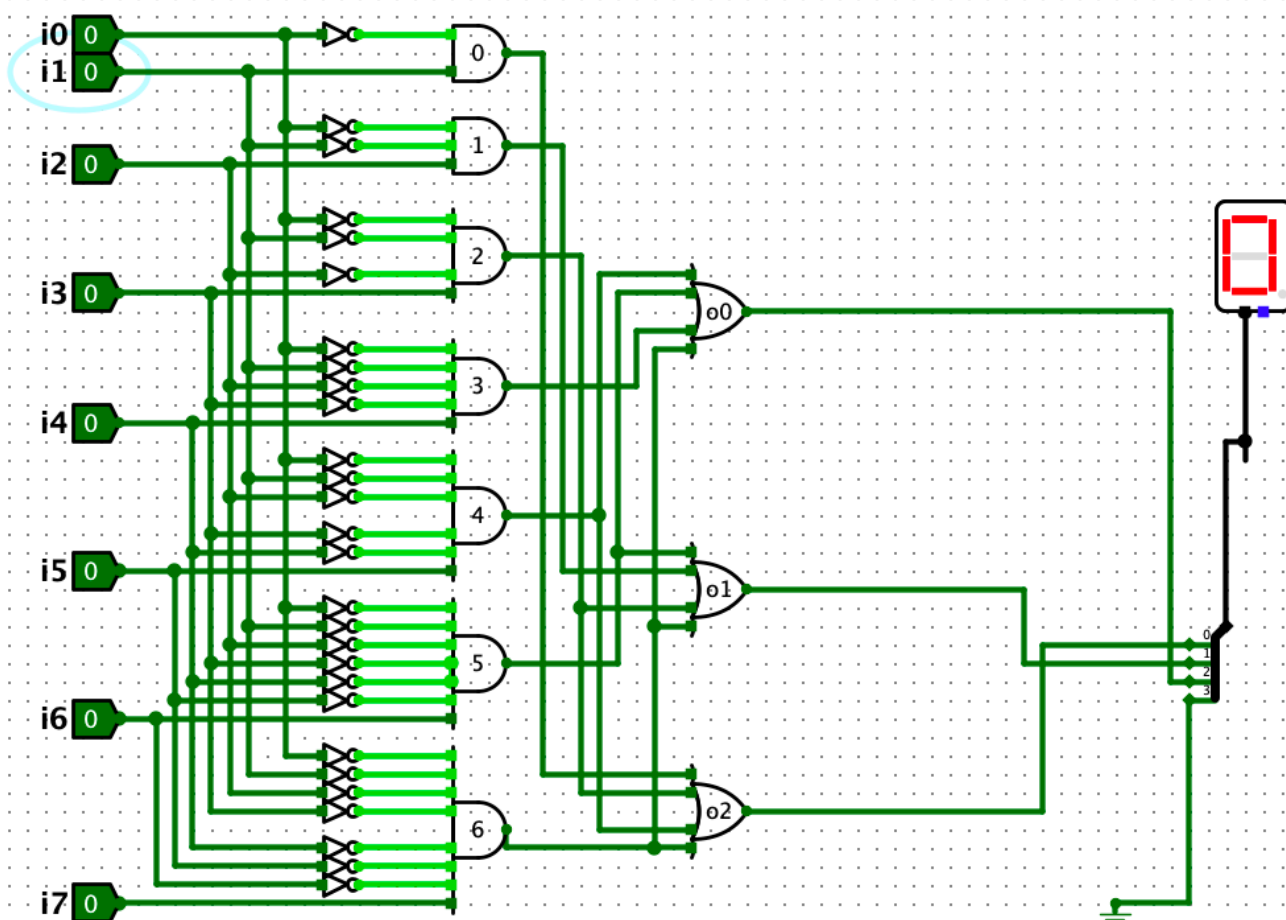
8-3 优先级编码器

1. 根据以下给出的 8-3 优先级编码器原理图，设计一个由逻辑门电路构成的 8-3 优先级编码器，并将编码器输出连接到一个十六进制数码管，通过数码管的输出显示来验证和测试电路。测试电路中可引入探针、分线器等，并增加电源和接地来连接数码管。



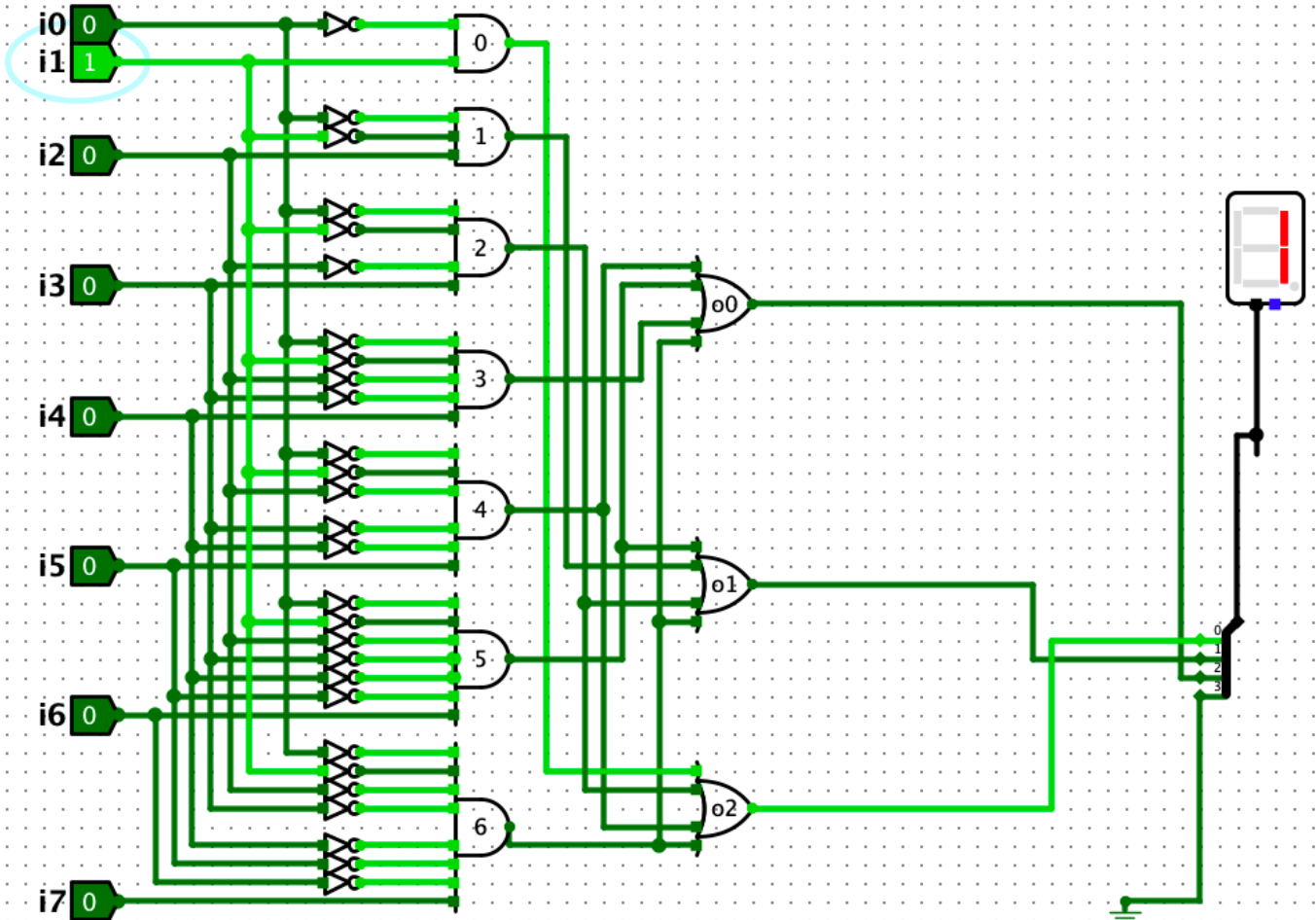
2. Logisim中实现结果如下

8-3 优先权编码器

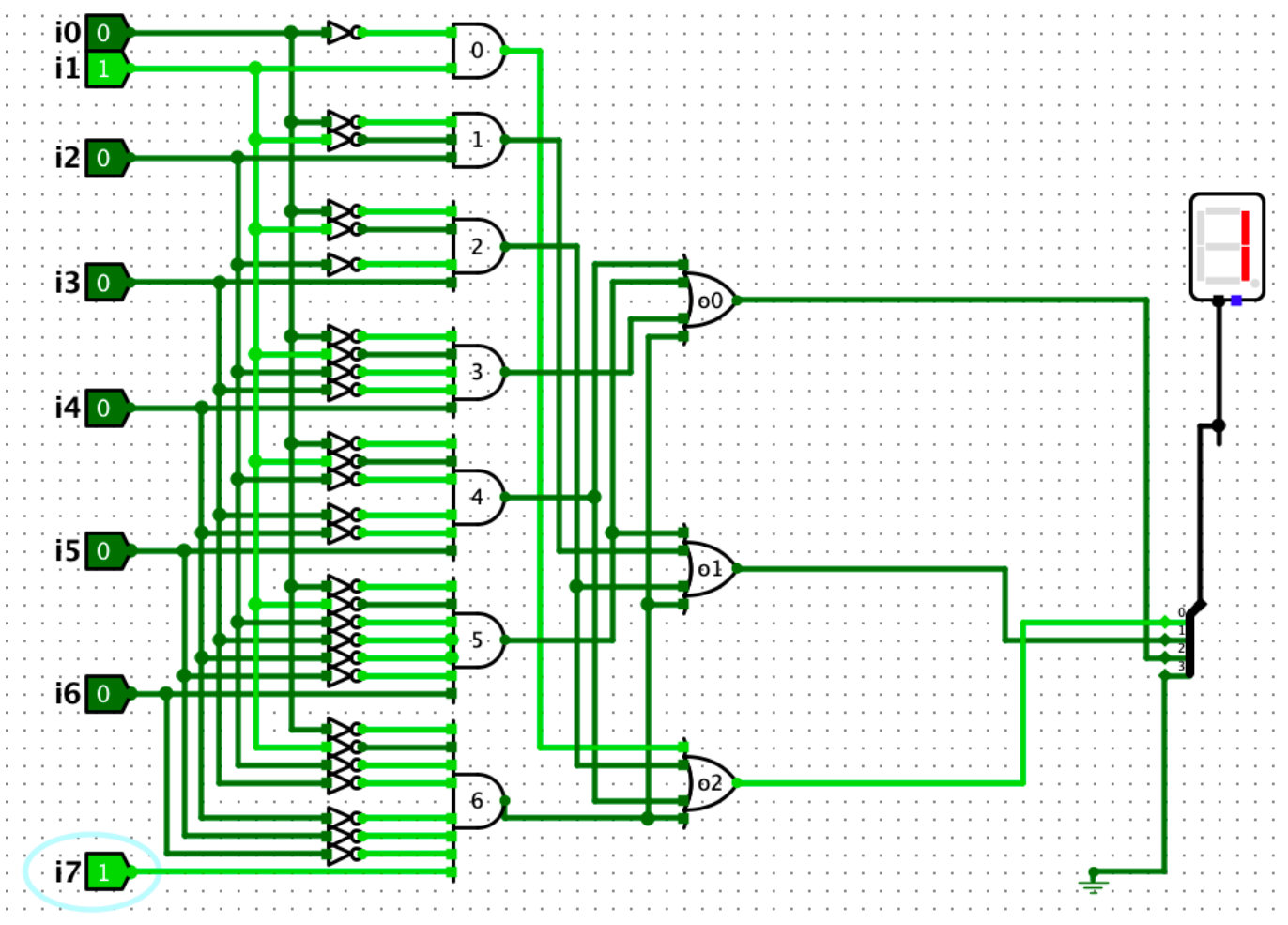


3. 3位输出端，接到数码管中显示，输入端从上到下优先权递减，意味着从上往下第一个高电平为有效输入，其序号会编码成三位二进制数，并最终在数码管中显示出来。下面两张图很好的说明了“优先权”的特性。

8-3 优先权编码器



8-3 优先权编码器



全加器 (FA)

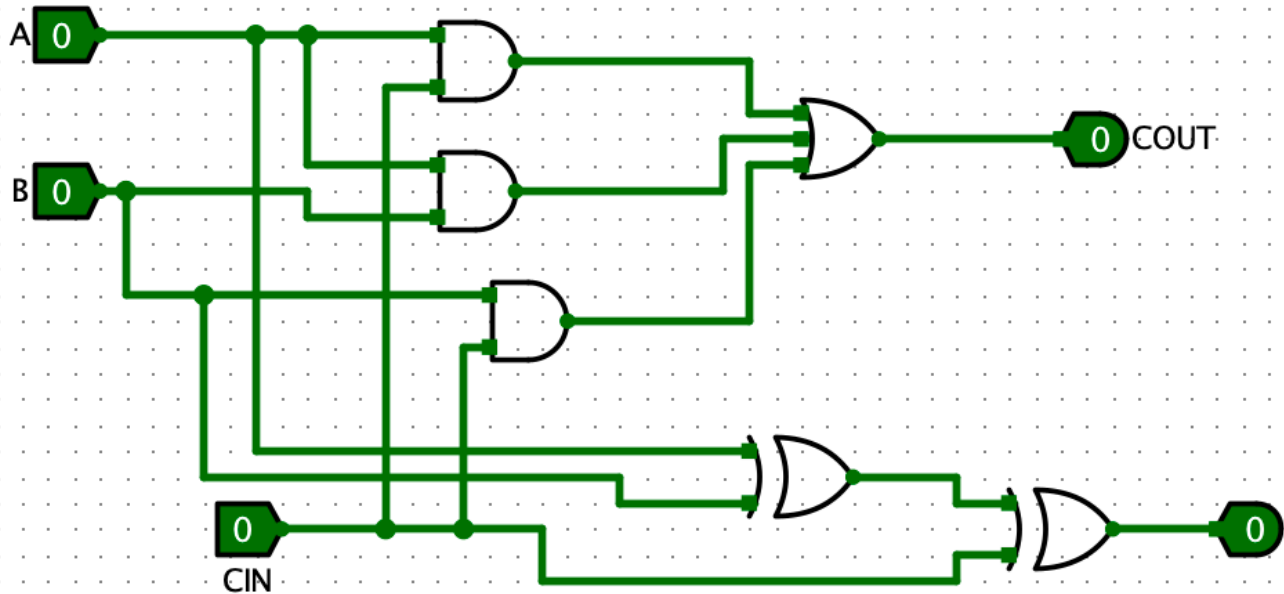
1. 设计一个全加器 (FA)。全加器是用逻辑电路实现两个二进制数相加并求出和的组合线路。一位全加器可以处理低位进位，并输出本位加法进位。

2.

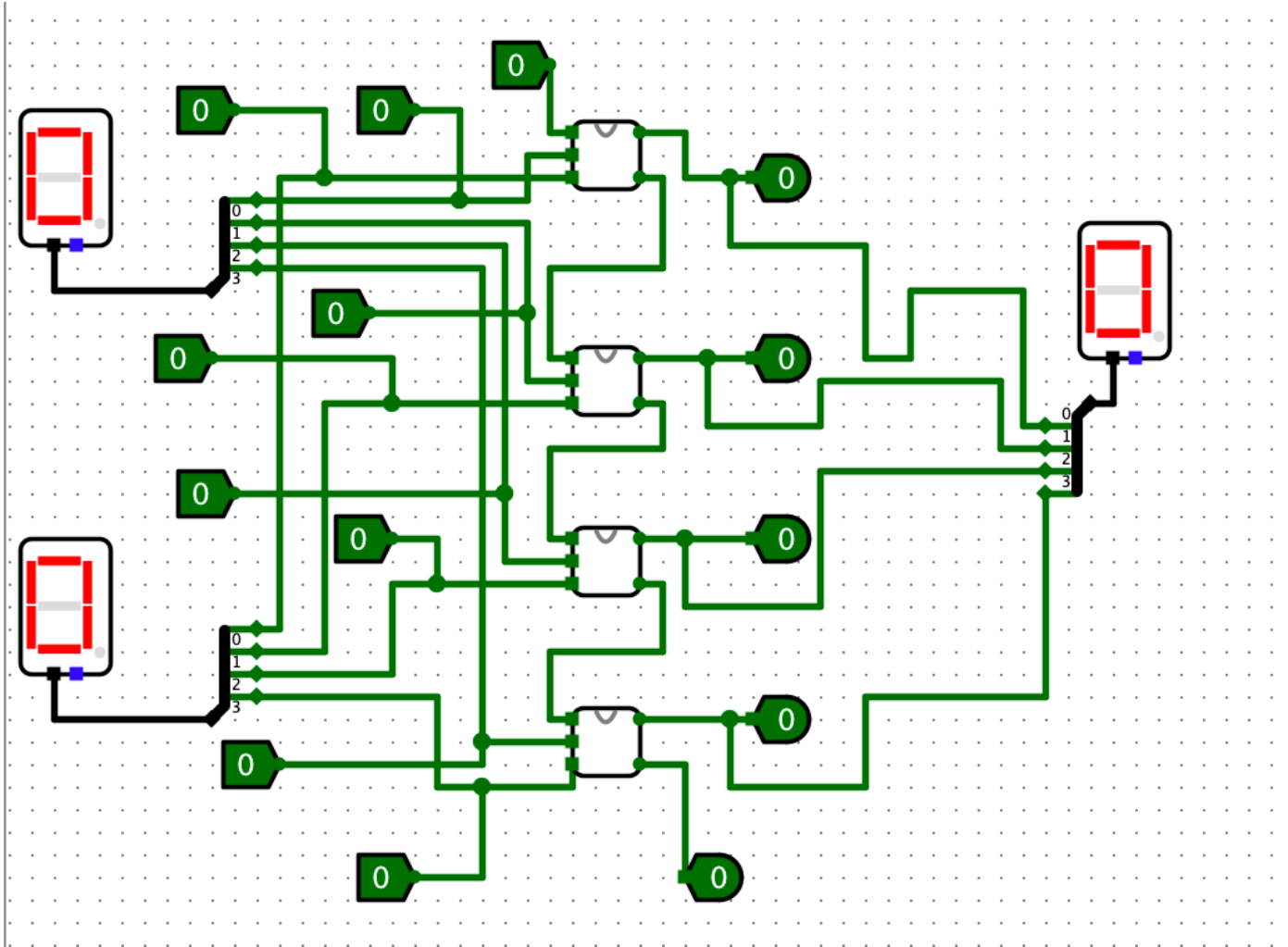
$$f = A \oplus B \oplus Cin$$
$$cout = AB + Cin(A + B)$$

3. Logisim实现如下

FA全加器



4. 将 4 个全加器串联成一个 4 位串行进位加法器。将输入、输出分别连接到 16 进制数码显示管 (Hex Digital Display) 进行验证。
5. Logisim实现如下



6. 将四个一位全加器串联，低位的cout作为高位s的cin，并将四组输入的每一个分别作为二进制组成，并接入输入数码管。输出同理。

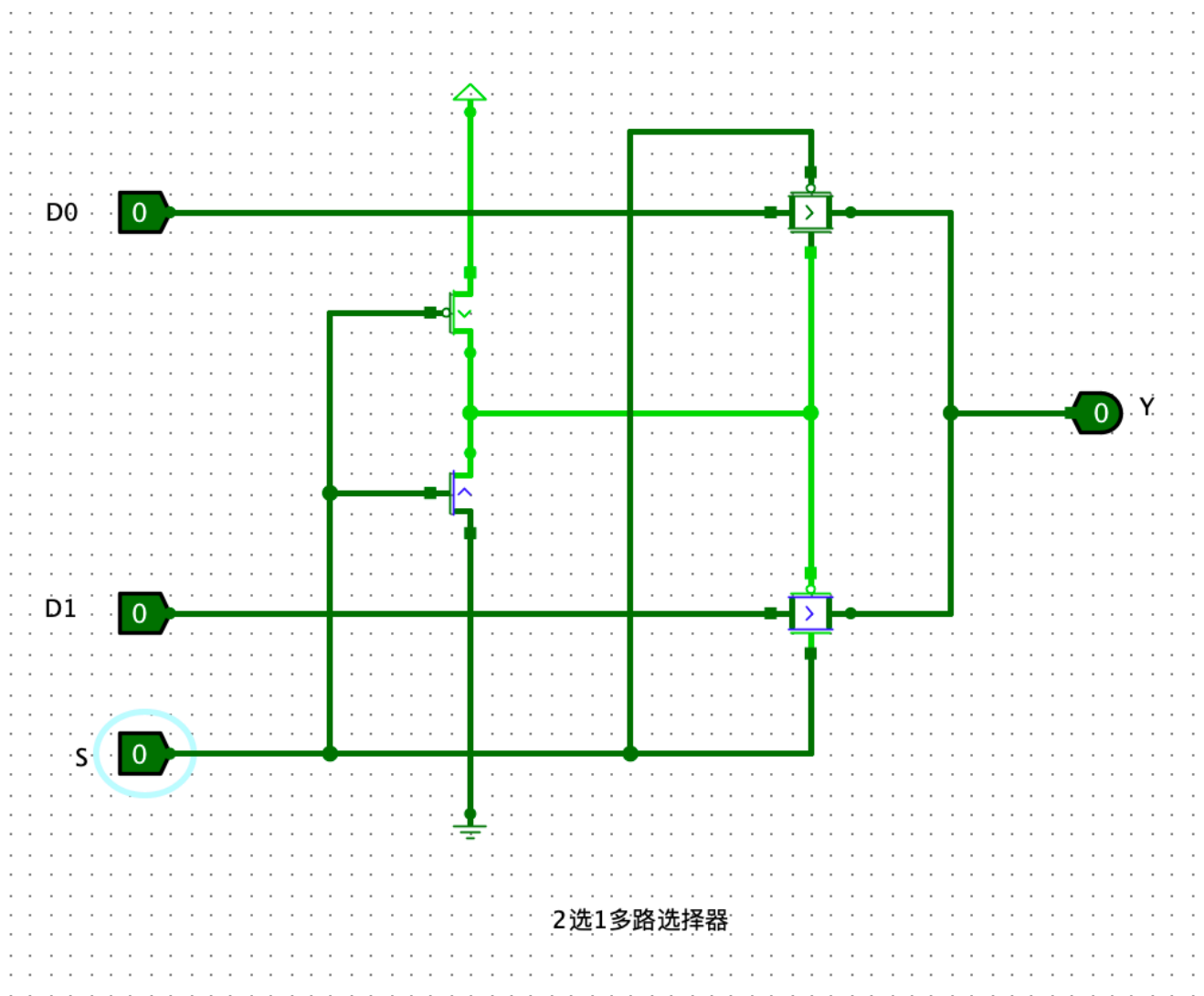
ALU 电路

1. 设计一个如下图所示的由逻辑门电路、1 位加法器、1 位减法器 and 8 选 1 多路选择器构成的一位 ALU 电路（不考虑来自低位的进位或借位），并对电路进行仿真测试，以验证电路的功能。

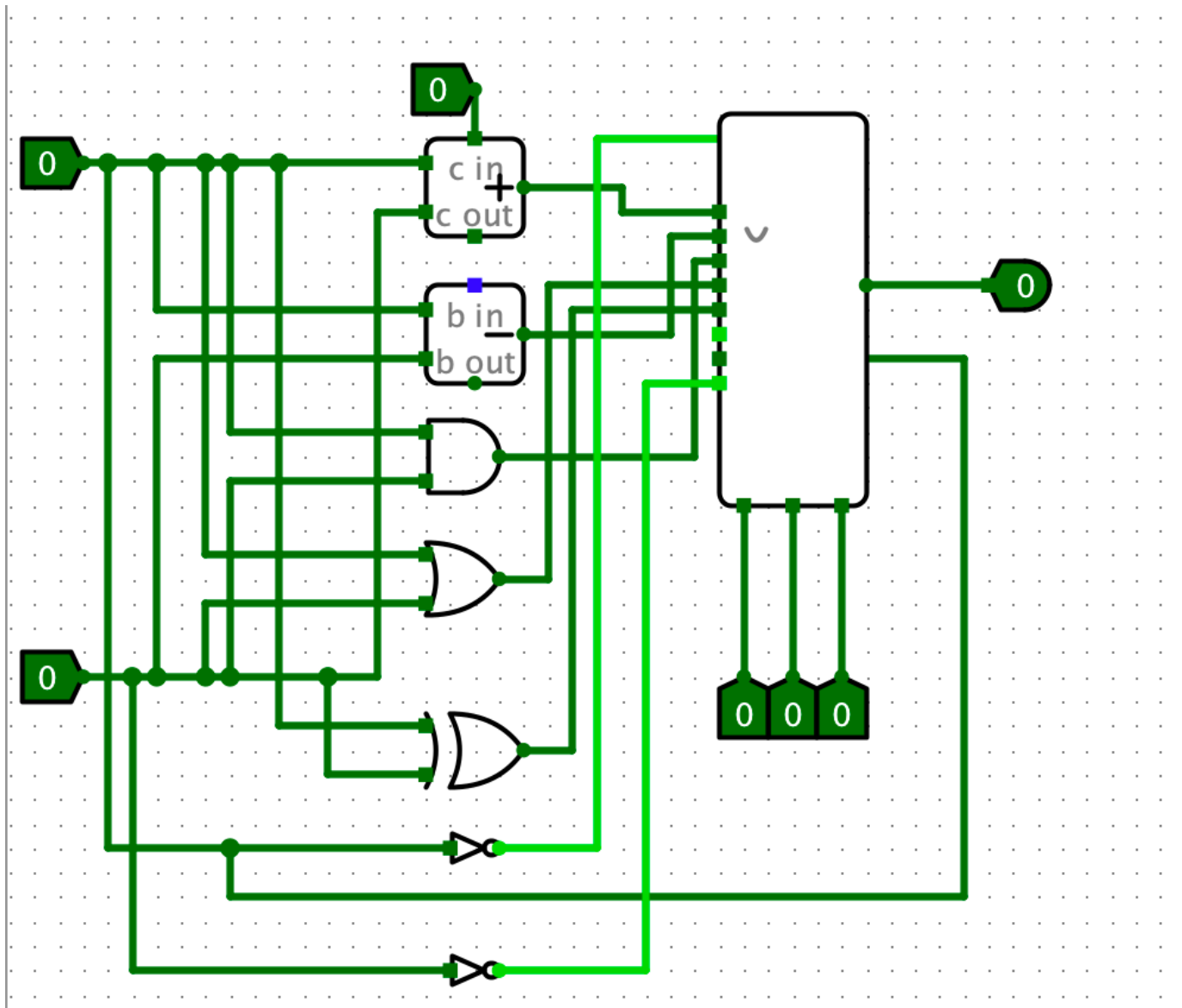
ALU 功能表

S3 S2 S1	功能
0 0 0	A 加 B
0 0 1	A 減 B
0 1 0	$A \cdot B$
0 1 1	$A + B$
1 0 0	A 异或非 B
1 0 1	A 非
1 1 0	A
1 1 1	B 非

2. 首先先实现一个8-1MUX多路选择器，考虑采用2-1多路选择器作为子元件。



3. 用六个2-1MUX可以实现一个8-1MUX，实现如下



4. 3位控制端组成二进制值即为所选功能序号。

思考题

1. 组合逻辑电路的一般设计步骤是什么？

- 由实际逻辑问题列出真值表；
- 由真值表写出逻辑表达式；
- 化简、变换输出逻辑表达式；
- 画出逻辑图。

2. 测试电路功能有哪几种方式？

- 分析逻辑表达式
- 模拟输入得到真值表，与理论对比

3. 如何利用 logisim 提供的 LED 矩阵显示“NJUCS”五个字符。

- LED实际上是由多位信号控制的元件，按照需要显示的字符，将需要亮的笔画输入置为高电平，其余的低电平即可。

4. 简要说明 4 位二进制补码加法器溢出检测电路的设计思路。

- 对于两个符号相同的补码数相加，如果和的符号与加数的符号相反时，结果溢出。两个符号相反的补码数相减，差的符号与减数的符号相同时，结果溢出。
- 如果两个同为正，相加后为负时，结果溢出
- 如果两个同为负，相加后为正时，结果溢出