

数字逻辑与计算机组成实验

- 实验名称: lab6 随机数发生器
- 院系: 计算机科学与技术系
- 学生姓名: 徐简
- 学号: 202220013
- 班级: 数字逻辑与计算机组成实验1班
- 邮箱: 161200063@mail.nju.edu.cn
- 实验时间: 2022 年 4 月 13 日

数字逻辑与计算机组成实验Lab6

202220013 徐简 161200063@smail.nju.edu.cn

一, 实验目的

- 复习寄存器的相关知识
- 利用寄存器设计一个随机数发生器

二, 实验原理

- 寄存器由锁存器和触发器构成的存储电路
- 线性反馈移位寄存器 (linear feedback shift register, LFSR) 是指，给定前一状态的输出，将该输出的线性函数再用作输入的移位寄存器。异或运算是最常见的单比特线性函数：对寄存器的某些位进行异或操作后作为输入，再对寄存器中的各比特进行整体移位。

思考题：生成的伪随机数序列仍然有一定的规律，如何能够生成更加复杂的伪随机数序列？

一个朴素的想法是增大寄存器位数，这样循环周期会变大，得到的序列会具有类似于随机数的统计特征。

三, 实验环境/器材

- Quartus
- DE10-Standard开发平台
- FPGA开发板

四, 程序代码/流程图

本次实验的思路很简单，只需要以按钮作为时钟信号，在按照手册中提示，完成移位寄存器部分，最后把八位的结果，分两部分分别用7段数码管显示。

```
module random_num_generator(clk, output_high, output_low);
    input clk;
    output reg [6:0] output_high, output_low;
    reg [7:0] random_num = 8'b00000001; //正确初始化，可以自启动
    //随机数发生器
    always @ (negedge clk)
        random_num <=
    {random_num[4]^random_num[3]^random_num[2]^random_num[0]}, 
        random_num[7:1];
    //7段数码管16进制显示
    always @ (random_num) begin
        case (random_num[7:4])
            endcase
            case (random_num[3:0])
                endcase
    end
```

```
end  
endmodule
```

五, 实验步骤/过程

- 使用DE10软件建立工程，这样可以自动进行引脚分配
- 编写代码，并在项目中实例化
- 进行测试
- 上板验证

六, 测试方法

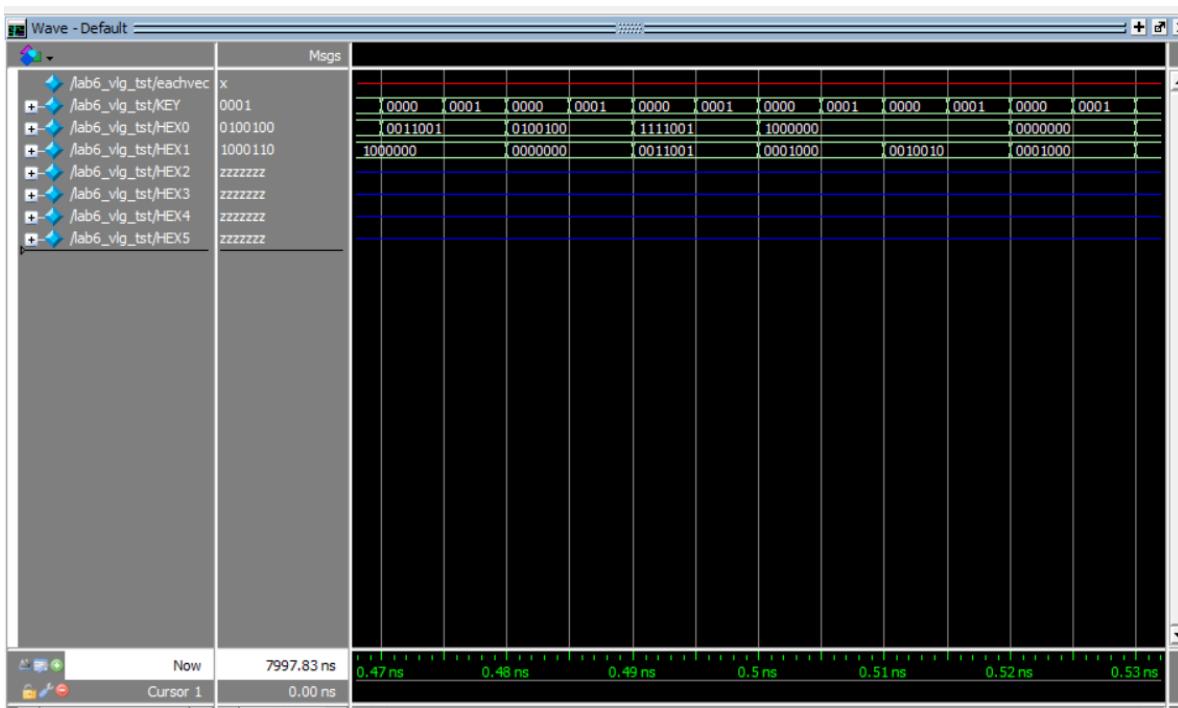
- 仿真：将按钮的逻辑设计成时钟即可

```
begin
// code executes for every event on sensitivity list
// insert code here --> begin
#0.5;
KEY = 0;
#5;
KEY = 1;
#4.5;
//@eachvec;
// --> end
end
```

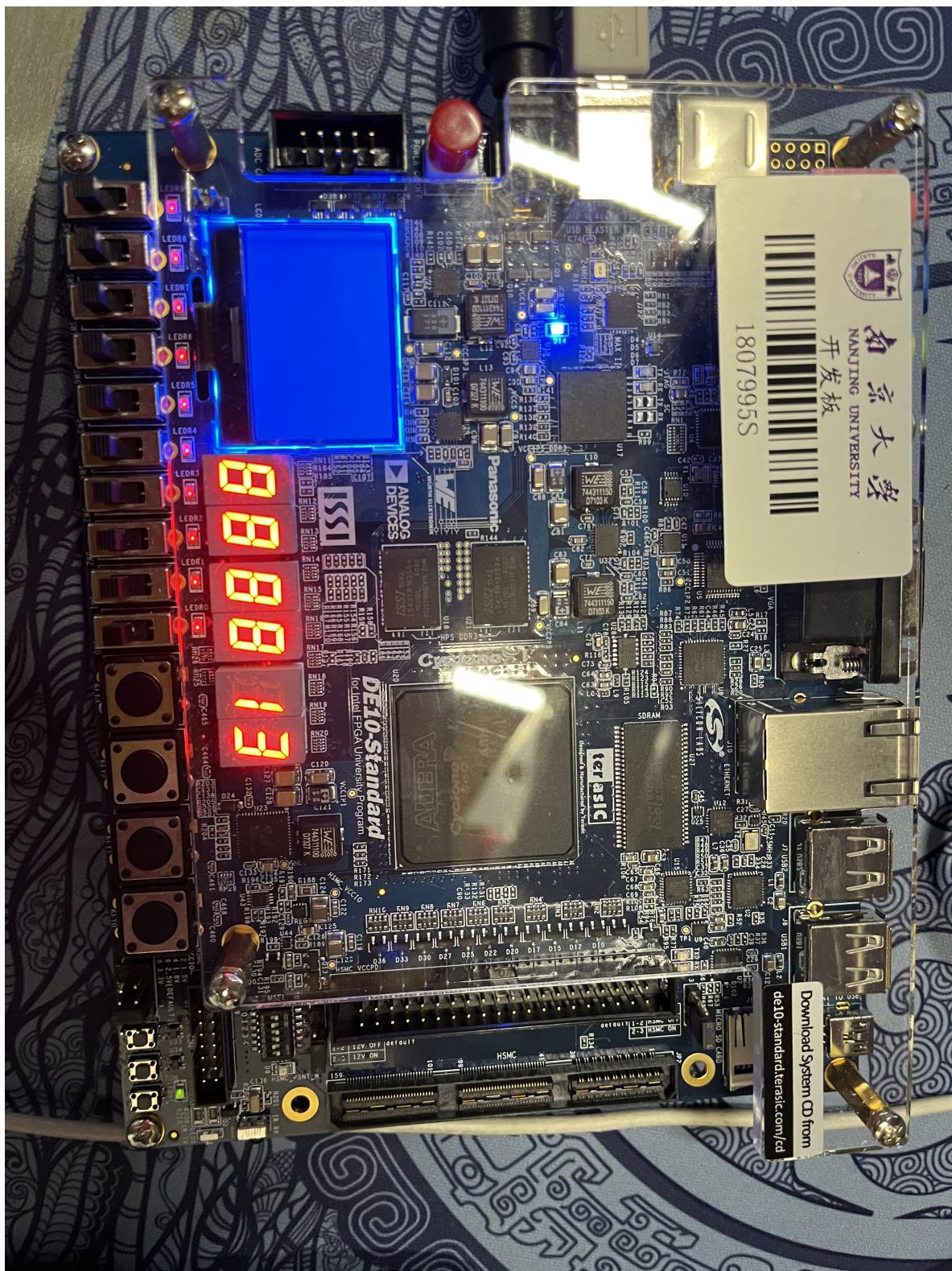
- 上板测试：写入fpga开发板，根据功能测试输入输出的情况

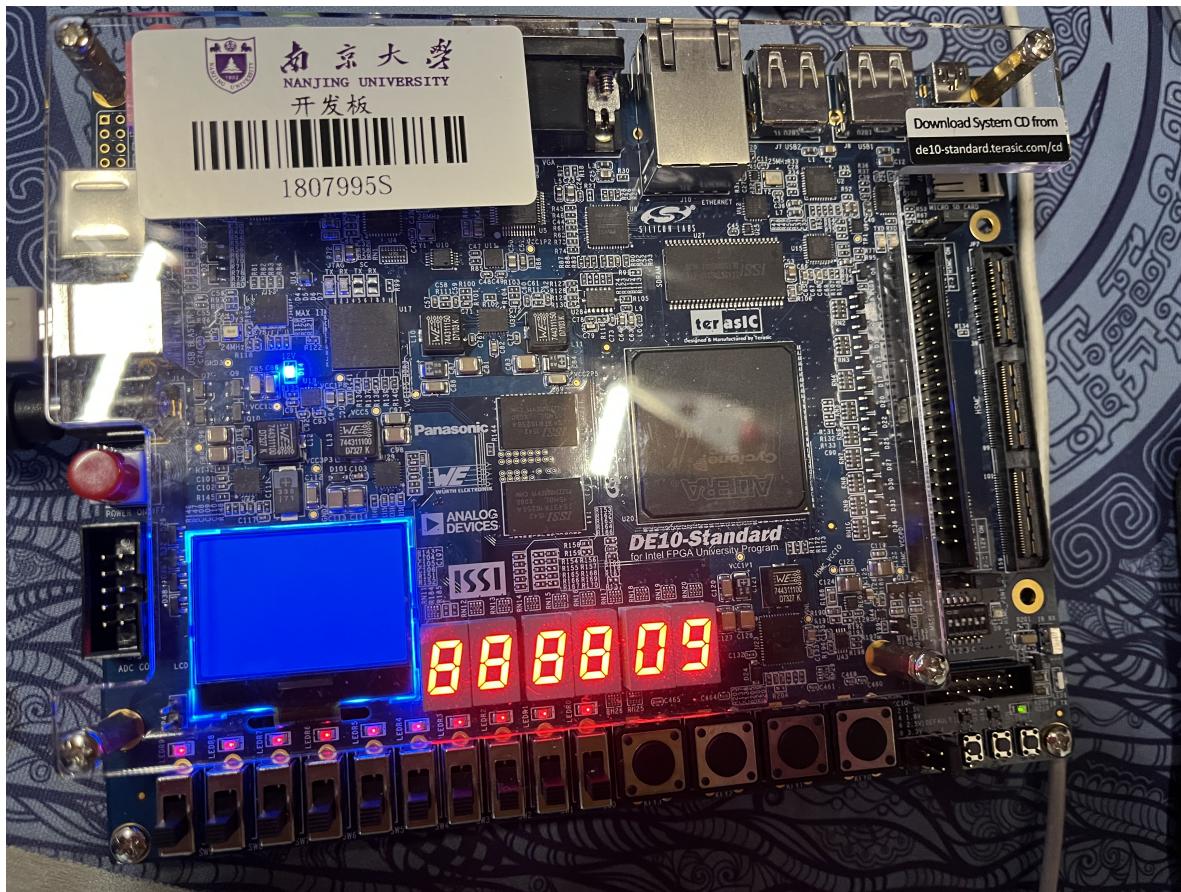
七, 实验结果

仿真



上板





八. 遇到的问题和解决办法

- 每次仿真都会忘记配置工具和测试文件orz

九. 实验得到的启示

- blank

十. 意见和建议

- 希望有关于更多关于伪随机数生成算法的介绍，硬件软件。