

数字逻辑与计算机组成实验

- 实验名称: lab3 8-3 ALU
- 院系: 计算机科学与技术系
- 学生姓名: 徐简
- 学号: 202220013
- 班级: 数字逻辑与计算机组成实验1班
- 邮箱: 161200063@mail.nju.edu.cn
- 实验时间: 2022 年 3 月 23 日

数字逻辑与计算机组成实验Lab2

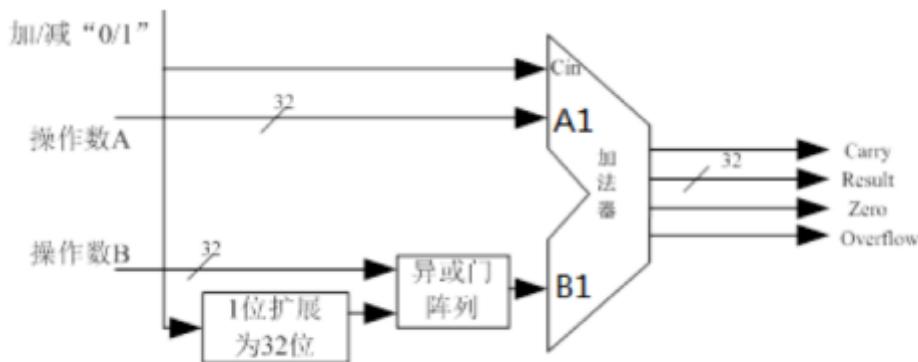
202220013 徐简 161200063@smail.nju.edu.cn

一, 实验目的

- 复习ALU的相关知识
- 设计一个带有逻辑运算的简单 ALU
- 学习Verilog中task功能的使用

二, 实验原理

在实际的运算器中，如果参加运算的操作数都是补码的话，可以用加法器同时实现加法和减法运算，常用的运算器也正是这样操作的。



在实验原理部分，简要的回答一下思考题

- 思考题1：应该比较A1和B1的符号位，需要考虑减法的时候B需要取反
- 思考题2：方法1正确，加法的时候两种方法一样，但是还是在减法的时候，方法二的溢出位会出错，只需要考虑B为0和边界的时候就可以发现错误。
- 思考题3：一元约简更好，这样无需比较器，只需要逻辑门，更加的简洁。

三, 实验环境/器材

- Quartus
- DE10-Standard开发平台
- FPGA开发板

四, 程序代码/流程图

S[3:0]为计算结果, S[4]为进位, S[5]为溢出, S[6]是否为零

```

module ALU_1(A, B, Cin, S);
    input [3:0] A, B;
    input Cin;
    output [6:0] S;
    wire [3:0] t_no_cin;

    assign t_no_cin = {4{Cin}} ^ B;
    assign S[4:0] = A + t_no_cin + Cin; // { carry, result}
    assign S[5] = (A[3] == t_no_cin[3])
        && (A[3] != S[3]); // overflow
    assign S[6] = ~(| S[3:0]); // zero

endmodule

```

五, 实验步骤/过程

- 使用DE10软件建立工程，这样可以自动进行引脚分配
- 编写补码加减法运算器以及带逻辑运算的运算器的代码，并在项目中实例化
- 进行测试
- 上板验证

六, 测试方法

- 仿真：采用了task进行自动的测试

仿照手册中的样例完成task的编写：具体内容为把硬件的输出与传入task的参数做比较，如果不一致会输出错误的信息。

```
$display("Error:x=%h,y=%h,ctrl=%b,s should be %h, get %h", inputa, inputb,
inputaluop, results, outputs);
```

测试的核心在于计算传入task的参数，这应该是理论的正确值。

在initial中，使用一个三重的循环，完成自动化的测试。

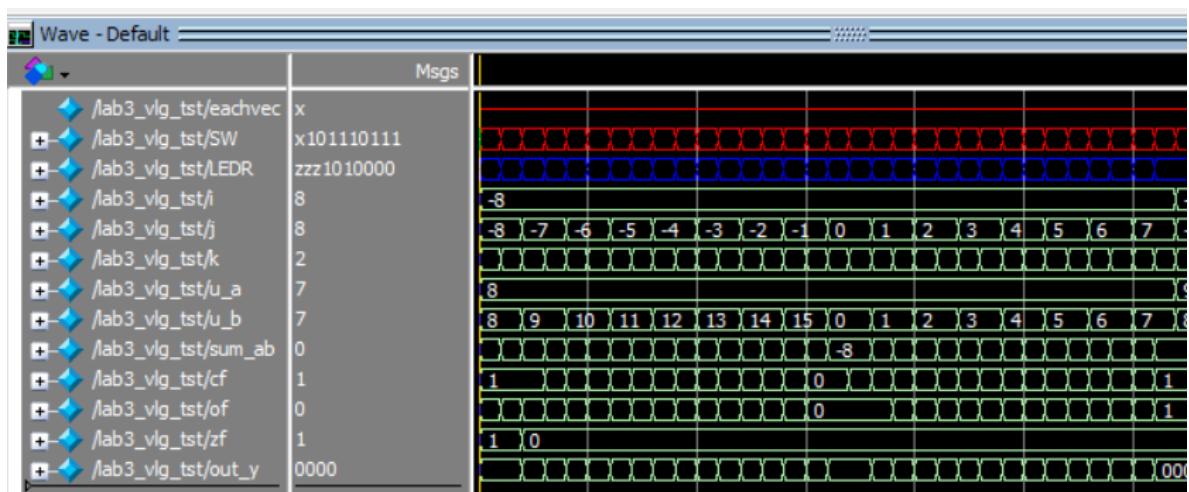
查阅了上学期理论课的内容，得到以下公式，根据公式计算理论值，并传入task中，完成仿真。

$$x + y = \begin{cases} x + y - 2^n, & 2^{n-1} \leq x + y \\ x + y, & -2^{n-1} \leq x + y < 2^{n-1} \\ x + y + 2^n, & x + y < -2^{n-1} \end{cases}$$

- 上板测试：写入fpga开发板，根据功能测试输入输出的情况

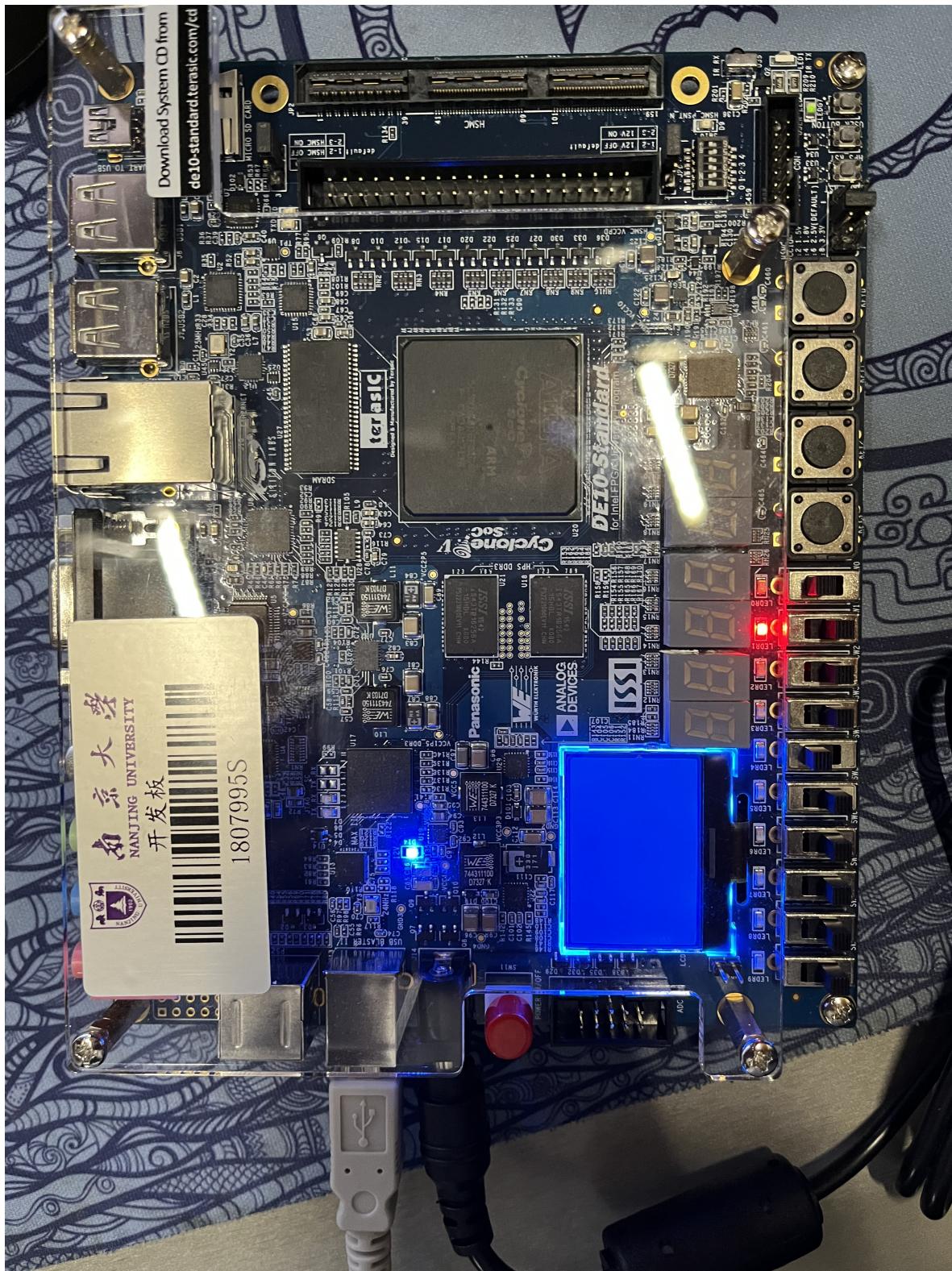
七, 实验结果

软件仿真

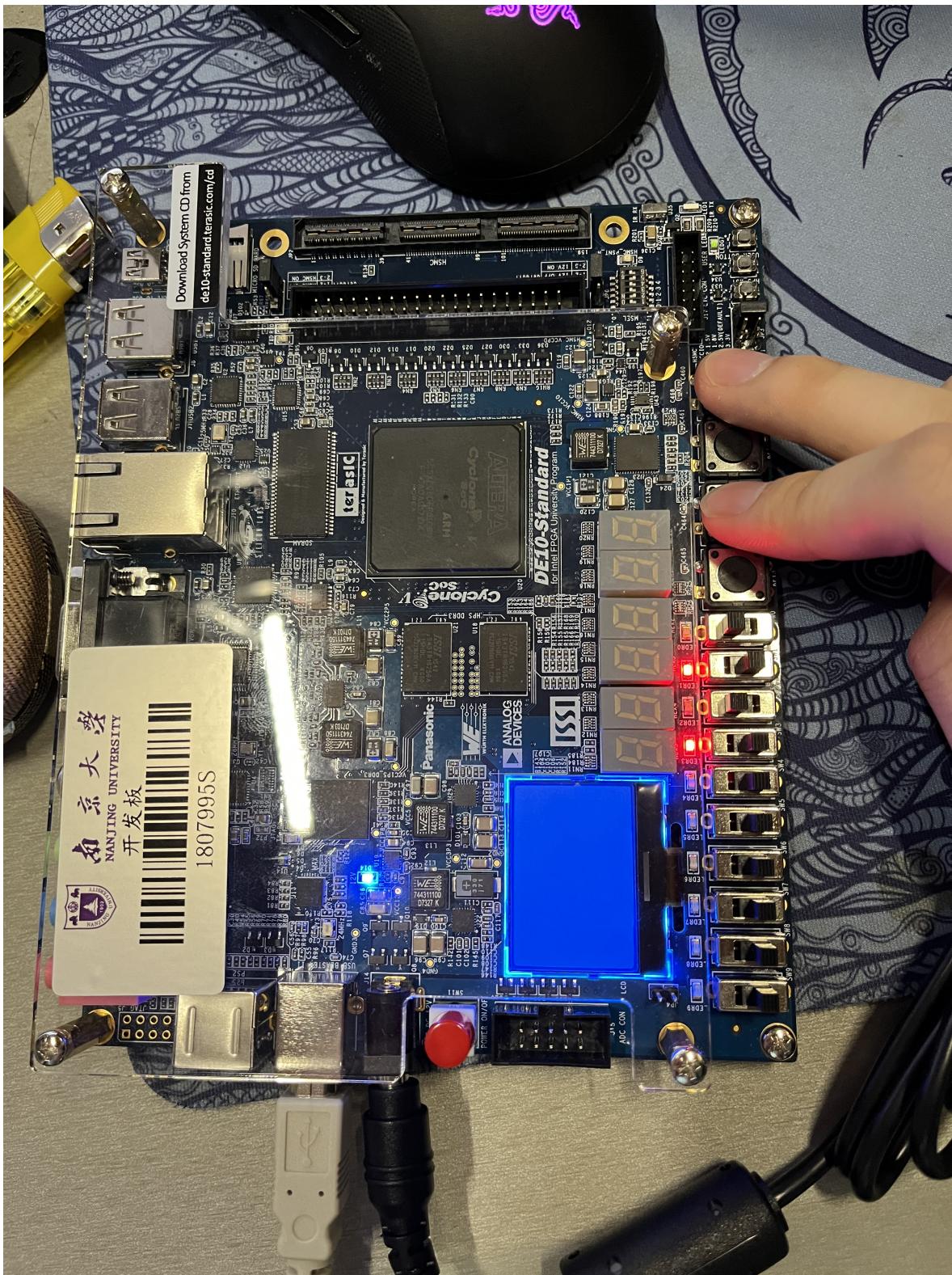


FPGA上板

补码加减



带逻辑运算的ALU(按住button实现控制端)



八. 遇到的问题和解决办法

- 符号位的设置刚开始遇到了很多问题，后来还是决定完整得重新学习了一下ICS中关于加法器的知识。
- 在带逻辑运算的加法器部分，输入不够用，按照手册的建议使用button作为选择端。这样的话，button按下为0，不按为1，所以要实现加法操作的话，需要先同时按下三个button，再拨动开关。
- task的编写遇到了一些困难，上网查阅了资料后，了解到task按声明接受参数，所以只需要在task中，把Verilog的输出，与理论计算的值相比较，输出错误信息。

九. 实验得到的启示

- 测试补码运算的时候，要注意0和边界。
- 先搞懂理论，再上手设计Verilog代码

十. 意见和建议

- 希望手册中关于task的内容可以更加丰富一些。