

重庆大学 数字逻辑 课程试卷

A 卷

B 卷

学年 第 学期

开课学院: 课程号: 考试日期:

考试方式: ☐ 开卷 ☒ 闭卷 ☐ 其他 考试时间: 分钟

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											

一、选择题 (10 分钟, 15 分)

A: $\overline{A+B}$ 1. 已知逻辑函数 $Y = AB + A\overline{B} + \overline{A}B$, 则 Y 的最简与或表达式为 (C)。a. A ; b. $A + \overline{A}B$; c. $A + \overline{B}$; d. $\overline{A+B}$ 2. 七段显示译码器, 当译码器七个输出端状态为 $abcdefg = 0011111$ 时 (高点平有效), 译码器输入状态 (8421BCD 码) 应为 (C); a. 0011; b. 0110;

c. 0101; d. 0100

3. 一个 8 选 1 数据选择器, 其选择控制输入端的个数应是 (b) 个。

a. 2; b. 3; c. 4; d. 8

4. 属于组合逻辑电路的部件是 (B) A. 编码器 B. 寄存器 C. 触发器 D. 计数器

5. Mealy 型时序电路的输出 (C)

A. 仅决定于电路的现态 B. 仅与当前外输入有关
C. 既与现态也与外输入有关 D. 与现态和外输入均无关

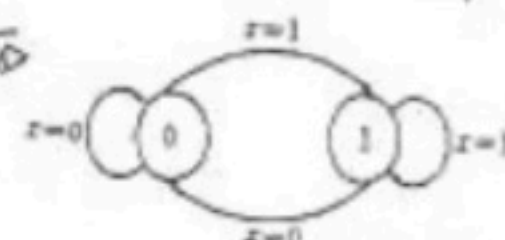
6. 同步时序电路和异步时序电路比较, 其差异在于后者 (B)

A. 没有稳定状态 B. 没有统一的时钟脉冲控制
C. 没有触发器 D. 输出只与内部状态有关

7. JK 触发器 Q 端在 CP 作用下实现 1 转换为 0, 对输入信号 JK 的要求为 (D)

A. 1X B. X0 C. 00 D. X1

8. 下列触发器, 没有约束条件的是 (B)

A. 基本 RS 触发器 B. 同步 RS 触发器 C. 主从 RS 触发器
D. 边沿 JK 触发器9. 八进制 (273)₈ 中, 它的第三位数字 2 的位权为 (B); A. (128)₁₀ B. (64)₁₀C. (256)₁₀ D. (8)₁₀10. 与逻辑函数 $F = \overline{A+B+C+D}$ 功能相等的表达式为 (C)。A. $F = \overline{A+B+C+D}$ B. $F = \overline{A+B+C+D}$ C. $F = \overline{A} \overline{B} \overline{C} \overline{D}$ D. $F = \overline{A} \overline{B} + \overline{C} + \overline{D}$ 

11. 某触发器的状态转换图如图所示, 该触发器应是 ()

A. J-K 触发器 B. R-S 触发器 C. D 触发器 D. T 触发器

12. 对于 VHDL 以下几种说法错误的是 ()

A. VHDL 程序中是区分大小写的。 D. 结构体是描述元件内部的结构和逻辑功能

B. 一个完整的 VHDL 程序总是由库说明部分、实体和结构体等三部分构成

C. VHDL 程序中的实体部分是对元件和外部电路之间的接口进行的描述, 可以看成是定义元件的引脚

13. 当逻辑函数有 n 个变量时, 共有 (D) 个变量取值组合?A. n B. $2n$ C. n^2 D. 2^n 14. 已知 74LS138 译码器的输入三个使能端 ($\overline{E}_1=1, \overline{E}_2=0, \overline{E}_3=0$) 时, 地址 $A_2A_1A_0=011$, 输出 ($Y_0 \sim Y_6$) 是 ()。 A. 11111101 B. 10111111

C. 11111110 D. 11111111

15. 引起组合逻辑电路中竞争与冒险的原因是 (C)

A. 逻辑关系错; B. 干扰信号; C. 电路延时; D. 电源不稳定。

A: $\overline{A+B}$

命题人:

命题人:

命题时间:

教师姓名:

姓名

学号

年级

专业、班

课号

公考竞争、诚实守信、严肃考纪、拒绝作弊

二、是非题 (5 分钟, 15 分)

1. 逻辑变量的取值, 1 比 0 大。(×)
2. 约束项就是逻辑函数中不允许出现的变量取值组合, 用卡诺图化简时, 可将约束项当作 1, 也可当作 0。(√)
3. 只要是电路功能正确, 就不会有竞争-冒险现象。(×)
4. 由逻辑门构成的电路一定是组合逻辑电路。(×)
5. 边沿 JK 触发器输出由 0 变为 1, 其对 J、K 的要求必须分别是 1、0。(×)
6. 真值表、函数式、逻辑图、卡诺图和时序图, 它们各具有特点又相互关联。(√)
7. 有冒险必然存在竞争, 有竞争就一定引起冒险。(×)
8. FPGA 是现场可编程门阵列, 属于低密度可编程器件。(×)
9. 时序电路无记忆功能, 组合逻辑电路有记忆功能。(×)
10. 基本的 RS 触发器是由二个与非门组成。(√)
11. 若两个函数具有不同的逻辑函数式, 则两个逻辑函数必然不相等。(×)
12. 三态门的三种状态分别为: 高电平、低电平、不高不低的电压。(×)
13. 编码与译码是互逆的过程。(√)
14. 同步时序电路具有统一的时钟 CP 控制。(√)
15. 16 位输入的 2 进制编码器, 其输出端有 4 位。(√)

三、填空题 (10 分钟, 20 分)

1. BCD 余 3 码 1000 0101 1001 对应的十进制数 526, 转换成二进制数是 100001110, 表示成 BCD8421 码是 0101 0011 0110。
2. 数字逻辑电路可分为 组合逻辑 和 时序逻辑 两大类。
4. 三态门的三种输出状态是 0、1 和 高阻态。
6. GAL 器件的全称是 通用阵列逻辑, 与 PAL 相比, 它的输出电路是通过编

程设定其输出逻辑单元 的工作模式 来实现的, 而且由于采用了 E²CMOS 的工艺结构, 可以重复编程, 使用更为方便灵活。

7. N 个输入端的 2 进制译码器, 共有 2^N 个输出端。对于每一组输入代码, 有 1 个输出端是有效电平。
8. 给 36 个字符编码, 至少需要 6 位二进制数。
12. 一个 JK 触发器有 2 个稳态, 它可存储 1 位二进制数。
13. 时序逻辑电路在某一时刻的状态不仅取决于 这一时刻 的输入状态, 还与 电路过去的 状态有关。
14. 触发器有 2 个稳态, 存储 8 位二进制信息要 8 个触发器。
15. 有一数码 10010011, 作为自然二进制数时, 它相当于十进制数 147, 作为 8421BCD 码时, 它相当于十进制数 93。

AB \ C	00	01	11	10
0	0	0	1	1
1	0	1	1	1

四、综合题 (20 分钟, 50 分)

$$CB + AB + AC$$

1. 要求用与非门设计一个三人表决用的组合逻辑电路图, 只要有 2 票或 3 票同意, 表决就通过 (要求有真值表等)。

$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC = \overline{A}B + A\overline{B} + AB\overline{C} + ABC$$

$$F = \overline{A}B + A\overline{B} + AB(\overline{C} + C) = \overline{A}B + A\overline{B} + AB$$

$$F = \overline{A}B + A\overline{B} + AB = \overline{A}B + A\overline{B} + AB$$

2. 用卡诺图法求 $F_1(A, B, C, D) = \sum m(0, 2, 4, 7, 8, 10, 12, 13)$ 的最简与或式。

$$F_1 = \overline{B}D + \overline{C}D + AB\overline{C} + \overline{A}BCD$$

所得最简与或式为 $F_1 = \overline{B}D + \overline{C}D + AB\overline{C} + \overline{A}BCD$

AB \ CD	00	01	11	10
00	1	1	1	1
01	0	0	1	0
11	0	1	0	0
10	1	0	0	1

$$\overline{A}B\overline{D}$$

$$\overline{A}B\overline{D}$$

注意：卡诺图左上角的变量分布根据不同的习惯有不同的写法，如另一种写法为 CD/AB，对于这种写法，卡诺图中填 1 的方格也要相应改变为如图所示。

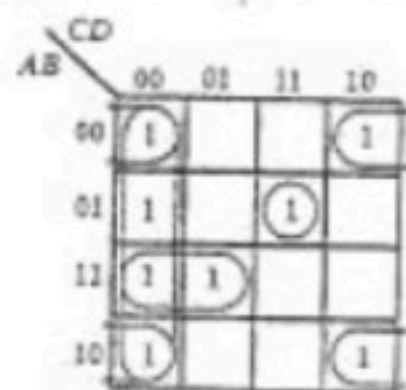


图 1 卡诺图

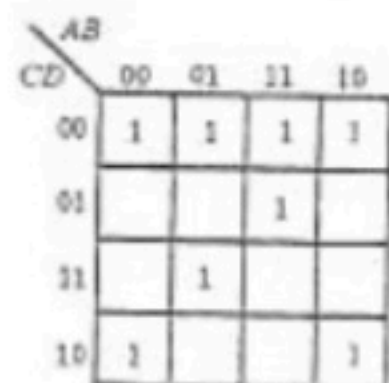


图 2 的另一种卡诺图

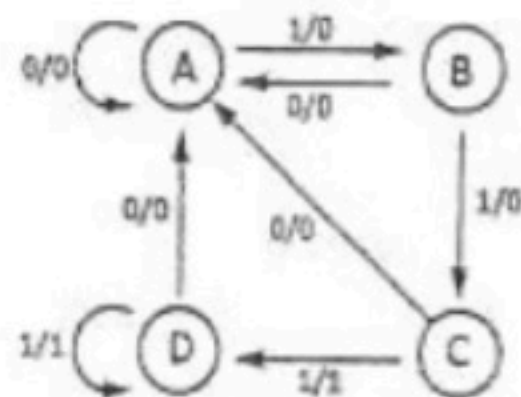
3. 给出可重叠“111”序列检测器的状态转换图和状态表。

1. 画出原始状态图和状态表。

根据要求，设计的序列检测器有一个外部输入 x 和一个外部输出 Z 。输入和输出的逻辑关系为：当外部输入 x 第一个为“1”，外部输出 Z 为“0”；当外部输入 x 第二个为“1”，外部输出 Z 为“0”；当外部输入 x 第三个为“1”，外部输出 Z 才为“1”。假定有一个外部输入 x 序列以及外部输出 Z 为：

输入 x : 0 1 0 1 1 1 0 1 1 1 1 0 1
输出 Z : 0 0 0 0 0 1 0 0 0 1 1 0 0

要判别序列检测器是否连续接收了“111”，电路必须用不同的状态记载外部输入 x 的值。假设电路的初始状态为 A， x 输入第一个“1”，检测器状态由 A 转换到 B，用状态 B 记载检测器接受了 111 序列的第一个“1”，这时外部输出 $Z=0$ ； x 输入第二个“1”，检测器状态由 B 转换到 C，用状态 C 记载检测器接受了 111 序列的第二个“1”，外部输出 $Z=0$ ； x 输入第三个“1”，检测器状态由 C 转换到 D，外部输出 $Z=1$ 。

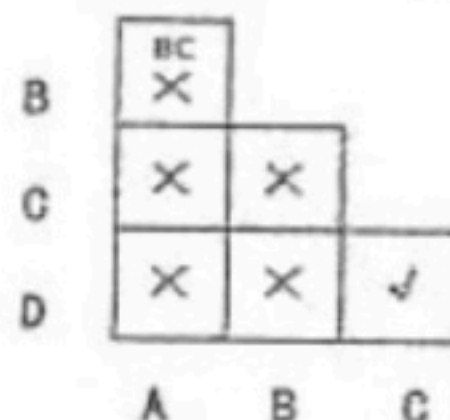


现态	次态/输出	
	$x=0$	$x=1$
A	A/0	B/0
B	A/0	C/0
C	A/0	D/1
D	A/0	D/1

然后再根据外部输入及其他情况时的状态转移，写出相应的输出。以上分析了序列检测器工作，由此可画出图 1 所示的原始状态图，根据原始状态图可列出原始状态表，如表所示。

2. 状态简化。

通过观察 C、D 的次态相同，可以合并



现态	次态/输出	
	$x=0$	$x=1$
A	A/0	B/0
B	A/0	C/0
C	A/0	C/1

4. 用 VHDL 语言设计一个 2-4 译码器。

见教材

5. 分析所示电路，写出 Z_1 、 Z_2 的逻辑表达式，列出真值表，说明电路的逻辑功能。

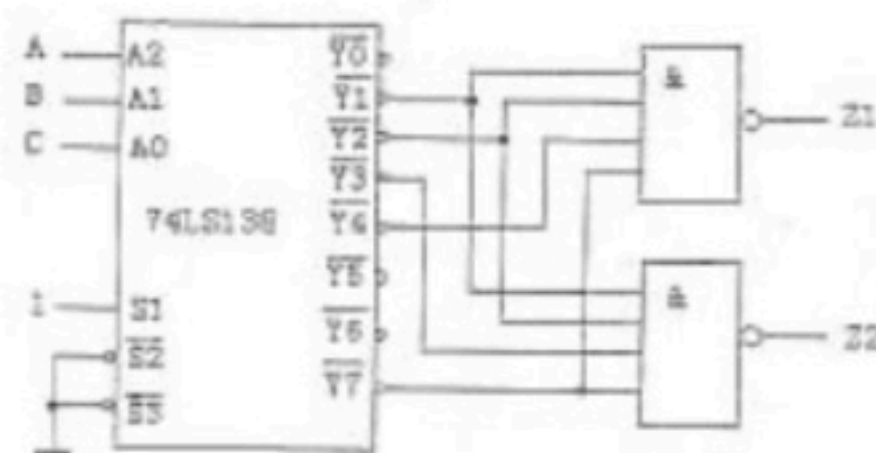


图 5

$$Z_1 = \overline{Y_0} \cdot \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_3} = Y_4 + Y_5 + Y_6 + Y_7$$

$$Z_2 = \overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7} = Y_0 + Y_1 + Y_2 + Y_3$$

重庆大学 数字逻辑 课程试卷

A 卷

B 卷

学年 第 学期

开课学院: 课程号: 考试日期:

考试方式: ☐ 开卷 ☐ 闭卷 ☐ 其他 考试时间: 分钟

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											

一、选择题

1. 已知逻辑函数 $Y=AB+A\bar{B}+\bar{A}\bar{B}$, 则 Y 的最简与或表达式为 ()。a. A_1 b. $A+\bar{A}\bar{B}$ c. $A+\bar{B}$ d. $\bar{A}+B$

2. 如果采用负逻辑分析, 正或门即 ()。

a. 负与门; b. 负或门; c. 或门

3. 七段显示译码器, 当译码器七个输出端状态为 $abcdefg=0011111$ 时 (高点平有效), 译码器输入状态 (8421BCD 码) 应为 ()。

a. 0011; b. 0110; c. 0101; d. 0100

4. 一个 8 选 1 数据选择器, 其选择控制输入端的个数应是 () 个。

a. 2; b. 3; c. 4; d. 8

5. 属于组合逻辑电路的部件是 ()

A. 编码器 B. 寄存器 C. 触发器 D. 计数器

6. 下面逻辑式中, 不正确的是 ()。

A. $\overline{A \oplus B} = AB + \bar{A}\bar{B}$ B. $A+BC = (A+B)(A+C)$ C. $\overline{ABC} = \overline{A} \overline{B} \overline{C}$ D. $\overline{A+B+C} = \overline{A} \overline{B} \overline{C}$

8. Mealy 型时序电路的输出 ()

A. 仅决定于电路的现态 B. 仅与当前外输入有关
C. 既与现态也与外输入有关 D. 与现态和外输入均无关

9. 同步时序电路和异步时序电路比较, 其差异在于后者 ()

A. 没有稳定状态 B. 没有统一的时钟脉冲控制
C. 没有触发器 D. 输出只与内部状态有关

10. JK 触发器 Q 端在 CP 作用下实现 1 转换为 0, 对输入信号 JK 的要求为 ()

A. 1X B. X0 C. 00 D. X1

11. 下列触发器, 没有约束条件的是 ()

A. 基本 RS 触发器 B. 同步 RS 触发器
C. 主从 RS 触发器 D. 边沿 JK 触发器12. 八进制 (273)₈ 中, 它的第三位数 2 的位权为 B。A. (128)₁₀ B. (64)₁₀ C. (256)₁₀ D. (8)₁₀13. 已知逻辑表达式 $F=AB+\bar{A}C+\bar{B}C$, 与它功能相等的函数表达式 B。A. $F=AB$ B. $F=AB+C$ C. $F=AB+\bar{A}C$ D. $F=AB+\bar{B}C$ 14. 连续异或 1985 个 1 的结果是 B。

A. 0 B. 1 C. 不确定 D. 逻辑概念错误

15. 与逻辑函数 $F=\overline{A+B+C+D}$ 功能相等的表达式为 C。A. $F=\bar{A}+\bar{B}+\bar{C}+\bar{D}$ B. $F=\overline{A+B+C+D}$ C. $F=\bar{A}\bar{B}\bar{C}\bar{D}$ D. $F=\overline{A}\bar{B}+\bar{C}+\bar{D}$

命题人:

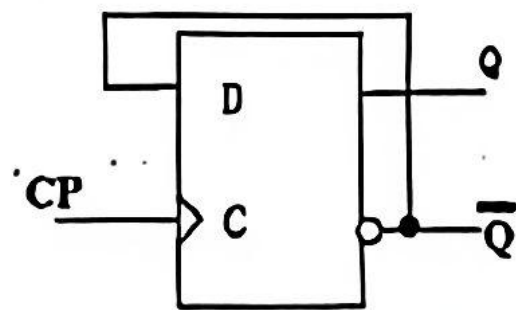
命题人:

命题人:

命题时间:

做务处制

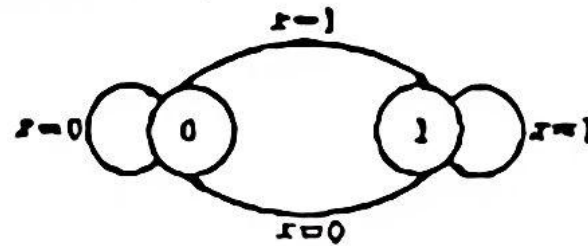
16. 如图所示电路, 若输入 CP 脉冲的频率为 100KHz, 则输出 Q 的频率为 D。



- A. 500KHz B. 200KHz
C. 100KHz D. 50KHz

17. 某触发器的状态转换图如图所示, 该触发器应是(C)

- A. J-K 触发器
B. R-S 触发器
C. D 触发器
D. T 触发器

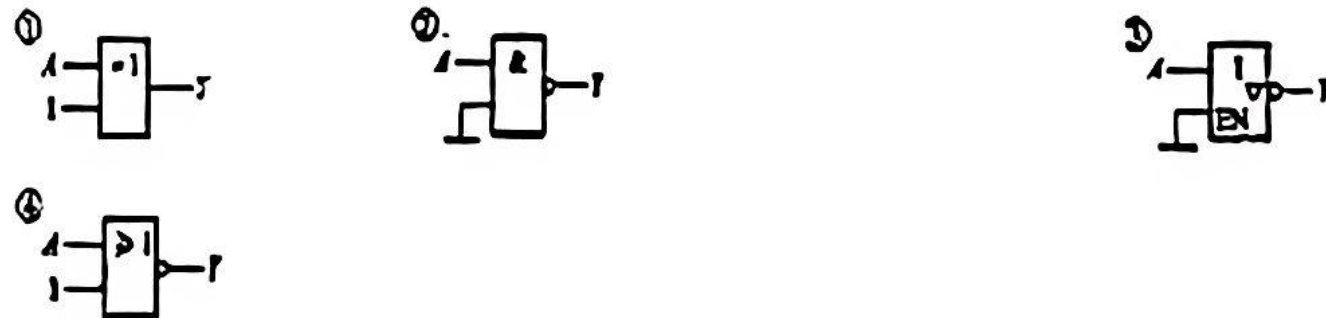


18. 对于 VHDL 以下几种说法错误的是(A)

- A. VHDL 程序中是区分大小写的。
B. 一个完整的 VHDL 程序总是由库说明部分、实体和结构体等三部分构成
C. VHDL 程序中的实体部分是对元件和外电路之间的接口进行的描述, 可以看成是定义元件的引脚
D. 结构体是描述元件内部的结构和逻辑功能

19. 在下图所示电路中, 使 $Y = \bar{A}$ 的电路是 (A)。

- A. ① B. ② C. ③ D. ④



20. 在某些情况下, 使组合逻辑电路产生了竞争与冒险, 这是由于信号的 (A)

- A. 延迟 B. 超前 C. 突变 D. 放大

21. 十进制数 25 用 8421BCD 码表示为_____。

- A. 11001 B. 0010 0101 C. 100101 D. 10001

22. 当逻辑函数有 n 个变量时, 共有 D 个变量取值组合?

- A. n B. 2n C. n^2 D. 2^n

23. 在何种输入情况下, “与非”运算的结果是逻辑 0. D

- A. 全部输入是 0 B. 任一输入是 0 C. 仅一输入是 0 D. 全部输入是 1

24. 二值输入与非门当输入变化为(A)时, 输出可能有竞争冒险。

- A. 01→10 B. 00→10 C. 10→11 D. 11→01

25. 已知 74LS138 译码器的输入三个使能端 ($E_1=1$, $E_{2A}=\bar{E}_{2B}=0$) 时, 地址码 $A_2A_1A_0=011$, 则输出 $Y_1 \sim Y_0$ 是(C)。

- A. 1111101 B. 1011111 C. 1111011 D. 1111111

26. 引起组合逻辑电路中竞争与冒险的原因是 (C)

- A. 逻辑关系错; B. 干扰信号; C. 电路延时; D. 电源不稳定。

27. 同步计数器和异步计数器比较, 同步计数器的最显著优点是 (A)

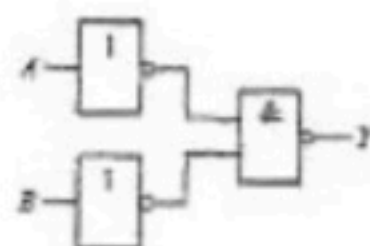
- A. 工作速度快 B. 触发器利用率高
C. 电路简单 D. 不受时钟 CP 控制

28. 计算机键盘上有 101 个键, 若用二进制代码进行编码, 至少应为 () 位。

- A. 6 B. 7 C. 8 D. 51

二、是非题

1. 逻辑变量的取值, 1 比 0 大。(×)
2. 因为逻辑表达式 $A+B+AB=A+B$ 成立, 所以 $AB=0$ 成立。(×)
3. 约束项就是逻辑函数中不允许出现的变量取值组合, 用卡诺图化简时, 可将约束项当作 1, 也可当作 0。(√)
4. 只要是电路功能正确, 就不会有竞争-冒险现象。(×)
5. 移位寄存不具有串并行转换的功能。(×)
6. 由逻辑门构成的电路一定是组合逻辑电路。(×)
7. 边沿 JK 触发器输出由 0 变为 1, 其对 J、K 的要求必须分别是 1、0。(×)
8. 真值表、函数式、逻辑图、卡诺图和时序图, 它们各具有特点又相互关联。(√)
9. 有冒险必然存在竞争, 有竞争就一定引起冒险。(×)
10. 时序逻辑电路的特点是: 电路任一时刻的输出状态与同一时刻的输入信号有关, 与原有状态没有任何的联系。(×)
11. FPGA 是现场可编程门阵列, 属于低密度可编程器件。(×)
12. 时序电路无记忆功能, 组合逻辑电路有记忆功能。(×)
13. 在普通编码器中, 任何时刻都只允许输入二个编码信号, 否则输出将发生混乱。(×)
14. 基本的 RS 触发器是由二个与非门组成。(√)
15. 逻辑电路如下图所示, 只有当 $A=0, B=0$ 时 $Y=0$ 才成立。(√)



16. 若两个函数具有不同的逻辑函数式, 则两个逻辑函数必然不相等。(×)
17. 三态门的三种状态分别为: 高电平、低电平、不高不低的电压。(×)
18. D 触发器的特性方程为 $Q^{n+1}=D$, 与 Q^n 无关, 所以它没有记忆功能。(×)
19. 编码与译码是互逆的过程。(√)
20. 同步时序电路具有统一的时钟 CP 控制。(√)

21. 时序逻辑电路在某一时刻的输出状态与该时刻之前的输入信号无关。(×)
22. 用数据选择器可实现时序逻辑电路。(×)
23. 16 位输入的二进制编码器, 其输出端有 4 位。(√)
24. 时序电路不含有记忆功能的器件。(×)

三、填空题

1. BCD 余 3 码 1000 0101 1001 对应的十进制数_____, 转换成二进制数是_____, 表示成 BCD8421 码是_____。
2. 数字逻辑电路可分为_____和_____两大类。
3. 一个逻辑函数, 如果有 n 个变量, 则有_____个最大项, 两个不同最大项之和为_____。
4. 三态门的三种输出状态是 0、1 和_____。
5. 将 2004 个“1”异或起来得到的结果是 (0)。
6. GAL 器件的全称是通用阵列逻辑, 与 PAL 相比, 它的输出电路是通过编程设定其 E²CMOS 的工作模式来实现的, 而且由于采用了输出逻辑宏单元的工艺结构, 可以重复编程, 使用更为方便灵活。
7. N 个输入端的二进制译码器, 共有 2^N 个输出端, 对于每一组输入代码, 有 1 个输出端是有效电平。
8. 给 36 个字符编码, 至少需要 6 位二进制数。
9. 存储 12 位二进制信息需要 12 个触发器。
10. 按逻辑功能分类, 触发器可分为 RS、D、JK、T 等四种类型。
11. 对于 D 触发器, 若现态 $Q^n=0$, 要使次态 $Q^{n+1}=0$, 则输入 $D=$ 0。
12. 一个 JK 触发器有 2 个稳态, 它可存储 1 位二进制数。

13. N 个触发器组成的计数器最多可以组成 2^N 进制的计数器。
14. 基本 RS 触发器的约束条件是 $RS=0$ 。
15. 对于 JK 触发器, 若 $J = K$, 则可完成 T 触发器的逻辑功能; 若 $J = \bar{K}$, 则可完成 D 触发器的逻辑功能。
16. 时序逻辑电路在某一时刻的状态不仅取决于 这一时刻 的输入状态, 还与电路 过去 的状态有关。
17. 触发器有 2 个稳态, 存储 8 位二进制信息要 8 个触发器。
1. 有一数码 10010011, 作为自然二进制数时, 它相当于十进制数 (147), 作为 8421BCD 码时, 它相当于十进制数 (93)。

四. 综合题

1. 要求用与非门设计一个三人表决用的组合逻辑电路图, 只要有 2 票或 3 票同意, 表决就通过 (要求有真值表等)。

2. 求 $F = AC + \overline{ABC} + \overline{BC} + ABC$ 的最简与或式。

解: 这种类型的题目, 一般首先对是非号下的表达式化简, 然后对整个表达式化简。

$$F = AC + \overline{ABC} + \overline{BC} + ABC = AC + BC + \overline{BC} = AC + C = C$$

$$\text{故: } F = \overline{F} + ABC = \overline{C} + ABC = \overline{C}$$

3. 用卡诺图法求 $F_1(A, B, C, D) = \sum m(0, 2, 4, 7, 8, 10, 12, 13)$ 的最简与或式。

解: F_1 的卡诺图及卡诺圈画法如图 1.1 所示

所得最简与或式为 $F_1 = \overline{BD} + \overline{CD} + ABC + \overline{ABCD}$

注意: 卡诺图左上角的变量分布根据不同的习惯有不同的写法, 如另一种写法为 CD/AB, 对于这种写法, 卡诺图中填 1 的方格也要相应改变为如图 1.2 所示。

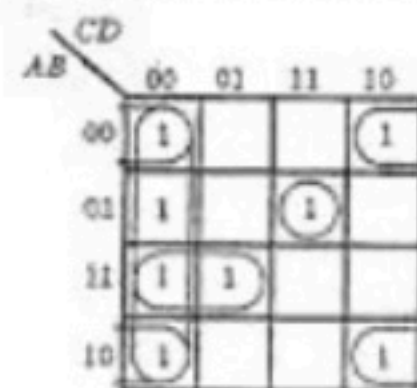


图 1.1 F_1 的卡诺图

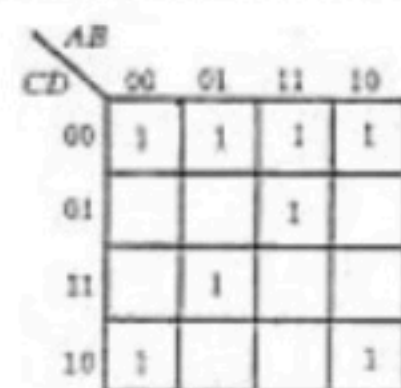


图 1.2 F_1 的另一种卡诺图

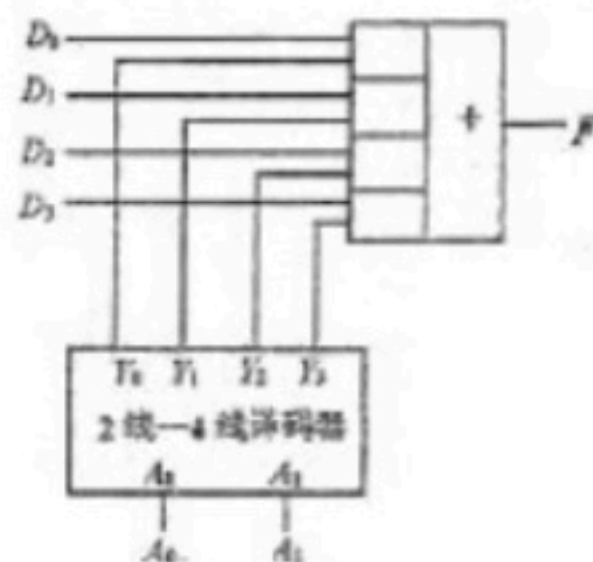
4. 分析下图电路, 2 线—4 线译码器的功能表达式见式。

(1) 写出输出 F 的表达式:

(2) 填表:

(3) 说明图电路的功能。

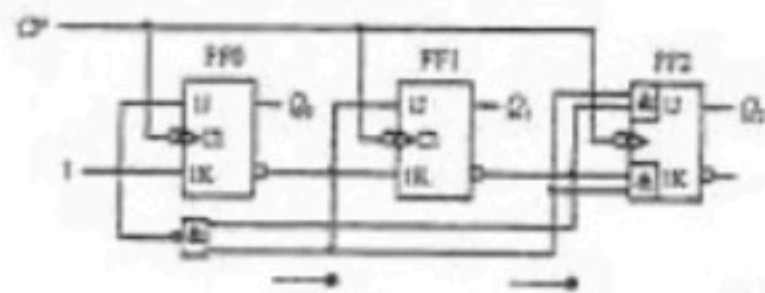
$$Y_0 = \overline{A_1} \overline{A_0}, \quad Y_1 = \overline{A_1} A_0, \quad Y_2 = A_1 \overline{A_0}, \quad Y_3 = A_1 A_0$$



图

表		
A_1	A_0	F
0	0	
0	1	
1	0	
1	1	

5、分析图所示电路的逻辑功能，检查电路能否自启动。



逻辑电路图

$$K_0 = 1$$

$$K_1 = \overline{Q_0}$$

$$K_2 = \overline{Q_1} \cdot \overline{Q_0}$$

状态方程：

$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \cdot \overline{Q_1^n} \cdot \overline{Q_2^n} = \overline{Q_1^n} \cdot \overline{Q_2^n} \\ Q_1^{n+1} = \overline{Q_1^n} \cdot \overline{Q_0^n} + Q_1^n \cdot Q_0^n \\ Q_2^{n+1} = \overline{Q_2^n} \cdot \overline{Q_1^n} \cdot \overline{Q_0^n} + \overline{Q_1^n} \cdot \overline{Q_0^n} \cdot Q_2^n = \overline{Q_2^n} \cdot \overline{Q_1^n} \cdot \overline{Q_0^n} + (Q_1^n + Q_0^n) Q_2^n \end{cases}$$

(1) 状态转换表

状态转换真值表

CP	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
1	0	0	0	1	0	0
2	1	0	0	0	1	0
3	0	1	0	0	0	1
4	0	0	1	0	0	0
1	1	1	1	1	1	0
2	1	1	0	1	0	1
3	1	0	1	1	0	0
4	0	1	1	0	1	0

解：(1) 方程式

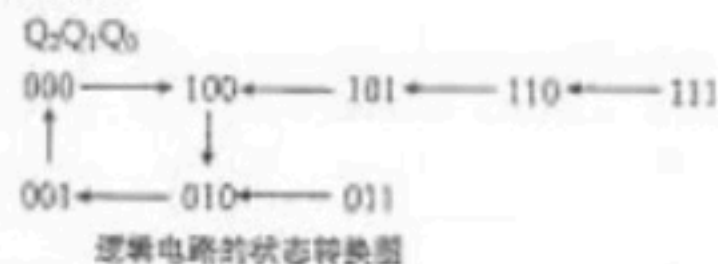
时钟方程：

$$CP_0 = CP_1 = CP_2 = CP$$

驱动方程：

$$\begin{cases} J_0 = \overline{Q_1^n} \cdot \overline{Q_2^n} \\ J_1 = \overline{Q_0^n} \\ J_2 = \overline{Q_1^n} \cdot \overline{Q_0^n} \end{cases}$$

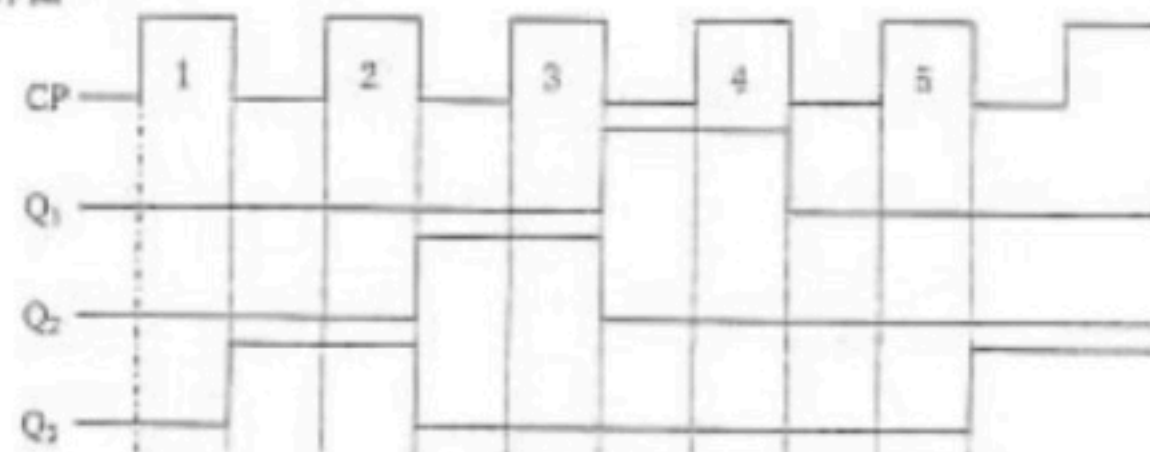
(3) 画出状态转换图



逻辑电路的状态转换图

(4) 检查自启动。经查，电路有 111、110、101、011 四个无效状态如图所示，电路能够启动。

(5) 时序图



逻辑电路的时序图

(6) 功能说明：逻辑电路是一个同步四进制计数器。

6、分析所示电路，写出 Z1、Z2 的逻辑表达式，列出真值表，说明电路的逻辑功能。

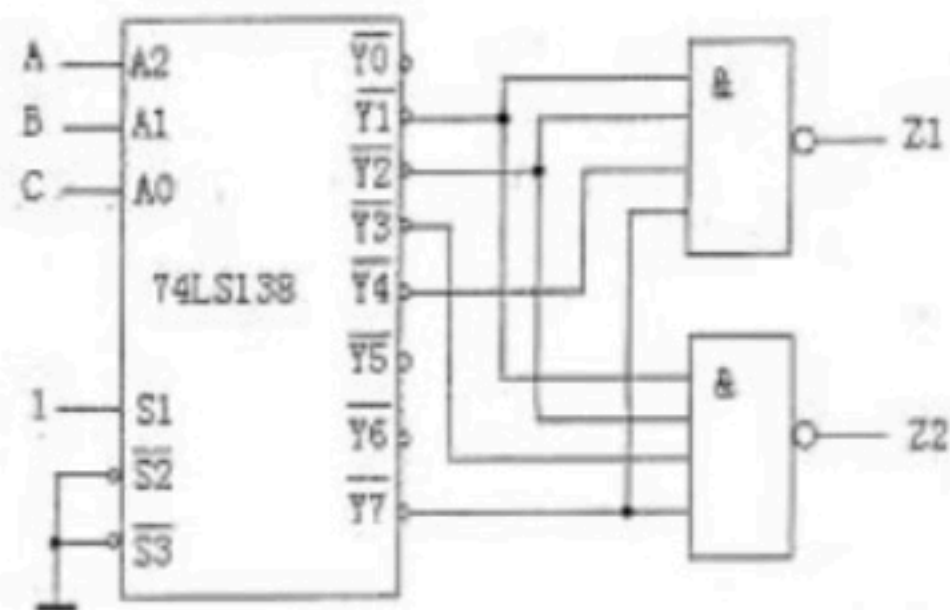
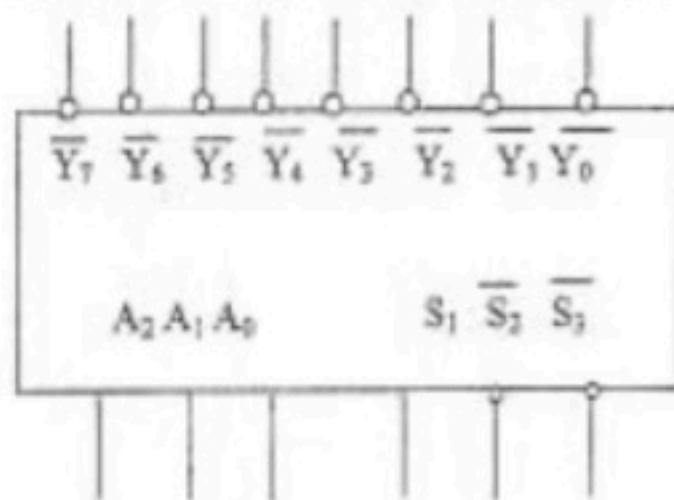
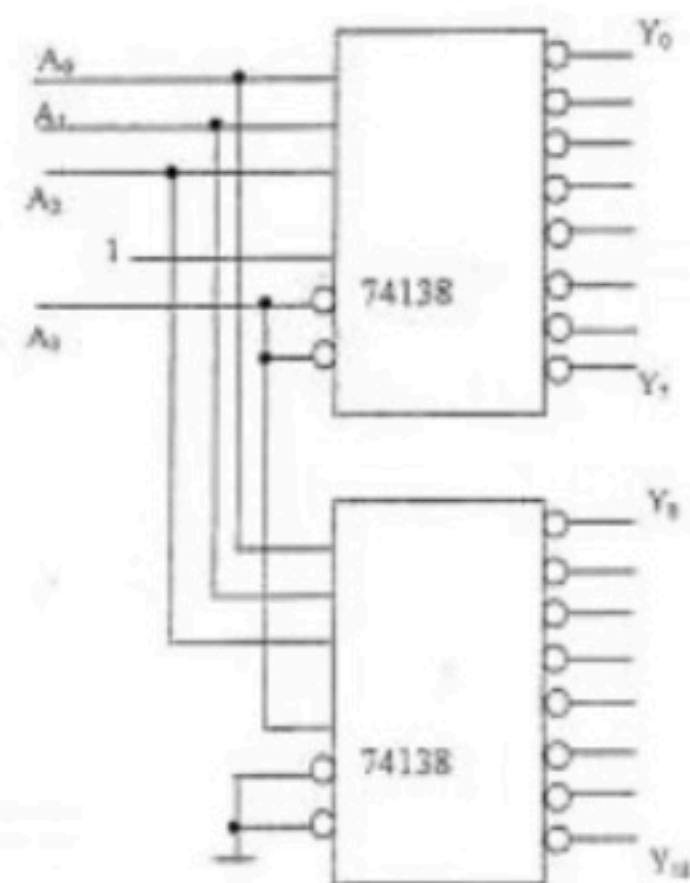


图 5

7、3-8 译码器 74LS138 逻辑符号如图所示， S_1 、 $\overline{S_2}$ 、 $\overline{S_3}$ 为使能控制端。试用两片 74LS138 构成一个 4-16 译码器。要求画出连接图说明设计方案。



解：



8、“111”序列检测器。

第 1 步，画出原始状态图和状态表。

根据要求，设计的序列检测器有一个外部输入 x 和一个外部输出 Z 。输入和输出的逻辑关系为：当外部输入 x 第一个为“1”，外部输出 Z 为“0”；当外部输入 x 第二个为“1”，外部输出 Z 为“0”；当外部输入 x 第三个为“1”，外部输出 Z 才为“1”。假定有一个外部输入 x 序列以及外部输出 Z 为：

输入 x :	0	1	0	1	1	1	0	1	1	1	1	0	1
输出 Z :	0	0	0	0	0	1	0	0	0	1	1	0	0

要判别序列检测器是否连续接收了“111”，电路必须用不同的状态记载外部输入 x 的值。假设电路的初始状态为 A ， x 输入第一个“1”，检测器状态由 A 转换到 B ，用状态 B