

4 选 1 多路选择器设计

实验目的

- (1) 学会设计 1 位和 3 位 4 选 1 多路选择器，掌握 4 选 1 多路选择器的功能。
- (2) 学会调用 IP 核的方法和通过 Block Design 设计电路的方法。
- (3) 熟练掌握 Vivado 开发流程，包括使用 Block Design 和 verilog HDL 语言设计、行为仿真、时序仿真、RTL 分析、综合、实现、分配管脚、生成 bit 文件及下载开发板等过程。

实验内容

- 1) 分别使用 Block Design 设计方法和添加源代码的方法设计一个 1 位 4 选 1 多路选择器，并通过仿真、看 RTL 电路图、下载到开发板验证其正确性。比较使用不同方法实现相同电路的异同，包括逻辑资源、RTL 电路图、仿真波形等方面。
- 2) 使用 Verilog HDL 语言的行为描述方法设计一个 3 位数据的 4 选 1 多路选择器 mux4x3，通过仿真、看 RTL 电路图、下载到开发板验证其正确性。
- 3) 3 位输出 out 分别接 LD2~LD0，四个 3 位的数据输入 in1, in2, in3, in4 分别接 SW2~SW0, SW5~SW3, SW8~SW6, SW11~SW9, 两位选择位分别接 SW15, SW14。LD2~LD0 的取值如下表：

| SW15 | SW14 | LD2~LD0 |
|------|------|----------|
| 0 | 0 | SW2~SW0 |
| 0 | 1 | SW5~SW3 |
| 1 | 0 | SW8~SW6 |
| 1 | 1 | SW11~SW9 |

实验步骤

- 1) 列出 4 选 1 选择器的逻辑表达式，画出电路原理图。

- 2) 参考“实验二 2 选 1 多路选择器——IP 核的封装与调用”指导书，在 Vivado 中新建项目，用 Block Design 设计方法完成 1 位 4 选 1 多路选择器的设计，并进行行为仿真、时序仿真、查看 RTL 分析、综合、实现、分配管脚、生成 bit 文件及下载开发板验证其正确的。
- 3) 参考“实验二 2 选 1 多路选择器——IP 核的封装与调用”指导书，在 Vivado 中新建项目，添加设计文件（源代码编写），实现 1 位 4 选 1 多路选择器，并进行行为仿真、时序仿真、查看 RTL 分析、综合、实现、分配管脚、生成 bit 文件及下载开发板验证其正确的。
- 4) 比较步骤 1) 和 2) 中设计实现的 1 位 4 选 1 多路选择器的异同，包括查看 RTL 电路图、功能仿真波形图、时序仿真波形图、逻辑资源使用情况等方面。
- 5) 参考“实验二 2 选 1 多路选择器——IP 核的封装与调用”指导书，在 Vivado 中新建项目，使用 Verilog HDL 语言的行为描述方法设计一个 3 位数据的 4 选 1 多路选择器 mux4x3。3 位输出 out 分别接 LD2~LD0，四个 3 位的数据输入 in1、in2、in3、in4 分别接 SW2~SW0、SW5~SW3、SW8~SW6、SW11~SW9，两位选择位分别接 SW15、SW14。通过仿真、看 RTL 电路图、下载到开发板验证其正确性。