

数字钟设计

实验目的

- (1) 理解多进制计时器和 7 段数码管显示的工作原理。
- (2) 掌握多个 7 段数码管分时复用显示原理及应用。
- (3) 掌握时钟分频原理，学会设计实现 1HZ 的时钟。
- (4) 充分理解和掌握数字钟的工作原理，学会设计自己的数字钟。

实验内容

实现一个六十进制数字时钟，秒到 60 则归零重加，同时让分加 1，分加到 60 归零重加，并让小时加 1，小时加到 24 归零重加。

实验原理

数码管显示可查看文档“七段数码管显示原理 basys3”。

实验步骤

- 1) 学习指导书“七段数码管显示原理 basys3”，掌握 FPGA 开发板上的 7 段数码管的显示原理及数码管分时复用显示原理。
- 2) 在 Vivado 中新建项目，通过时钟分频，设计实现 1HZ 的时钟，设计实现六十进制计数器、二十四进制计数器。
- 3) 编写顶层模块，调用六十进制计数器作为“秒”，再次调用六十进制作为“分”，调用二十四进制计数器作为“时”，调用 1HZ 的时钟，实现一个六十进制数字时钟。秒到 60 则归零重加，同时让分加 1，分加到 60 归零重加，并让小时加 1，小时加到 24 归零重加。并进行仿真验证。
- 4) 设计实现十进制数 7 段数码管显示模块。
- 5) 再在顶层模块组合数字钟和显示模块，将数字钟显示到 7 段数码管上。
- 6) 下载到开发板进行验证。数码管 1,0 显示秒值，数码管 2,3 显示分值，数码管 4,5 显示小时（数码管不够时，可以十六进制形式显示在 led 灯 上）。