

```

module andgate
#(parameter WIDTH=8)           // 指定数据宽度参数，缺省值是8
(
    input [(WIDTH-1):0] a,      // 出具位数由参数WIDTH决定
    input [(WIDTH-1):0] b,
    output [(WIDTH-1):0] c
);

    assign c = a & b;          // 2输入与门
endmodule

```

2、编写仿真文件，并进行仿真。

a) 仿真 32 位的 2 输入与门 (andgate_sim.v)，情况如下：

```

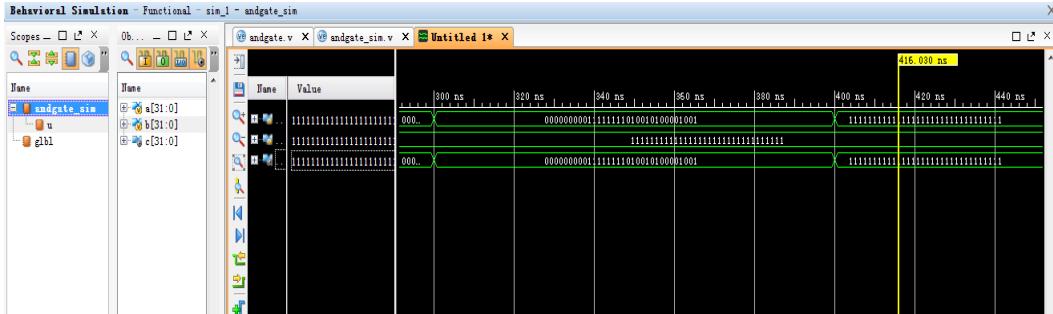
module andgate_sim(
);

// input
reg [31:0] a=32'h00000000;
reg [31:0] b=32'h00000000;

//output
wire [31:0] c;
andgate #(32) u(a, b, c); // 实例化与门的时候，设定宽度为32

initial begin
#100 a=32'hffffffff;
#100 begin a=32'h00000000;b=32'hffffffff;end
#100 a = 32'h007fa509;
#100 a=32'hffffffff;
end
endmodule

```



b) 仿真 1 位的 2 输入与门 (andgate_sim2.v)，情况如下：

```

module andgate_sim2();
// input
reg a=0;
reg b=0;
//output
wire c;
andgate #(1) u(a, b, c); // 实例化与门的时候，设定宽度为1
initial begin
#100 a=1;
#100 begin a=0;b=1;end
#100 a=1;
end
endmodule

```