



计算机硬件系统设计



谭志虎



华中科技大学
计算机科学与技术学院
School of Computer Science & Technology, HUST

单周期MIPS CPU设计

实验目的

- 掌握硬布线控制器设计的基本原理
- 能利用相关原理在Logisim平台中设计实现MIPS单周期CPU

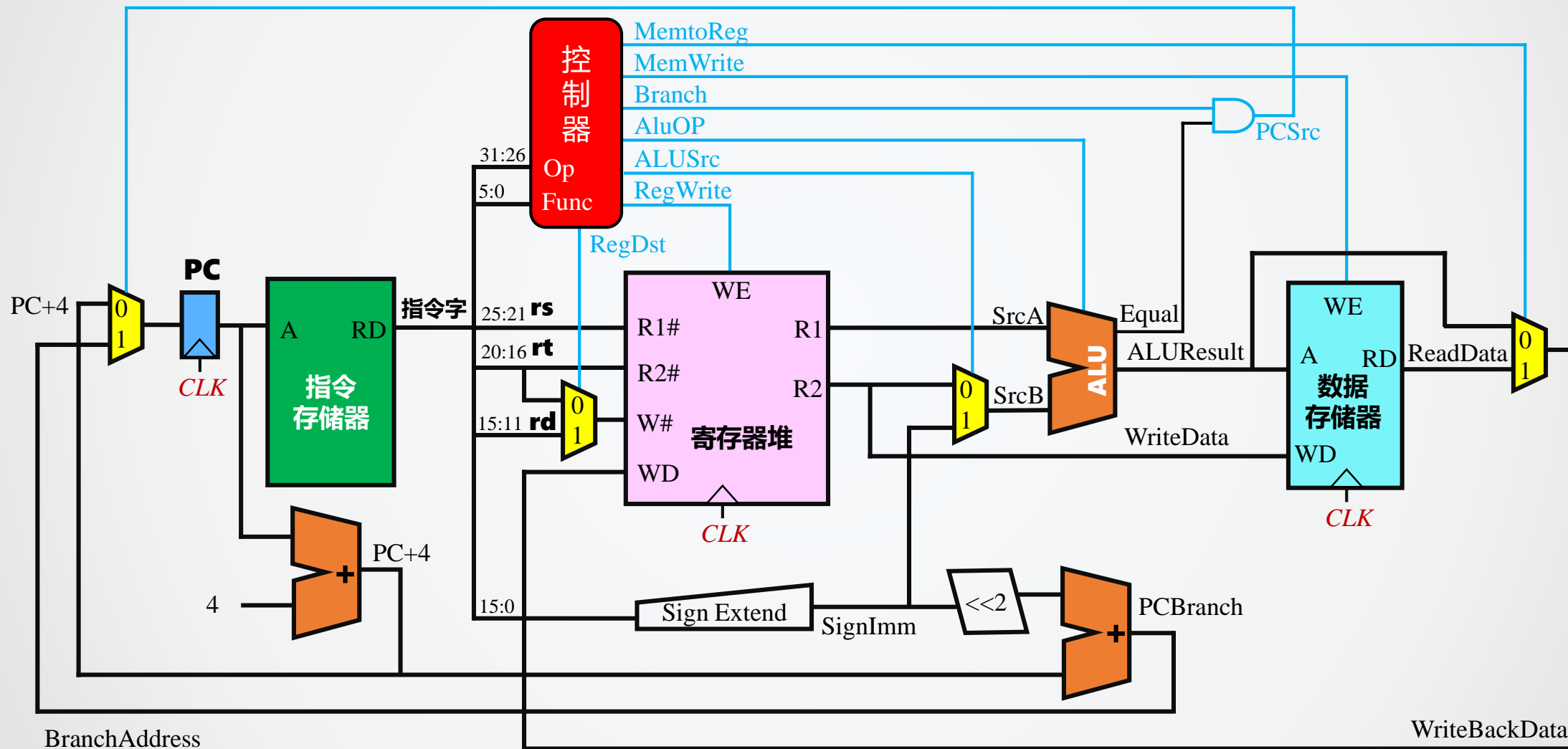
■ 主要任务

- 绘制MIPS CPU数据通路
- 实现单周期硬布线控制器
- 测试联调

核心指令集（可实现内存区域冒泡排序）

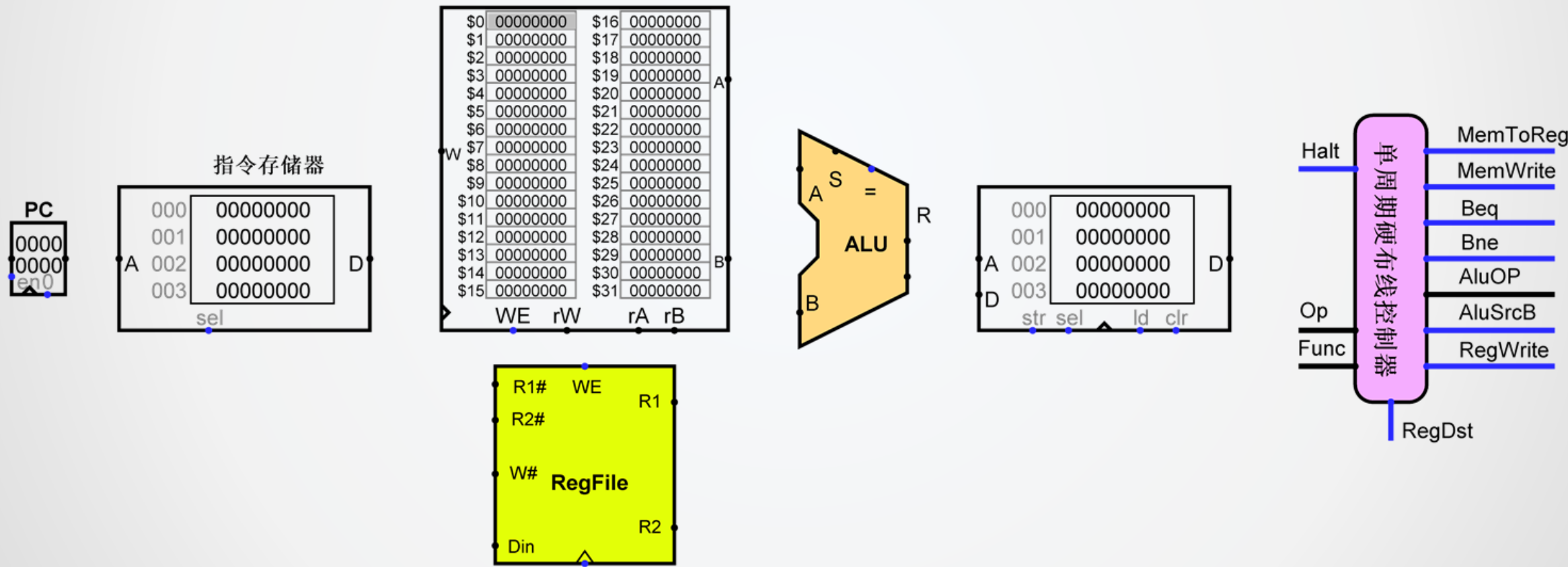
#	MIPS指令	RTL功能描述
1	add \$rd,\$rs,\$rt	$R[\$rd] \leftarrow R[\$rs] + R[\$rt]$ 溢出时产生异常，且不修改 $R[\$rd]$
2	slt \$rd,\$rs,\$rt	$R[\$rd] \leftarrow R[\$rs] < R[\$rt]$ 小于置1，有符号比较
3	addi \$rt,\$rs,imm	$R[\$rt] \leftarrow R[\$rs] + \text{SignExt}_{16b}(\text{imm})$ 溢出产生异常
4	lw \$rt,imm(\$rs)	$R[\$rt] \leftarrow \text{Mem}_{4B}(R[\$rs] + \text{SignExt}_{16b}(\text{imm}))$
5	sw \$rt,imm(\$rs)	$\text{Mem}_{4B}(R[\$rs] + \text{SignExt}_{16b}(\text{imm})) \leftarrow R[\$rt]$
6	beq \$rs,\$rt,imm	if($R[\$rs] = R[\$rt]$) $PC \leftarrow PC + \text{SignExt}_{18b}(\{\text{imm}, 00\})$
7	bne \$rs,\$rt,imm	if($R[\$rs] \neq R[\$rt]$) $PC \leftarrow PC + \text{SignExt}_{18b}(\{\text{imm}, 00\})$
8	syscall	系统调用，这里用于停机

单周期MIPS参考数据通路



步骤1：构建MIPS主机通路

- 在MIPS单周期CPU子电路中，利用如下组件构建MIPS 单周期CPU数据通路
 - PC、IMEM、RegFile、ALU、DMEM、Controller



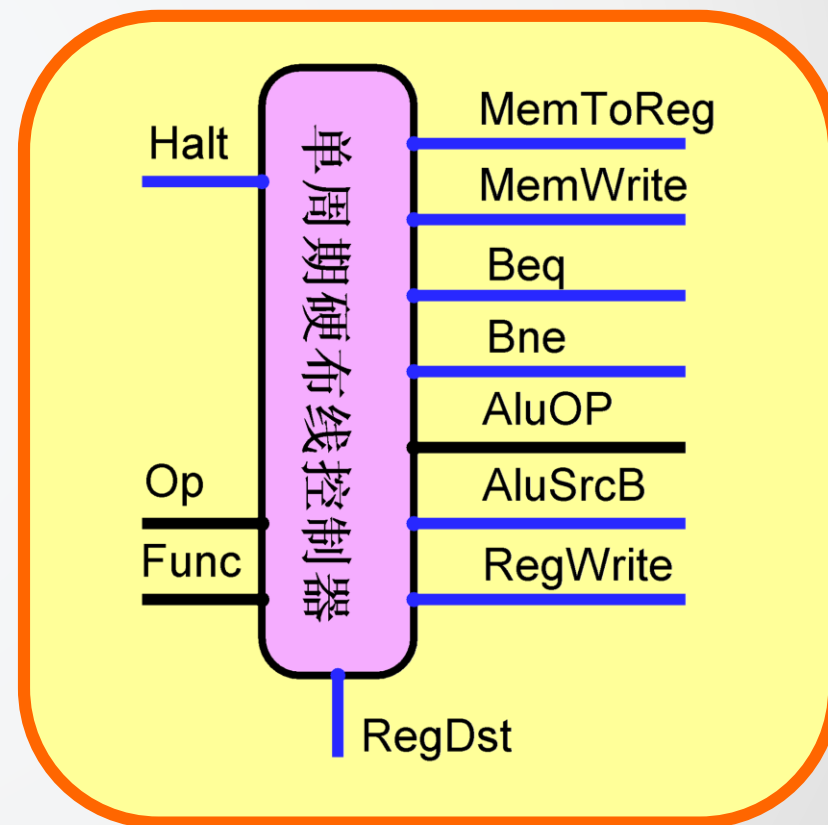
步骤2：设计单周期MIPS控制器

■ 输入信号

- 指令字Opcode, Func字段 (12位)

■ 输出信号

- 多路选择器选择信号
- 内存访问控制信号
- 寄存器写使能信号
- 运算器控制信号、指令译码信号
- 纯组合逻辑电路、无时序逻辑

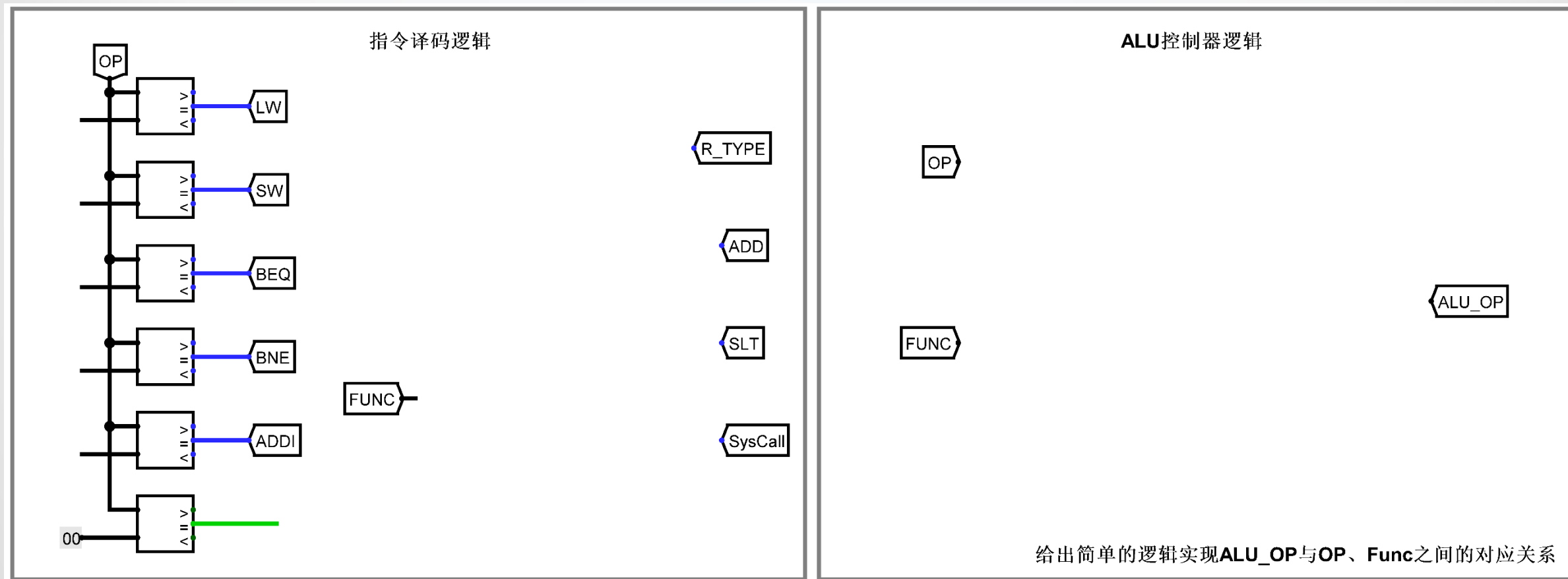


控制信号功能说明（8条核心指令集）

#	控制信号	信号说明	产生条件
1	MemToReg	写入寄存器的数据来自存储器	lw指令
2	MemWrite	写内存控制信号	sw指令 未单独设置MemRead信号
3	Beq	Beq指令译码信号	Beq指令
4	Bne	Bne指令译码信号	Bne指令
5	AluOP	运算器操作控制符	加法，比较两种运算
6	AluSrcB	运算器第二输入选择	Lw指令，sw指令，addi
7	RegWrite	寄存器写使能控制信号	寄存器写回信号
8	RegDst	写入寄存器选择控制信号	R型指令
9	Halt	停机信号，取反后控制PC使能端	syscall指令

完善硬布线控制器内部逻辑

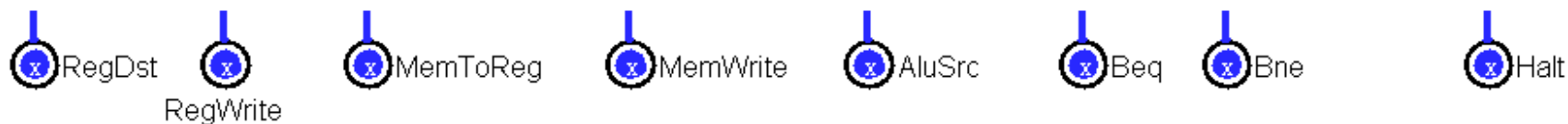
- 打开 CPU.circ 打开单周期硬布线控制器电路
- 实现 指令译码、ALU控制 逻辑



完善控制信号逻辑

- 增加简单的组合逻辑
- 根据给出的指令译码信号，实现所有控制信号逻辑

指令译码信号



步骤3: CPU测试

- 在指令存储器中载入排序程序 `sort.hex`
- 时钟自动仿真, Windows: `Ctrl+k` Mac: `command+k` 运行程序
- 程序停机后, 查看数据存储器中排序情况, 有符号降序排列

000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
010	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
020	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
030	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
040	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
050	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
060	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
070	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
080	00000006	00000005	00000004	00000003	00000002	00000001	00000000	ffffffff



计算机硬件系统设计



谭志虎



下节课再见...

stan@hust.edu.cn

