**齐鲁工业大学实验报告** 成绩

课程名称 计算机组成原理 指导教师 张睿超 实验日期 2021.10.14

院（系） 网络空间安全学院 专业班级 网安19-1 实验地点 网安实训中心

学生姓名 焦翔宇 学号 201903150004 同组人 无

实验项目名称 Logism平台使用/可控加减法电路设计使用

1. **一、 实验目的**

掌握1位全加器的实现逻辑，掌握多位可控加减法电路的实现逻辑，熟悉Logisim平台基本功能，在Logisim中实现多位可控加减法电路。

1. **二、 主要仪器设备、试剂或材料**

Logism仿真工具：

Logisim软件是一种用于设计和模拟数字逻辑电路的工具。其简单的工具栏界面和构建它们时的电路仿真，使得它非常简单，有助于学习与逻辑电路相关的基本概念。由于能够从较小的子电路构建更大的电路，并通过单个鼠标拖动来绘制电线束，因此可以达到使用Logisim来设计和模拟整个CPU目的。

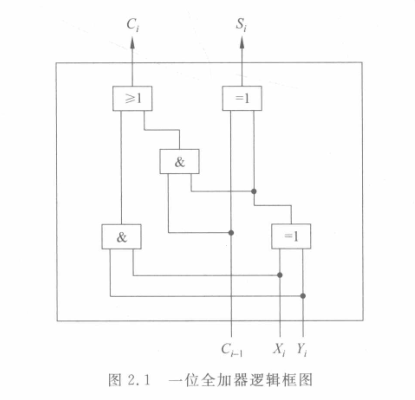
**三、 实验任务**

1、运行Logism仿真工具，熟悉界面和功能。

熟悉引脚、分线器、隧道、常见逻辑门

2、创建子电路

根据一位全加器逻辑框图，添加逻辑门和线路，并进行连接。



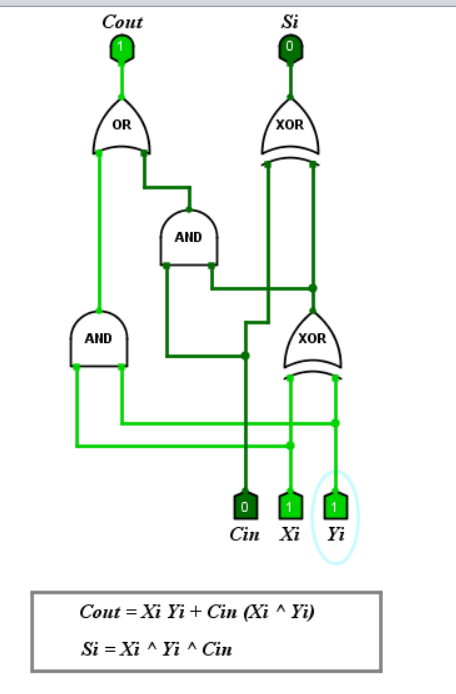
使用戳工具点击输入引脚，观察输出，进行电路仿真测试。

3、保存子电路为labl-fa.circ

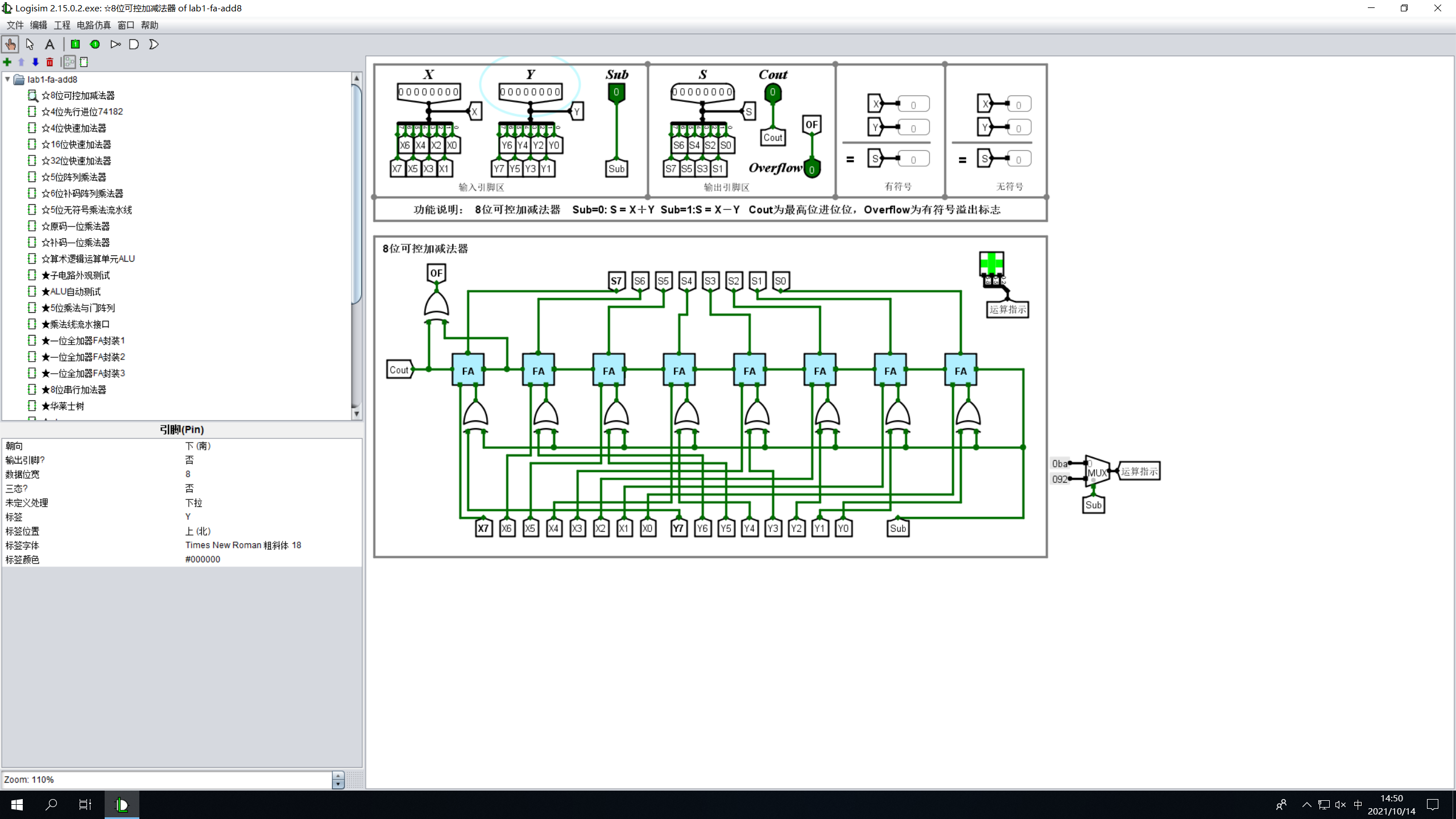
4、在Logisim模拟器中打开alu.circ文件，在对应的子电路中利用已经封装好的1位全加器设计8位串行可控加减法电路。

5、将电路另存为labl-add8.circ

1. **四、 实验思路及结果分析**
2. 一位全加器电路



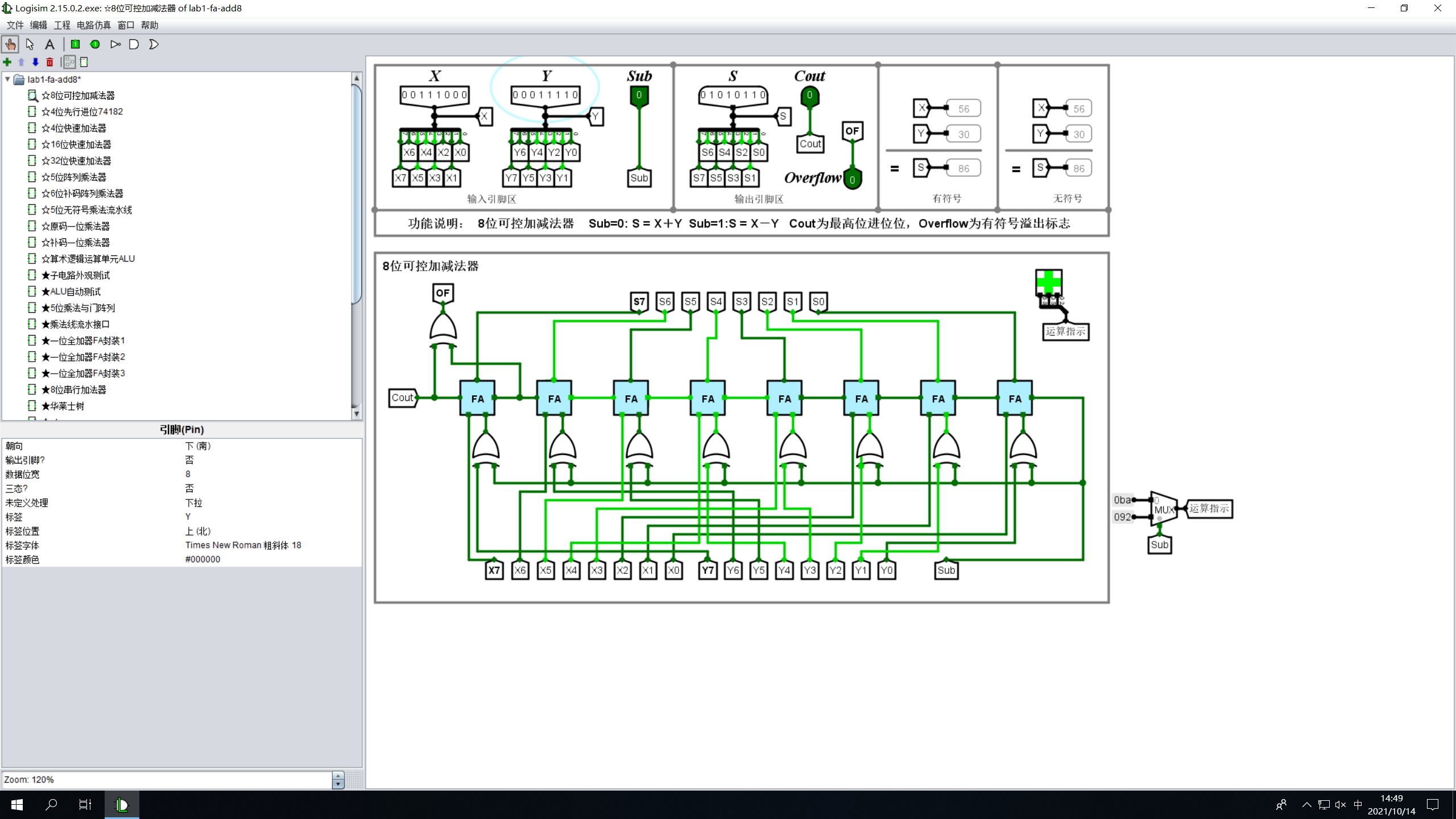
1. 将8个1位全加器连接得到8位串行加法器
2. 利用补码运算的特殊性质，减法通过加法实现
3. 按照如下多位可控加减法电路逻辑框图，设计8位串行可控加减法电路
4. 实验电路图实现如下图所示：



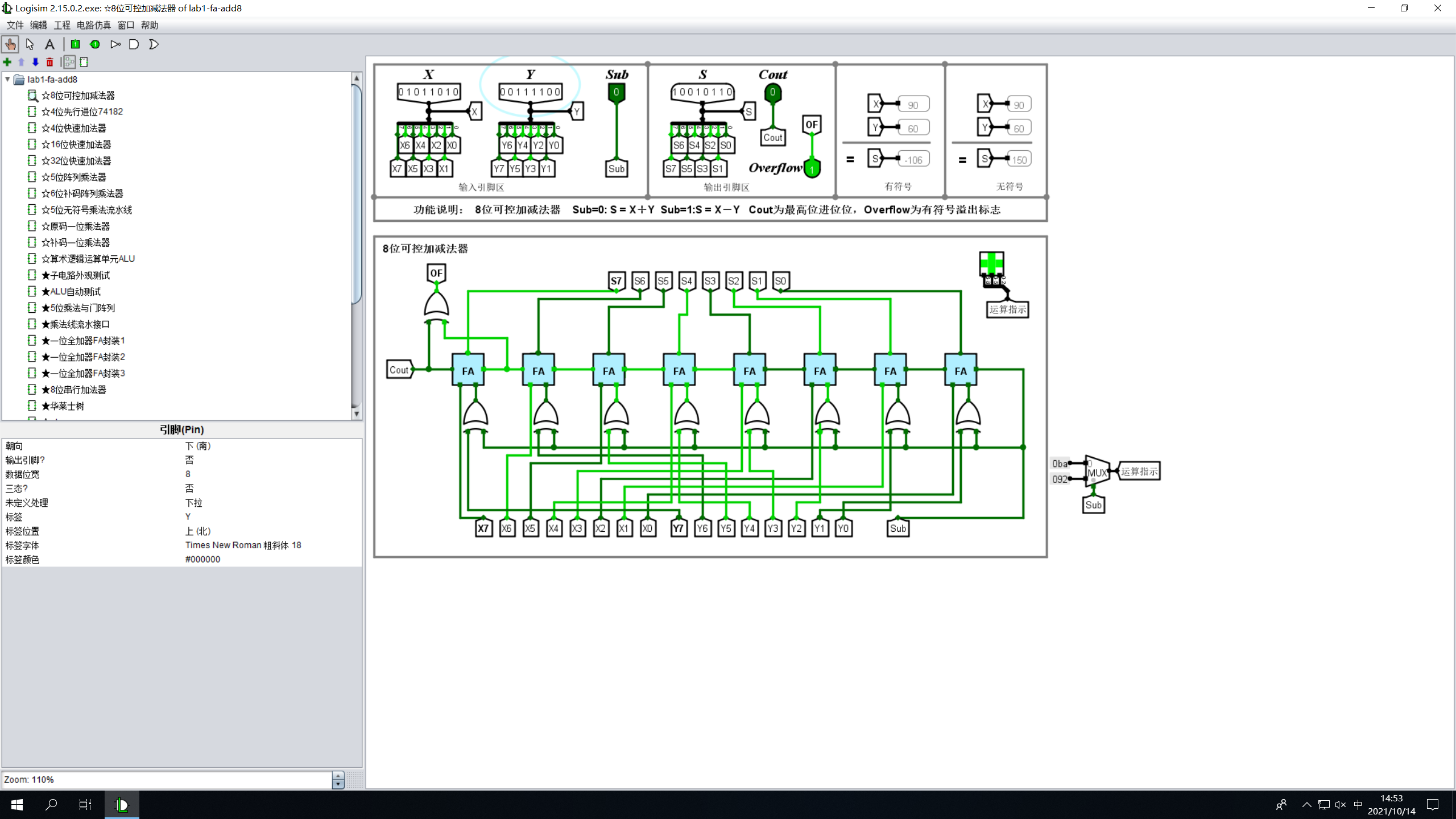
其中X和Y为两输入数，Sub为加减控制信号，S为运算结果输出，Cout为进位输出，Overflow为溢出标志。

1. 实验结果

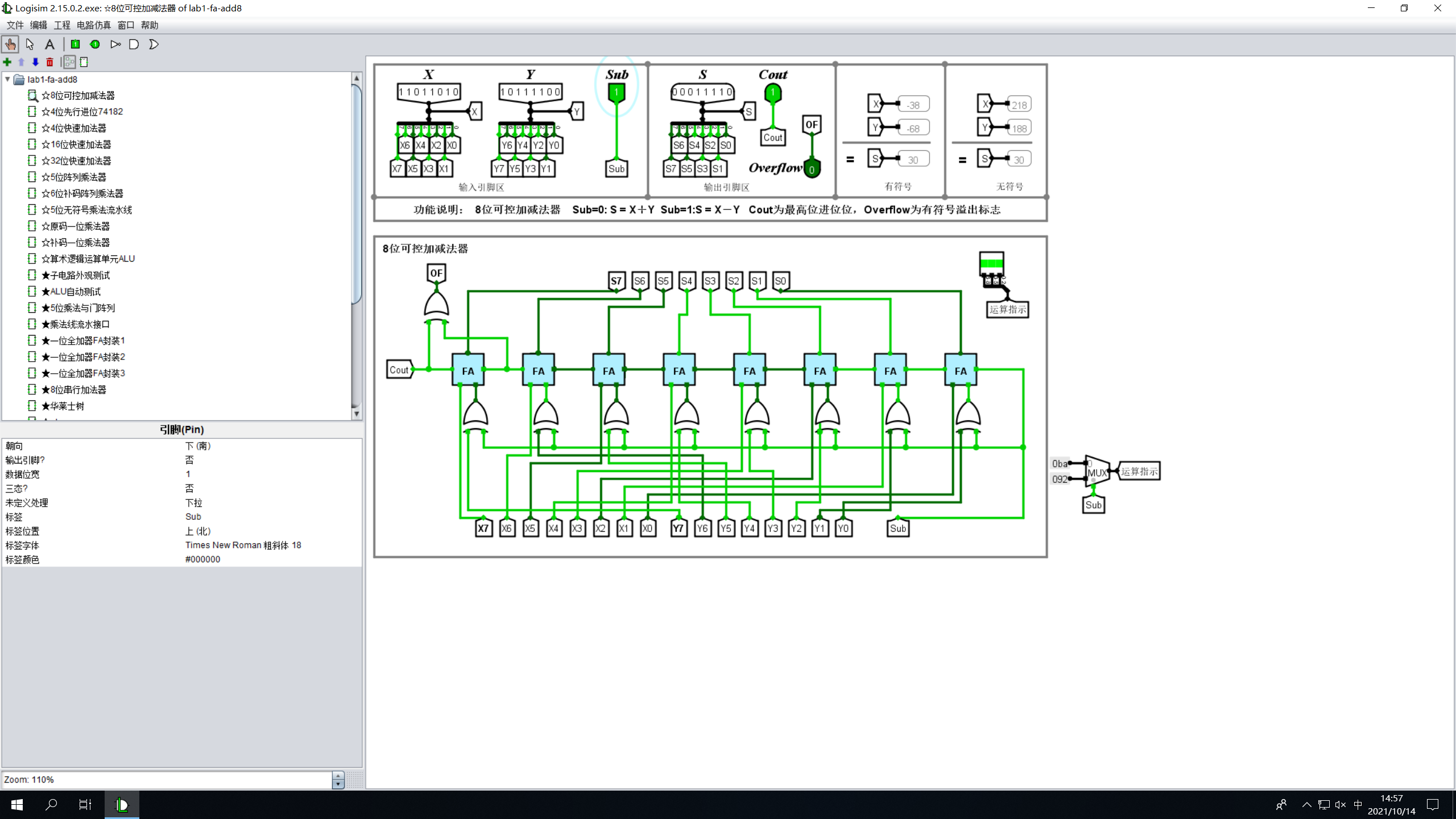
当X为**00111000**,Y为**00011110**,Sub为**0**,是加法操作，结果S为**01010110**,**无溢出。**



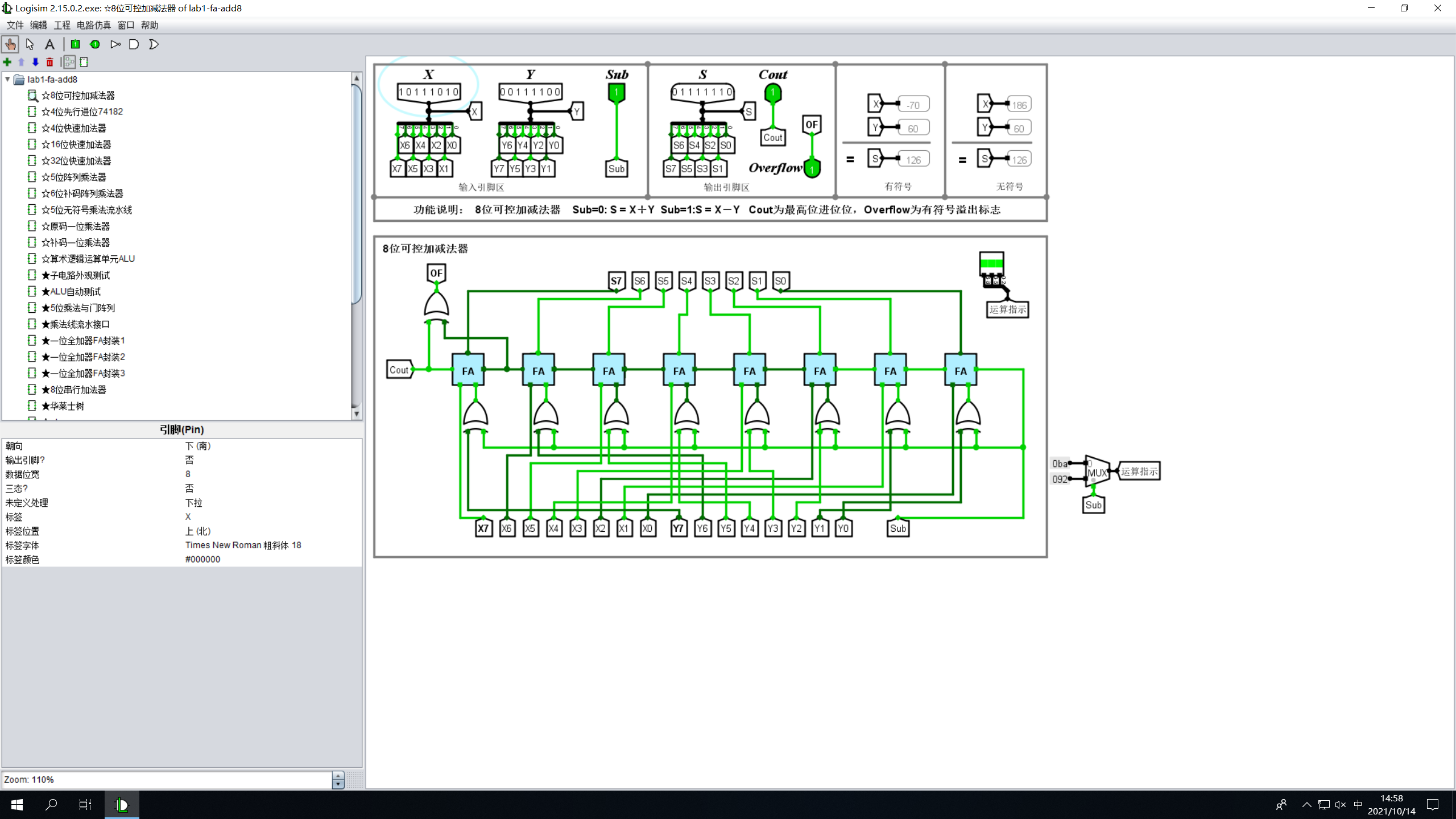
当X为**01011010**为,Y为**00111100**,Sub为**0**,是加法操作，结果S为**10010110**,**发生溢出。**



当X为**11011010**,Y为**10111100**,Sub为**1**,是减法操作，结果S为**00011110**,**无溢出。**



当X为**10111010**,Y为**00111100**,Sub为**1**,是减法操作，结果S为**01111110**,**发生溢出。**



1. **五、实验思考**

如何利用加法器实现减法操作？需要单独的求补逻辑电路吗？溢出时如何判别的？

答：

补码运算中[X]补-[Y]补=[X-Y]补=[X]补+[-Y]补, [-Y]补=[[Y]补]补,所以由上述性质可知，减法可以通过加法实现，只需要将减数Y的补码再次求补后送入加法器即可实现减法运算。

不需要单独的求补逻辑电路。

通过符号位进位和最高位数值进位的异或来判断是否溢出，若运算结果为1则溢出，为0不溢出。