**齐鲁工业大学实验报告** 成绩

课程名称 计算机组成原理 指导教师 张睿超 实验日期 2021/11/9

院（系） 网络空间安全学院 专业班级 网安19-1 实验地点 网安实训中心

学生姓名 魏龙祥 学 号 201903150020 同组人 无

实验项目名称 Cache和虚拟存储软件仿真实验

1. **一、 实验目的**

理解cache三种不同的地址映射机制，理解不同访问序列对cache性能的影响，能通过cache仿真软件分析、验证cache数据加载的正确流程。熟悉虚拟存储器系统结构以及工作流程，能够利用内存访问可视化插件进行虚存页面访问流程的分析。

1. **二、 主要仪器设备、试剂或材料**

Camera.jar

Camera是利用Java开发的一款用于高速缓存cache和内存资源分配模拟的仿真软件，如图3.13所示，可以用于模拟仿真cache的不同映射策略方案和虚存管理，能够有效地帮助用户更好地理解cache、虚拟存储器相关概念。

**三、 实验任务**



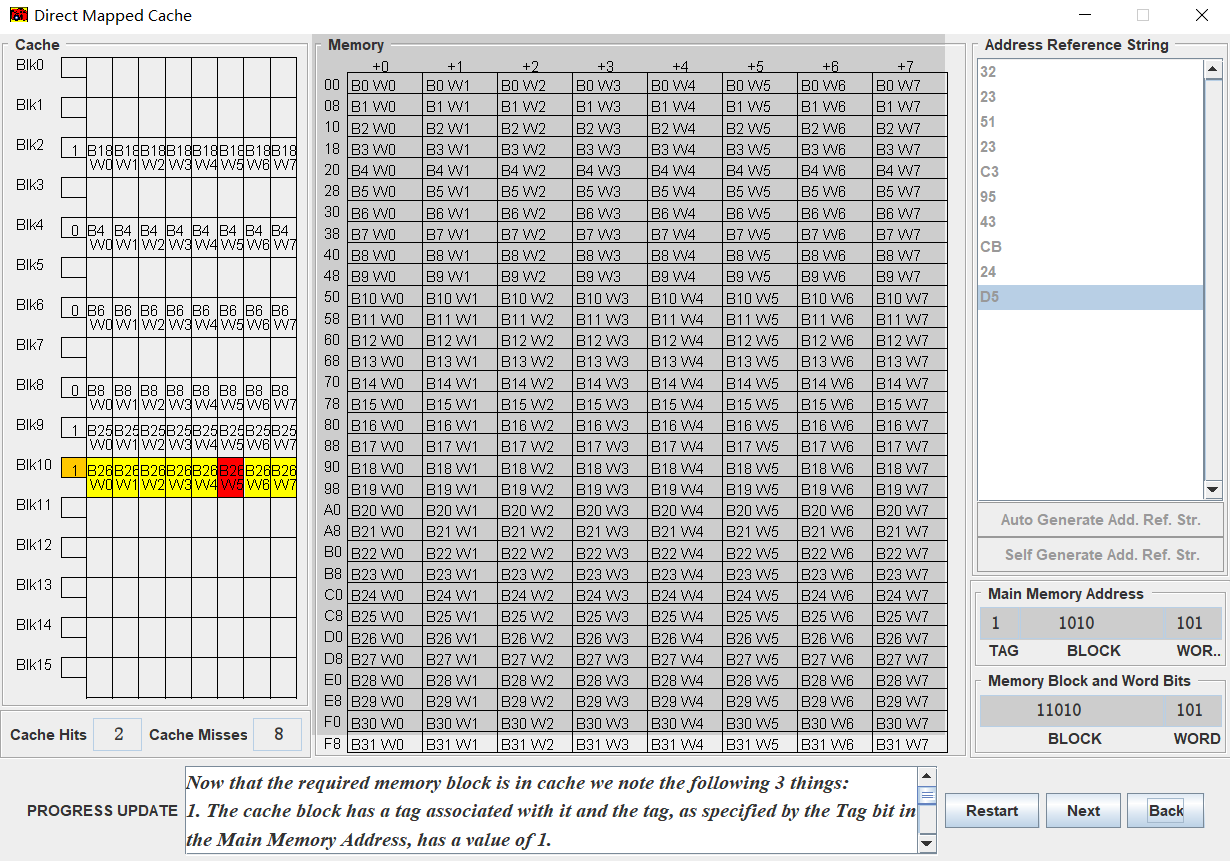
（6）存储系统优化：对于实验2中设计的能产生10次TLB缺失以及10次页缺失的访问序列,能否通过词整TLB大小,页表大小,内存大小等其中的一个参数,使得TLB缺失次数仍然为10,但页缺失次数小于10,并给出你的答案。

1. **四、 实验思路及结果分析**
2. 实验1

除了请求数据外，同块的数据也加载到缓存中。

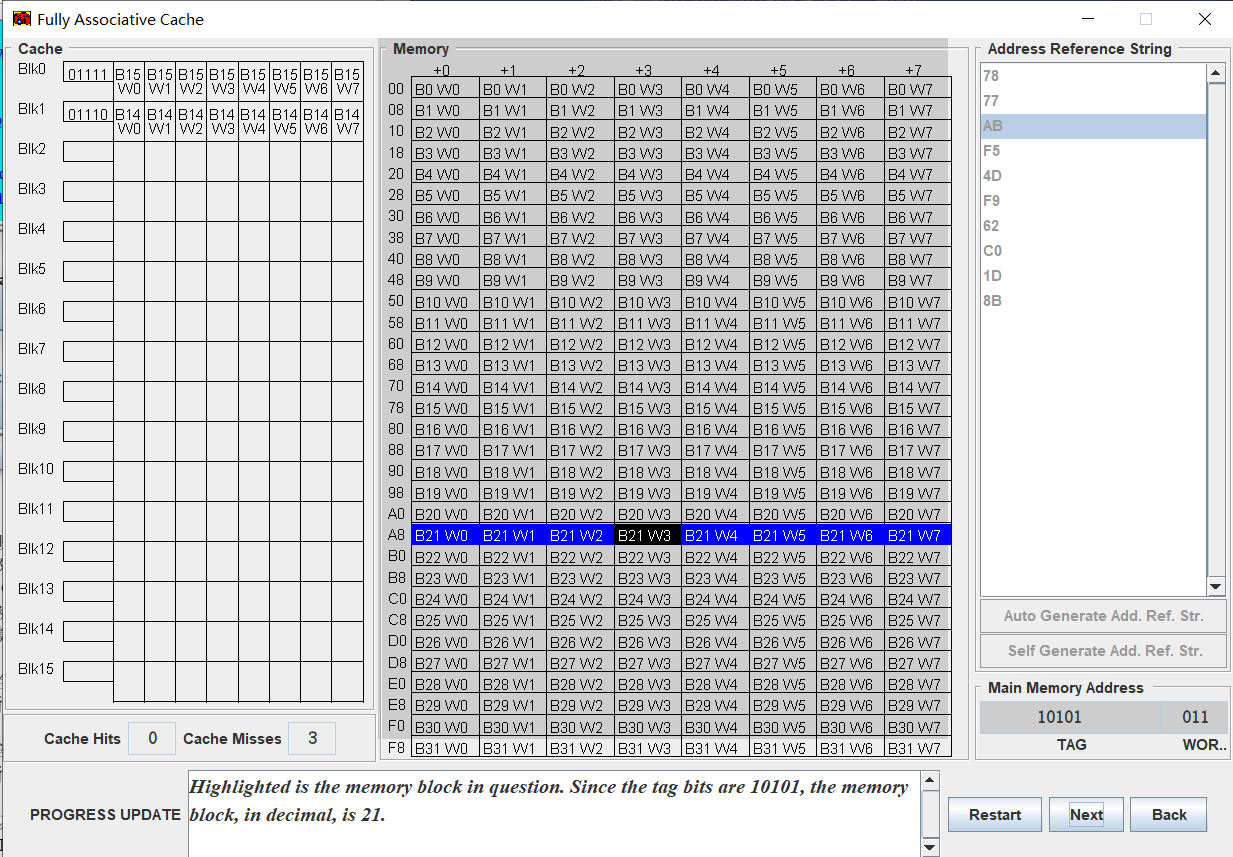
直接相联映射：

自动生成并仿真的图如下。块大小8个字，所以块内偏移为3位。缓存一共16个块，内存大小32个块。在直接相联映射中，内存被分为2个区，所以区号(TAG)占1位，Index占4位、



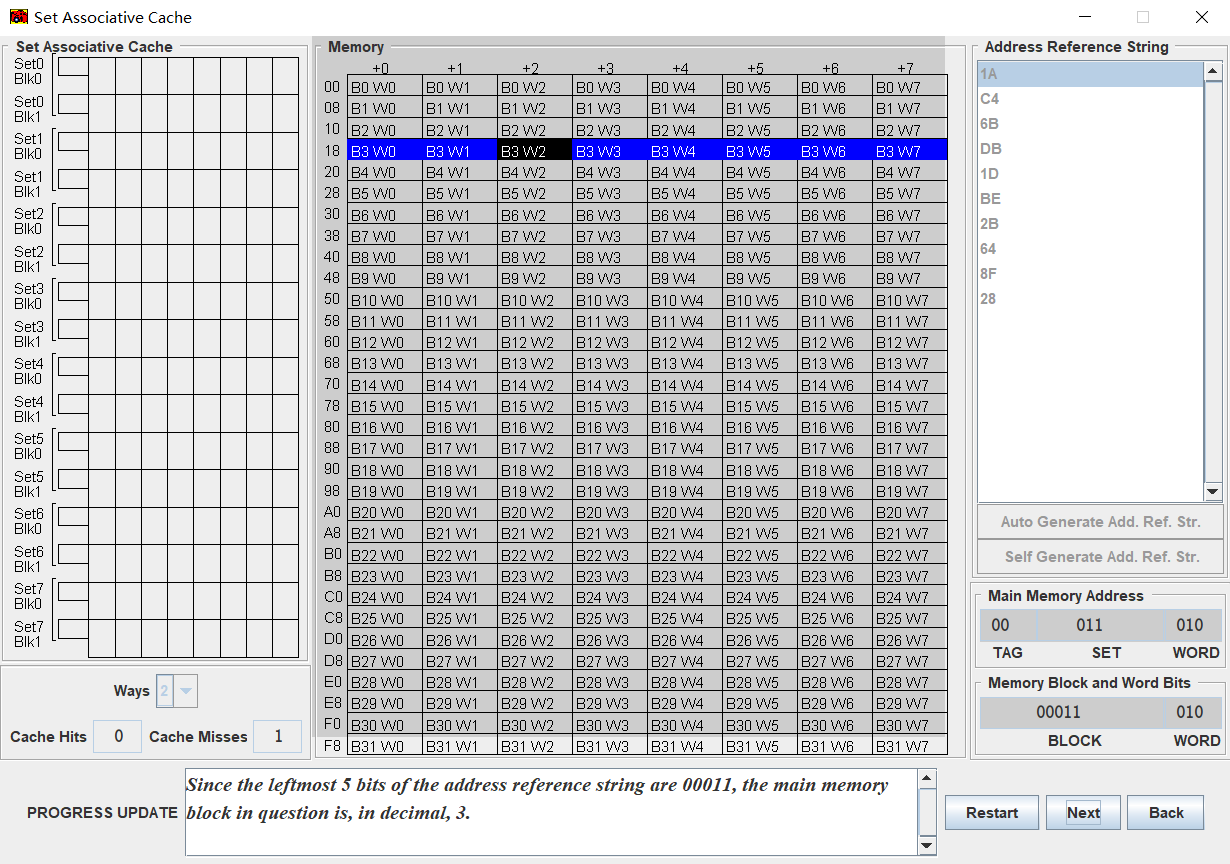
全相联映射：

自动生成地址并仿真结果如下。因为内存32个块，所以TAG占5位。因为块8字所以3位。



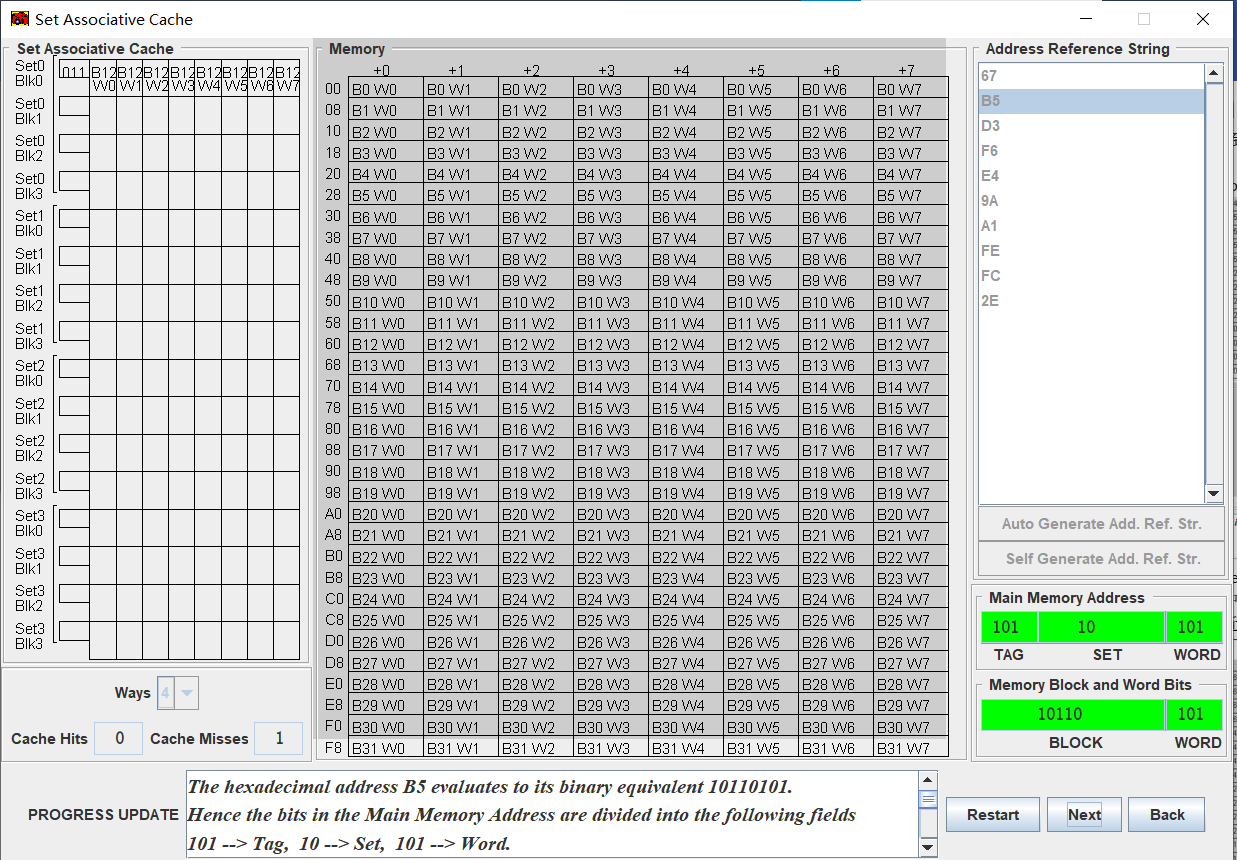
2路组相联映射：

自动生成地址并仿真结果如下。因为2路组相联，所以缓存以两块为1组，分为8组，所以set占3位。同时因为主存32块，缓存8组，所以主存被分为4组，占2位，所以TAG值2位。因为块8字，所以WORD占3位。



4路组相联映射：

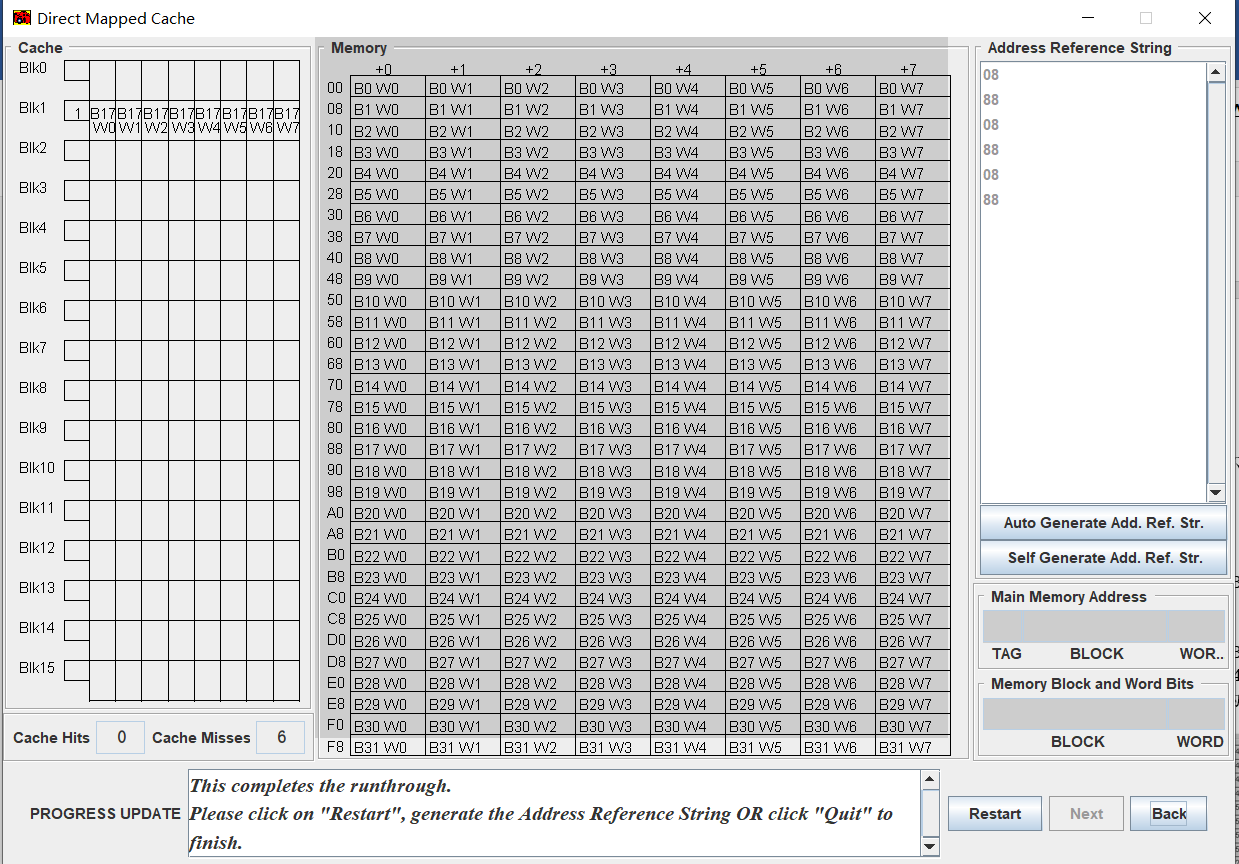
自动生成地址并仿真结果如下。因为4路组相联，所以缓存以4块为1组，分为4组，所以set占2位。同时因为主存32块，缓存4组，所以主存被分为8组，占3位，所以TAG值3位。因为块8字，所以WORD占3位。



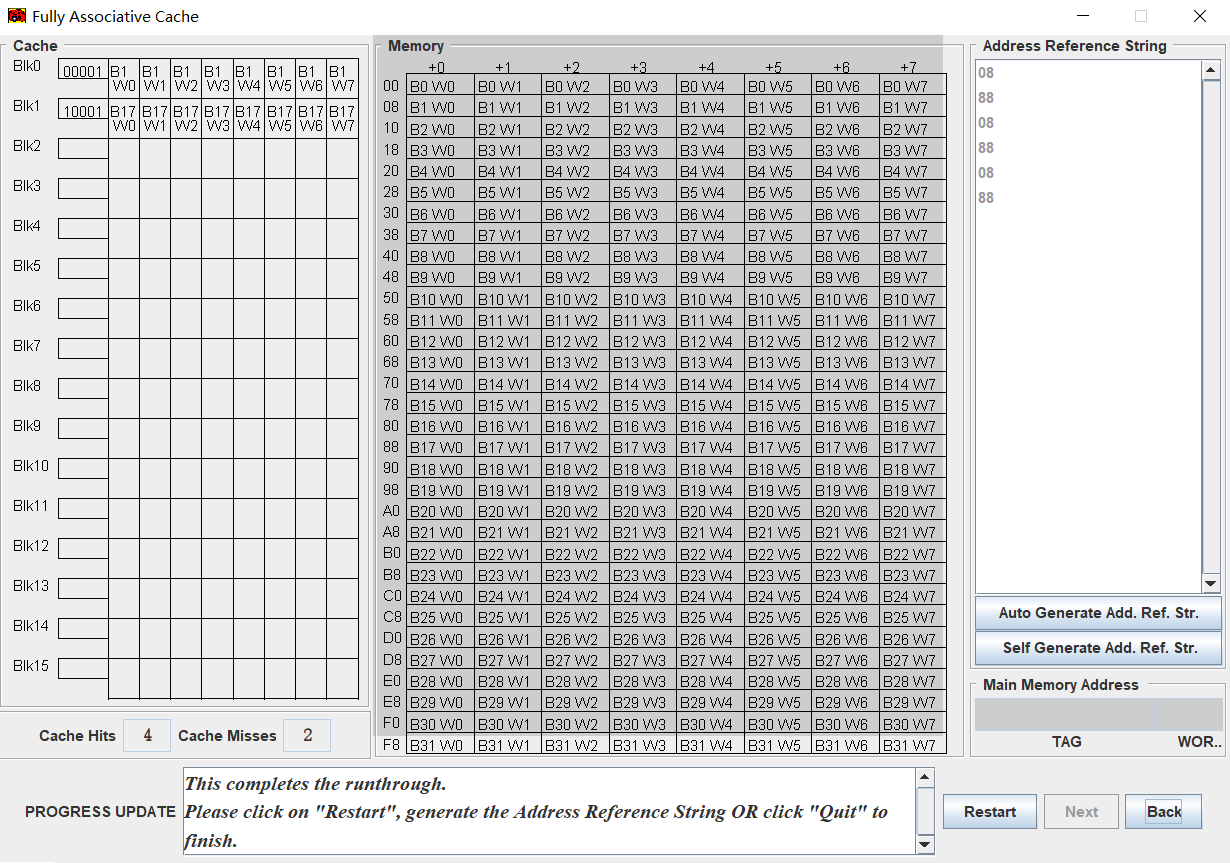
1. 实验2

选择08 88。

直接相联映射(循环3次为例)，结果为下图，Cache Misses全部缺失。



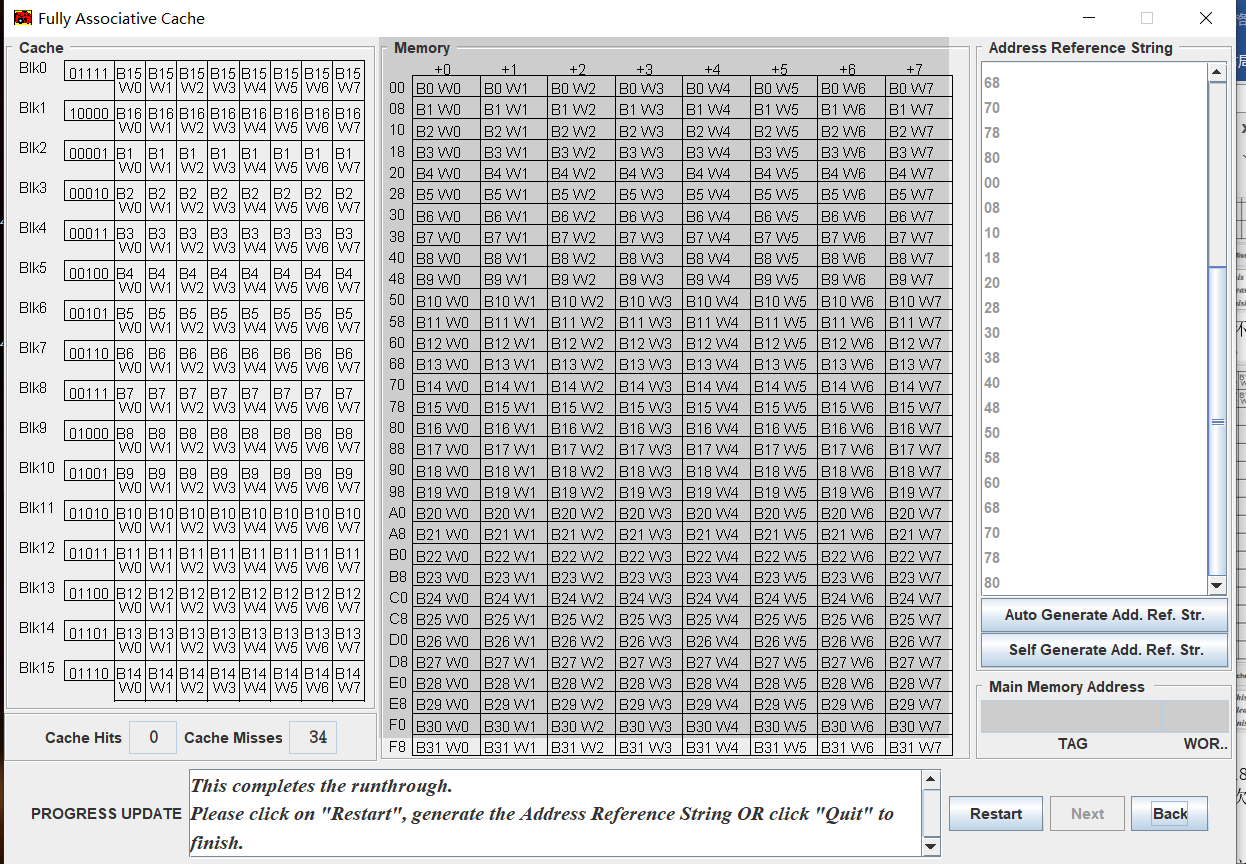
全相联映射(循环三次为例)，结果如下图，除第一次访问外，全部命中。



1. 实验3

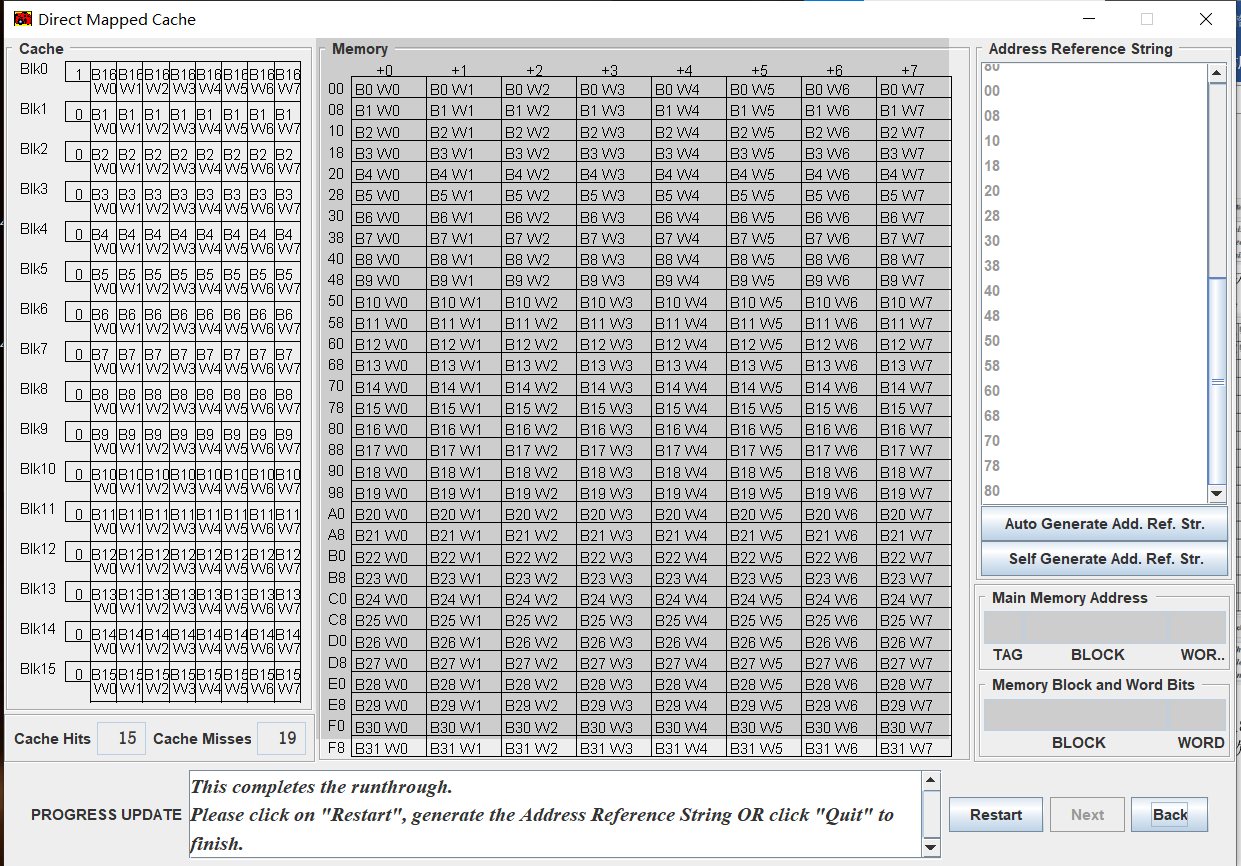
选择00 08 10 18 20 28 30 38 40 48 50 58 60 68 70 78 80

全相联映射以2次循环为例子，结果如下，全部缺失。



直接相联映射，以2次循环为例，结果如下图。

当循环次数足够多，Cache Hits结果趋近于15/17。



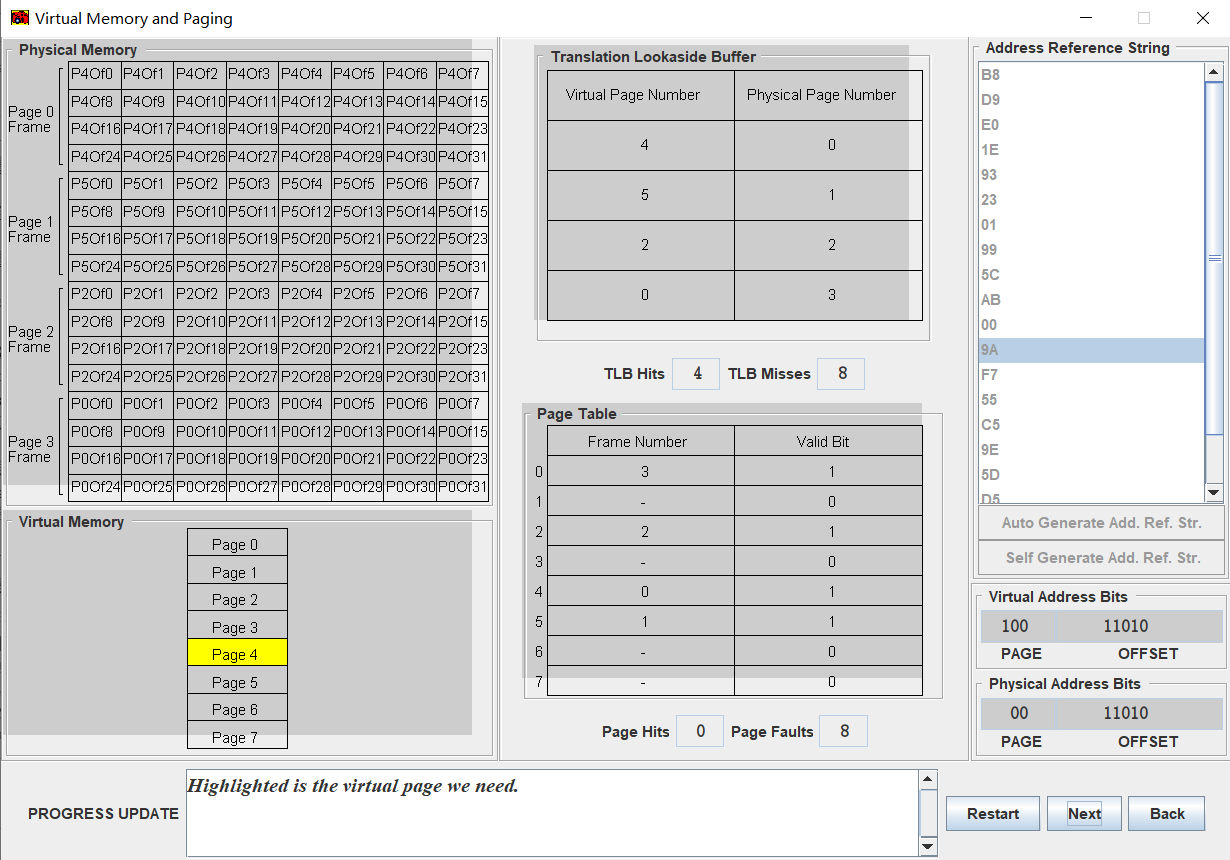
1. 实验4

虚拟地址一共8位，前3位是页号，分别对应着虚拟存储器8个页，后5位是页内偏移量，每页大小32B,按字节编制，对应着32个存储单元。

物理地址一共7位，和虚拟存储一致，页面大小都是32B，所以包含5位页内偏移量。内存一共4页，所以物理地址有2位的物理页号。

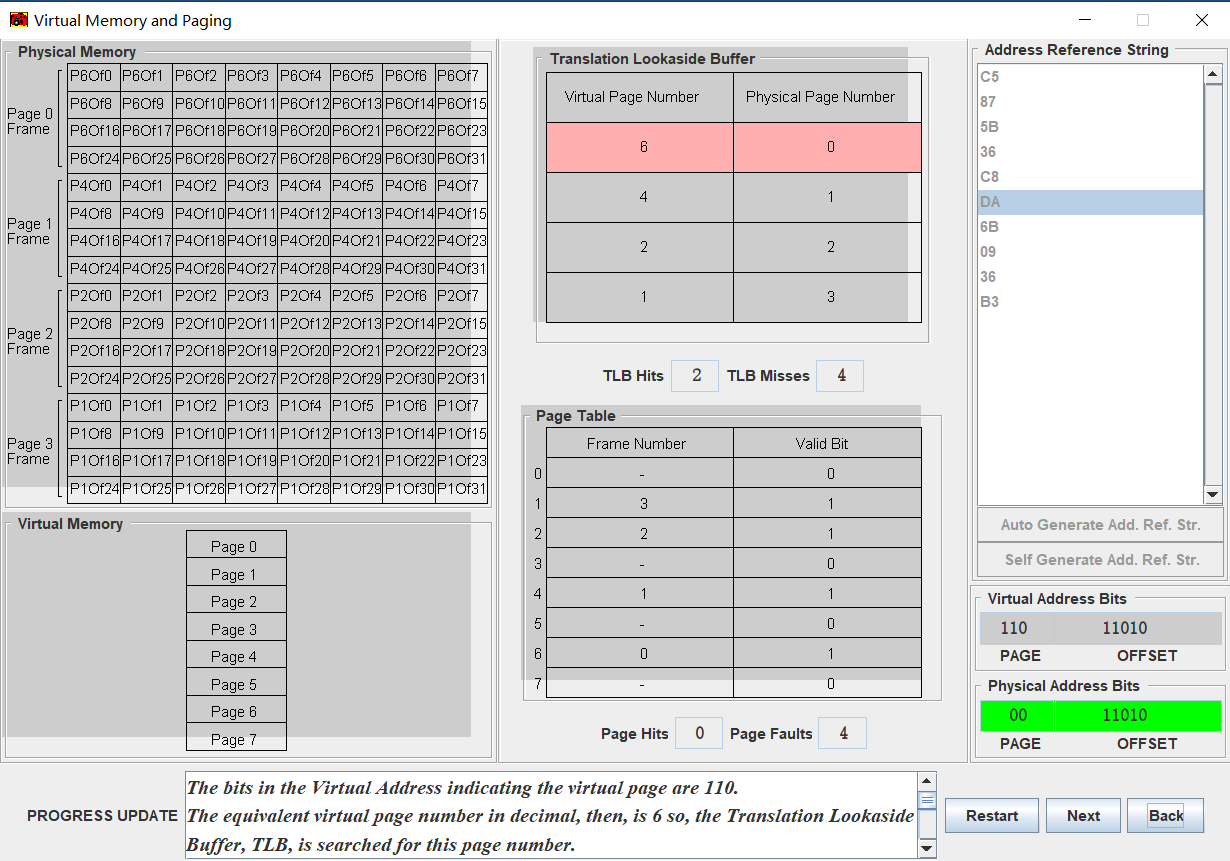
从图可以看出，TLB表一共4行，可以存储4个经常访问的物理页。

因为内存大小一共4页，所以页表(8行)最多同时只能产生4个有效行。对于页表只有Valid Bit位为1，才是有效行。

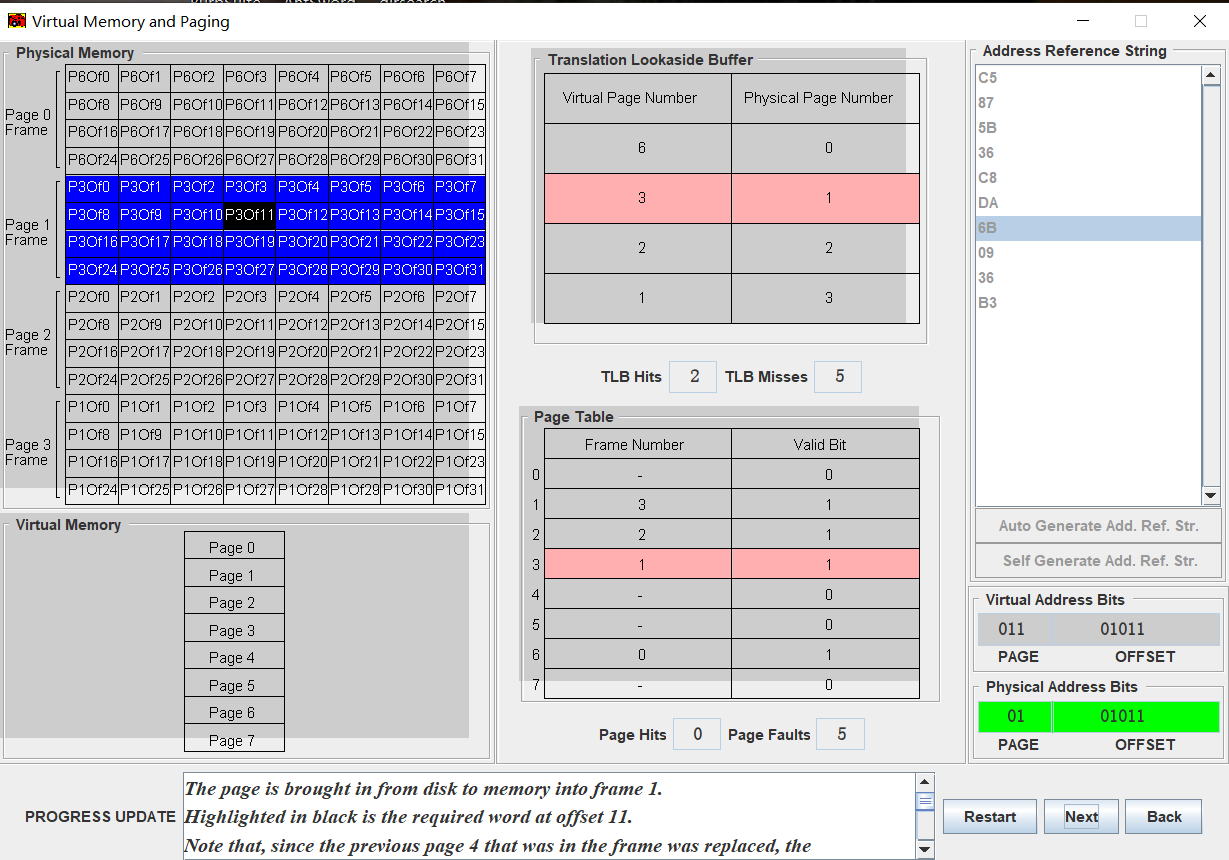


TLB表和Page Table应该是最近最长时间未使用算法。

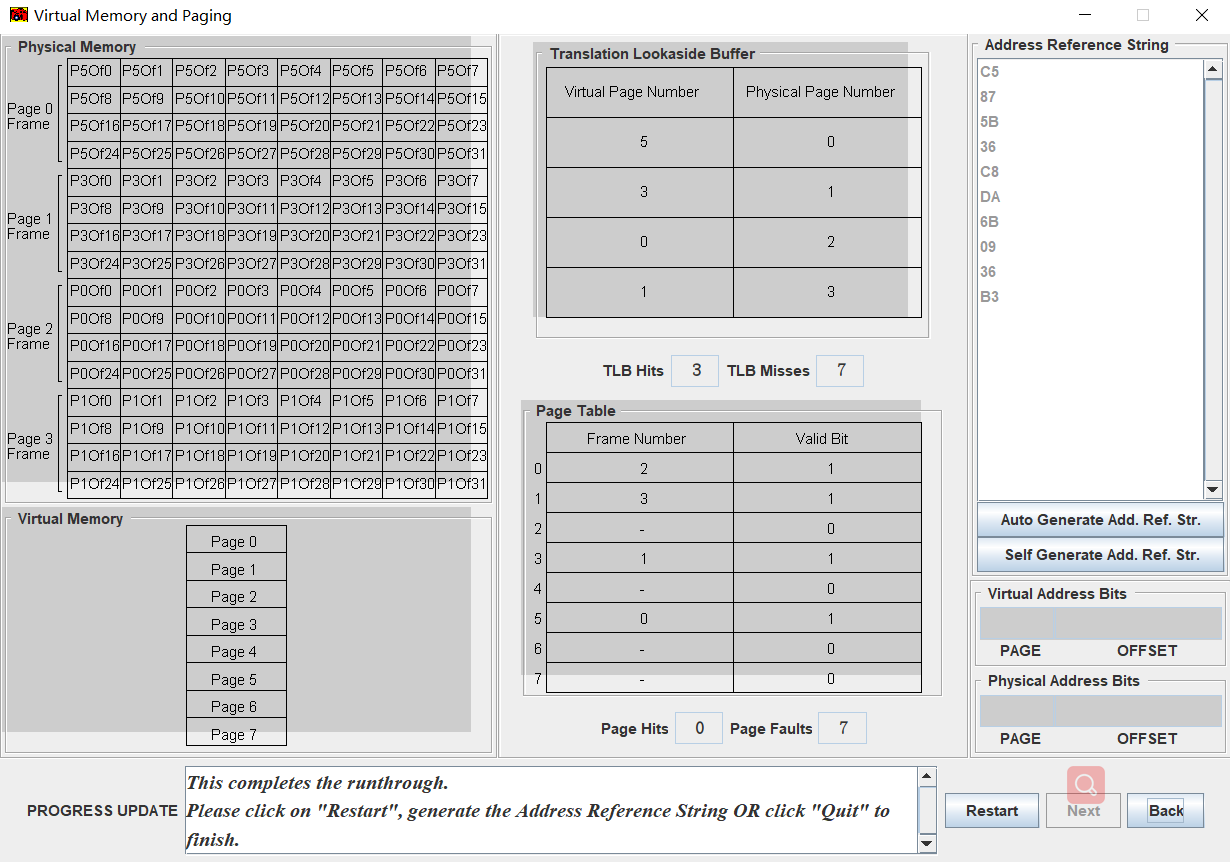
这里我们目前TLB中的存储的虚拟存储页是 6，4，2，1。接下来，我们访问的是虚拟页6，此时最近未使用的应该是4。如下图。



接下来，需要访问虚拟存储页3，此时我们替代的是TLB表项中的第二条。即替代虚拟页号为4的行。

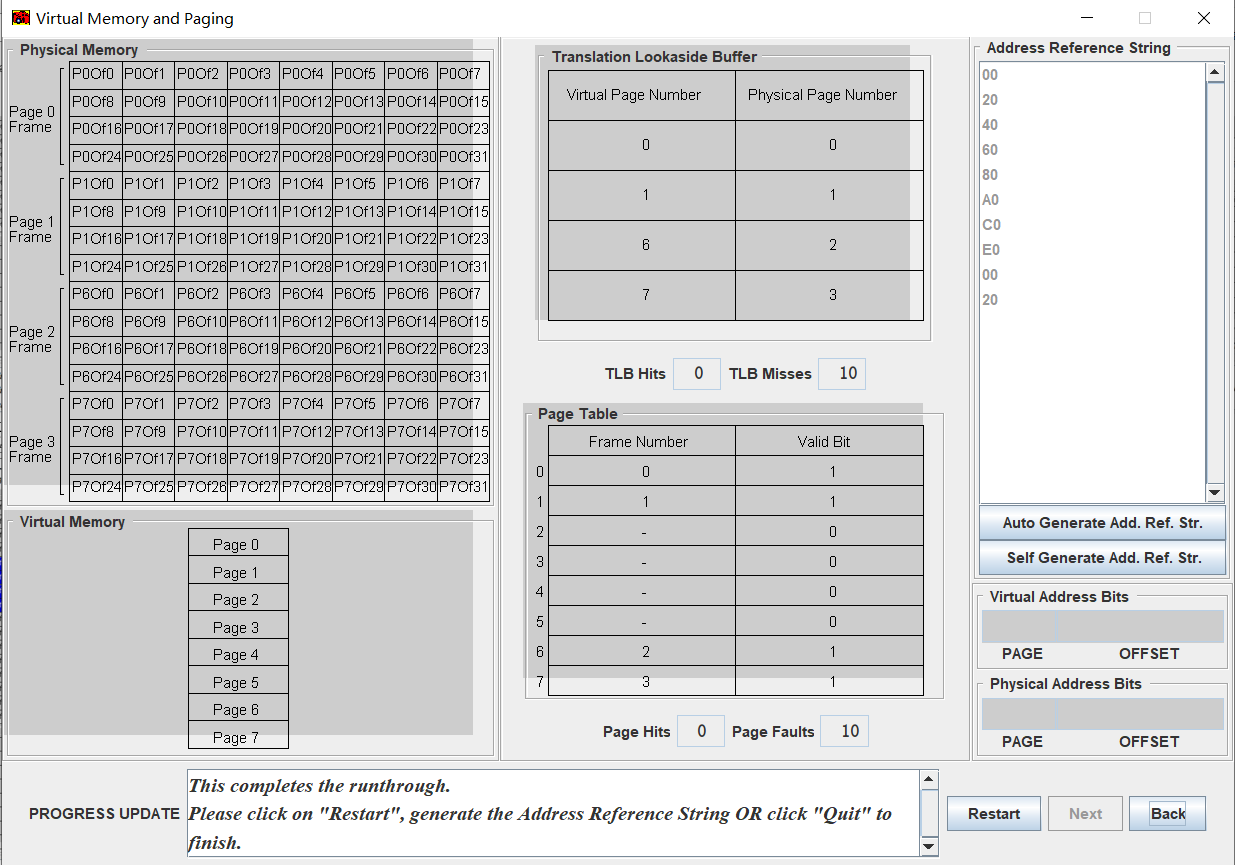


这里，我们分析自动生成的需要访问的10个虚拟地址。这里我们分析一下结果，因为，TLB表大小和Page表中有效行数一致，都为4条。所以，如果TLB表中查找不到对应的虚拟页对应的物理页，那么PageTable也找不到所以TLB Misses和Page Faults大小一致，同时如果在TLB表找到，那么不会再从页表中查找。



1. 实验5

这里我们使用00 20 40 60 80 A0 C0 E0 00 20



1. 实验6

可以通过调整内存大小，将内存大小调至8页。那么此时TLB Misses10,页面缺失为8。

**五、实验思考**

这次实验，使我深入理解在cache三种不同的地址映射机制，访问序列对cache性能的重大影响。通过使用cache仿真软件分析、验证cache数据加载的正确流程。同时，我更加熟悉虚拟存储器系统结构以及工作流程，能够利用内存访问可视化插件进行虚存页面访问流程的分析，极大提高了我对于存储器的认识和动手能力。