# Verilog语言语法注意点

1. 注意input [N:0]name； input name； 和output reg[N:0]name; 和output nam；
2. 对于Verilog使用模块时：除非为input或者output reg，否则只能使用wire类型；
3. Wire只能在always之外用assign赋值； 而reg[N:0]只能在always内赋值，且一般通过<=来赋值
4. 注意对于reg赋值时，只能在一起赋值； 即通过if…else… 或着switch来赋值，否则可能无法编译成功————报错为multi source之类的多次赋值
5. 在烧板子时需要注意到其实际的.bit文件——因为一般打开的是上一次默认的文件目录——极有可能一直在烧上一次的文件而自己没有察觉！
6. 时钟信号always@（posedge clk） 千万注意。。。。。
7. 对于要初始化的reg等变量，可以在RST中初始化 always@（posedge clk or negedge rst） if(!rst) #INIT 即可初始化