

《数字逻辑电路》实验报告

第1次实验：选择器实验

姓名：凌嘉伟

学号：151220061

15级计算机科学与技术系5班

邮箱：151220061@smail.nju.edu.cn

时间：2016.9.12

一、实验目的

熟悉常用的多路选择器的设计方法；Verilog 语言中的 always 语句块、if-else 语句和 case 语句的使用等。

熟悉电路设计的基本流程和 Vivado 的使用。

二、实验原理（背景知识）

知识背景：多路选择器的原理

选择器是数字逻辑系统的常用电路，是组合逻辑电路中的主要组成元件之一，是由几路数据输入、一位或多位的选择控制端，和一路数据输出所组成的。多路选择器从多路输入中，选取其中一路将其传送到输出端，由选择控制信号决定输出的是第几路输入信号。

实验环境：Windows 7

工具：vivado 2015.2

三、实验器材/环境

实验器材：实验室配置电脑

环境：win 7，vivado 2015.2

四、实验设计思路（验收实验）

真值表：

Y	F
00	X0
01	X1
10	X2
11	X3

设计原文件代码：

```
module mux41(X,Y,F);  
input [3:0] X;  
input [1:0] Y;  
output reg F;
```

```
always @ (Y or X)  
if (Y == 0) F = X[0];  
else if (Y == 1) F = X[1];  
else if (Y == 2) F = X[2];  
else if (Y == 3) F = X[3];  
else F=1'b0;
```

endmodule

测试文件代码:

```
module test_mux41();
reg [3:0] X;
reg [1:0] Y;
wire F;

mux41 i1(.X(X),.Y(Y),.F(F) );
initial begin
Y = 2'b00; X = 4'b1110;#10;
        X = 4'b0001;#10;
Y = 2'b00; X = 4'b1110;#10;
        X = 4'b0010;#10;
Y = 2'b00; X = 4'b1010;#10;
        X = 4'b0100;#10;
Y = 2'b00; X = 4'b0111;#10;
        X = 4'b1001;#10;
end
endmodule
```

endmodule

引脚配置文件代码:

```
set_property PACKAGE_PIN V10 [get_ports X[0]]
set_property PACKAGE_PIN V11 [get_ports X[1]]
set_property PACKAGE_PIN V12 [get_ports X[2]]
set_property PACKAGE_PIN H6 [get_ports X[3]]
set_property PACKAGE_PIN T13 [get_ports Y[0]]
set_property PACKAGE_PIN R16 [get_ports Y[1]]
set_property PACKAGE_PIN H17 [get_ports F]

set_property IOSTANDARD LVCMOS33 [get_ports X]
set_property IOSTANDARD LVCMOS33 [get_ports Y]
set_property IOSTANDARD LVCMOS33 [get_ports F]
```

五、实验的测试序列或验证方法

测试序列:

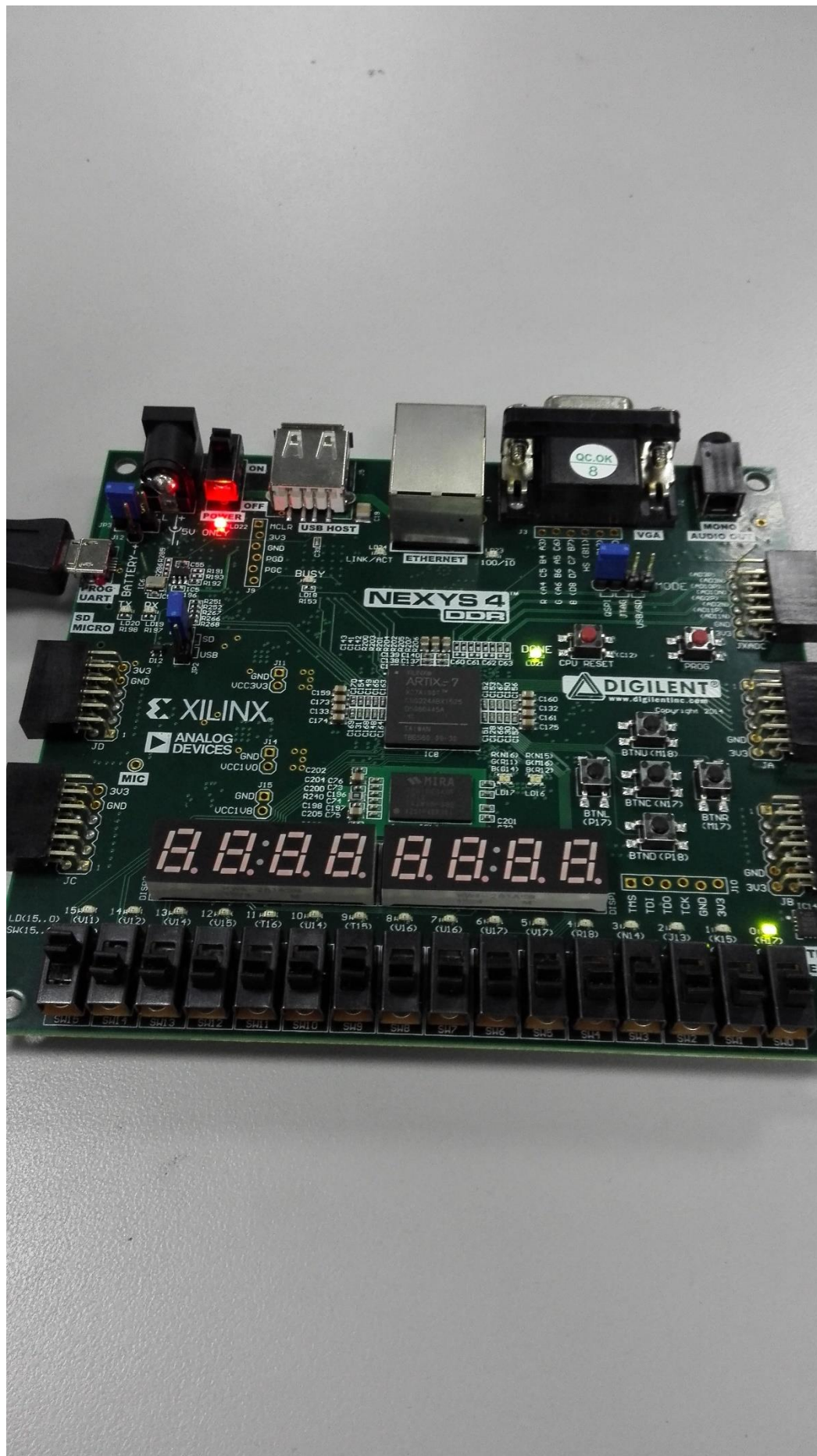
X0 = 1,X1 = 0,X2 = 0,X3 = 0;Y0 = 0,Y1 = 0	F = 1
X0 = 0,X1 = 1,X2 = 0,X3 = 0;Y0 = 0,Y1 = 1	F = 1
X0 = 0,X1 = 0,X2 = 1,X3 = 0;Y0 = 1,Y1 = 0	F = 1
X0 = 0,X1 = 0,X2 = 0,X3 = 1;Y0 = 1,Y1 = 1	F = 1
.....	

六、实验过程（主要指验收实验）

```
22
23 module mux41(X,Y,F);
24 input [3:0] X;
25 input [1:0] Y;
26 output reg F;
27
28 always @(Y or X)
29     if (Y == 0) F = X[0];
30     else if (Y == 1) F = X[1];
31     else if (Y == 2) F = X[2];
32     else if (Y == 3) F = X[3];
33     else F = 1'b0;
34 endmodule
35
```

```
23 module test_mux41();
24 reg [3:0] X;
25 reg [1:0] Y;
26 wire F;
27
28 mux41 i1(.X(X),.Y(Y),.F(F) );
29 initial begin
30 Y = 2'b00; X = 4'b1110;#10;
31     X = 4'b0001;#10;
32 Y = 2'b00; X = 4'b1110;#10;
33     X = 4'b0010;#10;
34 Y = 2'b00; X = 4'b1010;#10;
35     X = 4'b0100;#10;
36 Y = 2'b00; X = 4'b0111;#10;
37     X = 4'b1001;#10;
38 end
39
40 endmodule
41
```

```
1 set_property PACKAGE_PIN V10 [get_ports X[0]]
2 set_property PACKAGE_PIN V11 [get_ports X[1]]
3 set_property PACKAGE_PIN V12 [get_ports X[2]]
4 set_property PACKAGE_PIN H6 [get_ports X[3]]
5 set_property PACKAGE_PIN T13 [get_ports Y[0]]
6 set_property PACKAGE_PIN R16 [get_ports Y[1]]
7 set_property PACKAGE_PIN H17 [get_ports F]
8
9 set_property IOSTANDARD LVCMOS33 [get_ports X]
10 set_property IOSTANDARD LVCMOS33 [get_ports Y]
11 set_property IOSTANDARD LVCMOS33 [get_ports F]
12
```



七、实验结果、结论等

实验结果：成功实现了一个 4 选 1 多路选择器

学到的知识：常用的多路选择器的设计方法；Verilog 语言中的 `always` 语句块、`if-else` 语句和 `case` 语句的使用等。

八、实验中遇到的问题及解决方案

问题：面板数据线插入机箱无反应

解决方案：插入到机箱后方的 USB 接口即可

九、实验的启示/意见和建议

- 1、实验内容难度：简单；实验时间安排：较为合理
- 2、可以做其他的多路选择器

十、实验时间

- 1、预习时间：约 30 分钟—1 小时
- 2、课后花费时间，约 30 分钟—1 小时