

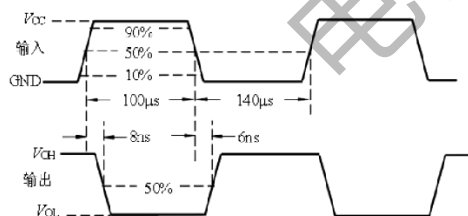
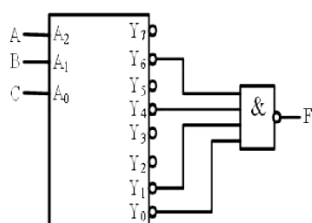
考试方式: 闭卷 考试日期: 2023.2.17 晚 考试时长: 150 分钟。

院(系): _____ 专业班级: _____

学 号: _____ 姓 名: _____

题号	一 (15)	二 (12)	三 (10)	四 (12)	五 (12)	六 (16)	七 (18)	八 (5)	总分 (100)
得分									

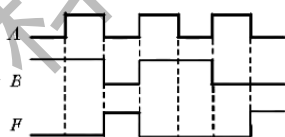
- 无符号十六进制数 $(AFC)_{16}$ 的十进制表示为 (1)。
- $(0100\ 0101)_{8421BCD}$ 表达的 6 位二进制数, 其对应的格雷码为 (2)。
- 若某逻辑函数的对偶式 $L' = \overline{AB} \cdot (\overline{BC} + \overline{D})$, 则 $L \odot 0$ 的最简与或表达式为 (3)。
- 采用输出低电平有效的 3-8 线译码器构成的逻辑电路如题 4 图所示, 其中 A_0 和 Y_0 分别为 LSB, 则其最大项表达式 $F(A, B, C) = \prod M$ ((4))。



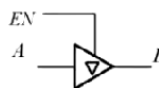
- 一个反相器的输入和输出波形如题 5 图所示, 其传输延迟时间 T_{pd} 为 (5)。

第 12 页 - 第 1 页。

- 已知 3.3V 供电的 CMOS 二输入与非门芯片 $V_{IL(max)}=0.8V$, $V_{OL(max)}=0.2V$, $V_{IH(min)}=2.0V$, $V_{OH(min)}=3.1V$, 当输入端 A 的电平为 1.65V, 输入端 B 的电平为 0.4V 时, 逻辑门的输出逻辑为 (6) (不填具体电压值)。
- 某小逻辑门输入 A、B 和输出 F 的波形如题图 7 所示, 则该逻辑门为 (7)。
- 题图 8 对应的电路用 Verilog HDL 可表达为 assign (8)。



题 7 图



题 8 图

- 输入低电平有效的 8-3 线优先编码器, 若 D_0 (LSB) 为最高优先级, 当原码输出 $Y_2Y_1Y_0$

= 011 时(Y_2 为 MSB), 输入信号 $D_7D_6D_5D_4D_3D_2D_1D_0$ 取值为(____(9)____)₂。

10. 数字逻辑电路中, 出现冒险现象的主要原因是电路中存在____(10)____。

11. 将一个移位寄存器中的无符号数放大 8 倍, 需要____(11)____个移位时钟脉冲。

12. 模 7 减法计数器从 1 开始计数, 经过 2022 个计数脉冲后其计数值为____(12)____。

13. 用 4 片内部结构为单体 2 维地址译码的 $4M \times 4\text{bit}$ DRAM 芯片, 构成一个容量为 $4M \times 16\text{bit}$ 的缓存空间。若其列地址为 9 位, 则其行地址应有____(13)____位。

14. 数字 IC 的系统时钟输入端通常会采用____(14)____电路作为缓冲器, 以将易畸

变的周期性波形整形形成较为理想的矩形波。

15. 某 MCU 内置单极性的线性 D/A。校准后当输出模拟量为 0.5V, 对应的数字量为 0xFA; 若要输出 2.8V 的直流电压, 则对应的数字量为(____(15)____)₁₆。

分 数 二、化简题 (共 12 分)

评卷人 1. (6 分)用代数法求逻辑函数 L 的最简与或式(无推导步骤不给分)。

$$L = \overline{AC} + \overline{ABC} + B\overline{C} + \overline{ABC}$$

2. (6 分)用卡诺图化简求逻辑函数 L 的最简与或式 (无行列编号不画圈不给分)。

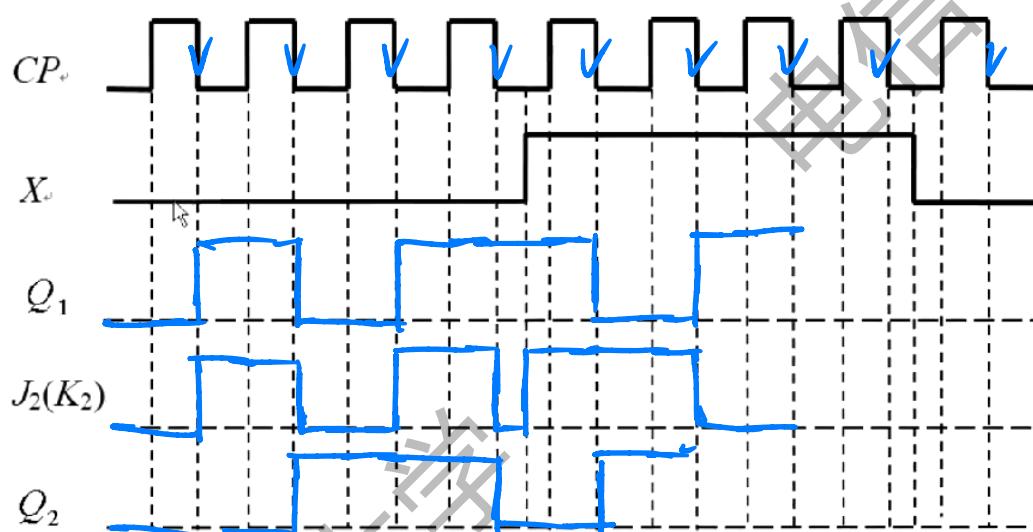
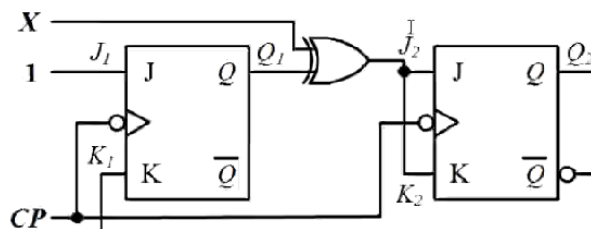
\overline{L}
CD
AB

$$L(A, B, C, D) = \sum m(0, 1, 3, 5, 8, 10, 14) + \sum d(2, 9, 13)$$

分 数	
评卷人	

三、波形图（共 10 分）

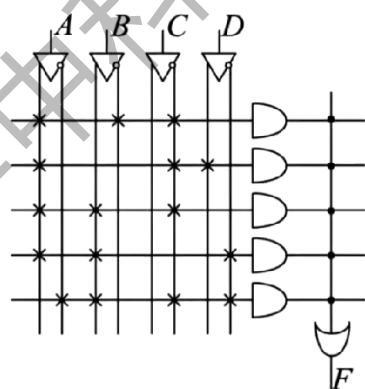
根据下图所示电路和 X 的输入波形，画出对应的 Q_1 、 J_2 (K_2)、 Q_2 的功能仿真波形（假定触发器初态均为 0）。



分 数	
评卷人	

四、组合电路分析（共 12 分）

1. 根据 A 、 B 和 C 、 D 两组输入构成的点阵图所示电路，直接写出 F 对应的逻辑函数，并设法得到该逻辑函数最小项的标准与或式。



$$F = A\bar{B}\bar{C} + A\bar{C}D + AB\bar{C} + AB\bar{D} + \bar{A}B\bar{C}\bar{D}$$

0 1 0 0

$$= A\bar{C} + AB\bar{D}$$

$$\sum m(4, 8, 9, 12, 13, 14)$$

$F: 0000$

2. 利用 ROM 来实现该组合电路。如果将 A, B, C, D 分别接至 ROM 的地址输入端 $A_3 \sim A_0$ (A_0 为 LSB), 请填写下表中 ROM 中每个寻址单元所存储的数据内容。

$A_3 \sim A_0$	F	$A_3 \sim A_0$	F	$A_3 \sim A_0$	F	$A_3 \sim A_0$	F
0000	0	0100	1	1000		1100	
0001	0	0101		1001		1101	
0010	0	0110		1010		1110	
0011	0	0111		1011		1111	

3. 根据题意简要说明该逻辑功能 (20 字以内, 不按题意不得分), 并在框中补充完善相应的 Verilog HDL 代码。

功能说明: _____

```

module test (A, B, C, D, F);
    input A, B, C, D;
    output F;
    reg F;
    always @(*) begin
        if (A > B & C > D) F = 1'b1;
        else F = 1'b0;
    end
endmodule

```

分 数		五、组合电路应用设计 (共 12 分)
评卷人		用 A, B, C, D 四种药物制定的治疗方案须满足以下条件:

- 1) 要么不用 A , 若使用 A , 则不能使用 D ;
 - 2) 要么不用 B , 若使用 B , 则必须同时使用 D ;
 - 3) B 和 C 要么同时使用, 要么都不用;
 - 4) A 和 C 中有且仅有一种被使用;
- 假定使用该药物为 1, 不使用为 0; 方案可行为 1, 方案不可行为 0;

1. 请写出以上各限定条件对应的逻辑表达式 F_i :

$F_1 =$ _____ ;

$F_2 =$ _____ ;

$F_3 =$ _____ ;

$F_4 =$ _____ ;

2. 请写出表示可行治疗方案的最简与或逻辑表达式 F ，并填写其真值表。

$$F = \overline{A}BCD + A\overline{BCD}$$

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

3. 若用一个 8 选 1 的多路选择器 (MUX) 来实现上述治疗方案可行性判别。请

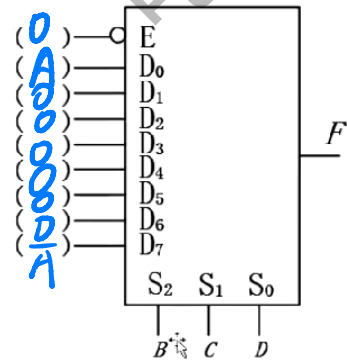
在下图中分别标出各输入管脚的逻辑电平

(图中括号内，可填输入反变量)。其中 E

为使能端， $S_2S_1S_0$ 为通道选择端 (S_2 为

MSB)，当 E 有效时 $F = D_{S_2S_1S_0}$ ，当 E 无效时

$F = 0$ 。



分 数	
评卷人	

六、时序电路分析 (共 16 分)

请分析由 8421BCD 码十进制同步加法计数器 CNT10 和逻辑门构成如下图所示的电路 (CNT10 功能说明详见 Page10 附录)，

并解答如下问题。

1. (1) PE 为 同步 (同步/异步) 预置信号；

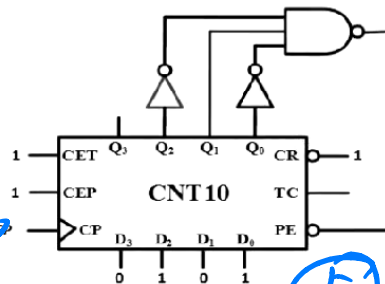
(2) PE 的逻辑表达式为

$$PE = \overline{Q_2} \overline{Q_1} \overline{Q_0}$$

(3) TC 的逻辑表达式为

$$TC = CET \cdot \overline{Q_3} \overline{Q_2} \overline{Q_1} \overline{Q_0}$$

2. 画出状态转移图；



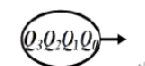
8 4 2 1 (5)

CET, CEP 预置数据端

$\overline{Q_3}, \overline{Q_2}, \overline{Q_1}, \overline{Q_0}$

$$PE = 1$$

注：状态框中用 $Q_3Q_2Q_1Q_0$ 对应的十进制数标识不同状态（包括未用状态）。



.....

3. 简要说明该电路的功能(20 字以内)，并据画出的状态图判断是否能自启动。

模 8 计数器, 能够自启动

4. 请按如下要求将下面的 Verilog HDL 代码补充完整。

- 1) 异步复位信号 CR_n 为低电平时，初始状态设置为 0；
- 2) CR_n 信号为高电平时，CT 模块具有与本题小题 2 相同的状态转移图。

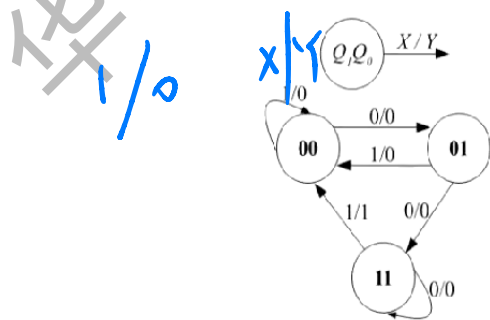
```

module CT(CP, CR_n, Q);
    input CP, CR_n;
    output reg [3:0] Q;
    always @ (posedge CP or negedge CR_n) begin
        if (CR_n == 1'd0)
            Q <= 4'd0;
        else if (Q == 4'd9)
            Q <= 4'd2;
        else if (Q == 4'd15)
            Q <= 4'd0;
        else
            Q <= Q + 4'd1;
    end
endmodule

```

评卷人： 用 D 触发器及部分组合逻辑设计如图所示的“001”序列检测器 (1 为序列的最后输入位)。其中 X 为序列信号输入， Y 为检测结果输出(设检出为 1)。

1. 根据状态转移图，填写状态表。



$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y_n$	
	$X = 0$	$X = 1$
00	01 / 0	00 / 0
01	11 / 0	00 / 0
11	11 / 0	00 / 1

$$D_1 = Q_1^n \quad D_0 = Q_0^n$$

$\overline{x}Q_0$

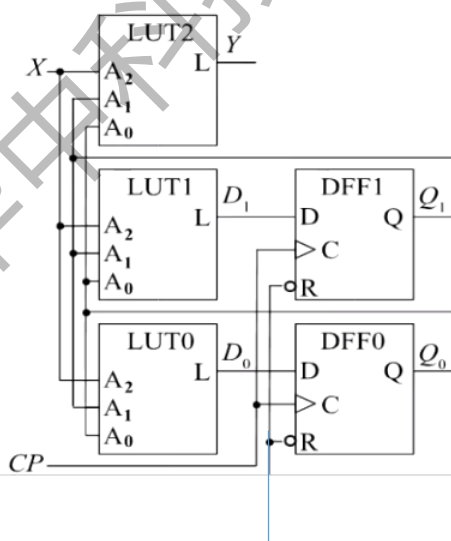
2. 若将电路无效状态 10 作为无关项，电路有（有/无）自启动能力。若不允许多报，请写出输出函数和激励函数的最简与或式：

$Y = XQ_1Q_0$
 $D_1 = \overline{x}Q_0$, $D_0 = \overline{x}$

3. 根据小题 1 中的状态图，将检测电路的 Verilog HDL 描述补充完整。

```
module detector(X,CP,CR_n,Y);
    input X,CP,CR_n;
    output reg Y;
    reg[1:0] current_state, next_state;
    always @(posedge CP, negedge CR_n) begin
        if(~CR_n) current_state <= 2'h0;
        else current_state <= next_state;
    end
    always @(current_state, ) begin
        case (current_state)
            2'h0: {Y, next_state} = X? 3'h : 3'h ;
            2'h1: {Y, next_state} = X? 3'h : 3'h ;
            2'h3: {Y, next_state} = X? 3'h : 3'h ;
            default: {Y, next_state} = 3'h0;
        endcase
    end
end
```

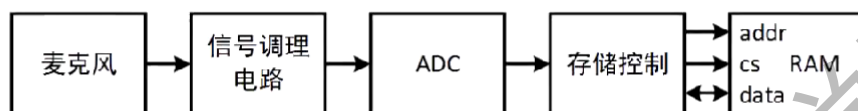
4. 依据小题 3 中的行为描述，若综合工具在 FPGA 器件上综合得到如下电路，其中 LUT 为 3 输入查找表，DFF 为 D 触发器。请填写各 LUT 内部 8bit RAM 需预加载的控制字（其中 LSB 对应 $A_2A_1A_0=3'b000$ 时的 L 输出值）。



预加载控制字	
LUT2	8'h
LUT1	8'h
LUT0	8'h

八、综合题（共 5 分）

在进行模拟/数字信号的转换过程中，由采样定理可知：采样频率 f_s 和输入模拟信号中最高频率分量的频率 f_{\max} 必须满足 $f_s \geq 2f_{\max}$ 关系式。某一声音信号采集系统功能框图如图所示，经麦克风声音采集、信号调理电路放大、A/D 转换模块，最后由存储控制器将数据存储到 RAM。假设采集的目标声音信号最高频率是 1kHz，ADC 输出位数为 8bit。试回答以下问题：

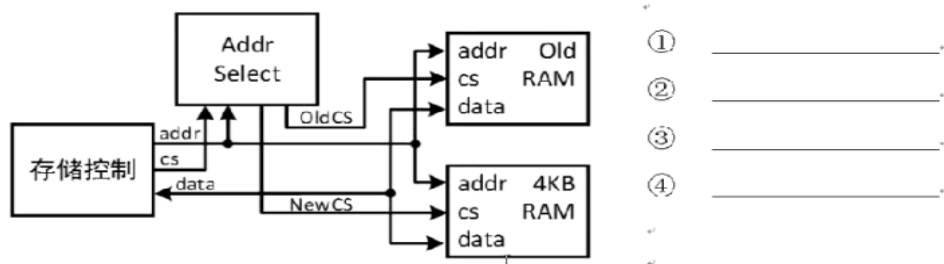


1. 若系统需要无失真采集 1 秒钟声音信号，该存储器 RAM 的最小容量是多少 KB (Kilo-Bytes)？请给出计算依据。
2. 若系统已按小题 1 配置了最小容量存储器。为采集更长时间的声音信号，需额外增加一片 4K×8bits 的 RAM，并通过在原存储控制器基础上增加一个寻址模块 (AddrSelect) 来管理系统原配置的 RAM 和新增的 4KB RAM。要求访问新增存储器在内存空间上要求紧顺着原有 RAM 地址后面编排。寻址模块的 Verilog HDL 实现片段如下，请根据以上信息补充空白片段内容（详见后图并填入对应的小题号行中）。

```

module AddrSelect(cs, addr, OldCS, NewCS);
    parameter N= ① ;
    input [N-1:0]addr;
    input cs; //高电平有效
    output OldCS, NewCS; //高电平有效
    wire tmpOld, tmpNew;
    //and(Y,A,B) not(Y,A) (Y:output, A B:input)
    and(NewCS, cs, tmpNew);
    and(OldCS, cs, tmpOld);
    not(tmpNew, ② );
    assign tmpOld=(addr[③]== ④)?1:0;
endmodule

```

- ① _____
- ② _____
- ③ _____
- ④ _____

附录

CNT10 是 8421BCD 码十进制同步加法计数器，具有高电平有效的计数允许端 CEP 、 CET 。

预置数据端为 D_3 、 D_2 、 D_1 、 D_0 (D_3 为最高位)，输出数据端为 Q_3 、 Q_2 、 Q_1 、 Q_0 (Q_3 为最高位)。

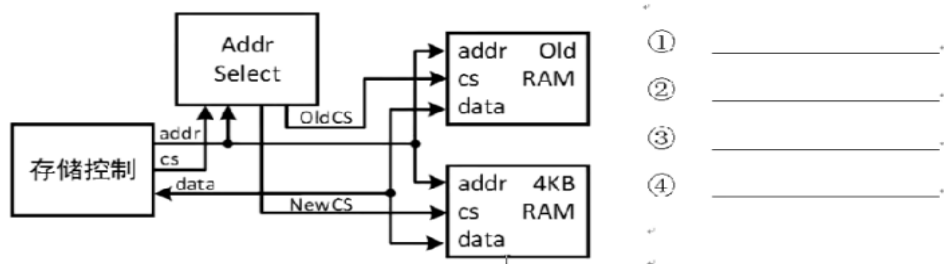
器件功能如下表所示：

I 输 入									输 出				
清零	预置	使 能		时钟	预置数据输入				数据输出				进位
\overline{CR}	\overline{PE}	CEP	CET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	TC
L	X	X	X	X	X	X	X	X	L	L	L	L	L
H	L	X	X	↑	D_3^*	D_2^*	D_1^*	D_0^*	D_3	D_2	D_1	D_0	#
H	H	L	X	X	X	X	X	X	保 持				#
H	H	X	L	X	X	X	X	X	保 持				L
H	H	H	H	↑	X	X	X	X	计 数				#

注：1) D_N^* 表示 CP 脉冲上升沿之前瞬间 D_N 的电平。

2) # 表示只有当 $Q_3 Q_2 Q_1 Q_0 = 1001$ 且 $CET = 1$ 时， TC 输出为高电平，其余均为低电平。

3) $Q_3^n Q_2^n Q_1^n Q_0^n = 10 \sim 15$ 时 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = Q_3^n Q_2^n Q_1^n Q_0^n + 1$ ；



- ① _____
- ② _____
- ③ _____
- ④ _____

附录

CNT10 是 8421BCD 码十进制同步加法计数器，具有高电平有效的计数允许端 CEP 、 CET 。

预置数据端为 D_3 、 D_2 、 D_1 、 D_0 (D_3 为最高位)，输出数据端为 Q_3 、 Q_2 、 Q_1 、 Q_0 (Q_3 为最高位)。

器件功能如下表所示：

I 输 入									输 出				
清零	预置	使 能		时钟	预置数据输入				数据输出				进位
\overline{CR}	\overline{PE}	CEP	CET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	TC
L	X	X	X	X	X	X	X	X	L	L	L	L	L
H	L	X	X	↑	D_3^*	D_2^*	D_1^*	D_0^*	D_3	D_2	D_1	D_0	#
H	H	L	X	X	X	X	X	X	保 持				#
H	H	X	L	X	X	X	X	X	保 持				L
H	H	H	H	↑	X	X	X	X	计 数				#

注：1) D_N^* 表示 CP 脉冲上升沿之前瞬间 D_N 的电平。

2) #表示只有当 $Q_3 Q_2 Q_1 Q_0 = 1001$ 且 $CET = 1$ 时， TC 输出为高电平，其余均为低电平。

3) $Q_3^n Q_2^n Q_1^n Q_0^n = 10 \sim 15$ 时 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = Q_3^n Q_2^n Q_1^n Q_0^n + 1$ ；