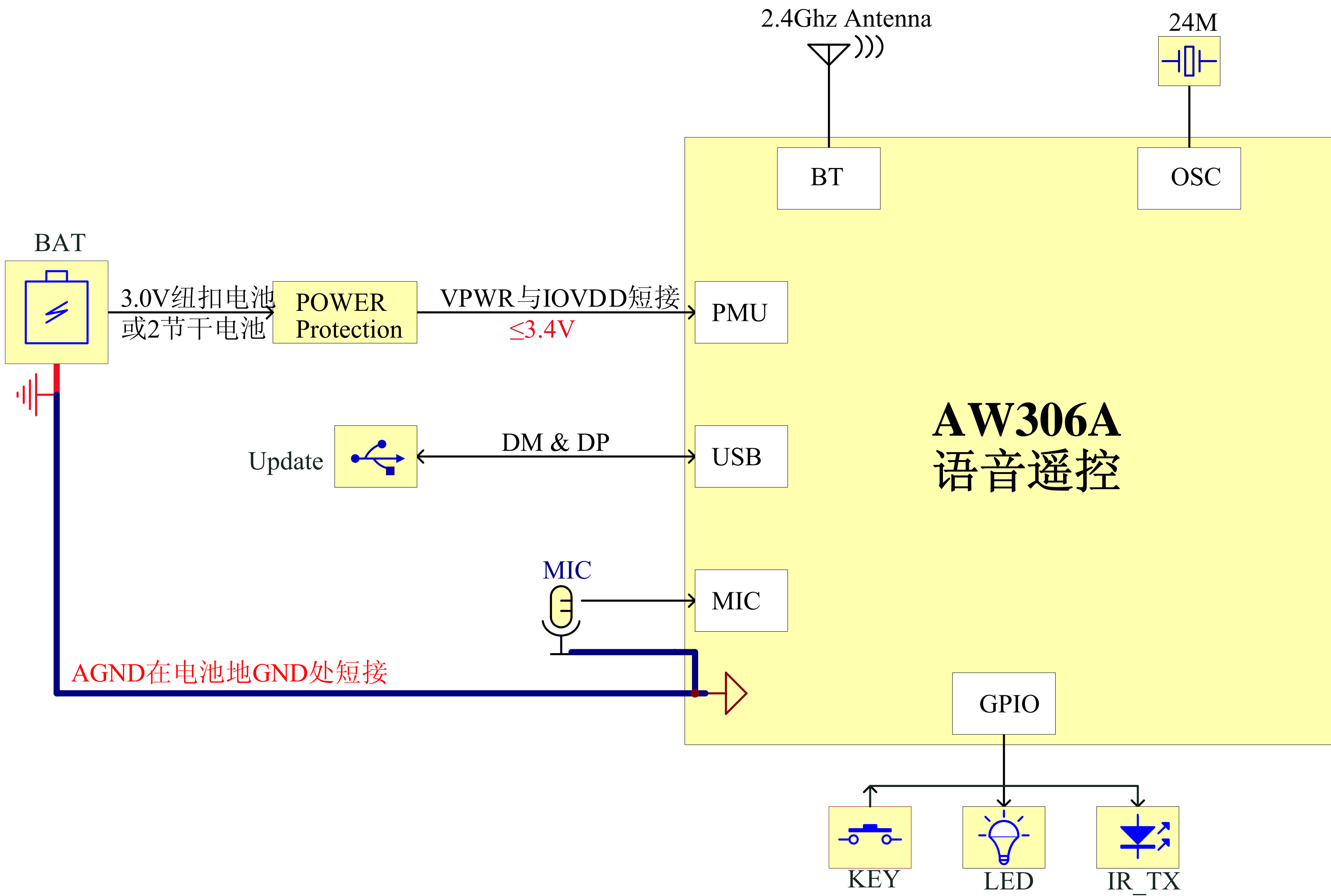
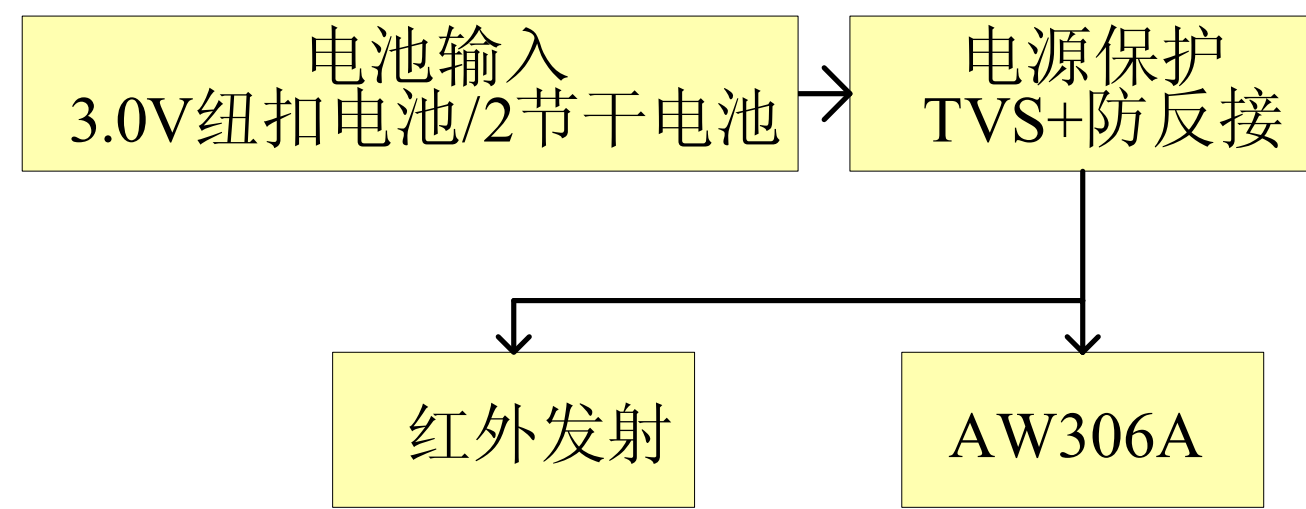


版本更新说明		
版本号	更新日期	更新说明
V1.0	2023.11.09	初始版本

AW306A BLE蓝牙语音遥控硬件框图



供电路径



版本更新说明		
版本号	更新日期	更新说明
V1.0	2023.11.09	初始版本
V1.1	2024.01.24	删除APA并联桥式负载（PBTL）描述，调整封装IO命名等

杰理方案咨询(QQ号:1418295957, 邮箱:fae@zh-jieli.com)

## 产品安全规范

- 电源选型
  - 注意供电场景，严格控制输入电压范围。
    - 供电至VPWR，不和IOVDD短接（≤5.5V，如3.7V锂电池/5V适配器应用）。
    - 或供电至VPWR，和IOVDD短接（≤3.4V，如3.0V纽扣电池/2节干电池应用）。
  - 注意供电保护，防过压/过流/反接/浪涌等（如纽扣电池应用，必须考虑防反接电路保护）。
- 电容选型
  - 注意容值随电压升高而下降，请确保工作电压下的容值（优选0402或更大尺寸的封装）。
  - 请使用原装电容（非拆机、劣质电容），以保证容值和品质。
  - 主控VPWR电阻电容耐压值要求≥16V，主控其他电容耐压值≥6.3V；其它外设电容依据其工作要求选择（防止浪涌、过冲击穿）。
- 静电选型
  - 整机静电标准必须≥（接触±4KV，空气±8KV）。
  - 天线输入端必须加ESD管，请使用推荐型号。
- 浪涌选型
  - 构造通值一般要求≥±48V（根据实际应用场景调整），建议留有冗余设计。
  - VPWR输入端必须加TVS管，请使用推荐型号。

## 设计注意事项

- 电源：
  - 内置电源输入单元，支持供电至VPWR（不和IOVDD短接，输入≤5.5V，和IOVDD短接，输入≤3.4V）。
  - IOVDD默3V电源域输出，不可关闭，电压档位可设，2.1V≤IOVDD≤3.4V，Imax≤120mA(包含主控IO消耗)；连接外设时，应避免过载输出。
  - HPVDD是APA音频模块的电源输入端，和VPWR短接（或合路），其电压大小决定APA模块输出功率。
- 音频：
  - 内置1路16位Audio DAC，支持1路单端输出（固定出口PA5，必须外挂PA）。
  - 内置1路16位Audio ADC，支持AIN\_x音频输入（x代表A通道），可选MIC或AUX输入，支持单端或差分，支持输入≤1.5Vpp@单端（或2.8Vpp@差分），单端时，输入可选AIN\_APx，差分时，AIN\_APx为正端，AIN\_ANx为负端，x代表0/1/2/3/4通道。
    - 注1：MIC省电容单端输入，MIC仍需外供偏置电压（MIC\_BIAS）。
    - 注2：AIN\_AP4（固定出口PA7），和MIC\_BIAS合路，一般用于MIC供电，可选内置上拉0.5K~10KΩ输出。
    - 注3：AIN\_AP3（固定出口PA6），和AIN\_AN合路，一般用于差分集线输入。
  - 内置APA模拟D类功放单元，支持桥式负载（BTL）输出模式，支持单端隔直或差分直推4ohm、8ohm喇叭，不支持立体声。
    - 注：APA/APAN，若无音频应用，可用作IO输出，一般仅用于PWM或UART\_TX外设，“APA输出电压”必须限制在“外设的电源域”。
- IO：
  - 除固定IO，其他IO根据需求，依据芯片规格书IO说明进行灵活分配。
  - 所有GPIO均可配置唤醒口（边沿触发），休眠机唤醒时，IO状态可保持。
  - PA2支持外部持续4秒低电平触发复位，支持重映射，可软件烧写屏蔽。
  - PA0可做串口烧写前置程序，应用时上拉控制。
  - PA0/USBDM/USBDP上电联线下拉，PA2/PB0上电默认上拉。
  - USBDM可配上拉10KΩ，下拉1KΩ，USBDP可配上拉1.5KΩ，下拉1KΩ，其他IO可配内部上下拉10KΩ/100KΩ/1MΩ。
  - PB5/PB6/PA0为高阻IO，阻抗≤（≤5V或≤3V IOVDD时最小值），只能驱动≤6mA。
  - USBDP/MDP可做普通IO（驱动电流30mA），其余IO驱动电流可选3/8/20/40~50mA四档。
    - 注：若无USB功能应用，USBDM/MDP一般用于IO按键或输入检测功能等。
  - RSF、SFC、SPD、RTC，内置触摸，ADC检测，音频AUDIO0等外设，均为固定IO，严禁随意分配。
  - HC、ALINK、SPI1/2、UART、SD、TIMER/PWM/MCPWM/CAP/CLKOUT等外设，支持crosbar映射，可灵活分配IO，支持映射到除PF组外的IO，如PA组、PB组等。
  - RF、晶振、模拟AUDIO等信号相邻IO，严格分配高速连续信号，且应做好隔离，避免干扰。

## IO名词解析

VPWR：芯片供电输入端；  
APA：音频处理器（D类功放）；  
AIN\_x：模拟音频输入（x为通道）；  
ADCx：ADC采样输入检测（x为通道）；  
TTRx：内置触摸（x为通道）；  
Update：串口更新程序；

## AGND走线要求

AGND处走线要求：  
1、PCB Layout需要分地（区分AGND和GND）  
2、AGND走线顺序：音频设备AGND→主控AGND管脚→功放Bypass电容地或总电源供电入口GND处短接。  
即MIC/AUX/PA等音频模拟地，单独大面积走线至主控AGND管脚，再从主控AGND管脚，单独走线到功放Bypass电容地或总电源供电入口GND处短接。  
注：若板空间受限，可尝试AGND在主控控制地短接（注意验证音频设备是否有噪声）。

