

# AW30N 硬件设计指南

## V1.0

## 目录

版本信息 .....	4
第 1 章. 概述 .....	4
1.1. 芯片简介 .....	4
1.2. 设计说明 .....	5
1.2.1. 产品设计原则：安全、稳定、可靠 .....	5
1.2.2. 硬件设计原则：便于量产、便于测试。 .....	5
1.3. 缩写&术语 .....	6
第 2 章. 原理设计 .....	6
2.1. 电源 .....	7
2.1.1. VPWR .....	7
2.1.2. IOVDD .....	7
2.1.3. HPVDD .....	7
2.1.4. MIC_BIAS .....	7
2.2. 晶振 .....	7
2.3. 射频 .....	7
2.3.1. BT 蓝牙 .....	7
2.4. 音频 AUDIO .....	7
2.4.1. ADC(AUX、MIC) .....	7
2.4.2. DAC .....	8
2.4.3. APA (CLASS D) .....	8
2.4.4. IIS (ALNK) .....	8
2.5. Peripherals .....	9
2.5.1. ADC (SARADC) .....	9
2.5.2. LP_Touch (LPCTM ) .....	9
2.5.3. IIC .....	9
2.5.4. SPI .....	9
2.5.5. UART .....	10
2.5.6. SD .....	10
2.5.7. USB .....	10
2.5.8. MCPWM .....	10
2.5.9. Timer/PWM/CAP .....	11
2.5.10. IR .....	11
2.6. GPIO .....	11
2.6.1. IO 上下拉电阻、上电默认配置 .....	11

2.6.2. IO 驱动电流、状态、高压 IO(HVT)	11
<b>第 3 章. 硬件设计</b>	<b>12</b>
3.1. 产品结构、板层设计	12
3.2. 天线设计	12
3.3. 地场设计（关键项）	14
3.4. 晶振设计	15
3.5. 电源设计	16
3.6. 音频 ADC 设计	17
3.6.1. MIC 输入设计	17
3.6.2. AUX 输入设计	20
3.7. 音频 DAC 设计	20
3.7.1. DAC 隔直推耳机设计	21
3.7.2. DAC 外接功放设计	22
3.8. 音频 APA 设计（CLASS D）	22
3.9. LP_TOUCH 内置触摸设计（LP_CTMU）	23
3.10. USB 设计	24
3.11. SDIO 设计	25
3.12. 防静电设计	26
3.13. 防浪涌设计	27
3.14. EMC/EMI 防护设计	27
<b>第 4 章. 开发、生产、量产注意事项</b>	<b>28</b>
4.1. 烧写、升级、测试说明	28
4.2. 装配说明	28
<b>第 5 章. 常见问题 FAE</b>	<b>29</b>
5.1. 使用 2 节干电池供电时，电路如何设计？	29
5.2. 使用 USB 强制升级连接样机，进不了 PC 模式？	29
5.3. DAC 存在噪声，如何排查优化？	29

## 版本信息

本文档用于指导硬件设计，其中“概述”描述芯片简介和相关设计原则，“原理设计”描述原理和相关接口信息，“硬件设计”描述设计细节和相关注意事项。

时间	版本	描述
2023/12/07	V1.0	原始版本

## 第 1 章. 概述

### 1. 1. 芯片简介

AW30N 系列芯片是集成蓝牙模块的 32 位 SOC，主推 BluetoothSmart 单模方案(BLE 5.4)，支持高性能低功耗的蓝牙及音频应用。

#### 芯片特色：

- 内置 PMU 管理单元，支持软关机、低功耗蓝牙连接或待机等应用场景
- 内置 LDO3V 电源转换，典型输出 IOVDD=3.0V，最大可驱动 120mA 外设负载
- 集成蓝牙基带、调制解调器及模拟 RF 模块，支持 Bluetooth 单模（BLE V5.4）
- 支持内部 RC 时钟或外置晶振提供时钟源，典型外挂 24MHz 主系统晶振
- 内置代码存储单元，支持多种方式烧写更新程序（如无线/串口/USB/SD 升级等）
- 内置 1 路 16 位 Audio ADC（集成前置信号放大单元），支持模拟 MIC 和 AUX 输入
- 内置 1 路 16 位 Audio DAC（集成功率输出放大单元），支持 1 声道单端输出，可外挂功放
- 内置 1 路 16 位 APA 功放单元（CLASS D），支持直推高功率负载，支持推单喇叭或双喇叭
- 具备丰富的数字外设和 IO 重映射功能，除固定 IO 接口外，其余 IO 可依据芯片规格书灵活分配
- 所有 GPIO 均可配置唤醒口（边沿触发），软关机唤醒时，IO 状态可保持
- 所有 GPIO 可配置上下拉电阻，支持推挽输出和高阻态配置，支持多档电流驱动
- 支持 UART 串口打印、串口升级代码等功能
- 支持 USB 代码烧写升级/U 盘功能
- 支持 SD 无线升级/SD 卡功能
- 支持 12-bit ADC 模拟采样功能
- 支持 LP\_CTMU 低功耗高精度触摸检测功能
- 支持 LED 单 IO 推双灯等功能
- 支持 IIC、IIS、SPI、Timer、PWM、CLKOUT、CAP 红外接收等功能

## 芯片框架:

集成蓝牙模块、PMU 管理模块、内存管理模块、APA 音频模块、AD/DA 低噪声音频模块，具备丰富的数字外设资源。

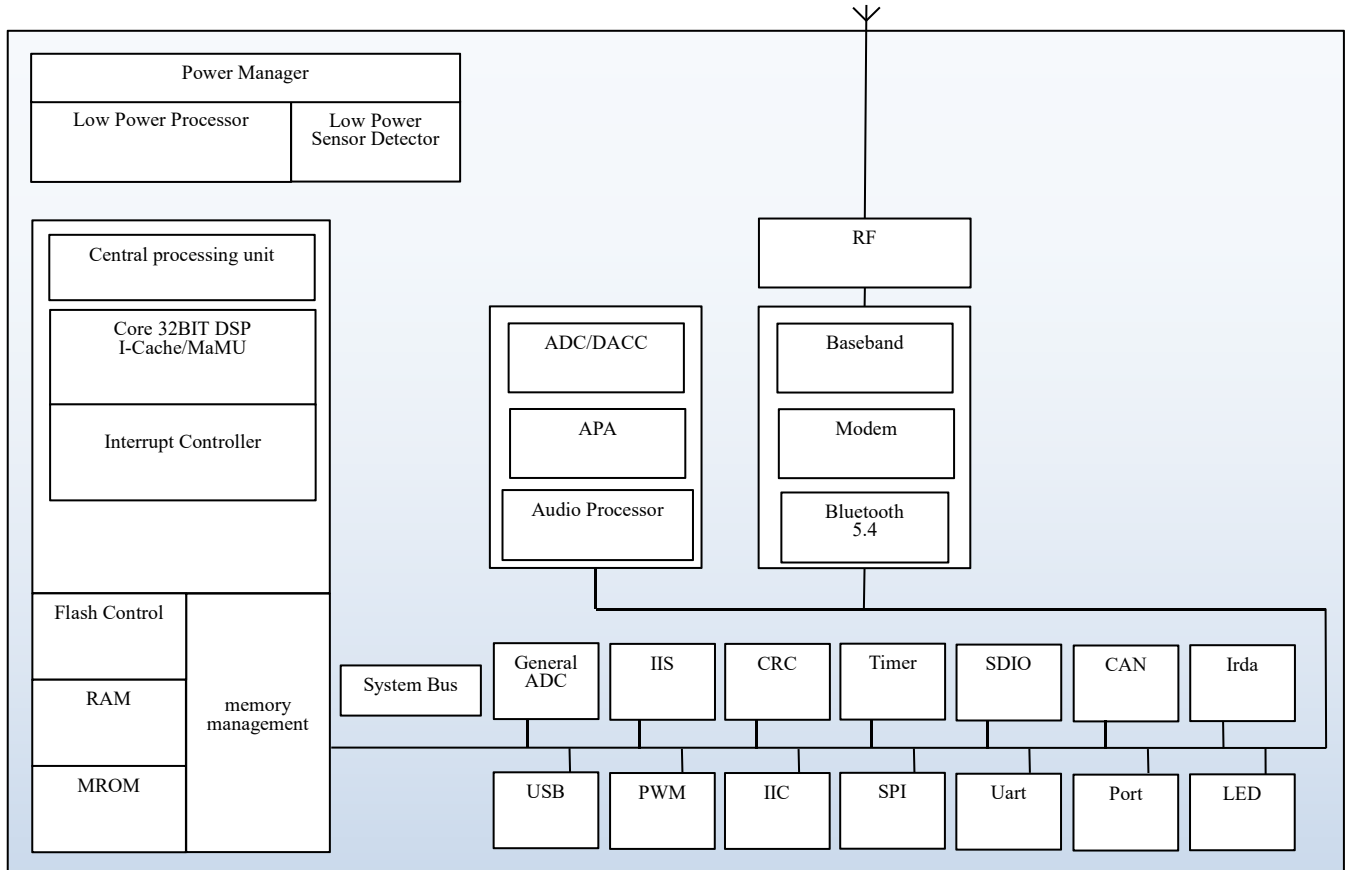


图 1-1 AW30N 硬件框架图

## 1. 2. 设计说明

### 1.2.1. 产品设计原则：安全、稳定、可靠

- 1、产品必须满足静电标准：接触放电大于 $\pm 4KV$ ，空气放电大于 $\pm 8KV$ ，设计留有余量。
- 2、产品必须满足抗浪涌：一般大于 $\pm 48V$ （标准必须根据产品应用场景调整），设计留有余量。
- 3、产品必须做好电源保护，如防过压/防过流/防反接等（如纽扣电池必须做好防反接保护）。
- 4、产品若用电池供电，要求电池电压 0V 时，充电下产品必须能正常工作，不依赖于电池电压。
- 5、产品必须支持长时间运输（如船运模式），出厂时特殊配置进入极限最低功耗。

### 1.2.2. 硬件设计原则：便于量产、便于测试。

#### 一、原理图设计

要求兼顾功能和性能，设计时务必考虑安全、稳定、可靠。

总的原则是，优先功能模块化设计，参考典型电路方案，合理元件选型，留有余量设计，在标识上务求准确可靠、简洁明了，保证后续软件开发的便捷、可靠、高效。

**特别注意事项（IO 分配原则）：**

- 1) 务必考虑 IO 电气干扰，如避免在敏感模拟信号旁边分配高速数字跳变信号等。
- 2) 务必考虑 IO 特殊状态（如上电、软关机、掉电唤醒、长按复位、合绑等）。
- 3) 务必考虑 IO 电气特性，如 IO 驱动电流、耐高压、上下拉电阻、IO 内阻等特性。
- 4) 务必考虑产品设计便捷性。合理 IO 分配，使产品最优化设计，便于缩短项目开发周期。

## 二、PCB 设计

优先以下流程开发：**结构设计、板层设计->天线->地场->晶振->电源->敏感信号等。**

- 1) 结构设计：模具最优化设计。射频/音频应用时，务必考虑天线、MIC、喇叭等结构设计，以最大化发挥产品性能。
- 2) 板层设计：优选多层板，可以提供完整地平面和信号线布局空间。若是单层板/2 层板设计，则严格要求**地回路阻抗小**。
- 3) 天线设计：选择合适的天线类型，和摆放空间。（蓝牙一般优选倒 F 天线）
- 4) 地场设计：多层板必须留一层完整的地平面；双面板或单面板，地回路要合理设计。（地直接影响系统性能）
- 5) 晶振设计：远离干扰源。
- 6) 电源设计：关注电源退耦电容、电源布局、和线宽线长。
- 7) 敏感信号设计：如“DAC、MIC、LINEIN、触摸”等功能模块或走线，注意远离干扰等。

### 1.3. 缩写&术语

VPWR: 芯片供电输入端

APA: 音频处理器（D 类功放）

LPCTM: 低功耗触摸模块(电容式)

BTL: 桥式负载

PBTL: 并联桥式负载

## 第 2 章. 原理设计

AW30N 芯片集成了“LDO 电源（IOVDD、MIC\_BIAS），晶振，蓝牙、AUDIO ADC（MIC、AUX）和 APA、ALNK，LP\_Touch、SARADC、SPI、SD、USB、IIC、UART、Timer、MCPWM、PWM、CAP、CLKOUT、IR，内置 3 档上下拉电阻、4 档驱动电流、高压 IO”等资源。

## 2.1. 电源

### 2.1.1. VPWR

VPWR 是整个芯片的供电输入端，供电电压  $VPWR \leq 5.5V$ 。

### 2.1.2. IOVDD

IOVDD 是 3V 电源域 LDO 稳压输出，输出范围  $2.1V \leq IOVDD \leq 3.4V$ ，电压档位可调，最大输出电流  $I_{max}=120mA$  (包含主控 IO 和系统消耗)，在 VPWR 不掉电情况下，IOVDD 为常带电电源，无法关闭。

### 2.1.3. HPVDD

HPVDD 是 APA 的电源输入端，和 VPWR 短接。

### 2.1.4. MIC\_BIAS

MIC\_BIAS 是用于 MIC 差分或单端电路供电的输出电源，输出范围  $2V \leq MIC\_BIAS \leq 3V$ ，电压档位可调，可上拉  $0.5 \sim 10K\Omega$  输出。

## 2.2. 晶振

芯片有 2 组晶振接口，XOSCI/XOSCO，一般接 24M 晶振；PB1/PB2，接 32.768K 晶振。

## 2.3. 射频

### 2.3.1. BT 蓝牙

BTRF 是 2.4G 蓝牙天线接口，工作频段：2.40~2.48GHz，必须配套 2.4G 蓝牙天线，以保障蓝牙收发性能。

## 2.4. 音频 AUDIO

### 2.4.1. ADC(AUX、MIC)

ADC 为 1 通道，支持“驻极体 MIC”和“硅 MIC”输入，支持“LINE IN”输入；AIN\_AN 是差分负输入端，AIN\_APx 是差分正输入端；支持 8~48kHz 采样率，16 bit 数据，支持输入信号  $\leq 1.5V_{pp}$

（差分 2.8V<sub>pp</sub>），支持省电容方式输入。

MIC\_bias 支持上拉 0.5~10K $\Omega$ 电阻输出。

I/O	ADC	
PA8	AIN_AP0	单端/差分正端 0
PA4	AIN_AP1	单端/差分正端 1
PA5	AIN_AP2	单端/差分正端 2
PA6	AIN_AP3 /AIN_AN	单端/差分正端 3 /差分负端
PA7	AIN_AP4 /MIC_BIAS	单端/差分正端 4 /bias 电源

#### 2.4.2. DAC

DAC 和 ADC 结构上相互独立，可独立开关，可工作于各自不同的采样率下。

DAC 为 1 通道，支持外挂 PA 输出，支持 8~96kHz 采样率，16 bit 数据。

I/O		
PA5	DAC	单声道单端输出（隔直推 PA）

#### 2.4.3. APA (CLASS D)

APA 是一个模拟 D 类放大器驱动器，用来推高功率负载，有 2 个接口，分别是“APAP 和 APAN”；支持 32/44.1/48kHz 采样率；支持桥式负载（BTL）和并联桥式负载（PBTL）2 种输出模式，**不支持立体声**；最大功率由 HPVDD 供电电压决定。

注 1：APAP/APAN，若和 IO 合邦，“APA 输出电压”**必须**限制在“合邦 IO 的电源域”。

注 2：APAP/APAN，若无音频应用，可用作 **IO 输出**，一般仅用于 **PWM 或 UART\_TX 外设**，“APA 输出电压”**必须**限制在“外设的电源域”。

#### 2.4.4. IIS (ALNK)

芯片内置 1 个 ALNK 模块（Audio Link），是一个通用双声道音频接口，用于外设 DAC 或 ADC，支持 DMA。

支持 DAT0~DAT3 的 4 条独立双向通道（输入或输出），可相互独立工作，可任意映射到 PA/PB 口。

ALNK		
ALNK_SCLKA	ALNK_SCLKB	位时钟
ALNK_LRCKA	ALNK_LRCKB	采样率
ALNK_DAT0A	ALNK_DAT0B	数据 0 通道
ALNK_DAT1A	ALNK_DAT1B	数据 1 通道



ALNK_DAT2A	ALNK_DAT2B	数据 2 通道
ALNK_DAT3A	ALNK_DAT3B	数据 3 通道
ALNK_MCLKA	ALNK_MCLKB	主时钟

## 2. 5. Peripherals

### 2.5.1. ADC (SARADC)

ADC 是 12Bit ADC，支持 DMA 模式，共 9 通道，固定 IO。

I/O		I/O		I/O		I/O	
PA4	ADC0	PA8	ADC2	PA14	ADC4	USBDP	ADC6
PA5	ADC1	PA13	ADC3	PA15	ADC5	USBDM	ADC7
PA11	AINP	差分输入正端		PA12	AINN	差分输入负端	

### 2.5.2. LP\_Touch (LPCTM )

LP\_Touch 是低功耗触摸检测模块(Low Power Capacitive Touch Module, LPCTM)，利用人体分布电容对触摸电容的影响来进行检测，支持低功耗唤醒，共 8 个通道，固定 IO。

I/O		I/O	
PA1	LP_Touch0	PB1	LP_Touch4
PA2	LP_Touch1	PB2	LP_Touch5
PA3	LP_Touch2	PB3	LP_Touch6
PB0	LP_Touch3	PB4	LP_Touch7

### 2.5.3. IIC

IIC 是一个标准的遵守 IIC 协议的串口通讯接口，支持主机和从机模式，上拉电阻越大，频率越低，共 4 通道，可任意映射到 PA/PB 口。

IIC_SCK_A	IIC_SCK_B	IIC_SCK_C	IIC_SCK_D
IIC_SDA_A	IIC_SDA_B	IIC_SDA_C	IIC_SDA_D

### 2.5.4. SPI

SPI 是一个标准的遵守 SPI 协议的串口通讯接口，共 3 组，SPI0/SFC 为系统自用，固定 IO；SPI1、SPI2 接口支持 CPU 控制，支持单向 DMA(不能同时收发)，可任意映射到 PA/PB 口。

SPI1			SPI2		
SPI1CLKA	SPI1CLKB	SPI1CLKC	SPI2CLKA	SPI2CLKB	SPI2CLKC

SPI1DOA	SPI1DOB	SPI1DOC	SPI2DOA	SPI2DOB	SPI2DOC
SPI1DIA	SPI1DIB	SPI1DIC	SPI2DIA	SPI2DIB	SPI2DIC
SPI1D2			SPI2D2		
SPI1D3			SPI2D3		

### 2.5.5. UART

UART 有 UART0、UART1、UART2，支持接收带循环 Buffer 的 DMA 模式和普通模式，可任意映射到 PA/PB 口。

UART0		UART1		UART2	
TXA	RXA	TXA	RXA	TXA	RXA
TXB	RXB	TXB	RXB	TXB	RXB
		TXC	RXC	TXC	RXC
TXD	RXD	TXD	RXD	TXD	RXD

### 2.5.6. SD

SD 是一个标准的遵守 SD 协议的串口通讯接口，为 SD0；只支持主机模式；支持 1 bit 和 4 bit 模式；支持高速和低速模式，时钟最高 50MHz；支持命令 DMA 和数据 DMA，且相互独立，可以同时做 DMA；可任意映射到 PA/PB 口。

SD0DAT0A	SD0DAT0B
SD0CMDA	SD0CMDB
SD0CLKA	SD0CLKB

### 2.5.7. USB

USB 是一个 Full Speed (USB1.1)，支持普通 IO 功能，USBDP、USBDM 为固定 IO。

USB1.1 通信频率 12MHz。

### 2.5.8. MCPWM

MCPWM 模块包括：3 个 MCTimer 时基(TMRxCK)，3 对独立 MCPWM 通道(MCPWMCHxL/H)，3 路 FPINx 故障保护输入，x=0~2；MCTimer 是 16 位定时器；MCPWM 支持运行中更改频率、占空比，支持灵活配置每对通道的有效电平状态，支持编程死区控制，支持硬件故障输入 FPIN；可任意映射到 PA/PB 口。

MCPWM0		MCPWM1		MCPWM2	
CH0L	CH0H	CH1L	CH1H	CH2L	CH2H

TMR0CK	TMR1CK	TMR2CK
FPIN0	FPIN1	FPIN2

### 2.5.9. Timer/PWM/CAP

Timer 有 Timer0~Timer3 共 4 个 16 位定时器，支持定时 TMRx/计数 CNTx/捕捉 CAPx/时钟 CLKOUTx/PWMx, x=0~3；驱动源可以选择“内部时钟”或“外部信号”。

支持上升沿/下降沿捕获功能，可以测量外部信号电平宽度，可任意映射到 PA/PB 口。

### 2.5.10. IR

IRFLT 是一个专门用于滤除红外接收头上窄脉冲信号的硬件模块，可任意映射到 PA/PB 口。

## 2.6. GPIO

### 2.6.1. IO 上下拉电阻、上电默认配置

IO 内置上下拉电阻偏差为“±20%”。

Resistor	Pull-Up (上拉)				Pull-Down(下拉)			
Register	PU1、PU0				PD1、PD0			
Port \ Bit	00	01	10	11	00	01	10	11
PA0~PA15 PB0~PB6	—	10KΩ	100KΩ	1MΩ	—	10KΩ	100KΩ	1MΩ
	PU0=0		PU0=1		PD0=0		PD0=1	
USBDP	—		1.5KΩ		—		15KΩ	
USBDM	—		180KΩ		—		15KΩ	

注：“—”代表“未开”

芯片上电特殊配置 IO:

默认上拉 IO=10KΩ, PU0=1	默认下拉 IO=15KΩ
PB0、PA2 (支持长按复位)	USBDP、USBDM; PA0=10K

### 2.6.2. IO 驱动电流、状态、高压 IO(HVT)

IO 输入逻辑电平		Input VH≧0.7*IOVDD， Input VL≦0.3*IOVDD				
	HD1、HD0				电源域 /耐压	软关唤醒 时 IO 状态
Port \ Bit	00	01	10	11		

PA1~PA15 PB0~PB4	3mA	8mA	20mA	40~50mA	IOVDD	保持
PB5、PB6 PA0	8mA(高压 IO)				$\leq 5.5V$	保持
USBDP USBDM	8mA				IOVDD	保持

备注：1、IOVDD 是 3.3V 电源域；

2、当  $2 \times IOVDD < 5.5V$  时，高压 IO 耐压  $\leq 2 \times IOVDD$ 。

## 第3章. 硬件设计

以我司 BLE 蓝牙产品为例，优先以下流程设计：

产品结构、板层设计->天线->地场->晶振->电源->敏感信号设计等

### 3.1. 产品结构、板层设计

项目立项前期必须重点评估产品结构，以最大化发挥无线射频、声学音频性能。

重点留意“天线”、“MIC”、“喇叭腔体”的结构位置，要求“天线”有足够的辐射空间、“MIC”利于声音高质量采集等，“喇叭腔体”利于声音高质量传输等，以向客户提供优越性能的产品。

例如：天线周边的金属材料会干扰天线性能，天线位置靠近人体会阻隔辐射等。尽可能结构设计时，给天线有足够的立体空间，天线尺寸越大、天线性能越好。

例如：MIC 和喇叭选型、腔体设计、装配设计，要求一致性优良。出厂前务必做好声学结构设计，以利于后续软件算法，最大化发挥声学性能。

PCB 板优选多层板，以提供完整的地平面和信号线布局空间。单面板或双面板设计，则严格要求电源信号完整性，要求“地回路阻抗小”。

好的产品结构和板层，可以高效、快速的推进项目实现和落地，以最低的时间成本获取收益。

### 3.2. 天线设计

天线必须有足够的立体空间。

天线选型，需结合产品的外观、尺寸、结构、使用场景决定。

BT 蓝牙天线常用的有“板载、陶瓷、FPC”3 种；原理上一般有“单极、双极、回路(Loop)”，天线效率理论上“单极>双极>Loop”，但是单极天线容易受周围材料影响，从而改变天线特性。根据天线空间和产品外观，选择合适的天线：

小尺寸的产品，优选顺序为：“FPC->陶瓷->板载”（原理上：单极->双极->Loop）；

大尺寸的产品（长边 $\geq 4\text{CM}$ ），直接设计板载天线（原理上：单极 $\rightarrow$ 双极），板载天线类型有“倒 F、蛇形、I 型等”，考虑稳定性，首选倒 F 型。原理详见《天线设计》文档。

## 一、原理图设计注意事项

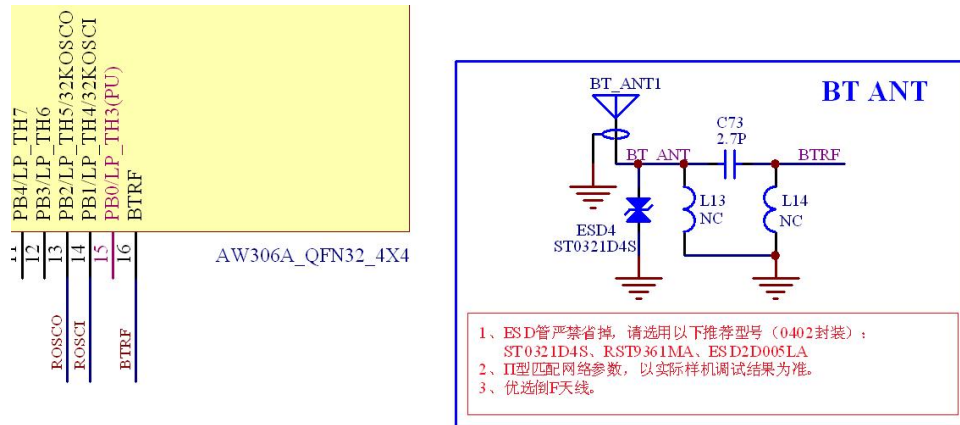


图 3-2-1 天线电路

- 1) BTRF 脚邻近 IO，严禁分配高速数字翻转信号（如 SPI、LED 推屏等），防止蓝牙性能受影响；
- 2) 天线预留 T 型或  $\pi$  型匹配网络，且靠近天线端处 TVS 管不可省（寄生电容 $\leq 0.5\text{pF}$ ）。如有必要，可增加滤波器衰减蓝牙高次谐波信号，防止杂散超标；
- 3) 天线匹配需采用高精度电感、电容（高频物料），保证产品蓝牙性能及一致性；物料取值，参考网分仪匹配调整，或根据实际测试结果调整。

原则上，每款机型，都需通过调整匹配，达到最佳的蓝牙性能。

## 二、PCB 设计注意事项

### 1、天线布局考量

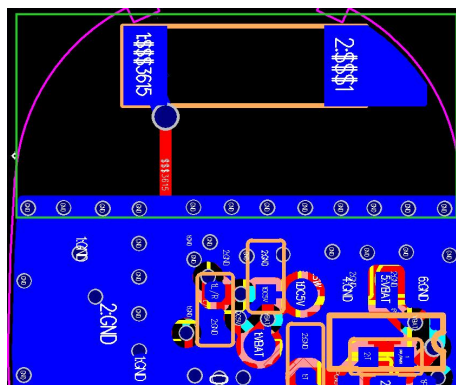


图 3-2-2 天线镂空（绿色框内）

- 1) 根据空间结构，必需合理选择天线类型和布局位置，远离电池、喇叭、触摸铜箔、人体等。

- 2) “天线”和“地”必需要统一设计，要求地平面完整，空间足够。
- 3) 天线必需靠近板边放置，净空区尽可能大，至少 $\geq 3\text{mm}$ 。
- 4) 天线背面禁止任何走线、及敷铜，必需镂空。
- 5) 天线必需远离“DCDC 电路、翻转 IO”等，减少对 RF 的干扰。
- 6) 天线必需远离 DAC、MIC 等电路，减少 RF 辐射导致的射频噪音。

## 2、匹配网络、传输线 50 欧姆设计考量

蓝牙天线匹配网络有：T 型、 $\Pi$  型、L 型；前期设计上，小尺寸天线选 T 型，大尺寸天线选  $\Pi$  型；最后实际使用一般是 L 型；任何一款“天线”或“样机”必须做阻抗匹配，匹配参数以实际调试为准。

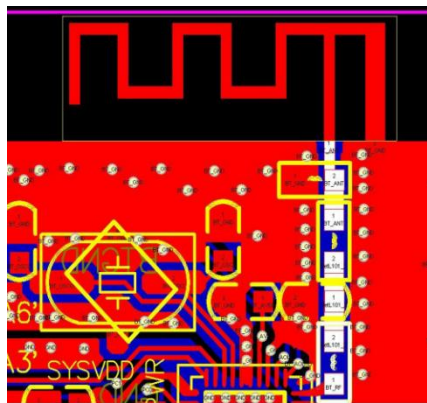


图 3-2-3 BTRF 传输线（白色线）

- 1) 天线匹配网络及传输线，要控制好 50 欧阻抗设计。可要求板厂设计实现，也可使用阻抗计算工具（如 SI9000），根据“板厚、板层、板材、铜厚”合理设计 RF 传输线的“线宽、线距”。
- 2) 匹配物料要求紧凑摆放，周边地场干净完整。布局上需避开晶振、MIC、DAC 等敏感信号，以及高速数字翻转信号。
- 3) 传输线，走线尽量短，禁止有分支。
- 4) 传输线，走线尽量直线引出，避免 90 度拐角走线。
- 5) 传输线，两侧的地打过孔墙，一般按 1-2mm 的间距打过孔墙。

## 3.3. 地场设计（关键项）

优秀的地场设计，可以有效降低各类噪声，提升 RF、DAC、ADC 等性能和抗静电能力，请重点关注：方案严格区分 GND（数字）和 AGND（模拟）。（不分地，存在噪声风险）

GND：一般包括“逻辑、数字、控制、电源、蓝牙”等地回路。

AGND：一般包括“MIC、LINEIN、DAC”等音频模拟地，及音频相关的电源模拟地。

- 1) 模拟音频（MIC/LINEIN/DAC）相关电路的 AGND，独立走线回主控 AGND。
- 2) AGND 回路要求无噪声（即电流平稳，无抖动），一般短接于电池端、或功放 bypass 处，

走线 $\geq 0.5\text{mm}$ ；有功放方案，一般区分功放地、主控地，且各自独立在电池端短接，电池尽量布局在功放和主控中间。

3) GND 到电池负端**阻抗尽可能最小**，即走线、铺地尽可能宽，4 层 PCB 必须设计一层完整的铺地地层。地回路路径（包括电池负端到锂保 IC）不能出现窄带、细线、破碎的地面。

4) 主控和其各电源退耦电容必须共地良好，严禁破碎。

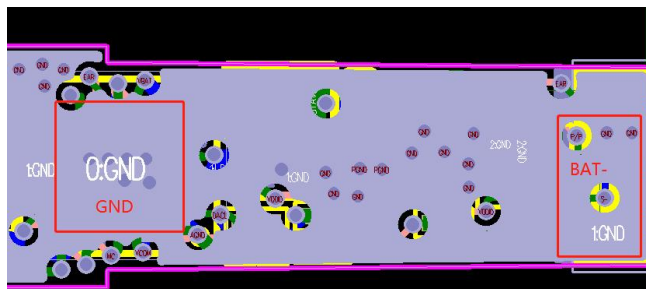


图 3-3 完整的中间地层

### 3.4. 晶振设计

必须选择**精度高、稳定性好、可靠性强**的晶振，这将直接决定产品的射频性能，决定系统的稳定性和可靠度，**差的晶振**会导致各种不可预期的问题，甚至给客户直接带来经济损失。

产品出厂前，必须用我司《蓝牙测试盒》等工具，**测试频偏**（ $\pm 10\text{KHz}$  以内），如偏差过大，可以测试盒校准，或修改负载电容。

#### 一、原理图设计注意事项

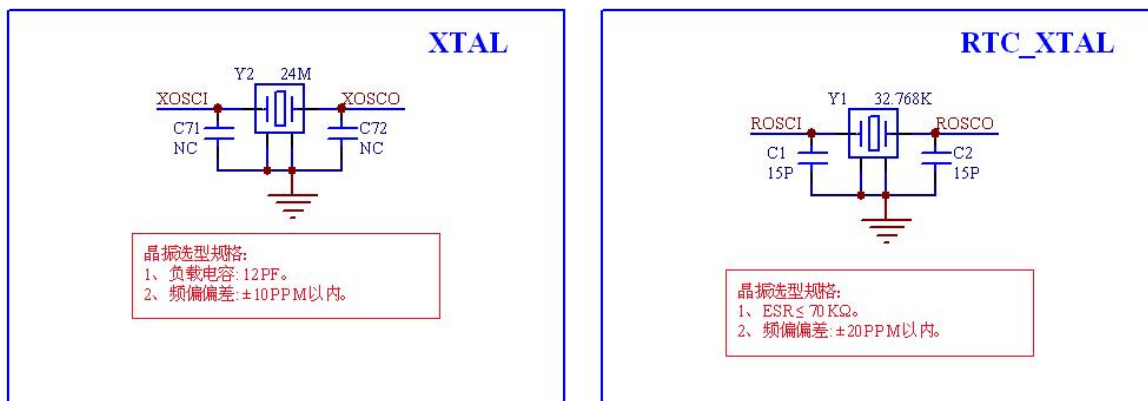


图 3-4 晶振电路（24MHZ、32.768KHZ）

- 1) 24M 晶振规格： **$\pm 10\text{PPM}$** ，**12PF** 的负载电容。（电容位默认 NC）
- 2) 32.768K 晶振规格： **$\pm 20\text{PPM}$** ，**内阻  $\text{ESR} \leq 70\text{K}\Omega$** 。（电容位默认 15PF）
- 3) 晶振管脚邻近 IO 口，严禁分配高速翻转信号，如 SPI、UART 等，以保证系统性能及稳定性；



## 二、PCB 设计注意事项

- 1) 晶振尽量靠近主控引脚，严格避开高频数字信号、敏感模拟信号。
- 2) 晶振布线不宜过粗、过长，以减少寄生电感、电容。
- 3) 晶振下方必须完整铺地，禁止走线（如电源/敏感信号等）

## 3.5. 电源设计

AW30N 内置电源输入管理单元，支持供电至 VPWR（不和 IOVDD 短接，输入电压 $\leq 5.5V$ ），或供电至 VPWR（和 IOVDD 短接，输入电压 $\leq 3.4V$ ）两种模式。

设计时，需重点留意供电场景应用。

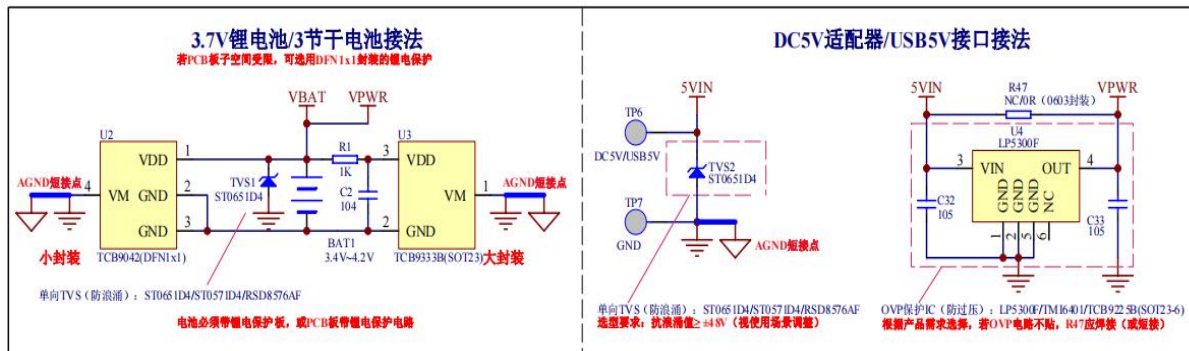
Table 3-5 VPWR 供电场景

供电场景	输入电压	适用场景
供电至 VPWR (不和 IOVDD 短接)	$\leq 5.5V$	如 DC5V 适配器/USB5V 接口/3.7V 锂电池/3 节干电池等
供电至 VPWR (和 IOVDD 短接)	$\leq 3.4V$	如 3.0V 纽扣电池/2 节干电池等

注：VPWR 无防反接功能（纽扣电池应用时，需注意防反接保护）

### 一、原理图设计注意事项

#### 方案1：供电至VPWR，不和IOVDD短接（ $\leq 5.5V$ ）



#### 方案2：供电至VPWR，和IOVDD短接（ $\leq 3.4V$ ）

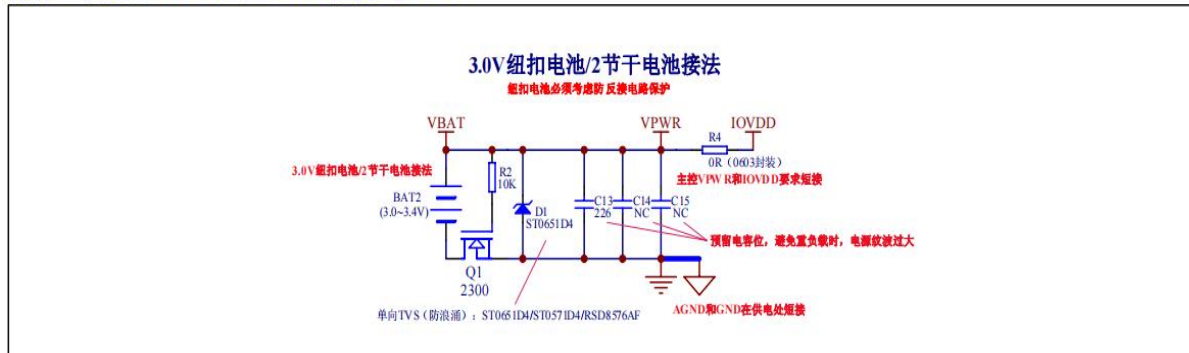


图 3-5 VPWR 供电场景



- 1) 注意供电场景，严格限制供电输入电压。
- 2) 注意供电保护，**防过压/过流/反接/浪涌等**。（如纽扣电池应用，必须考虑防反接电路保护等）
- 3) 注意电源退耦**容值随电压升高而下降**，请确保其工作电压下的容值≈标称值。  
主控 VPWR 退耦电容耐压值要求 $\geq 16V$ ，主控其他电容耐压值 $\geq 6.3V$ ；  
其他外设电容依据其工作电压要求选择（防止浪涌、过冲击穿），一般 5V 电源域耐压值 $\geq 16V$ 。
- 4) 使用原装电容(非拆机、劣质电容)，以保证容值、和品质。
- 5) 各退耦电容容值和要求请参照“标准原理图”。

## 二、PCB 设计注意事项

- 1) 务必考虑电源完整性设计。各电源退耦电容靠近主控 IC 放置，且电容和主控必须共地一致，严格控制“地回路阻抗”。
- 2) 务必考虑功耗、散热、带载能力等需求。各电源（大电流通路）布线线宽建议 $\geq 0.5mm$ ，留有余量设计（一般经验 50mA/0.1mm）。
- 3) 布局时，优先电源走线路径最短化，尽量远离板边走线，以免引入干扰。
- 4) 走线时，建议电源（**退耦电容大容值处**）星形走线给各分支模块供电。要求先经退耦电容，再给各分支模块电源管脚供电。

## 3.6. 音频 ADC 设计

AW30N 内置 1 路 16 位 Audio ADC，支持模拟 MIC 和 AUX 输入（共用通路），可选单端或差分，支持**输入信号 $\leq 1.5V_{pp}$ @单端（ $2.8V_{pp}$ @差分**），使用时根据应用场景选择。

### 3.6.1. MIC 输入设计

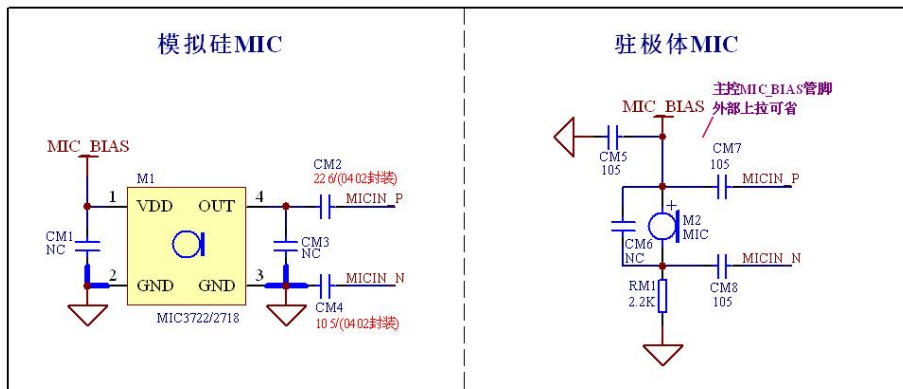
MIC 支持差分隔直（**抗干扰**）、单端隔直、单端省电容**(省成本)**模式，根据需求选择。

注 1：音频 ADC 默认无省电容模式，若要支持 MIC 省电容单端输入，会牺牲一部分输入动态，且 MIC 仍需外供偏置电压（MIC\_BIAS）。

注 2：主控 MIC\_BIAS 管脚，一般用于 MIC 供电，可选内置上拉 0.5~10K $\Omega$  输出，或外置电阻上拉输出。

## MIC 差分隔直方案（2选1）

支持模拟硅MIC或驻极体MIC（占3个IO，抗干扰好）



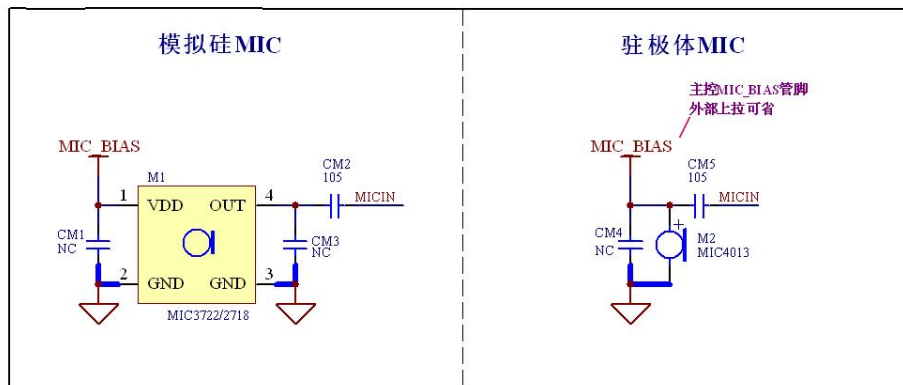
备注:

1、MIC地必须单独连接至主控IC的模拟地AGND

2、MICIN\_P可选PA4/PA5/PA8，MICIN\_N固定接PA6，MIC\_BIAS可接PA7

## MIC 单端隔直方案（2选1）

支持模拟硅MIC或驻极体MIC（占2个IO）



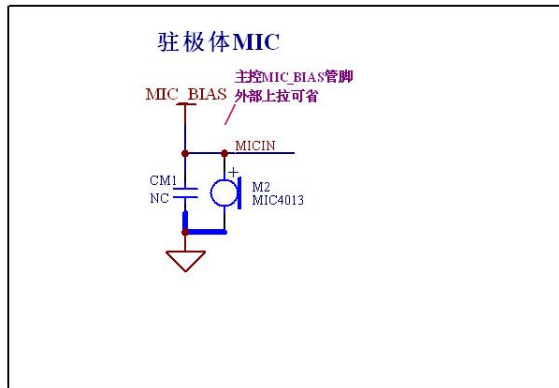
备注:

1、MIC地必须单独连接至主控IC的模拟地AGND

2、MICIN可选PA4/PA5/PA6/PA8，MIC\_BIAS可选PA7

## MIC单端省电容

只支持驻极体MIC，不支持模拟硅MIC（占2个IO，省成本，牺牲一定的动态性能）



备注：

- 1、MIC 地必须单独连接至主控IC 的模拟地AGND
- 2、MICIN 可选PA4 PA5 PA6 PA8，MIC\_BIAS 可选PA7

图 3-6-1-1 MIC 应用场景（差分隔直、单端隔直、单端省电容）

- 1) MIC 管脚邻近 IO，严禁分配高速数字翻转信号，如 PWM、UART 等，防止干扰音频性能；
- 2) MIC 信号管脚预留对地电容物料，以滤除高频干扰信号；
- 3) MIC 器件地为模拟地，走线时必须单独连接到主控 IC 模拟地 AGND，以保证地回路干净。
- 4) MIC 器件附近预留静电管，可提高抗静电能力。
- 5) MIC 信号输入端附近，预留串联电阻、磁珠及对地电容料，可防止 EMI/EMC 杂散超标。

### PCB 设计注意事项：

- 1) MIC 电路必须**远离干扰源**，如 RF 天线、数字信号等；
- 2) MIC 信号物料及布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响；
- 3) MIC 必须分地，**为 AGND**；地回路顺序为“MIC\_GND->主控 AGND->功放 Bypass 电容地或总电源地入口处（如**电池负极**）短接”，走线尽可能粗；多层板、或受尺寸限制样机，可尝试 AGND 在主控处短接。（注意验证 MIC/AUX/DAC 等是否有噪声）

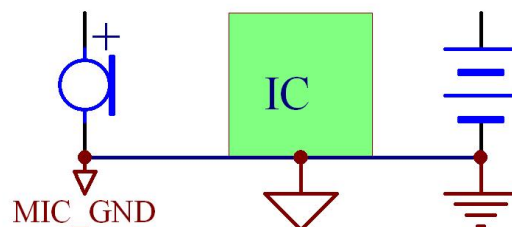


图 3-6-1-2 MIC 地回路说明

### 3.6.2. AUX 输入设计

AUX 支持单端隔直、差分隔直，其中单端隔直为典型应用，可支持多路混频输入，使用时根据应用场景选择。

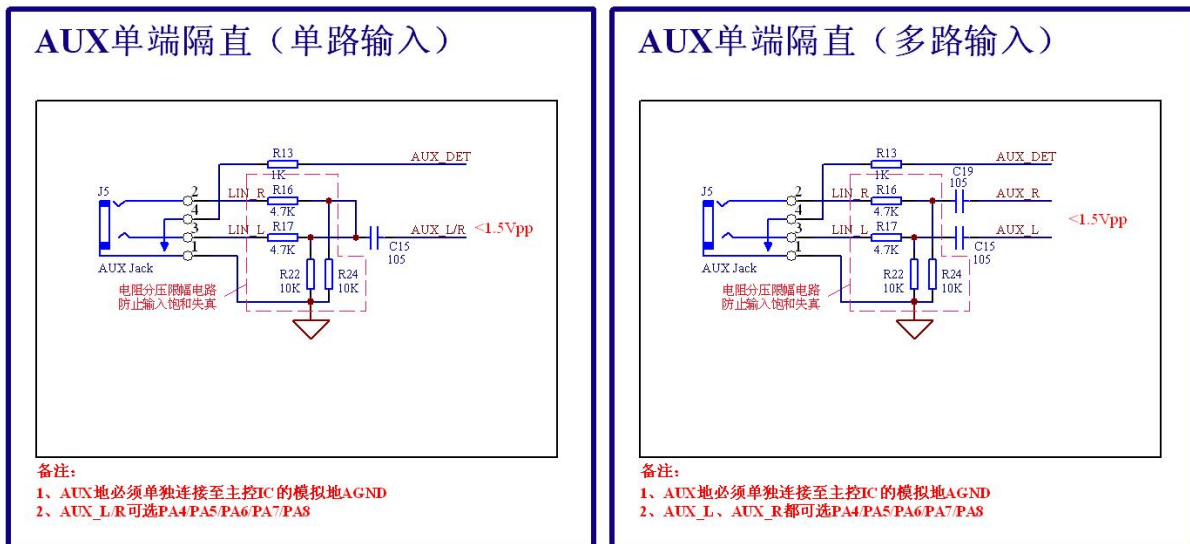


图 3-6-2 AUX 输入电路（单端）

- 1) AUX 管脚邻近 IO，严禁分配高速数字翻转 IO，如 PWM、UART 等，防止干扰音频性能；
- 2) AUX 预留输入分压电阻，根据需求调整，严禁输入饱和失真。
- 3) AUX 预留输入 RC 串联参数，可调整限制输入频带。
- 4) AUX 器件地为模拟地，走线时必须单独连接到主控 IC 模拟地 AGND，以保证地回路干净。
- 5) AUX 接口附近预留静电管，可提高抗静电能力。
- 6) AUX 信号附近（主控端），预留串联电阻、磁珠及对地电容料，以防止 EMI/EMC 杂散超标。

#### PCB 设计注意事项:

- 1) AUX 电路必须远离干扰源，如 RF 天线、数字信号等；
- 2) AUX 信号物料及布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响；
- 3) AUX 必须分地，为 AGND；地回路顺序为“AUX\_GND->主控 AGND->功放 Bypass 电容地或总电源地入口处（如电池负极）短接”，走线尽可能粗；多层板、或受尺寸限制样机，可尝试 AGND 在主控处短接。（注意验证 MIC/AUX/DAC 等是否有噪声）

### 3.7. 音频 DAC 设计

AW30N 内置 1 路 16 位 Audio DAC，支持 1 声道单端输出(固定出口 PA5)，支持外挂功放输出，使用时根据应用场景选择。

**注：**DAC（音频 DAC）和 AIN\_AP2（音频 ADC）默认双绑，不能同时使用(固定出口 PA5)。

### 3.7.1. DAC 隔直推耳机设计

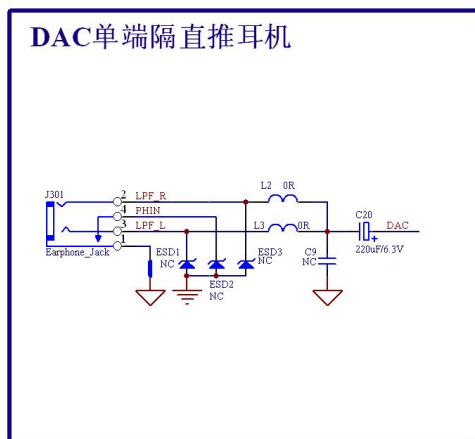


图 3-7-1 DAC 隔直推耳机

- 1) DAC 管脚邻近 IO，严禁分配高速数字翻转信号，如 PWM、UART 等，防止干扰音频性能；
- 2) DAC 单端隔直推耳机，隔直电容尽量保证 10uF 以上，减小对低频响应的衰减；
- 3) DAC 建议预留 LC 抗干扰电路，根据实际噪声情况，可适当的调整参数，L2/L3 的参考范围 10~560nH，C9 的参考范围（10~100p）；
- 4) DAC 耳机接口（负载端），预留对地静电管，可提高抗静电能力。

#### PCB 设计注意事项

- 1) DAC 电路必须**远离干扰源**，如 RF 天线、数字信号等。
- 2) DAC 信号物料及布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响；必要时，可对 DAC 布局走线区域净空。
- 3) DAC 整个音频信号布线，走线尽可能加粗，有助于减小回路阻抗，保证良好的信噪比；
- 4) DAC 必须分地，为**AGND**；地回路顺序为“DAC 器件地->主控 AGND->功放 Bypass 电容地或总电源地入口处（如**电池负极**）短接”，走线尽可能粗；多层板、或受尺寸限制样机，可尝试 AGND 在主控处短接。（注意验证 MIC/AUX/DAC 等是否有噪声）

### 3.7.2. DAC 外接功放设计

功放一般用于音频的放大（驱动大功率喇叭），使用时根据需求选择合适的功放 IC。

注：一般“功放电源的最大功率”>“功放输出的最大功率”>“喇叭的额定功率”。

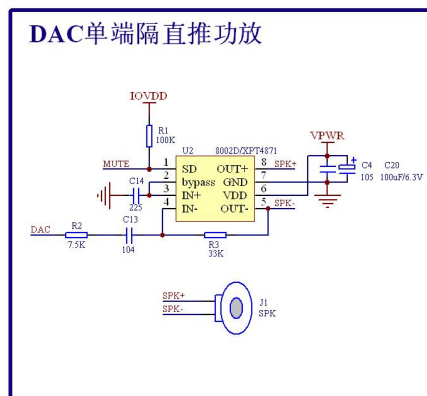


图 3-7-2 DAC 单端隔直（外挂功放）

- 1) 要求严格审查功放资料, 确认各项参数是否符合需求, 如功率、THD+N、SNR 等。
- 2) 要求严格参照功放手册, 留有余量设计。比如功放工作电压较高, 必须选择合适的耐压器件; 功放带 BYPASS 电容, 选择大些的容值, 可防止 POP 声等。
- 3) 有 FM 方案需求, 优先选择支持 AB 类模式的功放。

## PCB 设计注意事项

- 1) “功放电源”和“其他电源”尽可能分开独立供电，一般主控 IC 用稳压芯片供电；如无条件，**必须星形供电（大容值退耦电容处引出）**。
- 2) 功放电源线尽可能粗，衬底必须大面积铺地、或打孔补锡**散热**，一般大功率 AB 类功放建议**加散热片**。
- 3) 功放地电流大，有干扰时，可尝试功放模块分地处理，严格要求**地回路阻抗小**，在总电源地入口处(如电池负极处)短接。

### 3.8. 音频 APA 设计 (CLASS D)

AW30N 内置模拟 APA 单元（D 类功放），可**直推高功率负载**，如头戴式耳机、大音响等。支持桥式负载（BTL）和并联桥式负载（PBTL）2 种输出模式，使用时根据应用场景选择。

注：APAP/APAN，若无音频应用，可用作 IO 输出，一般仅用于 PWM 或 UART\_TX 外设，“APA 输出电压”必须限制在“外设的电源域”。



## 一、原理图设计注意事项

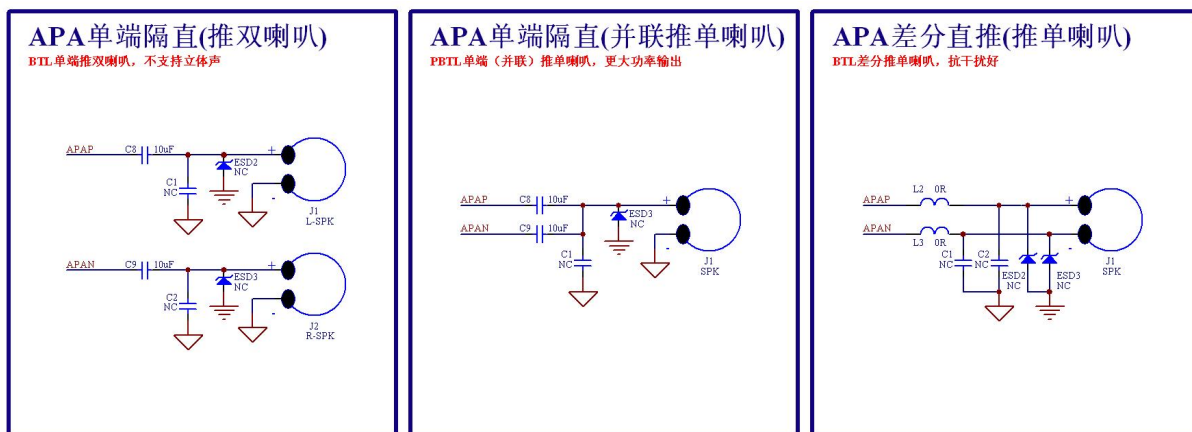


图 3-8-1 APA 直推喇叭

- 1) APA 管脚邻近 IO 口，严禁分配敏感信号（比如触摸、模拟 AUDIO 等）。
- 2) APA 单端隔直推喇叭，隔直电容尽量保证 10uF 以上，减小对低频响应的衰减；
- 3) APA 单端隔直推双喇叭，不支持立体声（APAP/APAN 为单声道输出）。
- 4) APA 输出功率，由 APA 电源域（HPVDD）电压决定。
- 5) APA 参考模拟地，走线时必须单独连接到主控 IC 模拟地 AGND，以保证地回路干净。
- 6) APA 输出预留串联电阻、对地电容物料等，根据需求调整参数（如噪声/杂散等优化）。
- 7) APA 输出预留对地静电管，以提高静电能力。

## 二、PCB 设计注意事项

- 1) APA 电路必须远离敏感信号，如 RF 天线、模拟 ADC/DAC 等。
- 2) APA 信号物料及布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响；
- 3) APA 整个音频信号布线，走线尽可能加粗，有助于减小回路阻抗，保证良好的信噪比；

## 3.9. LP\_TOUCH 内置触摸设计（LP\_CTMU）

AW30N 内置 LP\_CTMU 低功耗高精度触摸模块，最多支持 8 路触摸信号检测。

注：内置触摸信号是敏感的模拟信号，布局走线应远离高速数字信号。

## 一、原理图设计注意事项



图 3-9-1 内置触摸电路

- 1) 触摸管脚邻近 IO 口，**严禁分配高速翻转 IO**，如 LED、晶振、电源等。
- 2) 触摸预留静电管（封装尽量小以减少寄生效果，优选 0201/0402 封装），可提高抗静电能力。

## 二、PCB 设计注意事项

- 1) 芯片内置触摸的原理：是利用检测人体分布电容对触摸铜箔电容的影响，通过检测该电容量的变化，进而达到触摸识别的功能。因此硬件设计必须尽可能减少寄生电容，布局允许情况下，触摸焊点离芯片引脚越近越好。
- 2) 触摸布线按最小线宽走线，且尽可能短；
- 3) 触摸焊盘需镂空设计（有干扰源的必需用地隔离）。
- 4) 触摸可适当增大铺地安全间距（前提需确保地场完整）；
- 5) 内置触摸信号是**敏感的模拟信号**，**布局走线应远离高速数字信号**，如 DCDC 电感、LED、晶振、电源等，避免与之相邻或并行走线，防止被干扰。

## 3.10. USB 设计

AW30N 支持 Full Speed USB（USB1.1），支持 Host/Slave 模式，可用于读 U 盘或 PC 模式（如 PC 烧写升级模式等），使用时根据应用场景选择。

**注：**若无 USB 功能应用，USBDM/DP 可做普通 IO，一般仅用于 IO 按键或输入检测功能等。

### 一、原理图设计注意事项

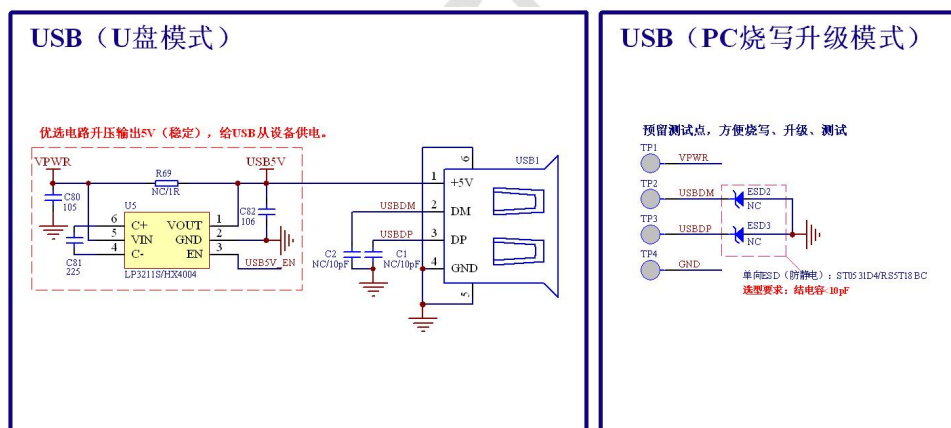


图 3-10-1 USB 电路设计

- 1) USB 管脚相邻 IO 口，严禁分配敏感信号，如触摸、时钟、模拟 AUDIO 等。
- 2) U 盘模式，优选电路升压输出 5V（稳定），给 USB 从设备供电，可提高设备兼容性。
- 4) PC 烧写升级模式，务必注意供电场景及烧写电压要求。比如供电至 VPWR，不和 IOVDD 短接（VPWR 输入  $\leq 5.5V$ ），或供电至 VPWR，和 IOVDD 短接（VPWR 输入要求  $\leq 3.4V$ ）。
- 5) USB 接口处预留静电管，可提高抗静电能力。
- 6) USB 管脚（主控端），预留串联电阻及对地电容料，可便于阻抗匹配及防止 EMI/EMC 杂散超标。



## 二、PCB 设计注意事项

- 1) DM、DP 是差分信号，尽可能做 90Ω 差分阻抗设计。
- 2) DM、DP 尽量“差分、等长”走线，尽可能少“过孔”，不“分叉”。
- 3) 等长尽可能在“长度失配端”进行长度匹配。
- 4) 走线尽可能短，尽可能减小 DP、DM 间距，且“等距、对称、∠135°弯曲”走线。
- 5) USB 线两侧地，尽可能打过孔保持连通性。
- 6) 务必考虑电源完整性设计。USB 电源（大电流通路）布线线宽建议  $\geq 0.5\text{mm}$ ，留有余量设计（一般经验 50mA/0.1mm），电源电容地要求共地良好，严格要求“地回路阻抗小”设计。

## 3.11. SDIO 设计

AW30N 集成 SDIO 模块，支持 1bit 数据模式 (SD\_DAT)，可外接 SD/TF 卡、SD NAND 和 eMMC 存储设备，实现音频编解码读写功能，配合 USB 还可实现与 PC 主机进行文件拷贝。

### 一、原理图设计注意事项

#### SD/TF卡方案

按需选择SD供电方式

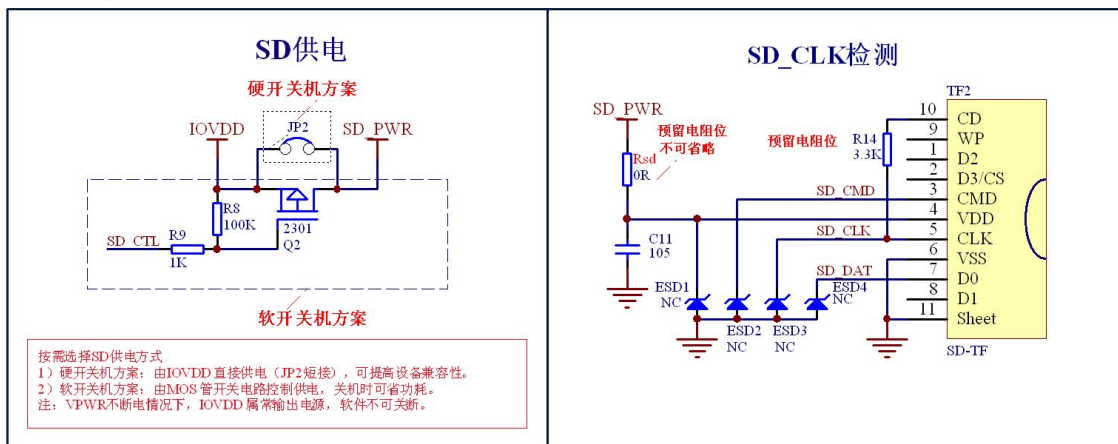


图 3-11 SD 电路设计

- 1) SD 管脚信号相邻 IO 口，严禁分配敏感模拟信号，如触摸、模拟 AUDIO 等。
- 2) 硬开关机方案：SD 供电由 IOVDD 直接供电。
- 3) 软开关机方案：SD 供电由 MOS 管开关电路控制，关机时可省功耗。
- 4) SD 电源，串联电阻位(Rsd)不可省略，取值 0~4.7Ω（不宜过大），以提高设备兼容性。
- 5) SD 电源，退耦电容不可省略，一般 SD 设备端取值 105~106。若遇到插拔卡复位的情况，可适当增大芯片端 IOVDD 的电容量；
- 6) SD 接口处，预留静电管，可提高抗静电能力。
- 7) SD 信号线，预留串联电阻及对地电容料，可防止 EMI/EMC 杂散超标。

## 二、PCB 设计注意事项

- 1) SD 电路必须**远离敏感信号**，如 RF 天线、模拟 ADC/DAC 等。
- 2) SD 信号物料及布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响；
- 3) 务必考虑电源完整性设计。SD 电源（大电流通路）布线线宽建议 $\geq 0.5\text{mm}$ ，留有余量设计（一般经验  $50\text{mA}/0.1\text{mm}$ ），电源电容地要求共地良好，严格要求“地回路阻抗小”设计。

## 3.12. 防静电设计

电子设备**必须做防静电设计**，因为在**干燥低温**的生产环境下容易产生静电，容易造成电子器件的损坏。

**注：静电设计标准（接触放电 $\geq \pm 4\text{KV}$ ；空气放电 $\geq \pm 8\text{KV}$ ），设计需留有余量。**

### 一、设计阶段防静电设计

- 1) 产品结构，务必考虑静电防护。如增加模具厚度，加大 PCBA 与壳体间距，做好壳体密封等。
- 2) PCB 地场设计必须完整，要求面积大，不存在破碎，细回路，板边连续。
- 3) **敏感信号线严禁靠近板边走线**（如晶振、触摸、音频 DAC 等）。
- 4) BT 天线必须远离静电入口，且天线入口处，**必须加双向 TVS 管**。
- 5) 供电入口（如 DC5V 适配器或 USB5V 接口等供电），必须加**单向 TVS 管（有防浪涌除外）**。
- 6) “缝隙、接口处电路”必须预留 ESD 管，如按键、喇叭、MIC、USB 等。
- 7) 单向信号使用单向 ESD 管。
- 8) ESD 管靠近静电入口处放置。
- 9) 在 VCM 退耦电容处，用 105 电容连接 AGND 和 GND。

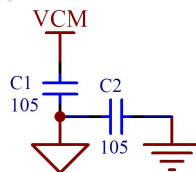


图 3-12-1 防静电处理电路

### BT 天线 TVS 管选型列表（关键项）

表 3-12-1 优选的双向 ESD 管列表

型号/名称	供应商/品牌	联系人	联系方式/电话
ESD2D005LA	ASIM（阿赛姆）	舒工	18813929032
ST0321D4S	盛邦尔	罗总	13923806122

### 二、生产阶段防静电要求

**请严格做好生产周期内所有阶段的静电防护。**

- 1) 所有生产、测试设备、工作环境，必须做防静电处理。
- 2) SMT 贴片、建议最后贴 IC 芯片。

- 3) 生产、测试人员必须佩戴防静电手环、手套，穿防静电服、鞋子。
- 4) 使用防静电材料包装、运输。

### 3.13. 防浪涌设计

电子设备**必须做防浪涌设计**，因为电网、充电器的感性特性，会在供电瞬间产生浪涌电压，造成电子器件的损坏。

**注：浪涌设计标准（一般抗浪涌电压 $\geq \pm 48V$ ），标准必须根据产品的应用场景调整，如一些电源适配器，浪涌峰值 100V，则抗浪涌电压必须大于 110V。设计需留有余量。**

#### VPWR供电输入（TVS+OVP保护）

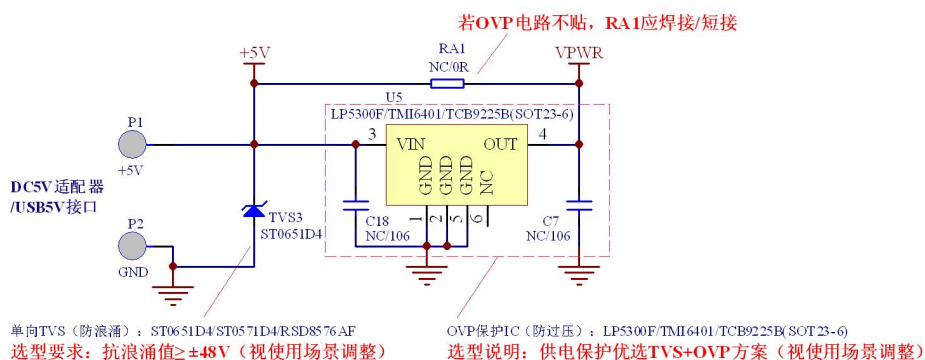


图 3-13 VPWR 供电（单向 TVS 管/OVP 电路）

- 1) VPWR 供电端（如 DC5V 适配器/USB5V 接口等），必须加浪涌保护电路；
- 2) 浪涌保护电路有：OVP 保护 IC、单向 TVS 管、OVP+TVS，根据需求选择，一般 OVP 优于单向 TVS。

#### 单向浪涌 TVS 管选型列表（关键项）

表 3-12 48V 标准优选的单向 TVS 管列表

型号/名称	供应商/品牌	联系人	联系方式/电话
ST0651D4/ ST0571D4	盛邦尔	罗总	13923806122
MDFN2A051SM	Me	秦总	13902974144

备注：其它标准的 TVS 管可咨询上述供应商。

### 3.14. EMC/EMI 防护设计

需要过电磁兼容性标准、或需要进行电磁兼容性设计的方案，从以下方面优化电磁辐射和电磁干扰：

- 1) 增加 PCB 屏蔽罩。
- 2) 高速信号线加磁珠、LC、RC 滤波电路，如 USB、SD、LCD 等信号。
- 3) 多层板，信号线和电源线走中间层。
- 4) 合理布局，使“带辐射的走线”尽可能短。
- 5) PCB 板边连续地，且有完整的地平面。
- 6) 易受干扰的信号注意保护，如走内层、地隔离、地包裹等。

## 第4章. 开发、生产、量产注意事项

### 4.1. 烧写、升级、测试说明

AW30N 支持 USB 更新程序或串口更新程序。（使用时根据供电场景，严格限制供电电压）

烧写升级场景	预留烧写、升级、测试点
USB 更新程序	VPWR、USBDM、USBDP、GND
串口更新程序	VPWR、PA0、GND

注：PA0 为默认的串口升级 IO，应用时主控不能断电。

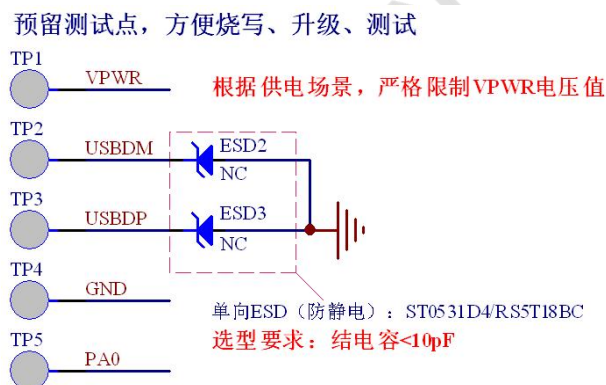


图 4-1 烧写、升级、测试说明

- 1) 若供电至 VPWR，不和 IOVDD 短接（如 3.7V 锂电池/5V 适配器），烧写电压要求 $\leq 5.5V$
- 2) 若供电至 VPWR，和 IOVDD 短接（如 3.0V 纽扣电池/2 节干电池），烧写电压要求 $\leq 3.4V$

### 4.2. 装配说明

由于整机环境直接影响产品的性能，因此必须重视整机的装配，注意装机的一致性。

装配注意事项：

- 1) 电池需要固定安装，如靠近天线方案，则必须贴海绵胶垫高处理，且尽可能拉大与天线的距离，保证装配一致性。
- 2) 电池、电池线、喇叭线、MIC 线，禁止压到天线。

3) 建议电池线和喇叭线进行双绞线处理，且分开装配，可防止电池线和喇叭线的耦合干扰。



图 4-2 双绞线示意图

## 第 5 章. 常见问题 FAE

### 5.1. 使用 2 节干电池供电时，电路如何设计？

- 1、为保证音频和 Flash 等模块正常运行，建议输入电压不低于 3.0V。
- 2、使用 2 节干电池时，可增加 boost 电路升压到 3.0V 以上供电。
- 3、供电输入 3.0V~3.4V 情况下，可把 VPWR 与 IOVDD 短接后直接供电，可提升稳定性。

### 5.2. 使用 USB 强制升级连接样机，进不了 PC 模式？

- 1、确认 USB 强制升级工具功能正常，参考《杰理科技强制升级工具使用说明》。
- 2、确认信号电气连接正常，不存在虚焊或短路。
- 3、确认电源/晶振/信号波形无异常表现。
- 4、若 USB 识别出现反复出现和闪退，可能是 PA2 引脚被拉低，触发长按复位（断开相应外设排除）。

### 5.3. DAC 存在噪声，如何排查优化？

DAC 噪声主要有“辐射噪声、机械噪声、电源噪声、及传导噪声”等。

#### 1) 辐射噪声

**RF 辐射噪声**，如断开天线或降低发射功率可优化噪声。可通过增加抗干扰电路（LC 滤波或磁珠）、喇叭加屏蔽、更改天线或者喇叭位置，加以优化解决。

**电池线辐射噪声**，如把电池及电池线，和喇叭及喇叭线分离可优化噪声。可通过增加抗干扰电路（LC 滤波或磁珠）、电池和喇叭线双绞、电池线远离喇叭（电池体贴喇叭），加以优化解决。

#### 2) 电源噪声

直接测量 DAC 噪声和电源纹波，如抖动过大（ $\geq 5\%$ 工作电压）。可通过加大容值、采用阻抗小的线材，优化 PCB，调整电压值，切换为 LDO 模式，加以优化解决。

#### 3) 传导噪声

关闭数字 IO 或跳变 IO，噪声消失，可通过修改 PCB 用地隔离，或更换其他 IO 等。