

版本更新说明

版本号	更新日期	更新说明
V1.0	2024.04.18	初始版本
V1.1	2025.08.21	删除3.0V纽扣电池应用（不支持）

杰理方案咨询(QQ号:1418295957, 邮箱:fae@zh-jie.li.com)

产品安全规范

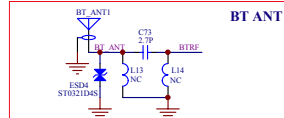
- 电源连接
a. 注意供电电压, 严格控制应用场景。
供电 $\geq 3.6V$ 时, 只能使用VPWR独立供电, 且IOVDD接退耦电容。
供电 $< 3.6V$ 时, 使用IOVDD独立供电 (VPWR悬空), 可支持最低功耗。
b. 注意供电保护, 防止过压/过流/反接/浪涌等。
c. 电源供电方案必须考虑系统功耗 (即: 对配置极端低功耗)。
2. 电容选择
a. 注意静电放电电压: 面下脚, 请确保工作电压下的容值 (优选0402或更大尺寸的封装)。
b. 请使用低阻抗电容 (非铝钎、无源电容), 以保证性能和品质。
c. 主供电VPWR退耦电容容值要求 $\geq 10\mu F$, 主供电其他电容耐压 $\geq 6.3V$;
其中电容电压必须满足工作电压选择 (防止漏流、过压击穿)。
3. 静电选择
a. 静电放电标准必须 \geq (接触4kV, 空气6kV)。
b. 天线输入端必须加ESD管, 请使用推荐型号。
4. 浪涌选择
a. 浪涌耐压一般要求 $\geq 48V$ (根据实际应用场景调整), 建议留有冗余设计。
b. DC5V适配器或USB5V供电, VPWR输入端必须加TVS管, 请使用推荐型号。

设计注意事项

- 设计注意事项:
- 电源
1) 内置电源输入管理单元, 支持VPWR单独供电 (2.7-5.5V), 或IOVDD单独供电 (1.8-3.6V)。
供电 $\geq 3.6V$ 时, 只能使用VPWR单独供电, 且IOVDD接退耦电容, 供电 $< 3.6V$ 时, 使用IOVDD独立供电 (VPWR悬空), 可支持最低功耗。
注: VPWR不支持普通IO应用, 且禁止“VPWR+IOVDD”应用。
2) IOVDD支持IO应用输出功能, 典型输出 $\pm 4V$ (IO口可用, 1.8-3.6V), $I_{max}=6mA$ (包含主控IO消耗); 在VPWR不供电情况下, IOVDD与常带电源, 无法关闭(软件方案)避免漏电流。
2. IO
1) 测试IO, 其他IO根据需求, 根据芯片手册IO/SIO配置方式分配。
2) 所有GPIO均可配置唤醒IO (边沿触发), 关联唤醒时, IO状态可保持。
3) USBDM、USBDP上电默认下拉。
4) USBDM上拉10K Ω , 下拉15K Ω , USBDP可配上拉1.5K Ω , 下拉15K Ω , 其余IO可配内部上拉10K Ω 100K Ω 1M Ω 。
5) USBDM4DP可微功耗IO (驱动电流8mA), 其余IO驱动电流可选1.9/2.1/5mA。
6) NFC、SPI、I2C、SAK、ADC控制、USB等外设, 均为IOIO, 严格控制分配。
7) SPI、I2C、UART、TIMER、PWM、CAP、MC、PDM、LED、QMC等外设, 支持crosstalk, 可灵活分配IO, 支持映射到引脚外的IO, 如PA10、USBDM、USBDP。
注: 不管是否crosstalk, 看到USBDM4DP, 均为USBDM4DP, 或普通IO应用, 也仅用于IO应用检测等。
8) I2C、I2C等信号IO, 严禁分配高速差分信号, 且应做好隔离, 避免干扰。

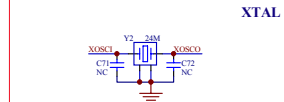
IO名词解析

VPWR: 芯片供电输入端 (供电 $\geq 3.6V$ 时, 只能使用VPWR独立供电);
IOVDD: LDO的输出端, 或芯片供电输入端 (供电 $< 3.6V$ 时, 使用IOVDD独立供电, 可支持最低功耗);
ADC: ADC采样输入检测 (x为通道);
pin: 上电开机初始状态为上拉;
pull: 上电开机初始状态为下拉;
VSS: 数字地或主系统地;



BT ANT

1. 天线ESD管严禁替换, 且阻抗匹配网络根据产品调整。
2. 天线ESD管选型:
双向管, $2V \leq V_{fwd} \leq 3.3V$, $C_i \leq 0.4pF$, $2V \leq V_{b0}/V_{b1} \leq 5V$
推荐型号: ST0321D4S/ST0321D4S/ST0321D4S/ST0321D4S (0402封装)。
3. 优选天线线。



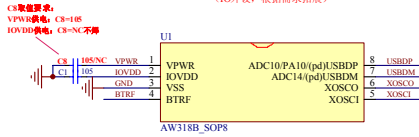
XTAL

- 晶振连接事项:
1. 负载电容: 9pF (Typ)。
 2. 晶振频率: $\pm 100ppm$ 以内。
 3. 谐振电压: $\leq 60mV$ 。

注意: VPWR耐压 $\leq 5.5V$, IOVDD耐压 $\leq 3.6V$

最小系统参考

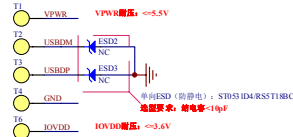
(IO外设, 根据需求拓展)



烧写场景说明

烧写场景	烧写说明	预留烧写测试点
USB更新程序		(VPWR、USBDM、USBDP、GND) 或 (IOVDD、USBDM、USBDP、GND)

预留测试点, 方便烧写、升级、测试



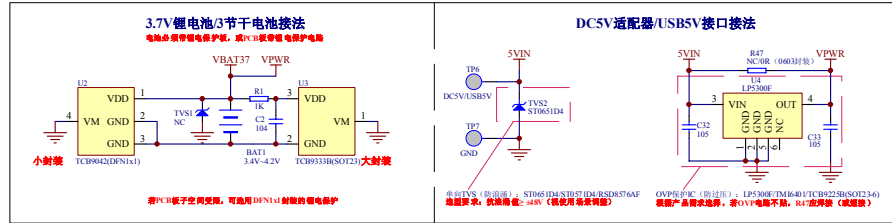
TEST POINT

供电场景说明

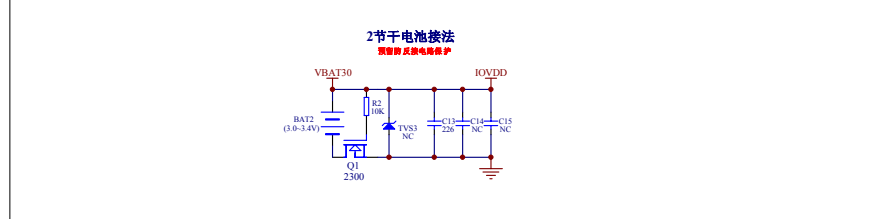
供电电压	供电说明	供电接法	适用场景
$\geq 3.6V$		供电至VPWR (IOVDD接退耦电容)	如3.7V锂电池/3节干电池、DC5V适配器/USB5V接口等
$< 3.6V$		供电至IOVDD (VPWR悬空)	如2节干电池应用

注: 电源输入需做好保护, 防止过压/过流/反接/浪涌/静电等, 连接外设时, 应尽量避免输出。

方案1: 供电 $\geq 3.6V$, 只能使用VPWR独立供电, 且IOVDD接退耦电容



方案2: 供电 $< 3.6V$, 使用IOVDD独立供电 (VPWR悬空), 可支持最低功耗



POWER

MCU