

# AW31N 硬件设计指南 V1. 1

珠海市杰理科技股份有限公司  
**Zhuhai Jieli Technology Co.,LTD**  
版权所有，未经许可，禁止外传

## 目录

<b>第 1 章. 概述.....</b>	<b>4</b>
1.1. 芯片简介 .....	4
1.2. 设计说明 .....	5
1.2.1. 产品设计原则：安全、稳定、可靠 .....	5
1.2.2. 硬件设计原则：便于量产、便于测试 .....	6
1.3. 缩写&术语 .....	6
<b>第 2 章. 原理设计 .....</b>	<b>7</b>
2.1. 电源 .....	7
2.1.1. VPWR .....	7
2.1.2. IOVDD .....	7
2.2. 晶振 .....	7
2.3. 射频 .....	7
2.3.1. BT 蓝牙 .....	7
2.4. Peripherals .....	7
2.4.1. ADC .....	8
2.4.2. SPI .....	8
2.4.3. UART .....	8
2.4.4. IIC .....	8
2.4.5. QDEC .....	8
2.4.6. LEDC .....	8
2.4.7. USB .....	9
2.4.8. MCPWM .....	9
2.4.9. Timer/PWM/CAP .....	9
2.4.10. IR .....	9
2.4.11. PWM_LED .....	9
2.5. GPIO .....	10
2.5.1. IO 上下拉电阻、上电默认配置 .....	10
2.5.2. IO 驱动电流、状态、高压 IO(HVT) .....	10
<b>第 3 章. 硬件设计 .....</b>	<b>11</b>
3.1. 产品结构、板层设计 .....	11
3.2. 天线设计 .....	11
3.3. 地场设计（关键项） .....	13
3.4. 晶振设计 .....	13
3.5. 电源设计 .....	14

---

3.5.1. 供电场景及电压范围 .....	14
3.6. USB 设计 .....	16
3.7. 红外发射/接收设计 .....	17
3.8. QDEC 旋转编码器设计 .....	18
3.9. 防静电设计 .....	18
3.10. 防浪涌设计 .....	19
3.11. EMC/EMI 防护设计 .....	20
<b>第 4 章. 开发、生产、量产注意事项 .....</b>	<b>20</b>
4.1. 烧写、升级、测试说明 .....	20

## 修改记录

本文档用于指导硬件设计，其中“概述”描述**芯片简介和相关设计原则**，“原理设计”描述**原理和相关接口信息**，“硬件设计”描述**设计细节和相关注意事项**。

时间	版本	描述
2024/04/19	V1.0	初始版本
2025/8/21	V1.1	1、删除 3.0V 纽扣电池应用（不支持） 2、删除晶振单脚起振应用 3、补充硬件资源描述

## 第 1 章. 概述

### 1. 1. 芯片简介

AW31N 系列芯片是集成 BLE6.0 单模+2.4G 私有协议射频模块的 32 位 SOC, 最高主频 160MHz, 支持低成本、低功耗的蓝牙数传应用，主推鼠标设备、蓝牙模组、电子价签及其他多样化的物联网产品。

#### 芯片特色:

- 内置 PMU 管理单元，支持软关机、低功耗蓝牙连接或待机等应用场景
- 内置 LDO3V 电源转换，典型输出 IOVDD=3.0V，最大可驱动 60mA 外设负载
- 内置代码存储单元，支持代码重复烧写升级（FLASH）
- 集成蓝牙基带、调制解调器及模拟 RF 模块，支持 Bluetooth6.0 单模+2.4G 私有协议射频应用
- 集成时钟控制单元，支持外置晶振提供时钟源，典型外挂 24MHz 主系统晶振
- 具备丰富的数字外设和 IO 重映射功能，除固定 IO 接口外，其余 IO 可依据芯片规格书灵活分配
- 所有 GPIO 均可配置唤醒口（边沿触发），软关机唤醒时，IO 状态可保持
- 所有 GPIO 可配置上下拉电阻，支持推挽输出和高阻态配置，支持多档电流驱动
- 支持 10-bit ADC 模拟采样功能
- 支持 USB 代码 PC 烧写升级/PC 通信功能
- 支持 UART 串口打印、串口升级代码等功能
- 支持 LED 单 IO 推双灯等功能
- 支持 IIC、SPI、Timer、PWM、CLKOUT、CAP 红外接收、MCPWM、LEDC、QDEC 等功能

## 芯片框架:

AW31N 芯片集成蓝牙模块、PMU 管理模块、内存管理模块，具备丰富的数字外设资源。

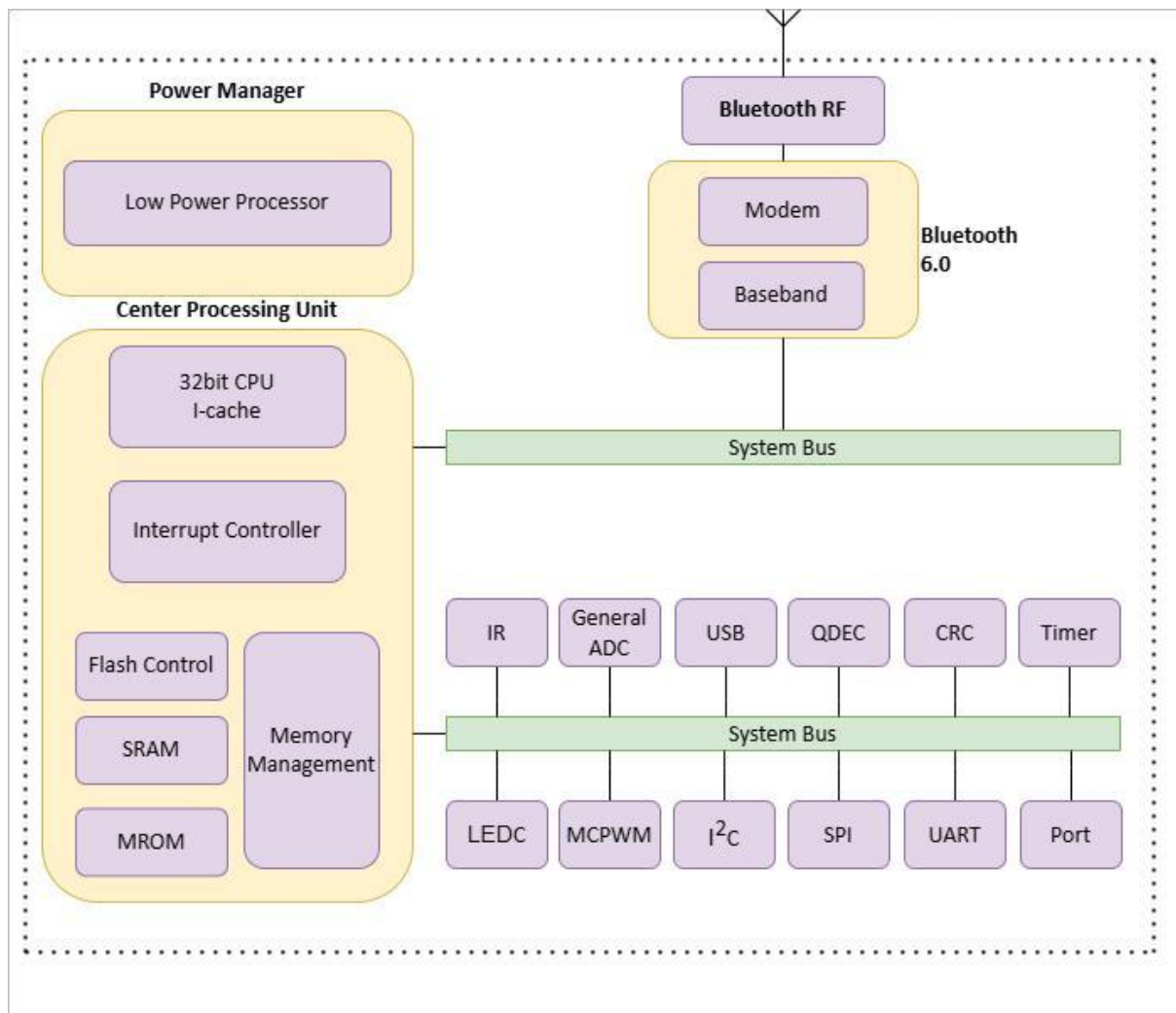


图 1-1 AW31N 硬件框架图

## 1. 2. 设计说明

### 1.2.1. 产品设计原则：安全、稳定、可靠

- 1、产品必须满足静电标准：接触放电大于 $\pm 4\text{KV}$ ，空气放电大于 $\pm 8\text{KV}$ ，设计留有余量。
- 2、产品必须满足抗浪涌：一般大于 $\pm 48\text{V}$ （标准必须根据产品应用场景调整），设计留有余量。
- 3、产品必须做好电源保护，如防过压/防过流/防反接等。
- 4、产品必须支持长时间运输（如船运模式），出厂时特殊配置进入极限最低功耗。

### 1.2.2. 硬件设计原则：便于**量产**、便于**测试**

#### 一、原理图设计

要求兼顾功能和性能，**设计时务必考虑安全、稳定、可靠。**

总的原则是，优先功能模块化设计，参考典型电路方案，合理元件选型，留有余量设计，在标识上务求准确可靠、简洁明了，保证后续软件开发的便捷、可靠、高效。

**特别注意事项（IO 分配原则）：**

- 1) 务必考虑 IO 电气干扰，如避免在敏感模拟信号旁边分配高速数字跳变信号等。
- 2) 务必考虑 IO 特殊状态（如上电、软关机、掉电唤醒、长按复位、合绑等）。
- 3) 务必考虑 IO 电气特性，如 IO 驱动电流、耐高压、上下拉电阻、IO 内阻等特性。
- 4) 务必考虑产品设计便捷性。合理 IO 分配，使产品最优化设计，便于缩短项目开发周期。

#### 二、PCB 设计

优先以下流程开发：**结构设计、板层设计->天线->地场->晶振->电源->敏感信号等。**

- 1) 结构设计：模具最优化设计。射频应用时，务必考虑天线腔体结构设计，以最大化发挥产品性能。
- 2) 板层设计：优选多层板，可以提供完整地平面和信号线布局空间。若是单层板/2 层板设计，则严格要求**地回路阻抗小**。
- 3) 天线设计：选择合适的天线类型，和摆放空间。（蓝牙一般优选倒 F 天线）
- 4) 地场设计：多层板必须留一层完整的地平面；双面板或单面板，地回路要合理设计。（地直接影响系统性能）
- 5) 晶振设计：远离干扰源。
- 6) 电源设计：关注电源退耦电容、电源布局、和线宽线长。
- 7) 敏感信号设计：如“IIC、SPI、UART、PWM”等功能模块或走线，注意远离干扰等。

### 1.3. 缩写&术语

VPWR：芯片供电输入端（供电 $\geq 3.6V$ 时，只能使用 VPWR 独立供电）；

IOVDD：LDO 稳压输出，或芯片供电输入端（供电 $< 3.6V$ 时，使用 IOVDD 供电，可支持最低功耗）；

IRFLT：红外接收管信号滤波器

LEDC：灯带驱动

QDEC：正交编码器检测

MCPWM：电机控制脉宽调制器

## 第 2 章. 原理设计

芯片分“电源、晶振、射频、外设和 IO”等 5 个模块，进行原理性描述；“**设计注意事项**”参考“PCB 设计”章节。

### 2. 1. 电源

#### 2.1.1. VPWR

VPWR 是芯片供电输入端，供电电压 2.7~5.5V。

#### 2.1.2. IOVDD

IOVDD 是 3.3V 电源域；支持 IOVDD 独立供电（VPWR 悬空），供电电压<3.6V。

IOVDD 作为 LDO 稳压输出时，输出范围 1.8V~3.6V，电压档位可调，最大输出电流 I<sub>max</sub>=60mA（包含主控 IO 和系统消耗），在 VPWR 不掉电情况下，IOVDD 为常带电电源，无法关闭。

IOVDD 给芯片独立供电（VPWR 悬空）时，支持最低功耗。**禁止“VPWR 和 IOVDD”短接。**

### 2. 2. 晶振

芯片有 1 组晶振接口，XOSCI/XOSCO，一般接 24M 晶振。

### 2. 3. 射频

#### 2.3.1. BT 蓝牙

BTRF 是 2.4G 蓝牙天线接口，工作频段：2.40~2.48GHz，必须配套 2.4G 蓝牙天线，以保障蓝牙收发性能。

### 2. 4. Peripherals

AW31N 具备丰富的数字外设和 IO 重映射功能，除固定 IO 接口外，其余 IO 可依据芯片规格书灵活分配。

注 1：SFC、SPI0、ISP、SARADC 检测、USB 等外设，均为固定 IO，严禁随意分配。

注 2：SPI1、IIC、UART、TIMER/PWM/CAP/MCPWM、LEDC、QDEC 等外设，支持 crossbar 映射，可灵活分配 IO，支持映射到除 PF 组外的 IO，如 PA 组、USBDM、USBDP。

**注 3：不推荐 crossbar 映射到 USBDM/DP。**因为 USBDM/DP 常用于 USB 应用，或做普通 IO 时，也仅用于 IO 按键检测等。

### 2.4.1. ADC

ADC 是 10Bit ADC, 共 15 通道, 固定 IO。

I/O		I/O		I/O		I/O	
PA0	ADC0	PA4	ADC4	PA9	ADC9	USBDP	ADC13
PA1	ADC1	PA5	ADC5	PA10	ADC10	USBDM	ADC14
PA2	ADC2	PA6	ADC6	PA11	ADC11		
PA3	ADC3	PA8	ADC8				

### 2.4.2. SPI

SPI 是一个标准的遵守 SPI 协议的串口通讯接口, 共 3 组, SPI0/SFC 为系统自用, 固定 IO; SPI1 接口支持 CPU 控制, 支持单向 DMA(不能同时收发), 可任意映射到 PA 口。

SPI1CLK	SPI1DI	SPI1DO	SPI1D2	SPI1D3
---------	--------	--------	--------	--------

### 2.4.3. UART

UART 有 UART0、UART1、UART2, 支持接收带循环 Buffer 的 DMA 模式和普通模式, 可任意映射到 PA 口。

UART0_TX	UART1_TX	UART2_TX
UART0_RX	UART1_RX	UART2_RX

### 2.4.4. IIC

IIC 是一个标准的遵守 IIC 协议的串口通讯接口, 支持主机和从机模式, 上拉电阻越大, 频率越低, 可任意映射到 PA 口。

IIC_SCK	IIC_SDA
---------	---------

### 2.4.5. QDEC

QDEC 是正交编码器检测模块, 支持 2 线输入。支持 4 phase、2 phase、1 phase 三种模式, 一般旋转编码使用 1 phase, 鼠标滑轮使用 2 phase; 模块自带定时器, 可独立定时检查; 可任意映射到 PA 口。

Q-decoder_0	Q-decoder_1
-------------	-------------

### 2.4.6. LEDC

LEDC 用于 LED 灯带驱动和控制, 支持 DMA, 支持 2 路独立控制: 可任意映射到 PA 口。

LEDC_D0	LEDC_D1
---------	---------



### 2.4.7. USB

USB 是一个 Full Speed (USB1.1)，支持普通 IO 功能，USBDP、USBDM 为固定 IO。

USB1.1 通信频率 12MHz。

### 2.4.8. MCPWM

MCPWM 模块包括: 2 个 MCTimer 时基(TMRxCK), 2 对独立 MCPWM 通道(MCPWMCHxL/H), 2 路 FPINx 故障保护输入, x=0~1; MCTimer 是 16 位定时器; MCPWM 支持运行中更改频率、占空比, 支持灵活配置每对通道的有效电平状态, 支持编程死区控制, 支持硬件故障输入 FPIN; 可任意映射到 PA 口。

MCPWM0		MCPWM1	
CH0L	CH0H	CH1L	CH1H
TMR0CK		TMR1CK	
FPIN0		FPIN1	

### 2.4.9. Timer/PWM/CAP

Timer 有 Timer0~Timer3 共 4 个 32 位定时器, 支持定时 TMRx/计数 CNTx/捕捉 CAPx/时钟 CLKOUTx/PWMx, x=0~3; 驱动源可以选择“内部时钟”或“外部信号”。

支持上升沿/下降沿捕获功能, 可以测量外部信号电平宽度, 可任意映射到 PA 口。

### 2.4.10. IR

IRFLT 是一个专门用于滤除红外接收头上窄脉冲信号的硬件模块, 可任意映射到 PA 口。

### 2.4.11. PWM\_LED

AW31N 支持普通 IO (高电平/低电平) 推灯、PWM\_LED 推灯, 根据使用场景灵活选择。

其中, PWM\_LED, 是通过脉冲宽度调节控制 LED 的亮度与亮灭的一个模块, 只有 1 个模块, 只能产生一个激励, 支持单 IO 推单灯, 或单 IO 推双灯, 可任意映射到 PA 口。

注: 区别于 Timer (PWM) 推灯, PWM\_LED 支持更灵活的推灯样式, 不需要软件不断地介入去修改占空比, 对外部的干扰更小。

## 2. 5. GPIO

### 2.5.1. IO 上下拉电阻、上电默认配置

IO 内置上下拉电阻偏差为“±20%”。

Resistor	Pull-Up (上拉)				Pull-Down(下拉)			
Register	PU				PD			
Port \ Bit	0	1	2	3	0	1	2	3
PA0~PA11	—	10KΩ	100KΩ	1MΩ	—	10KΩ	100KΩ	1MΩ
USBDP	—	1.5KΩ			—	15KΩ		
USBDM	—	180KΩ			—	15KΩ		

注：“—”代表“未开”

芯片上电特殊配置 IO:

默认上拉 10KΩ	默认下拉 15KΩ
PA4、PA11 (支持长按复位)	USBDP、USBDM

### 2.5.2. IO 驱动电流、状态、高压 IO(HVT)

IO 输入逻辑电平		Input VH≧0.7*IOVDD， Input VL≦0.3*IOVDD					
		HD				电源域 /耐压	软关唤醒 时 IO 状态
Port \ Bit	0	1	2	3			
PA0~PA6 PA8~PA11	3mA	9mA	21mA	54mA	IOVDD	保持	
PA7	8mA(高压 IO)				≦6V	保持	
USBDP USBDM	8mA				IOVDD	保持	

备注：1、IOVDD 是 3.3V 电源域；

2、当 2\*IOVDD<6V 时，高压 IO 耐压 ≦ 2\*IOVDD。

## 第 3 章. 硬件设计

以我司蓝牙 BLE 产品为例，优先以下流程设计：

产品结构、板层设计->天线->地场->晶振->电源->敏感信号设计等

### 3.1. 产品结构、板层设计

项目立项前期必须重点评估产品结构，以最大化发挥无线射频、声学音频性能。

重点留意“**天线**”的结构位置，要求“天线”有足够的辐射空间，以便最大化发挥产品性能。

例如：天线周边的金属材料会干扰天线性能，天线位置靠近人体会阻隔辐射等。尽可能结构设计时，给天线有足够的立体空间，天线尺寸越大、天线性能越好。

PCB 板优选多层板，以提供完整的地平面和信号线布局空间。单面板或双面板设计，则严格要求电源信号完整性，要求“**地回路阻抗小**”。

好的产品结构和板层，可以高效、快速的推进项目实现和落地，以最低的时间成本获取收益。

### 3.2. 天线设计

天线必须有足够的立体空间。

天线选型，需结合产品的外观、尺寸、结构、使用场景决定。

BT 蓝牙天线常用的有“板载、陶瓷、FPC”3 种；原理上一般有“单极、双极、回路(Loop)”，天线效率理论上“单极>双极>Loop”，但是单极天线容易受周围材料影响，从而改变天线特性。根据天线空间和产品外观，选择合适的天线：

小尺寸的产品，优选顺序为：“FPC->陶瓷->板载”（原理上：单极->双极->Loop）；

大尺寸的产品（长边 $\geq 4\text{CM}$ ），直接设计板载天线（原理上：单极->双极），板载天线类型有“倒 F、蛇形、I 型等”，考虑稳定性，首选倒 F 型。

#### 一、原理图设计

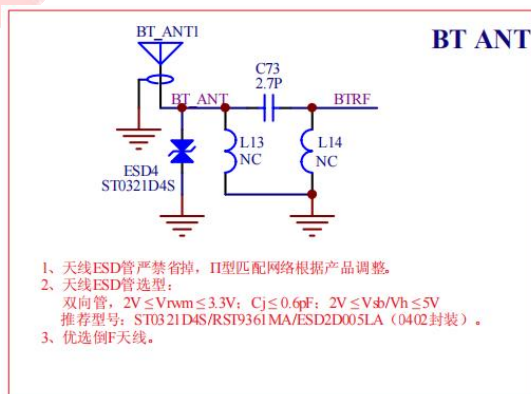


图 3-2-1 天线电路

1) 天线预留 T 型或  $\pi$  型匹配网络, 且靠近天线端处 TVS 管不可省 (寄生电容  $\leq 0.6\text{pF}$ )。如有必要, 可增加滤波器衰减蓝牙高次谐波信号, 防止杂散超标;

2) 天线匹配需采用高精度电感、电容 (高频物料), 保证产品蓝牙性能及一致性; 物料取值, 参考网分仪匹配调整, 或根据实际测试结果调整。

原则上, 每款机型, 都需通过调整匹配, 达到最佳的蓝牙性能。

## 二、PCB 设计

### 1、天线布局

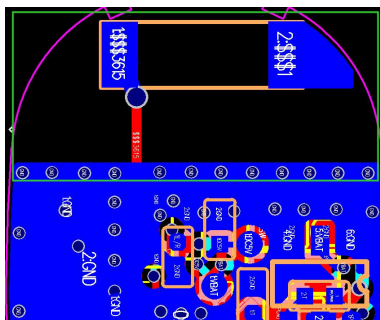


图 3-2-2 天线镂空 (绿色框内)

- 1) 根据空间结构, 必需合理选择天线类型和布局位置, 远离电池、喇叭、触摸铜箔、人体等。
- 2) “天线”和“地”必需需要统一设计, 要求地平面完整, 空间足够。
- 3) 天线必需靠近板边放置, 净空区尽可能大, 至少  $\geq 3\text{mm}$ 。
- 4) 天线背面禁止任何走线、及敷铜, 必需镂空。
- 5) 天线必需远离“DCDC 电路、翻转 IO”等, 减少对 RF 的干扰。
- 6) 天线必需远离 DAC、MIC 等电路, 减少 RF 辐射导致的射频噪音。

### 2、匹配网络、传输线 50 欧姆设计

蓝牙天线匹配网络有: T 型、 $\Pi$  型、L 型; 前期设计上, 小尺寸天线选 T 型, 大尺寸天线选  $\Pi$  型; 最后实际使用一般是 L 型; 任何一款“天线”或“样机”必须做阻抗匹配, 匹配参数以实际调试为准。

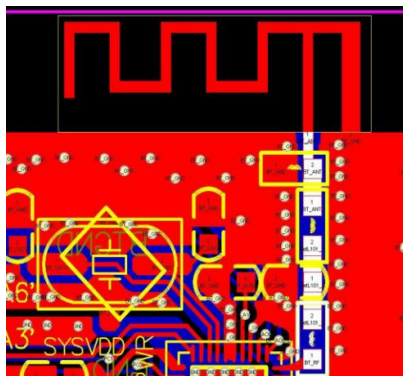


图 3-2-3 BTRF 传输线 (白色线)

- 1) 天线匹配网络及传输线，要控制好 **50 欧阻抗设计**。可要求板厂设计实现，也可使用阻抗计算工具（如 SI9000），根据“板厚、板层、板材、铜厚”合理设计 RF 传输线的“线宽、线距”。
- 2) 匹配物料要求紧凑摆放，周边地场干净完整。**布局上需避开晶振、高速数字翻转等敏感信号。**
- 3) 传输线，**走线尽量短，禁止有分支。**
- 4) 传输线，走线尽量直线引出，避免 90 度拐角走线。
- 5) 传输线，两侧的地打过孔墙，一般按 1-2mm 的间距打过孔墙。

### 3.3. 地场设计（**关键项**）

优秀的地场设计，可以有效降低各类噪声，提升 RF 等性能和抗静电能力，请**重点关注**：AW310N 地命名为 GND（或 VSS）：一般包括“逻辑、数字、控制、电源、蓝牙”等地回路。设计注意事项：

- 1) GND 到电池负端**阻抗尽可能最小**，即走线、铺地尽可能宽，4 层 PCB 必须设计一层完整的铺地地层。地回路路径（包括电池负端到锂保 IC）不能出现窄带、细线、破碎的地面。
- 2) 主控和其各电源退耦电容必须共地良好，严禁破碎。

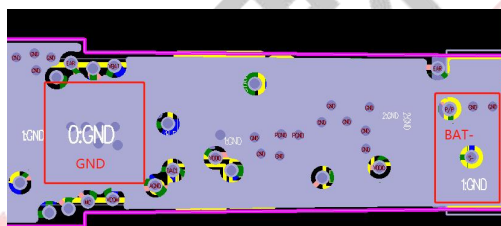


图 3-3 完整的中间地层

### 3.4. 晶振设计

AW31N 有 1 组晶振接口，一般接 24M 晶振。

注 1：产品必须选择**精度高、稳定性好、可靠性强**的晶振，这将直接决定产品的射频性能，决定系统的稳定性和可靠度，**差的晶振**会导致各种不可预期的问题，甚至给客户直接带来经济损失。

注 2：产品出厂前，必须用我司《**蓝牙测试盒**》等工具，**测试频偏**（±10KHz 以内），如偏差过大，可以测试盒校准，或修改负载电容。

注 3：如**蓝牙性能（TX 发射）异常**，可关注晶振是否受到干扰，可围绕晶振选型、布局、走线、接地回路等排查优化。

## 一、原理图设计

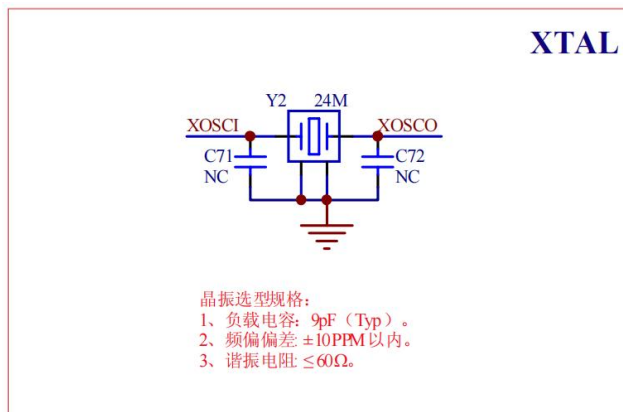


图 3-4-1 晶振电路（24MHZ）

- 1) 24M 晶振规格：负载电容 9pF，频偏±10PPM。（电容位默认 NC）
- 2) 晶振管脚邻近 IO 口，严禁分配高速翻转信号，如 SPI、UART 等，以保证系统性能及稳定性；

## 二、PCB 设计注意事项

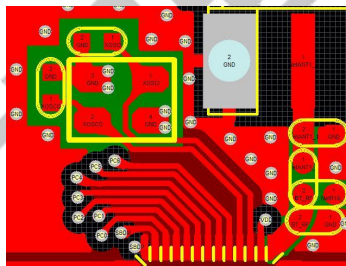


图 3-4-2 晶振 layout 参考（多层板）

- 1) 晶振需远离高频数字、敏感模拟、RF 和易受干扰模块。
- 2) 晶振布线不宜过粗、过长，尽量用地线包裹屏蔽，减少其他干扰源的影响；
- 3) 晶振下方必须完整铺地，禁止走线（如电源/敏感信号等）。多层板设计时，晶振及外挂负载电容表层和相邻内层净空，不做铺地处理，以减少寄生电感、电容。

## 3.5. 电源设计

### 3.5.1. 供电场景及电压范围

AW31N 内置电源输入管理单元，支持 VPWR 单独供电（2.7~5.5V），或 IOVDD 单独供电（1.8~3.6V）。设计时，需留意供电场景及电压范围。



Table 3-5-1 供电场景

供电电压	供电接法	适用场景
$\geq 3.6V$	单独供电至 VPWR (IOVDD 接退耦电容)	如 3.7V 锂电池/3 节干电池应用
$< 3.6V$	单独供电至 IOVDD (VPWR 悬空)	如 2 节干电池应用 注意: AW31N 不支持 3.0V 纽扣电池应用

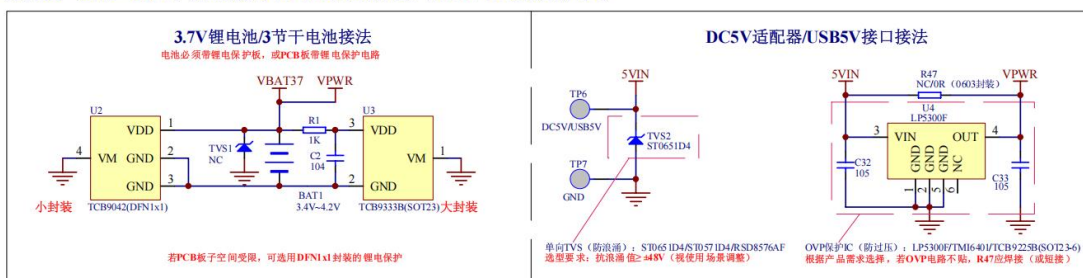
注 1: 供电 $\geq 3.6V$  时, 只能使用 VPWR 独立供电, 且 IOVDD 接退耦电容;

注 2: 供电 $< 3.6V$  时, 使用 IOVDD 独立供电 (VPWR 悬空), 可支持最低功耗。

注 3: VPWR 不支持普通 IO 应用, 且禁止“VPWR 和 IOVDD”短接。

## 一、原理图设计

方案1: 供电 $\geq 3.6V$ , 只能使用VPWR独立供电, 且IOVDD接退耦电容



方案2: 供电 $< 3.6V$ , 使用IOVDD独立供电 (VPWR悬空), 可支持最低功耗

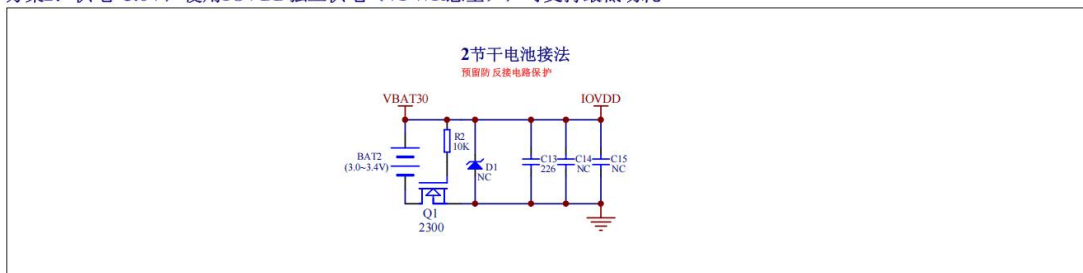


图 3-5-1 供电方案选择

- 1) 注意供电场景, 严格限制供电输入电压。
  - 2) 注意供电保护, 防过压/过流/反接/浪涌等。
  - 3) 注意电源退耦容值随电压升高而下降, 请确保其工作电压下的容值 $\approx$ 标称值
- 注: 主控各退耦电容容值和要求请参照“标准原理图”, 建议优选 0402 或更大尺寸的封装。
- 4) 使用原装电容(非拆机、劣质电容), 以保证容值、和品质。
  - 5) 主控 VPWR 退耦电容耐压值要求 $\geq 16V$ , 主控其他电容耐压值 $\geq 6.3V$ ;
- 其他外设电容依据其工作电压要求选择 (防止浪涌、过冲击穿), 一般 5V 电源域耐压值 $\geq 16V$ 。

## 二、PCB 设计

1) 务必考虑电源完整性设计。各电源退耦电容靠近主控 IC 放置，且电容和主控必须共地一致，严格控制“地回路阻抗”。

2) 务必考虑功耗、散热、带载能力等需求。各电源（大电流通路）布线线宽建议 $\geq 0.5\text{mm}$ ，留有余量设计（一般经验  $50\text{mA}/0.1\text{mm}$ ）。

3) 布局时，优先电源走线路径最短化，尽量远离板边走线，以免引入干扰。走线时，建议电源（退耦电容大容值处）星形走线给各分支模块供电。要求先经退耦电容，再给各分支模块电源管脚供电。

## 3.6. USB 设计

AW31N 支持 Full Speed USB（USB1.1），支持 Host/Slave 模式，可用于 PC 模式（如 PC 烧写升级、PC 通信等），使用时根据应用场景选择。

**注：**若无 USB 功能应用，USBDM/DP 可做普通 IO，一般仅用于 IO 按键或输入检测功能等。

### 一、原理图设计

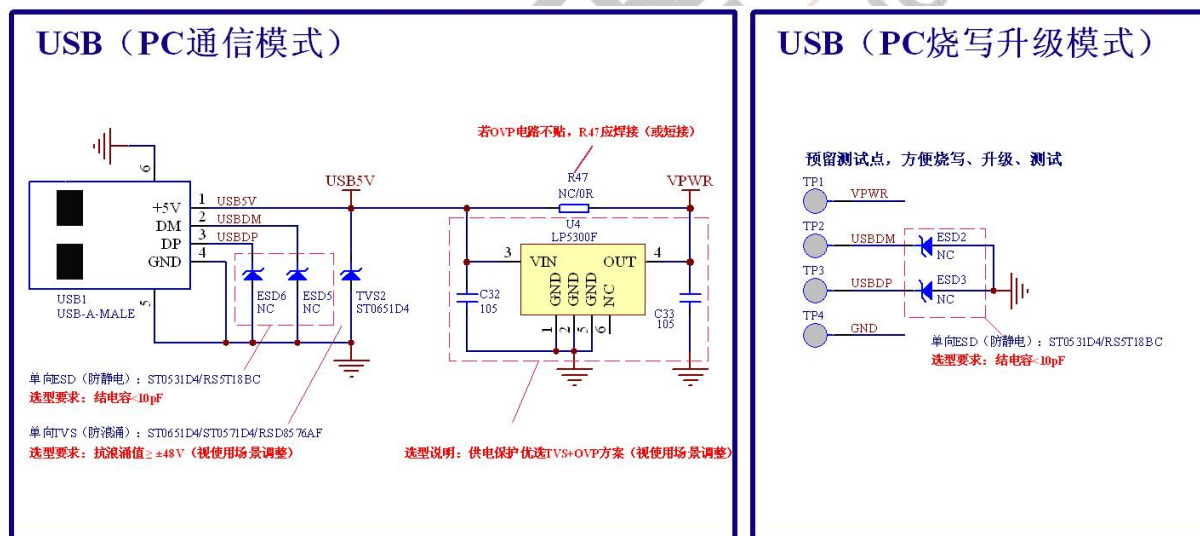


图 3-6 USB 电路设计

- 1) USB 电路必须远离敏感信号，如 RF 天线、时钟信号等。
- 2) PC 模式，供电接 VPWR（耐压 $\leq 5.5\text{V}$ ），注意做好供电防护。
- 3) USB 接口处预留静电管，可提高抗静电能力。
- 4) USB 管脚（主控端）预留串联电阻及对地电容料，可做阻抗匹配或防止 EMI/EMC 杂散超标。



## 二、PCB 设计注意事项

- 1) DM、DP 是差分信号，尽可能做  $90\Omega$  差分阻抗设计。
- 2) DM、DP 尽量“差分、等长”走线，尽可能少“过孔”，不“分叉”。
- 3) 等长尽可能在“长度失配端”进行长度匹配。
- 4) 走线尽可能短，尽可能减小 DP、DM 间距，且“等距、对称、 $\angle 135^\circ$  弯曲”走线。
- 5) USB 线两侧地，尽可能打过孔保持连通性。
- 6) 务必考虑电源完整性设计。USB 电源（大电流通路）布线线宽建议  $\geq 0.5\text{mm}$ ，留有余量设计（一般经验  $50\text{mA}/0.1\text{mm}$ ），电源电容地要求共地良好，严格要求“地回路阻抗小”设计。

## 3.7. 红外发射/接收设计

### 一、原理图设计

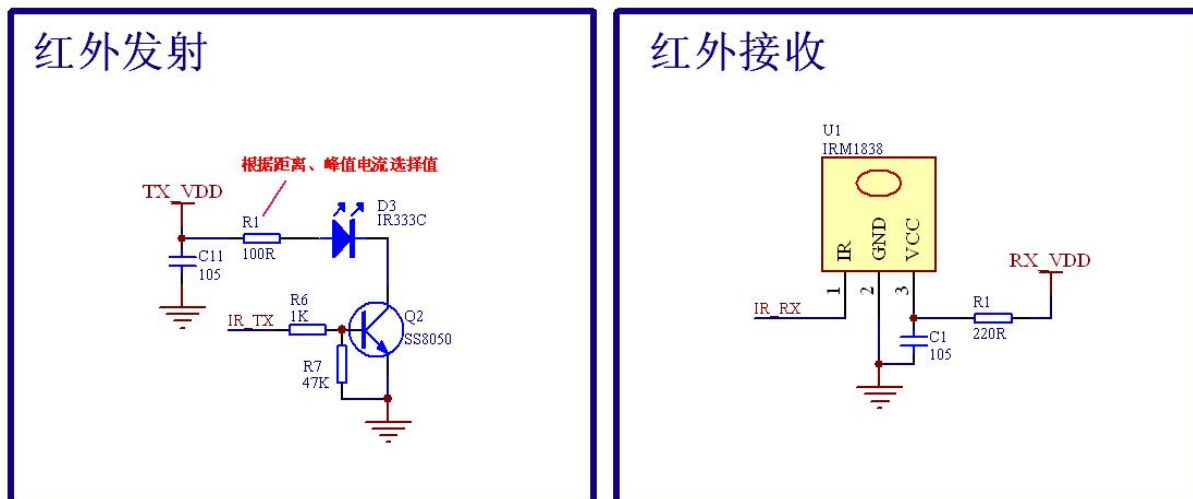


图 3-7 红外发射/接收电路

- 1) IR\_TX、IR\_RX，可任意映射到 PA 口，但需避免使用上电默认上拉 IO（如 PA4/PA11）。
- 2) TX\_VDD 供电，可选 VPWR 或 IOVDD 供电。
- 3) RX\_VDD 供电，则需根据 IR\_RX 的 IO 电源域状态选择，比如：  
使用 3.3V 电源域 IO 时，RX\_VDD 建议使用 IOVDD 或者 3.3V 电源域 IO 供电。  
使用 HVT 耐高压 IO 时，RX\_VDD 可选 VPWR、IOVDD 或者其他 3.3V 电源域 IO 供电。

## 二、PCB 设计

- 1) 红外电路必须远离敏感信号，如 RF 天线、时钟信号等。
- 2) 红外信号物料及布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响。
- 3) 务必考虑电源完整性设计。红外电源（大电流通路）布线线宽建议  $\geq 0.5\text{mm}$ ，留有余量设计（一般经验  $50\text{mA}/0.1\text{mm}$ ），电源电容地要求共地良好，严格要求“地回路阻抗小”设计。

### 3.8. QDEC 旋转编码器设计

QDEC 是正交编码器检测模块，支持 2 线输入检测，可任意映射到 PA 口。

鼠标滑轮常用的旋转编码器为 2 线输入模式，应用设计如下：

#### 一、原理图设计

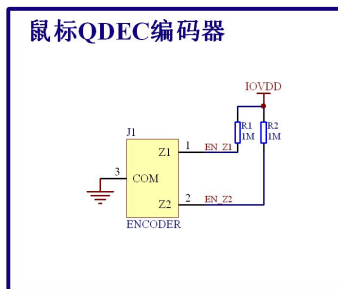


图 3-8 鼠标滑轮（QDEC 编码器）

- 1) EN\_Z1、EN\_Z 检测信号接上拉电阻（或使用 GPIO 内部上拉），可任意映射到 PA 口。
- 2) EN\_Z1、EN\_Z 一般为 3.3V 电源域 IO，因此编码器供电使用 IOVDD 或 3.3V 电源域 IO。
- 3) EN\_Z1、EN\_Z 预留对地电容滤波，可消除抖动误码（也可软件方法消抖代替）。

#### 二、PCB 设计注意事项

- 1) QDEC 编码电路必须**远离敏感信号**，如 RF 天线、时钟信号等。
- 2) QDEC 信号物料及布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响。

### 3.9. 防静电设计

电子设备**必须做防静电设计**，因为在**干燥低温**的生产环境下容易产生静电，容易造成电子器件的损坏。

**注：静电设计标准（接触放电 $\geq \pm 4KV$ ；空气放电 $\geq \pm 8KV$ ），设计需留有余量。**

#### 一、设计阶段防静电设计

- 1) 产品结构，务必考虑静电防护。如增加模具厚度，加大 PCBA 与壳体间距，做好壳体密封等。
- 2) PCB 地场设计必须完整，要求面积大，不存在破碎，细回路，板边连续。
- 3) **敏感信号线严禁靠近板边走线**（如晶振、触摸等）。
- 4) BT 天线必须远离静电入口，且天线入口处，**必须加双向 TVS 管**。
- 5) 供电入口（如 DC5V 适配器或 USB5V 接口等供电），必须加**单向 TVS 管（有防浪涌除外）**。
- 6) “缝隙、接口处电路”必须预留 ESD 管，如按键、USB 等。
- 7) 单向信号使用单向 ESD 管。
- 8) ESD 管靠近静电入口处放置。

## BT 天线 TVS 管选型列表

表 3-9 优选的双向 ESD 管列表

型号/名称	供应商/品牌	联系人	联系方式/电话
ESD2D005LA	ASIM (阿赛姆)	舒工	18813929032
ST0321D4S	盛邦尔	罗总	13923806122

备注：其它标准的 TVS 管可咨询上述供应商。

## 二、生产阶段防静电要求

请严格做好生产周期内所有阶段的静电防护。

- 1) 所有生产、测试设备、工作环境，必须做防静电处理。
- 2) SMT 贴片、建议最后贴 IC 芯片。
- 3) 生产、测试人员必须佩戴防静电手环、手套，穿防静电服、鞋子。
- 4) 使用防静电材料包装、运输。

## 3. 10. 防浪涌设计

电子设备**必须做防浪涌设计**，因为电网、充电器的感性特性，会在供电瞬间产生浪涌电压，造成电子器件的损坏。

注：浪涌设计标准（一般抗浪涌电压 $\geq \pm 48V$ ），标准必须根据产品的应用场景调整，如一些电源适配器，浪涌峰值 100V，则抗浪涌电压必须大于 110V。设计需留有余量。

### DC5V 适配器/USB5V 接口接法

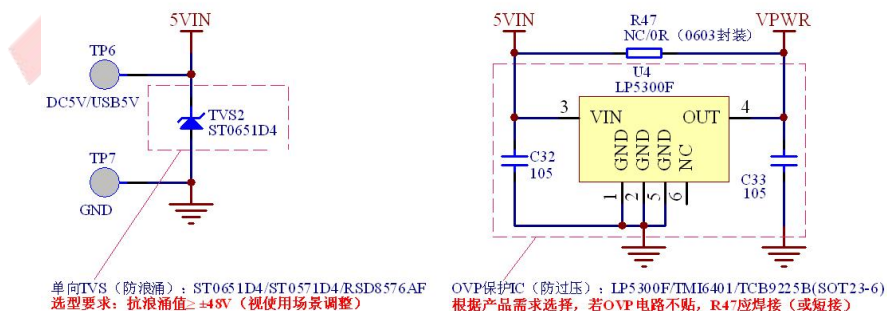


图 3-10 DC5V 适配器/USB5V 输入（单向 TVS 管+OVP 保护）

- 1) 供电输入端（如 DC5V 适配器/USB5V 接口等），必须加浪涌保护电路；
- 2) 浪涌保护电路有：OVP 保护 IC、单向 TVS 管、OVP+TVS，根据需求选择，一般 OVP 优于单向 TVS。

## 单向浪涌 TVS 管选型列表

表 3-10 48V 标准优选的单向 TVS 管列表

型号/名称	供应商/品牌	联系人	联系方式/电话
ST0651D4/ ST0571D4	盛邦尔	罗总	13923806122
MDFN2A051SM	Me	秦总	13902974144

备注：其它标准的 TVS 管可咨询上述供应商。

## 3. 11. EMC/EMI 防护设计

需要过电磁兼容性标准、或需要进行电磁兼容性设计的方案，从以下方面优化电磁辐射和干扰：

- 1) 增加 PCB 屏蔽罩。
- 2) 高速信号线加磁珠、LC、RC 滤波电路，如 USB、LCD 等信号。
- 3) 多层板，信号线和电源线走中间层。
- 4) 合理布局，使“带辐射的走线”尽可能短。
- 5) PCB 板边连续地，且有完整的地平面。
- 6) 易受干扰的信号注意保护，如走内层、地隔离、地包裹等。

# 第 4 章. 开发、生产、量产注意事项

## 4. 1. 烧写、升级、测试说明

AW31N 支持 USB 更新程序或串口更新升级，**使用时，请留意烧写升级场景及烧写电压。**

烧写场景	烧写说明	预留烧写测试点
USB 更新程序		(VPWR、USBDM、USBDP、GND) 或 (IOVDD、USBDM、USBDP、GND)
串口更新程序		(VPWR、PA2、GND) 或 (IOVDD、PA2、GND)

预留测试点，方便烧写、升级、测试

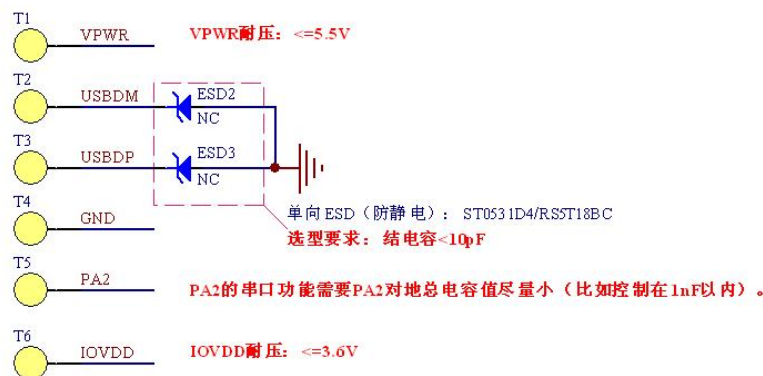


图 4-1 烧写、升级、测试说明