

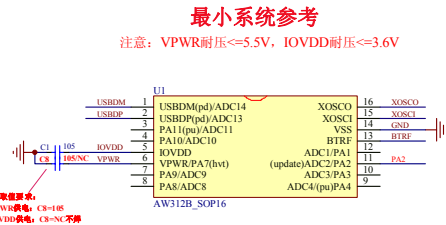
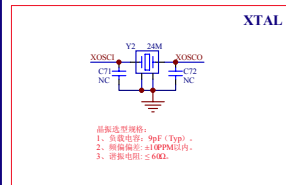
版本号	更新日期	更新说明
V1.0	2024.12.20	初始版本
V1.1	2025.08.21	删除3.0V纽扣电池应用（不支持）

- 1、电源要求
a、注意供电电压，严格控制应用场合。
b、电压≥6V时，只能用VWVW2建立连接，用VWVW2驱动退耦电容。
c、电压≥6V时，使用VWVW2建立连接，用VWVW2空载，可支持较大功耗。
d、注意供电电压，防止过压引起器件烧毁等。
e、电源供电方案需考虑器件功耗（此时可配接散热器降低功耗）。
- 2、电压要求
a、若器件需工作在高温下时，请确保器件在额定功耗（选通0.40℃）下。
b、使用应用场合（手机、变频器等），以保证器件可靠和品质。
c、器件额定电压和额定功率为20V、2.0W，器件工作电压≤3V，
其另外器件需在其工作参数上考虑（防止高电压、过冲等）。
- 3、静电要求
a、器件的静电耐受电压≥15kV，空气静电≤5kV。
b、大输入端必须加防静电，请使用者穿防静电鞋。
- 4、环境要求
a、使用环境温度一般要求≤45℃（根据实际应用场合调整），建议留有足够量。
b、VWVW2电力要求（额定功率或SBSV5V2V），VWVW2输入端需加防静电。

4. 请注意:

- 1) 电源:
 - a) 为设备接入电源管理单元, 支持VPP供电电压为 (2.75~5.5V), 或IOVDD单独供电 (1.8~3.6V)。
 - b) 支持3.3V I/O, 只支持带VPP功能的主板, IOVDD单独供电电压为 1.8V, 供电 <3.6V 时, 使用IOVDD上拉至3.3V供电, 可支持低功耗模式。
 - c) 为VPP提供上拉电阻, 且上拉至VPP供电电压, 供电 <3.6V 时, 使用IOVDD上拉至3.3V供电。
 - d) 为VPP提供上拉电阻, 并外接VPP电容, 外接VPP电容 <100nF, 供电 <3.6V, I/Omode=IOVDD供电时, 在VPP供电异常电压下, IOVDD仍可为设备供电, 防止因供电异常方式引发设备损坏。
- 2) 接口和信号:
 - a) 支持GPIO, 支持双向信号, 能兼容上拉/下拉IO/漏极开路IO/集电极开路IO。
 - b) 支持I2C, 支持双向信号, 且可配置100KHz、400KHz、1MHz, 模式由寄存器控制, 400KHz及以上可支持。
 - c) 支持1线半双工和全双工通信, 支持半双工通信, 可兼容双向传输。
 - d) 支持4线半双工和全双工通信, 兼容4线2线通信, 可兼容双向传输。
 - e) 支持SPI, 支持双向信号, 支持主从模式, 支持16位数据位宽。
- 3) 存储器:
 - a) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - b) 支持ROM, 上拉IOVDD, PA4、PA1上拉至VDD。
 - c) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - d) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - e) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - f) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - g) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - h) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - i) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - j) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - k) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - l) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - m) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - n) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - o) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - p) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - q) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - r) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - s) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - t) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - u) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - v) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - w) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - x) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - y) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。
 - z) 支持SRAM, USHSHR上拉至VDD, PA4、PA1上拉至VDD。

VPWR: 芯片供电输入端（供电 $\geq 3.6\text{V}$ 时，只能使用VPWR独立供电）；
 IOWDn: LDO输出电压，或芯片供电输入端（供电 $< 3.6\text{V}$ 时，使用IOWDn独立供电，可支持最低功耗）；
 ADCn: ADC采样输入检测（x为通道）；
 bvt: 高压IO，耐压 $\geq 5.5\text{V}$ 或2倍IOWDn中较小值；
 Update: 串口更新信号；
 pm: 上电开机初始状态为上拉；
 pd: 上电开机初始状态为下拉；
 VSS: 数字地或系统性地；

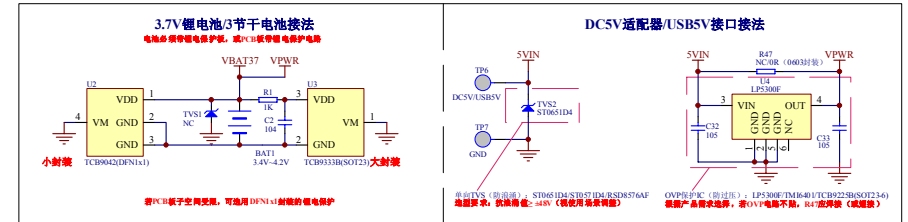


场景	VPWR供电	IOVDD供电
USB更新程序	VPWR、USBDM、USBDP、GND	IOVDD、USBDM、USBDP、GND
串口更新程序	VPWR、PA2、GND	IOVDD、PA2、GND

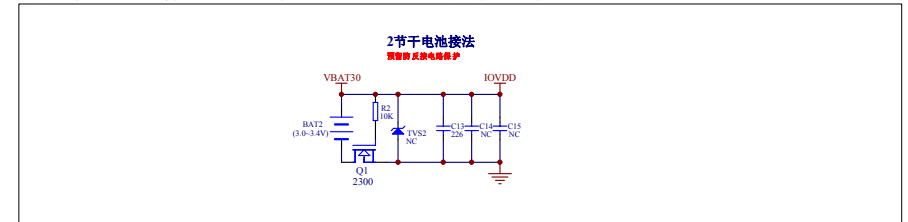
T1 VPWR **VPWR电压: <=5.5V**
 T2 USBDM ESD2 NC
 T3 USBDP ESD1 NC
 T4 GND
 T5 PA2 **PA2的串口功能需要PA2对地电容尽量小(比如控制在1nF以内),**
 T6 IOWDD **IOWDD电压: <=3.6V**

供电电压	供电说明	供电接法	适用场景
≥3.6V		供电至VPWR (IOVDD接漏极/空)	如3.7V锂电池/3节干电池、DCS适配器/USB5V接口等
<3.6V		供电至IOVDD (VPWR接空)	如2节干电池应用

方案1: 供电 $\geq 3.6V$, 只能使用VPWR独立供电, 且IOVDD接退耦电容



方案2: 供电<3.6V, 使用IOVDD独立供电 (VPWR悬空), 可支持最低功耗



POWER