

Bitácora del Proyecto: Diseño de un Decodificador

José Eduardo Campos Salazar c.2023135620
Jimmy Feng Feng c.2023060347

Fundamentos de Arquitectura de Computadores
Instituto Tecnológico de Costa Rica

1 de abril de 2025

1. Registro de Actividades

1.1. Fecha: 18/03/2025

Actividades:

1. Se definieron las especificaciones del sistema.
2. Se diseño los módulos necesarios, así como sus entradas y salidas respectivas del caso.
3. Se creó la tabla de verdad para el encoder de 4 bits a 2 bits.

Resultados:

Figura 1. Diagrama de bloques del circuito planteado.

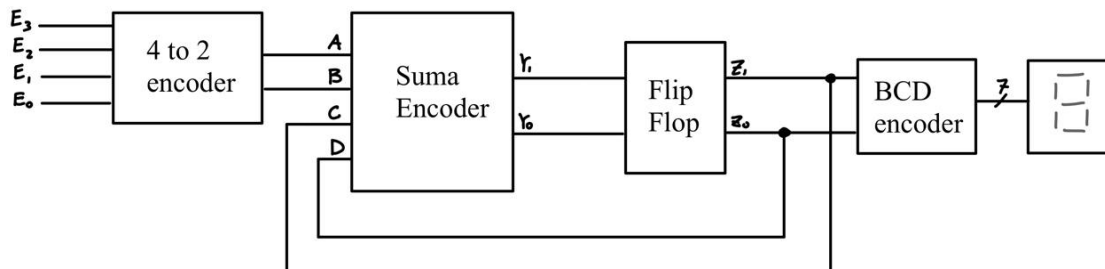


Tabla 1. Tabla de verdad de Encoder 4:2

| Entrada | Y1 | Y0 |
|---------|----|----|
| 0001 | 0 | 0 |
| 0010 | 1 | 0 |
| 0100 | 0 | 1 |
| 1000 | 1 | 1 |

1.2. Fecha: 20/03/2025

Actividades:

1. Se obtuvo la ecuación canónica de las salidas del encoder de 4 bits a 2 bits.
2. Se implementó el diseño del circuito basado en la ecuación obtenida.

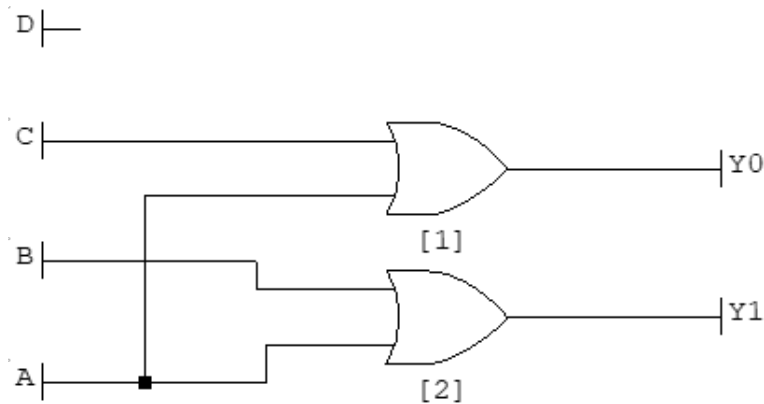
Resultados:

Ecuaciones canónicas del encoder de 4 bits a 2 bits:

$$Y_1 = A + B$$

$$Y_0 = A + C$$

Figura 2. Circuito del encoder 4bits a 2bits.



1.3. Fecha: 21/03/2025

Actividades:

1. Se construyó la tabla de verdad para el sumador circular.
2. A partir de la tabla de verdad, se obtuvo la ecuación canónica con ayuda de [1].

Resultados:

Se generó la tabla de verdad correspondiente al sumador circular y se extrajeron las ecuaciones lógicas necesarias para su implementación.

Tabla 2. Tabla de verdad del sumador circular de dos entradas de 2bits

| AB | CD | Y1 | Y0 |
|----|----|----|----|
| 00 | 00 | 0 | 0 |
| 00 | 01 | 0 | 1 |
| 00 | 10 | 1 | 0 |
| 10 | 11 | 1 | 1 |
| 01 | 00 | 0 | 1 |
| 01 | 01 | 1 | 0 |
| 01 | 10 | 1 | 1 |
| 01 | 11 | 0 | 0 |
| 10 | 00 | 1 | 0 |
| 10 | 01 | 1 | 1 |
| 10 | 10 | 0 | 0 |
| 10 | 11 | 0 | 1 |
| 11 | 00 | 1 | 1 |
| 11 | 01 | 0 | 0 |
| 11 | 10 | 0 | 1 |
| 11 | 11 | 1 | 0 |

Ecuaciones canónicas del sumador de 2 entradas de 2 bits:

$$Y_1 = (A \oplus C) \oplus (BD)$$

$$Y_0 = B \oplus D$$

1.4. Fecha: 23/03/2025

Actividades:

1. Se comprobó la ecuación canónica obtenida previamente.
2. Se diseñó el circuito del sumador circular.
3. Se diseñó el circuito completo, con el BCD encoder a 7 segmentos.

Resultados:

Se validó la ecuación canónica y se implementó el diseño del circuito correspondiente, asegurando que cumpliera con los requisitos de operación.

Figura 3. Circuito sumador circular de dos entradas de 2 bits.

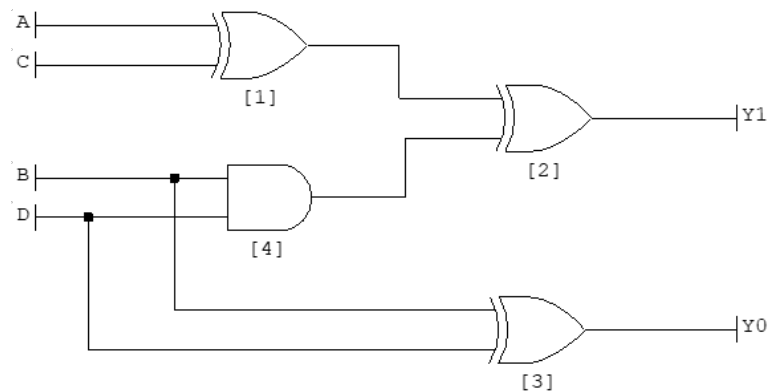
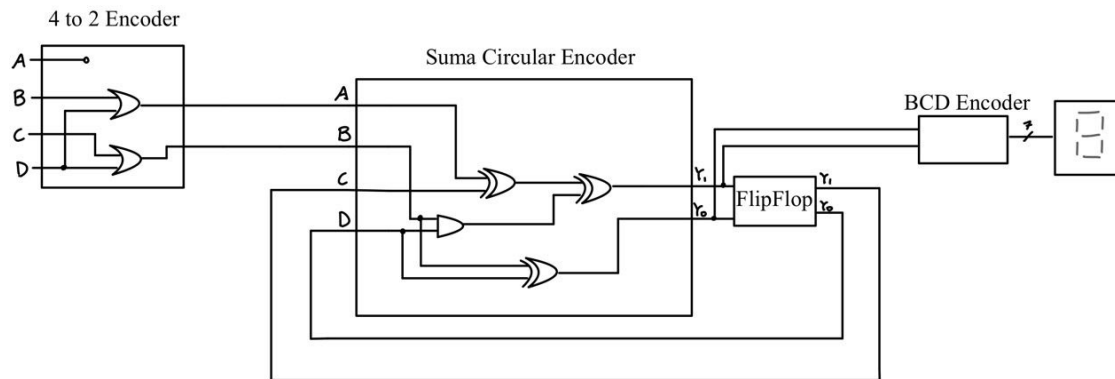


Figura 4. Circuito final.



1.5. Fecha: 24/03/2025

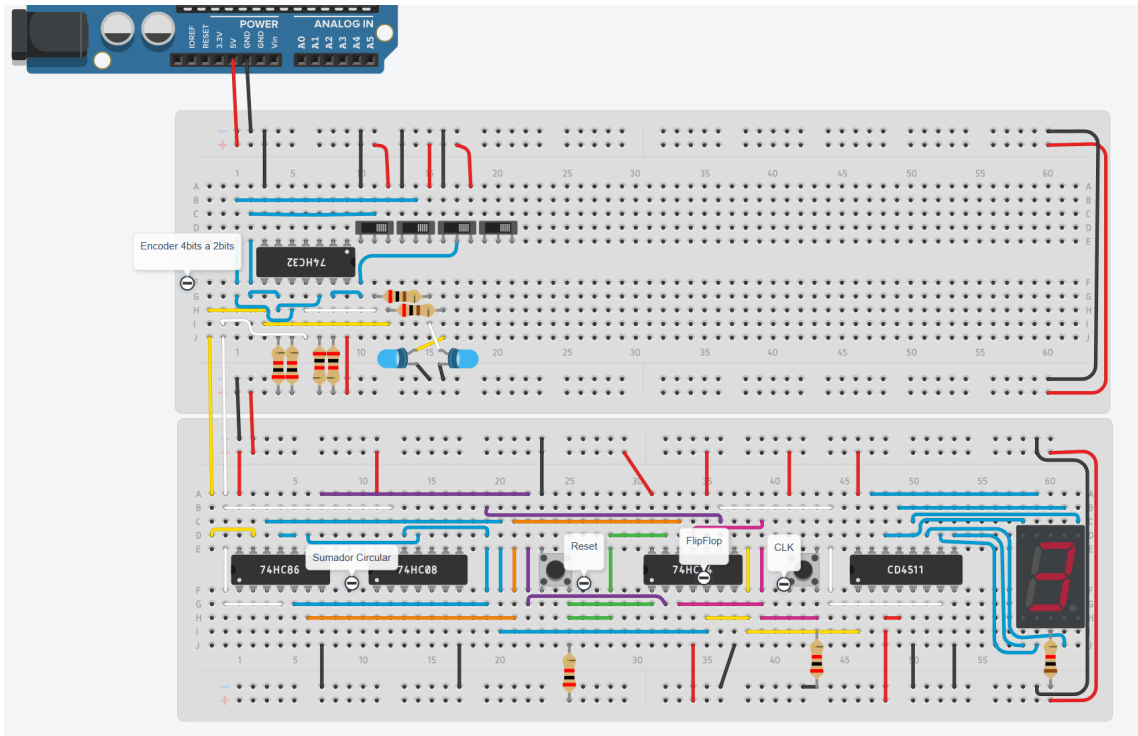
Actividades:

1. Se diseñó el circuito de la [Figura 4](#) en tinkercad.
2. Con ayuda del simulador, se probaron varios casos para verificar su correcto funcionamiento.

Resultados:

Cada etapa del circuito montado en tinkercad funcionó correctamente.

Figura 5. Circuito final en tinkercad.



1.6. Fecha: 25/03/2025

Actividades:

1. Se planificó cómo implementar el desacople utilizando transistores BJT NPN.
2. Se implementó el desacople utilizando transistores BJT NPN.

Resultados:

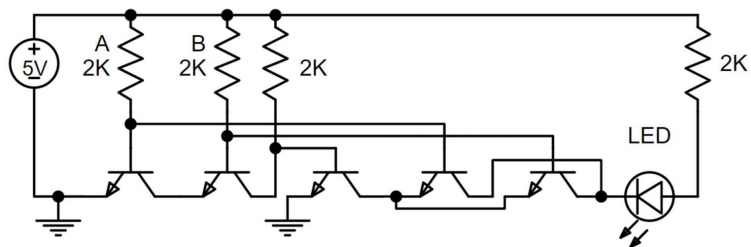
Esta etapa habilita un actuador en dos valores lógicos. En este caso, se habilitará en el rango de 1_{10} a 2_{10} y se desactiva en 0_{10} y 3_{10} . Esto coincide con la operación XOR, con la siguiente tabla:

Tabla 3. TT XOR

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

De acuerdo con [2], se crea una compuerta XOR utilizando transistores BJT como en la siguiente figura:

Figura 6. Compuerta XOR con transistores BJT.



Referencias

- [1] OpenAI, *ChatGPT: Language Model for Natural Language Processing*, Accessed: 21-Mar-2025, 2025. dirección: <https://openai.com/chatgpt>.
- [2] GS Network, *XOR Gate – Exclusive OR Gate Truth Table, Symbol, and Circuit Diagram*, Accessed: 24-Mar-2025, 2025. dirección: <https://www.gsnetwork.com/xor-gate/>.