

# Διαδικαστικά

- Αρχικά δημιουργήστε ένα φάκελο σε κάποια θέση στο δίσκο σας
  - Για παράδειγμα: C:\Ergasies\Syndyastika
  - Συστήνεται να μην έχετε κενά, ειδικούς χαρακτήρες και ελληνικά στη διαδρομή σας
  - Επομένως όπου σας ζητηθεί στη συνέχεια πρέπει να χρησιμοποιείτε λατινικούς χαρακτήρες μόνο και αριθμούς ή underscore
  - Καθώς θα δημιουργούμε τα projects για τις ασκήσεις του φυλλαδίου θα αποθηκεύονται στο φάκελο Syndyastika σε διαφορετικό υποφάκελο για κάθε project
  - Θα υπάρχουν πχ οι υποφάκελοι:
    - C:\Ergasies\Syndyastika\inverter
    - C:\Ergasies\Syndyastika\mux2to1
    - C:\Ergasies\Syndyastika\fulladder
    - ...



https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/vivado-design-tools/archive-ise.html

[Applications](#)[Products](#)[Developers](#)[Support](#)[About](#)

Xilinx - Adaptable. Intelligent. > [Support](#) > [Downloads](#)

## Downloads

[Vivado Installation Overview Video](#)[Licensing Help](#)[Alveo Accel](#)[Vivado \(HW Developer\)](#)[Vitis \(SW Developer\)](#)[Vitis Embedded Platforms](#)[PetaLinux](#)[Device M](#)

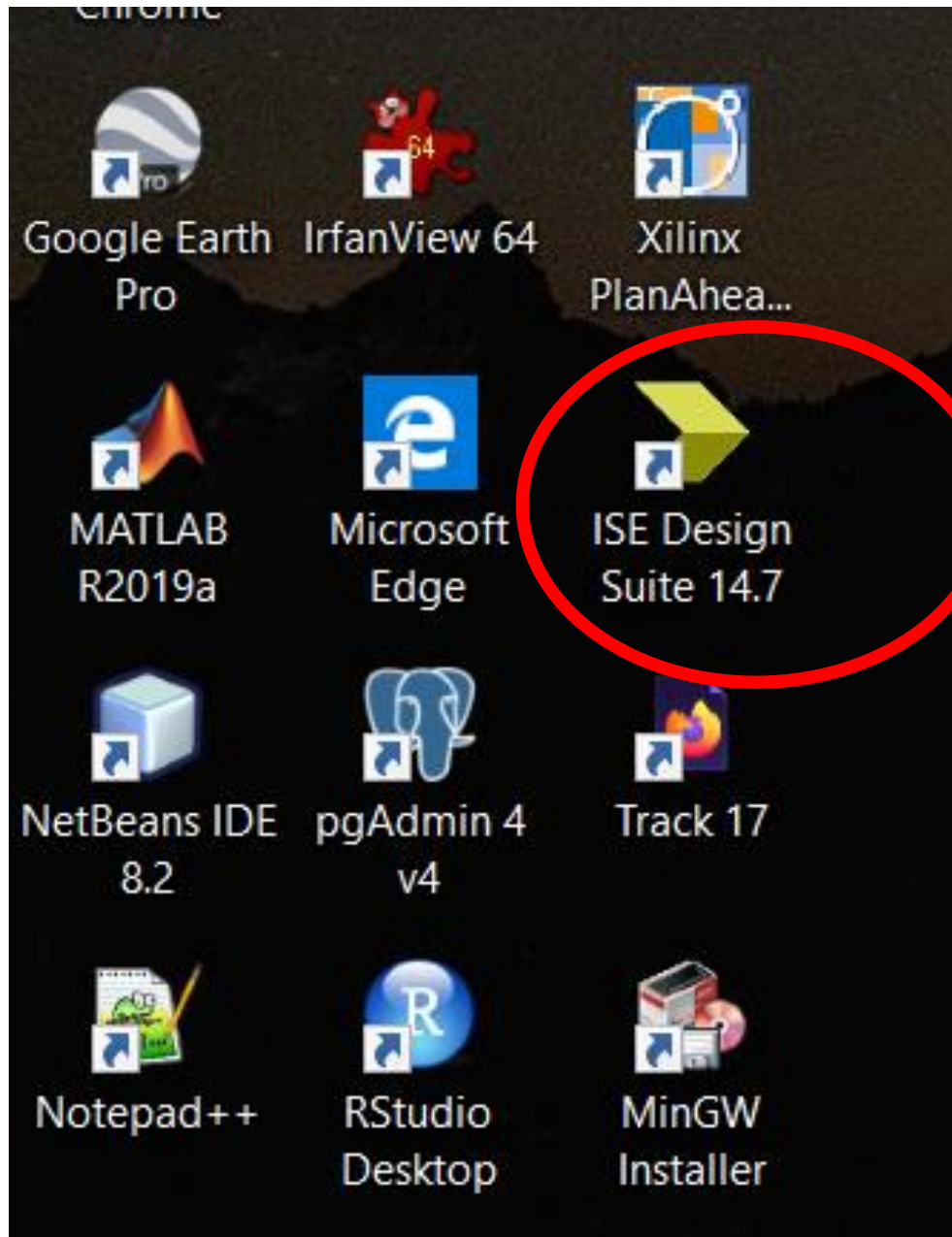
## Version

[2019.2](#)[2019.1](#)[2018.3](#)[Vivado Archive](#)[ISE Archive](#)

We strongly recommend using the latest releases available.

[14x](#)[14.7 Windows 10](#)[14.7](#)

Ακόμη και αν έχετε Windows 10 **επιλέξτε την έκδοση 14.7 όχι την 14.7 Windows 10** (που είναι στη πραγματικότητα η έκδοση για linux virtualized για windows 10 – σχετικά πολύπλοκη διαδικασία – θα δούμε ένα workaround στη συνέχεια)  
Χρειάζεται εγγραφή!  
Δώστε πραγματικά στοιχεία!  
Υπομονή στο κατέβασμα!



Μετά την επιτυχή εγκατάσταση:

Ενδεχομένως θα τρέξει ο license manager (ή μπορείτε να τον καλέσετε με Help>Manage License...

...όπου θα ζητήσετε license (Webpack είναι η δωρεάν έκδοση) από τη Xilinx που θα σας σταλεί με email (Xilinx.lic). Αποθηκεύετε το αρχείο κάπου στο φάκελο εγκατάστασης του ISE και όταν σας ζητηθεί επιλέγετε Load License...

Η έκδοση που κατεβάσατε (non – Windows 10 version) χρειάζεται ένα trick για να δουλέψει σωστά στα Windows 10 όπως στο:

<https://oshgarage.com/getting-xilinx-ise-to-work-on-windows-10/>

Η άλλη λύση είναι να δημιουργήσετε στα Windows 10 ένα virtual machine με windows 7 και να εργαστείτε από εκεί...

<https://www.oracle.com/virtualization/technologies/vm/downloads/virtualbox-downloads.html>

ISE Project Navigator (P.20131013) - C:\Data\UOWM\_INF\akolouthiaka\askhseis\asm0\asm0.xise - [Design Summary]

File Edit View Project Source Process Tools Window Layout Help

New Project...  
Open Project...  
Open Example...  
Project Browser...  
Copy Project...  
Close Project  
New Ctrl+N  
Open... Ctrl+O  
Close  
Save Ctrl+S  
Save All  
Print Preview...  
Print... Ctrl+P  
Recent Files  
Recent Projects  
Exit

asm0.vhd

Design Overview

- Summary
  - IOB Properties
  - Module Level Utilization
  - Timing Constraints
  - Pinout Report
  - Clock Report
  - Static Timing
- Errors and Warnings
  - Parser Messages
  - Synthesis Messages
  - Translation Messages
  - Map Messages
  - Place and Route Messages
  - Timing Messages
  - Bitgen Messages
  - All Implementation Messages
- Detailed Reports
  - Synthesis Report
  - Translation Report
  - Map Report
  - Place and Route Report
  - Power Report
  - Post-PAR Static Timing Report

Design Properties

- Enable M...
- Optional Design S...
- Show Clo...
- Show Fail...
- Show Wa...
- Show Err...

Tip of the Day

Did you know...

Project Management:

The ISE Text Editor and other embedded applications can be separated from the Project Navigator window by selecting Window -> Float.

Show Tips at Startup

asm\_4states Project Status

Project File:	asm0.xise	Parser Errors:	No Errors
Module Name:	asm_4states	Implementation State:	New
Target Device:	xc3s400-4ft256	Errors:	
Product Version:	ISE 14.7	Warnings:	
Design Goal:	Balanced	Routing Results:	
Design Strategy:	Xilinx Default (unlocked)	Timing Constraints:	
Environment:		Final Timing Score:	

Detailed Reports

Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report					
Translation Report					
Map Report					
Place and Route Report					
Power Report					
Post-PAR Static Timing Report					

Secondary Reports

Status	Generated
Current	Wed Jan 22 16:10:22 2020

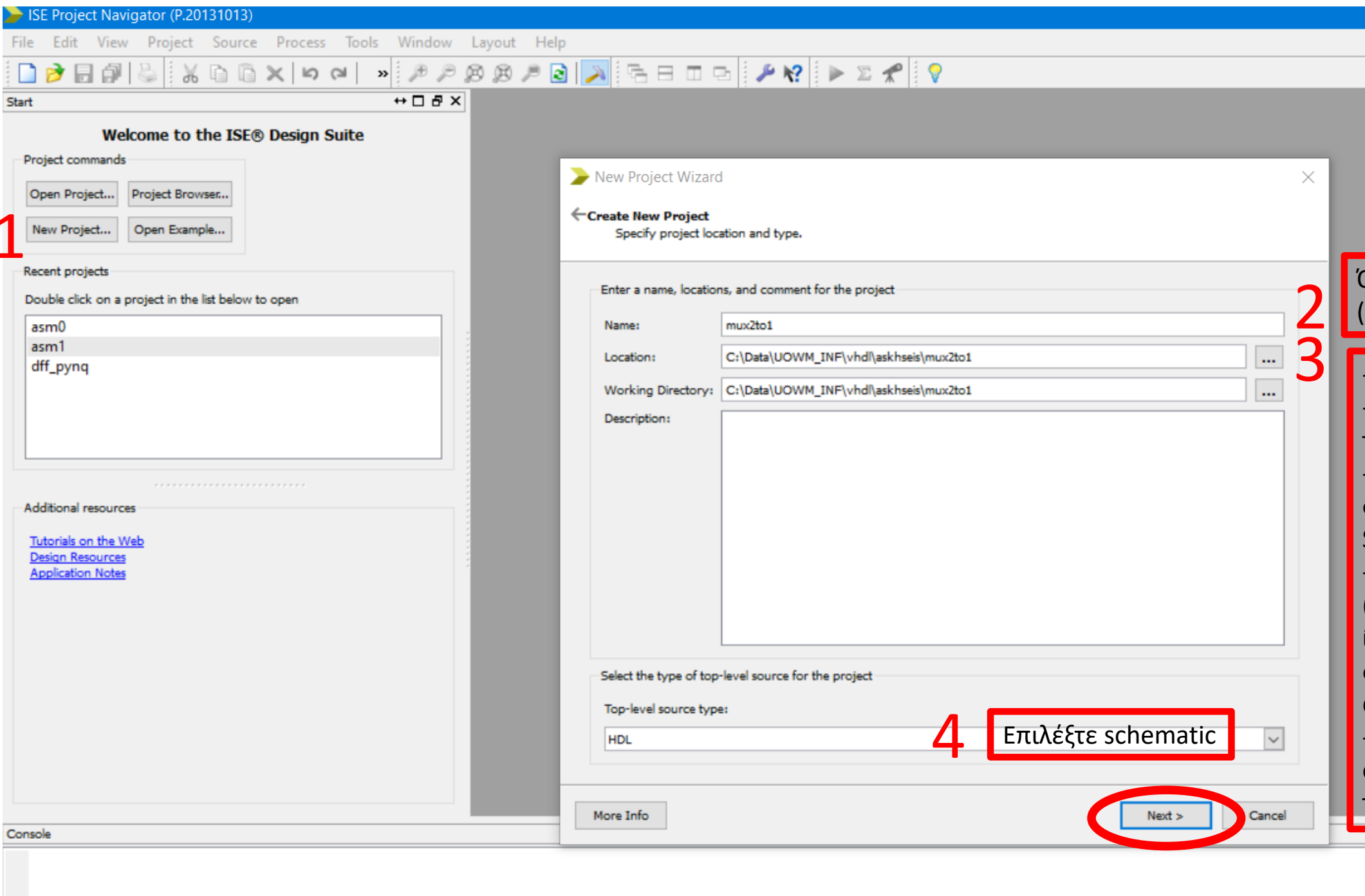
Date Generated: 03/26/2020 - 15:33:11

Console

```
INFO:HDLCompiler:1061 - Parsing VHDL file "C:/Data/UOWM_INF/...  
INFO:ProjectMgmt - Parsing design hierarchy completed succes...  
Launching Design Summary/Report Viewer...
```

Close the active project

3:34 PM  
26-Mar-20



Όνομα project  
(inverter)

-Φάκελος project:  
-Κλικ στις τελείες  
του Location  
-Browse στο  
φάκελο  
Syndyastika  
-Ο υποφάκελος  
(inverter) με το  
ίδιο όνομα θα  
δημιουργηθεί  
αυτόματα  
-Το working dir θα  
συμπληρωθεί ως  
το ίδιο

Επιλέξτε schematic

New Project Wizard

← Project Settings  
Specify device and project properties.

Select the device and design flow for the project

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan3
Device	XC3S400
Package	FT256
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

More Info

< Back Next > Cancel

Η κάρτα που υπάρχει στο εργαστήριο



## ← Project Summary

Project Navigator will create a new project with the following specifications.

## Project:

Project Name: mux2tol

Project Path: C:\Data\UOWM\_INF\vhdl\askhseis\mux2tol

Working Directory: C:\Data\UOWM\_INF\vhdl\askhseis\mux2tol

Description:

Top Level Source Type: HDL

## Device:

Device Family: Spartan3

Device: xc3s400

Package: ft256

Speed: -4

Top-Level Source Type: HDL

Synthesis Tool: XST (VHDL/Verilog)

Simulator: ISim (VHDL/Verilog)

Preferred Language: VHDL

Property Specification in Project File: Store all values

Manual Compile Order: false

VHDL Source Analysis Standard: VHDL-93

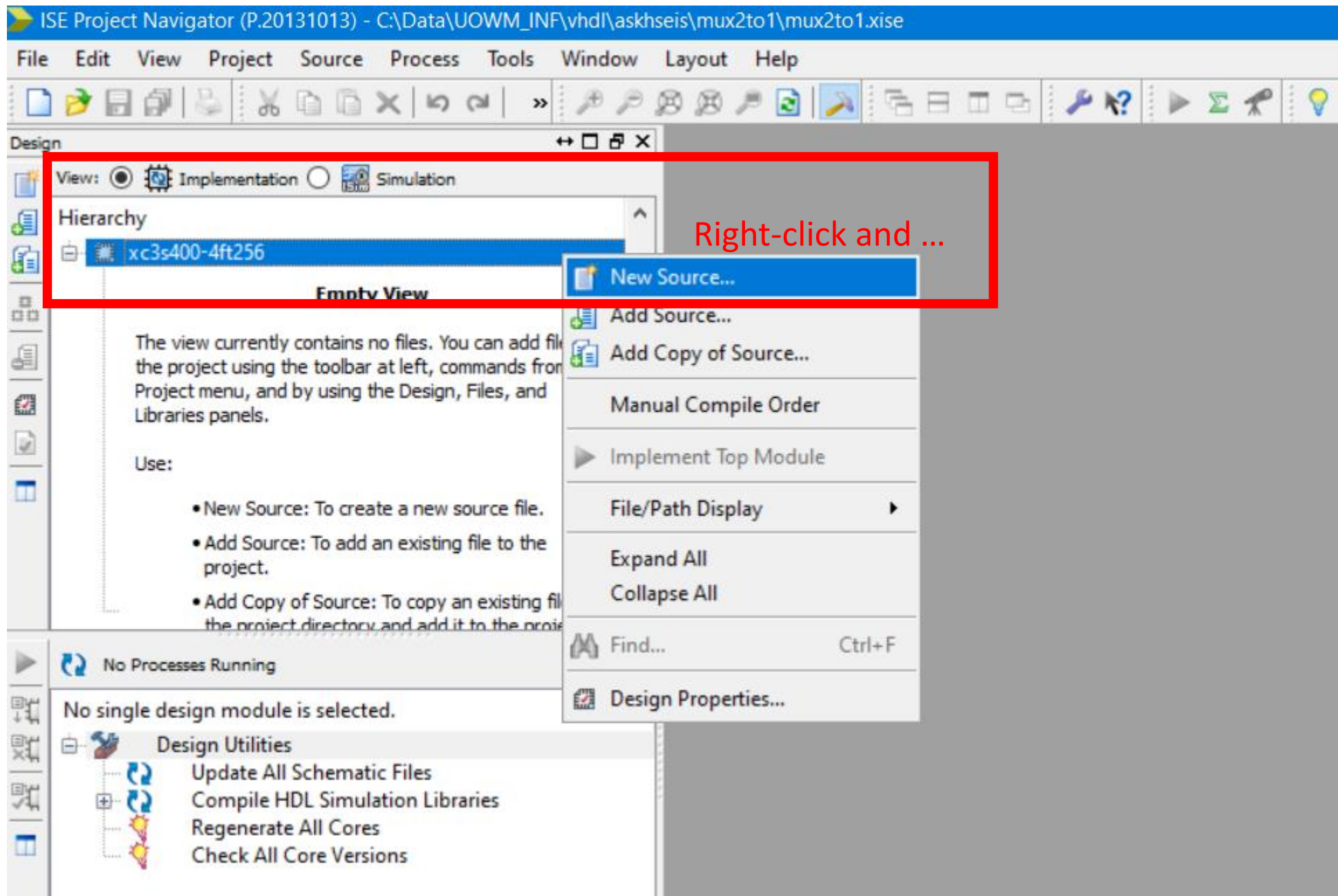
Message Filtering: disabled

More Info

< Back

Finish

Cancel





New Source Wizard

← **Select Source Type**  
Select source type, file name and its location.

1

2

3

Επιλέξτε schematic

Δώστε όνομα για το σχηματικό ακόμη και ίδιο με το project, δηλαδή inverter

Ελέγξτε ότι η διαδρομή είναι σωστή

More Info

Next >

Cancel

☒ Add to project

IP (CORE Generator & Architecture Wizard)

Schematic

User Document

Verilog Module

Verilog Test Fixture

VHDL Module

VHDL Library

VHDL Package

VHDL Test Bench

Embedded Processor

File name:

mux2to1

Location:

C:\Data\UOWM\_INF\vhdl\askhseis\mux2to1

## New Source Wizard

### ← Define Module

Specify ports for module.

Entity name

Architecture name

Port Name	Direction	Bus	MSB	LSB
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		

[More Info](#)

< Back

Next >

Cancel

## New Source Wizard



### ← Summary

Project Navigator will create a new skeleton source with the following specifications.

Add to Project: Yes

Source Directory: C:\Data\UOWM\_INF\vhdl\askhseis\mux2to1

Source Type: VHDL Module

Source Name: mux2to1.vhd

Entity name: mux2to1

Architecture name: Behavioral

Port Definitions:

More Info

< Back

Finish

Cancel

ISE Project Navigator (P.20131013) - C:\Data\UOWM\_INF\syndyastika\lab\askhseis\inverter\inverter.xise - [schematic.sch]

File Edit View Project Source Process Add Tools Window Layout Help

Design

View: ☒ Implementation ☐ Simulation

Hierarchy

- inverter
  - xc3s400-4ft256
    - schematic (schematic.sch)

No Processes Running

Processes: schematic

- Design Summary/Reports
- Design Utilities
- User Constraints
- Synthesize - XST
- Implement Design
- Generate Programming File
- Configure Target Device
- Analyze Design Using ChipScope

Design schematic.sch

Design Summary

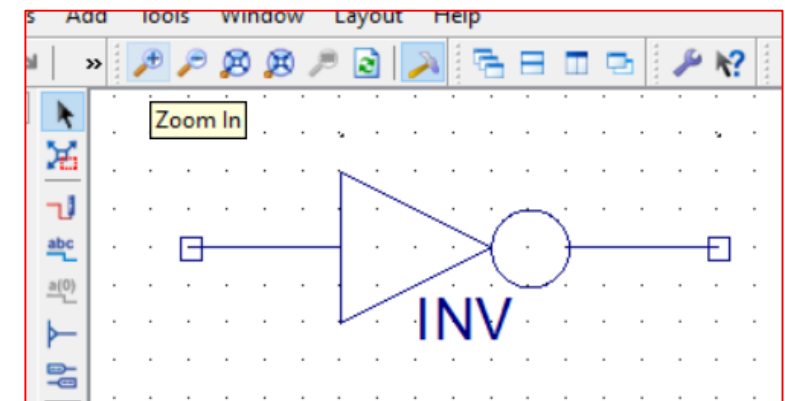
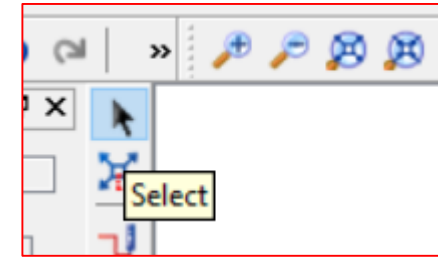
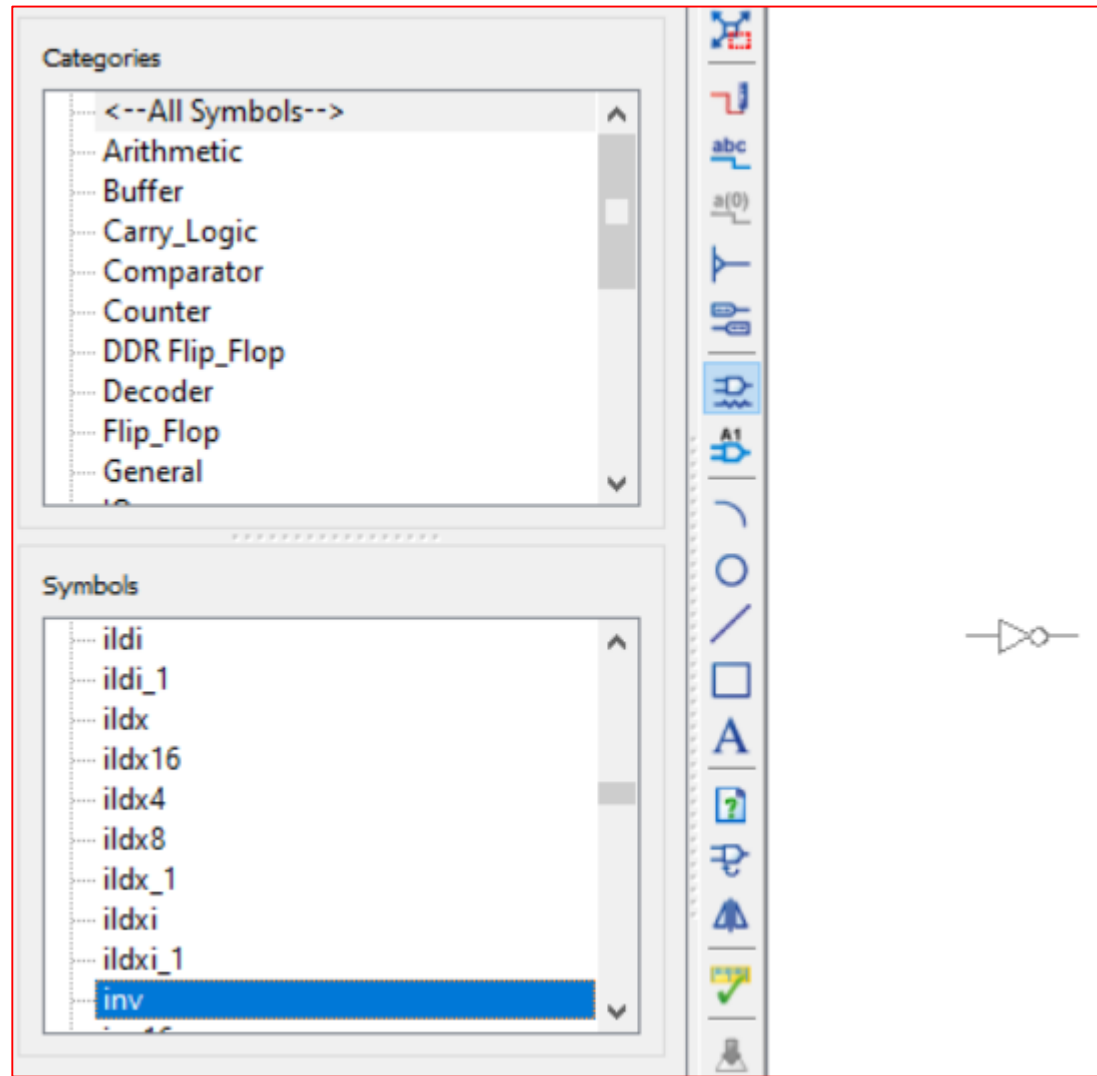
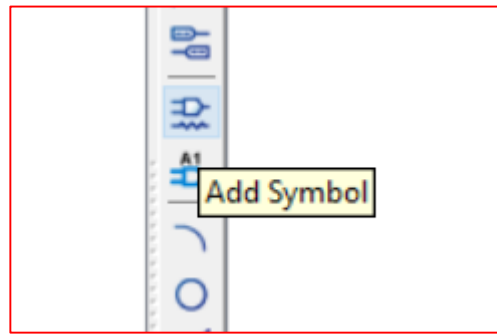
Console

Started : "Launching Schematic Editor to edit schematic.sch".  
Launching Design Summary/Report Viewer...

Console Errors Warnings Find in Files Results

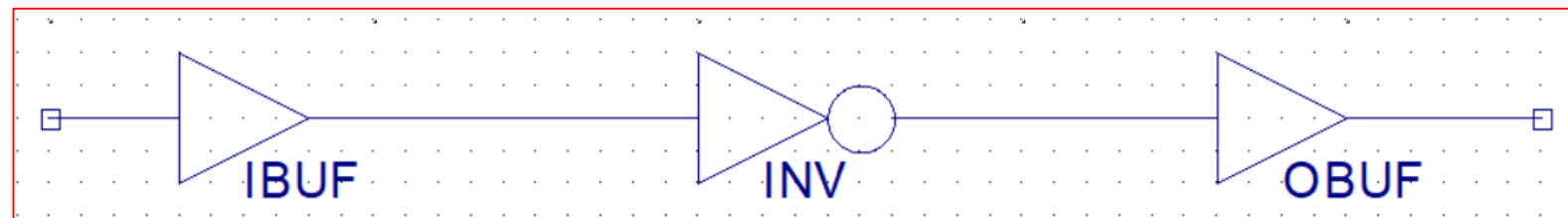
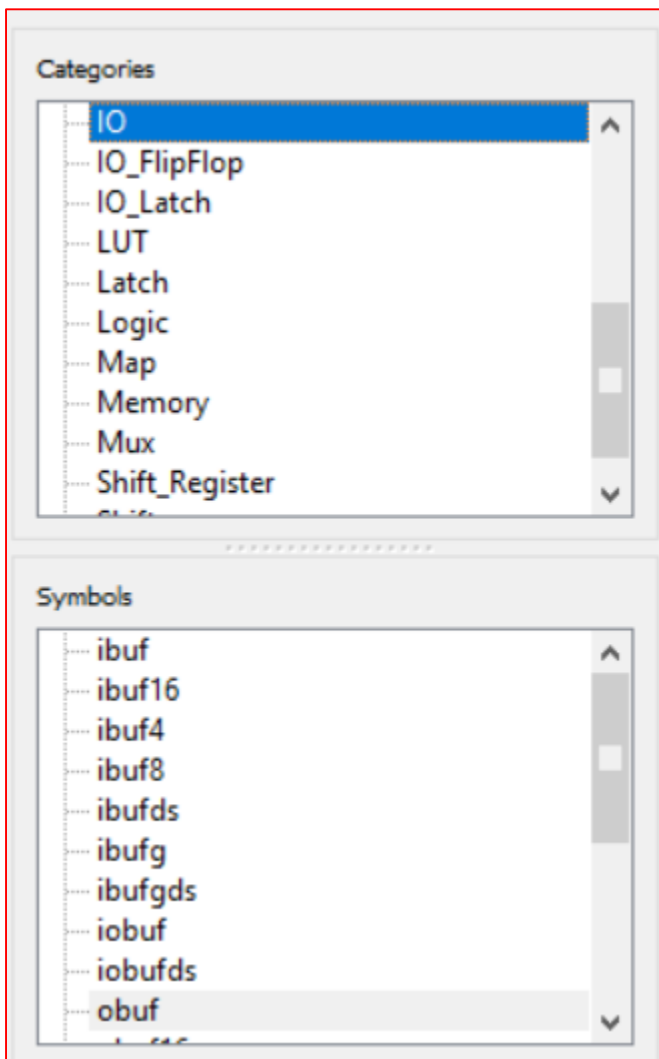
Type here to search

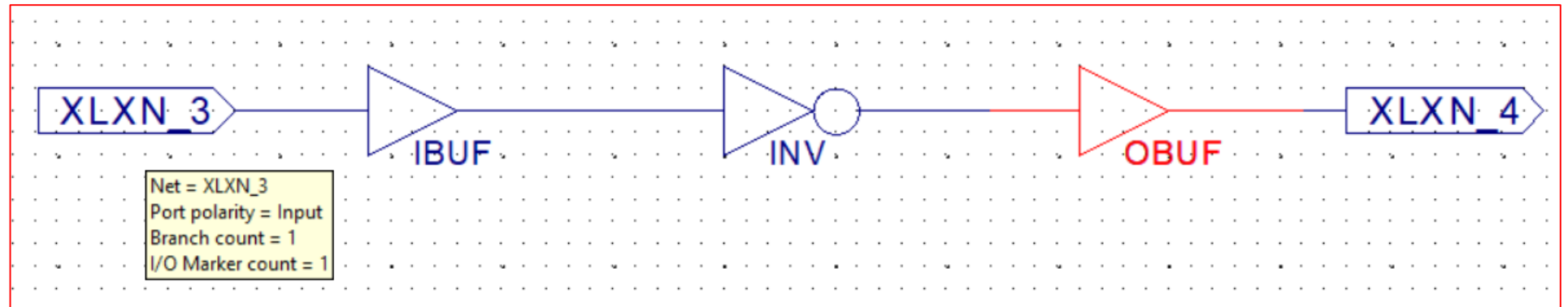
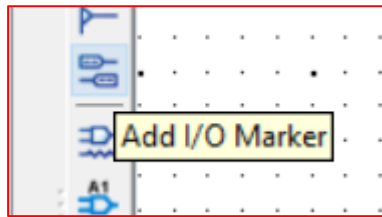
8:31 PM 04-May-20



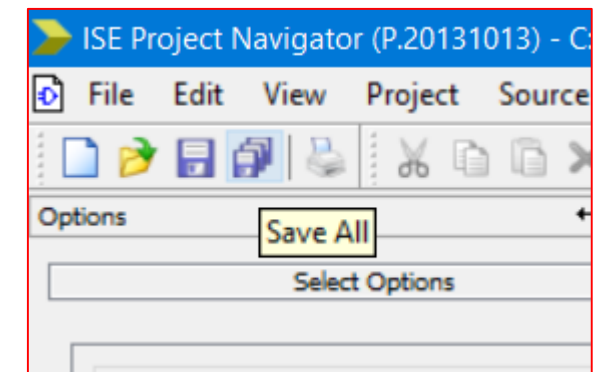
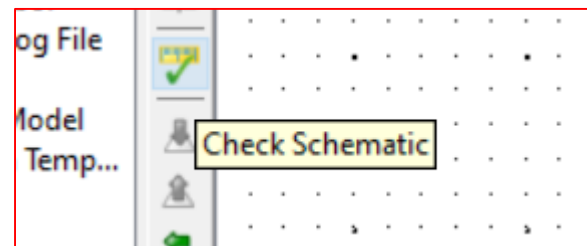
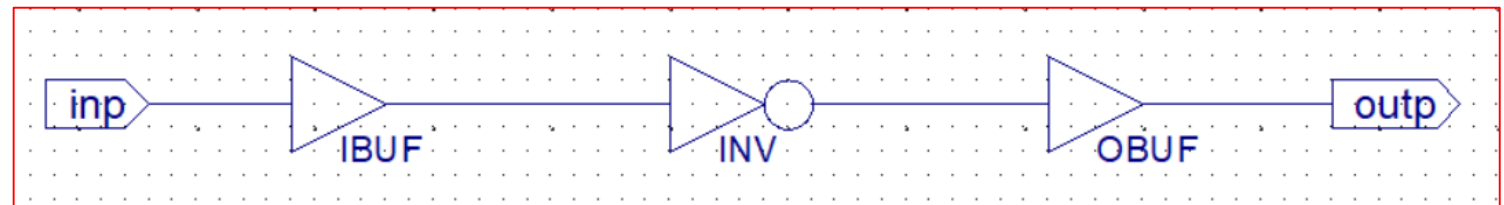
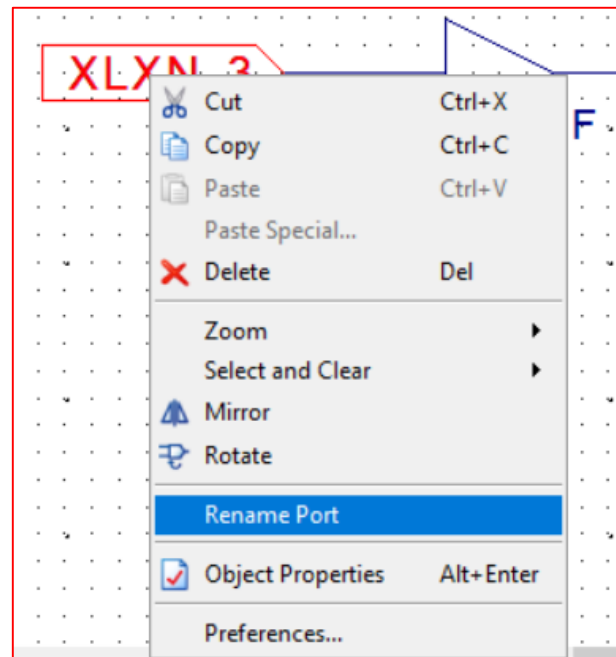
9. Στο παράθυρο σχεδίασης του σχηματικού, σχεδιάζετε το κύκλωμά σας τοποθετώντας τα υλικά με την ακόλουθη σειρά. Πρώτα βάζετε κοντά στο κέντρο του χώρου σχεδίασης τις λογικές πύλες (π.χ. αντιστροφείς, πύλες ΚΑΙ, πύλες Ή κλπ) και τα αριθμητικά σύμβολα που χρειάζεστε (π.χ. αθροιστές, πολυπλέκτες, κλπ). Μετά και εργαζόμενοι προοδευτικά προς τα έξω (προς τα όρια του παραθύρου σχεδίασης) τοποθετείτε τα **ibuf** για τις εισόδους, τα **obuf** για τις εξόδους (από την κατηγορία υλικών **IO**), συνδέετε όλα αυτά τα υλικά με καλώδια (χρησιμοποιώντας το εικονίδιο **Add Wire** από το πάνω μέρος του παραθύρου ISE). Στην άκρη του σχεδίου και προς τα έξω αφήνετε κομμάτια καλωδίου συνδεδεμένα στους ibuf και obuf, και ασύνδετα προς την άλλη τους άκρη (μπορείτε να τερματίσετε ένα ασύνδετο καλώδιο με διπλό κλικ). Στην ασύνδετη άκρη των τελευταίων αυτών καλωδίων θα πρέπει να κολλήσετε τους I/O markers, τους οποίους παίρνετε από το εικονίδιο που μοιάζει με δύο καρφιά, και πάλι από το πάνω μέρος του παραθύρου του εργαλείου ISE, που περιέχει πολλά εικονίδια εργαλείων. Αυτό το εικονίδιο είναι το **Add I/O Marker**. Αφού βάλετε I/O Markers στην άκρη των καλωδίων όλων των εισόδων και όλων των εξόδων τότε μπορείτε να κάνετε δεξί κλικ πάνω τους (στους I/O Markers) και να τους διορθώσετε με την επιλογή **Rename Port** το όνομα της εισόδου ή της εξόδου όπως αυτά αναφέρονται στην περιγραφή κάθε άσκησης παρακάτω σε αυτό το φυλλάδιο (πριν από αυτό το εργαλείο ISE θα έχει δώσει στους I/O Markers default ονόματα όπως XLN...). Γενικά κάνοντας δεξί κλικ πάνω στα υλικά (αφού πρώτα επιλέξετε το εργαλείο Select, που είναι το εικονίδιο με το βελάκι στο πάνω μέρος της οθόνης του παραθύρου αυτού), μπορείτε να τους δώσετε το όνομα του στιγμιότυπου (instance name) επιθυμείτε.







Right click on I/O marker and...



ISE Project Navigator (P.20131013) - C:\Data\UOWM\_INF\syndyastika\lab\askhseis\inverter\inverter.xise - [inverter.vhf]

File Edit View Project Source Process Tools Window Layout Help

Design

View: ☒ Implementation ☐ Simulation

Hierarchy

inverter

xc3s400-4ft256

inverter (inverter.sch)

No Processes Running

Processes: inverter

Design Summary/Reports

Design Utilities

Create Schematic Symbol

View Command Line Log File

Check Design Rules

**View HDL Functional Model**

View HDL Instantiation Temp...

Synthesize - XST

Implement Design

Generate Programming File

Configure Target Device

Analyze Design Using ChipScope

```
1  -----
2  -- Copyright (c) 1995-2013 Xilinx, Inc. All rights reserved.
3  -----
4  --
5  --
6  -- Vendor: Xilinx
7  -- Version : 14.7
8  -- Application : sch2hdl
9  -- Filename : inverter.vhf
10 -- Timestamp : 05/05/2020 09:05:18
11 --
12 --
13 --
14 --Command: C:\Xilinx\14.7\ISE_DS\ISE\bin\nt64\unwrapped\sch2hdl.exe -intstyle ise -family spartan3 -flat -suppress -vhdl inverter.vhf -w C:/Data
15 --Design Name: inverter
16 --Device: spartan3
17 --Purpose:
18 -- This vhd1 netlist is translated from an ECS schematic. It can be
19 -- synthesized and simulated, but it should not be modified.
20 --
21
22 library ieee;
23 use ieee.std_logic_1164.ALL;
24 use ieee.numeric_std.ALL;
25 library UNISIM;
26 use UNISIM.Vcomponents.ALL;
27
28 entity inverter is
29     port ( inp : in    std_logic;
30           outp : out   std_logic);
31 end inverter;
32
33 architecture BEHAVIORAL of inverter is
34     attribute BOX_TYPE : string ;
```

Start Design Files Libr

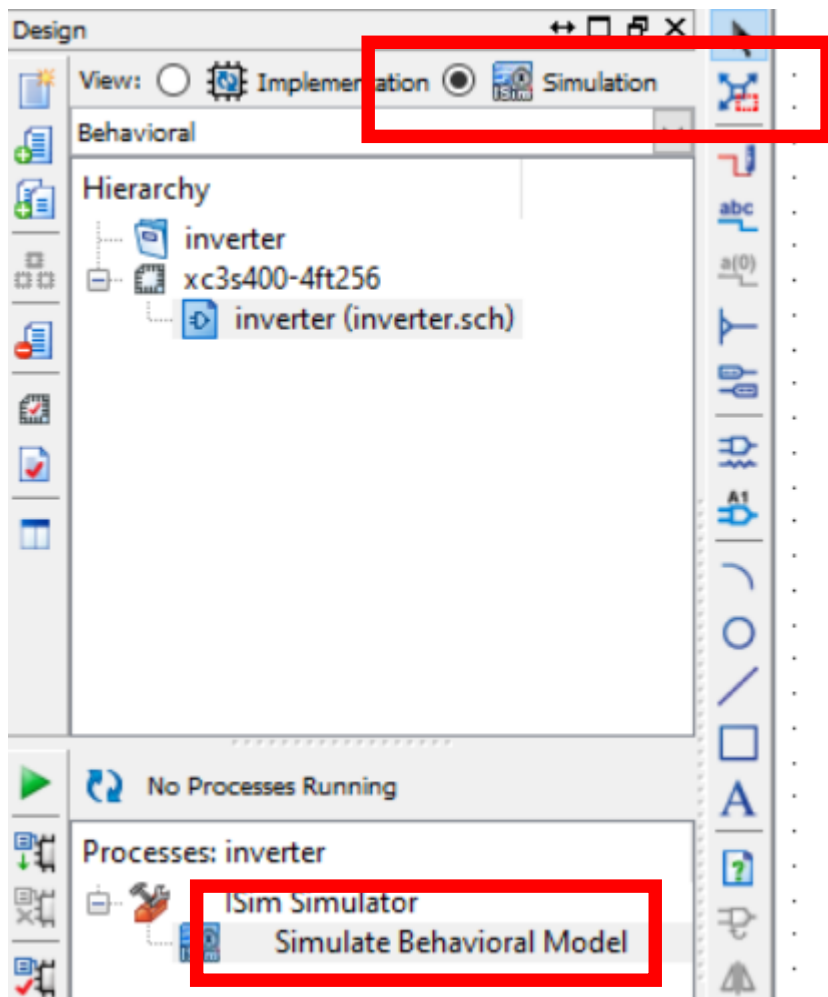
C:\Data\UOWM\_INF\syndyastika\lab\askhseis\inverter\invertersch x Design Summary inverter.vhf

Console

Started : "Launching ISE Text Editor to view inverter.vhf".

Process "View HDL Functional Model" completed successfully

Console Errors Warnings Find in Files Results



Ανοίγει νέο παράθυρο (Isim) για λειτουργική προσομοίωση

Αν φαίνεται να κολλάει στο Elaborating... κλείστε το και ξανακάντε διπλό κλικ στο Simulate Behavioral Model

ISim (P.20131013) - [Default.wcfg]

FileEditViewSimulationWindowLayoutHelp

Instances and P...

inverter

std\_logic\_1164

numeric\_std

textio

vital\_timing

vcomponents

Objects

Simulation Objects for inverter

Object Name	Value
inp	U
outp	X
xlxn_1	X
xlxn_2	X

inp

outp

xlxn\_1

xlxn\_2

U

X

X

X

1.00us

Re-launch

1999,994 ps

1999,995 ps

1999,996 ps

1999,997 ps

1999,998 ps

1999,999 ps

1,000,000 ps

1,000,000 ps

X1: 1,000,000 ps

Default.wcfg

Console

Compilation Log

Breakpoints

Find in Files Results

Search Results

ISim R20131013 (signature 0xc7708f090)

WARNING: A WEBPACK license was found.

WARNING: Please use Xilinx License Configuration Manager to check out a full ISim license.

WARNING: ISim will run in Lite mode. Please refer to the ISim documentation for more information on the differences between the Lite and the Full version.

This is a Lite version of ISim.

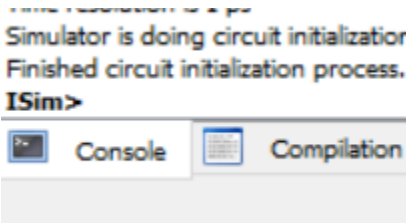
Time resolution is 1 ps

Simulator is doing circuit initialization process.

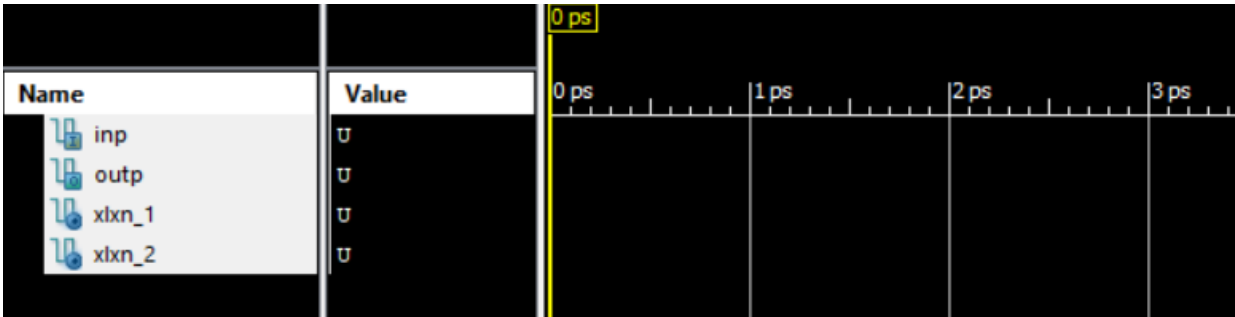
Finished circuit initialization process.

ISim>

Πληκτρολογούμε εντολές για την προσομοίωση στο Isim Console:

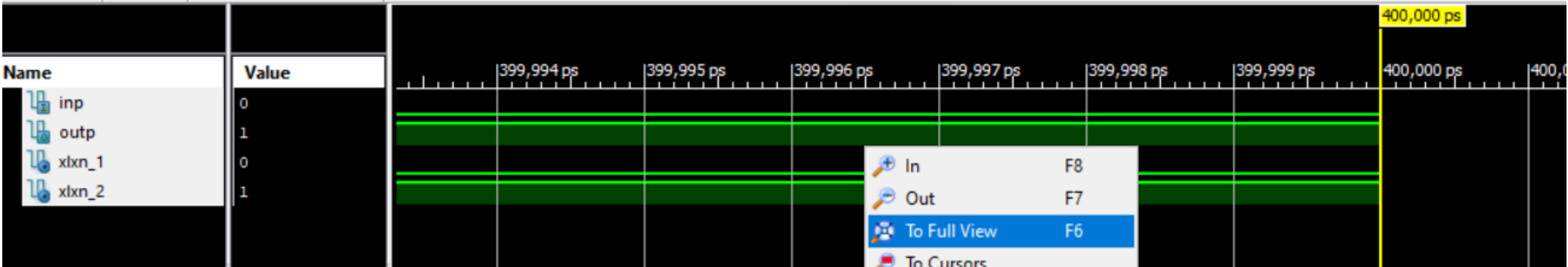


ISim> restart

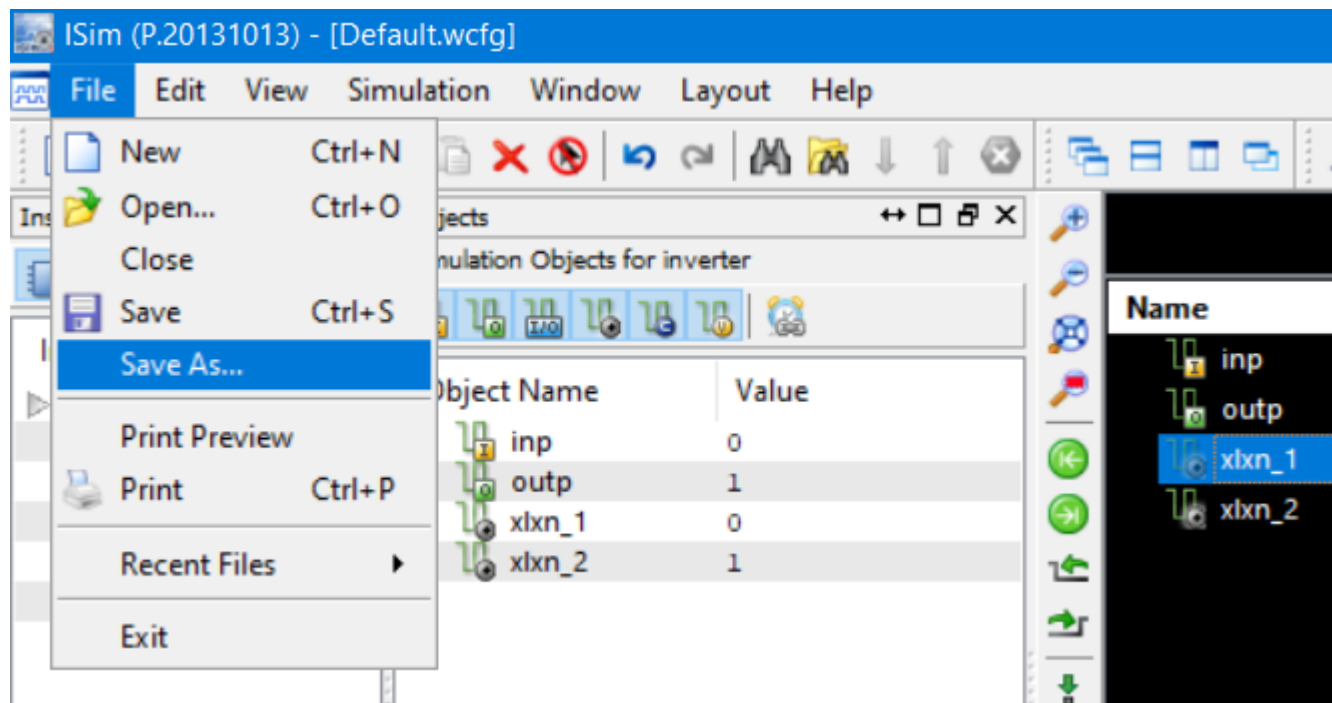
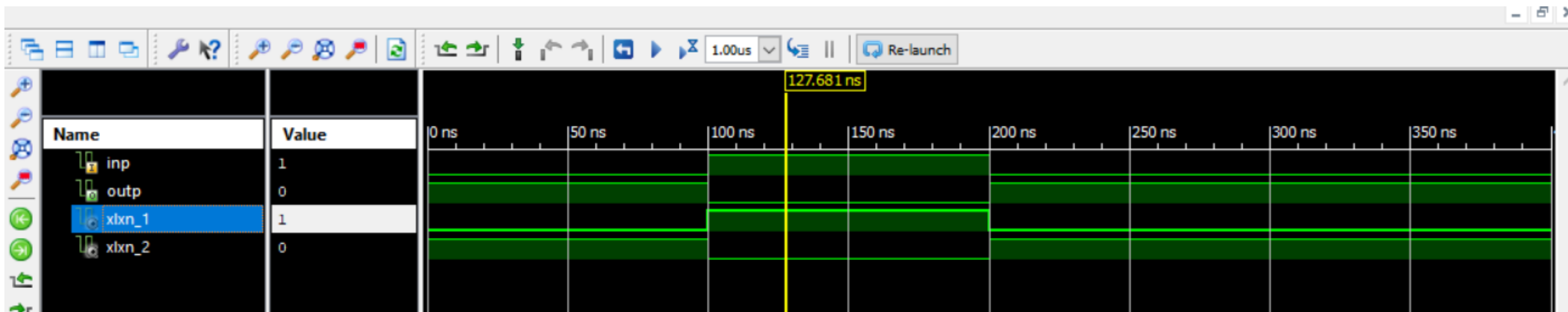


ISim> isim force add INP 0 -time 0 ns -value 1 -time 100 ns -value 0 -time 200 ns

ISim> run 400 ns





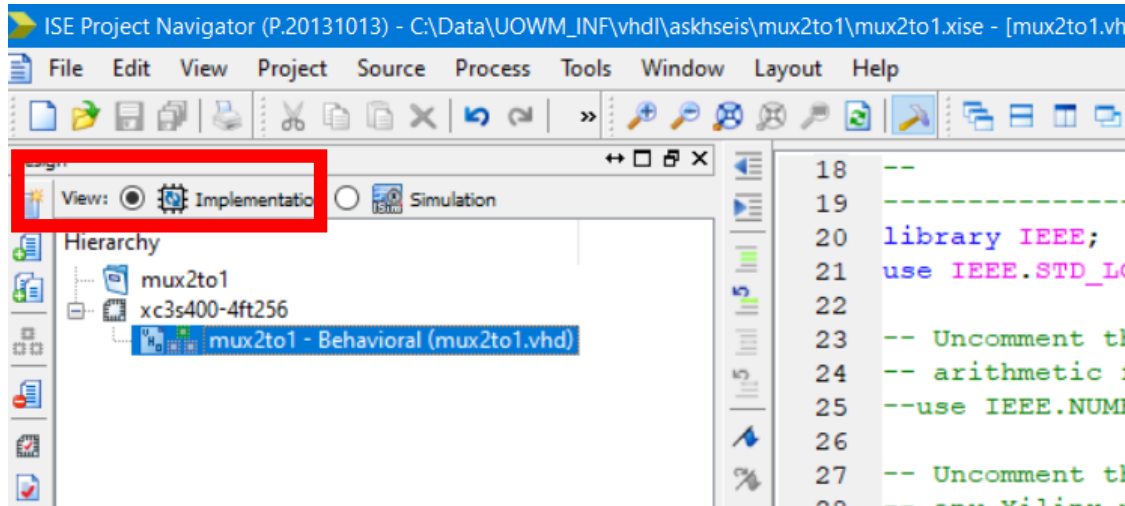


Αποθηκεύουμε και το αποτέλεσμα της προσομοίωσης μας...

Για παράδειγμα: inverter.wcfg  
(wave configuration)

Κλείνουμε το παράθυρο του ISim και επιστρέφουμε στο περιβάλλον του ISE

Επιλέγουμε πάλι implementation στο ISE project μας αν θέλουμε να συνεχίσουμε με υλοποίηση σε FPGA.



Εδώ θα συνεχίσουμε σε επόμενο μάθημα οπότε μπορούμε να επιλέξουμε File → Save All και στη συνέχεια File → Close Project και File → Exit

Αργότερα μπορούμε να ξεκινήσουμε κατευθείαν το project μας με διπλό κλικ στο αρχείο του project (**inverter.xise**) που βρίσκεται στον φάκελο που είχαμε ορίσει:

Name	Date modified	Type
_xmsgs	04-May-20 8:31 PM	File folder
iseconfig	04-May-20 8:53 PM	File folder
isim	05-May-20 9:14 AM	File folder
fuse.log	05-May-20 9:14 AM	Text Document
fuse.xmsgs	05-May-20 9:14 AM	XMSGs File
fuseRelaunch.cmd	05-May-20 9:14 AM	Windows Comma...
inverter.cmd_log	05-May-20 9:05 AM	CMD_LOG File
inverter.gise	05-May-20 9:43 AM	GISE File
inverter.jhd	05-May-20 9:14 AM	JHD File
inverter.sch	05-May-20 9:14 AM	SCH File
inverter.schlog	05-May-20 9:17 AM	SCHLOG File
inverter.vhf	05-May-20 9:14 AM	VHF File
inverter.wcfg	05-May-20 9:41 AM	WCFG File
inverter.xise	05-May-20 9:14 AM	Xilinx ISE Project
inverter_beh.prj	05-May-20 9:14 AM	PRJ File
inverter_isim_beh.exe	05-May-20 9:14 AM	Application
inverter_isim_beh.wdb	05-May-20 9:14 AM	Waveform ...
inverter_summary.html	05-May-20 9:43 AM	Firefox HTML Doc...
isim.cmd	05-May-20 9:19 AM	Windows Comma...
isim.log	05-May-20 9:33 AM	Text Document
sch2HdlBatchFile	05-May-20 9:14 AM	File
schematic.jhd	04-May-20 8:50 PM	JHD File
schematic.sch	04-May-20 8:50 PM	SCH File
schematic.schlog	04-May-20 8:51 PM	SCHLOG File
schematic_summary.html	04-May-20 8:31 PM	Firefox HTML Doc...
xilinxsim.ini	05-May-20 9:14 AM	Configuration setti...