

# Laboratorio 1 IE0625

Jimmy Manley Peña **A73725**

31 de Marzo 2023

## 1. Resumen

La tómbola genera 2 números pseudoaleatorios al presionar un botón. Estos números son entonces desplegados en algún tipo de display. En este laboratorio se utiliza el microcontrolador Pic12F675 y 2 displays de 7 segmentos. Además como el microcontrolador cuenta con pocos recursos (pines, memoria) se usan 2 registros de desplazamiento para poder manejar los 2 displays de 7 segmentos a través de una sola salida del microcontrolador, lo que ahorra pines y espacio en la memoria de código (puesto que se disminuye la extensión del código).

El laboratorio se divide en:

- Implementar la funcionalidad del botón. Esto es que al presionarse se genere el número pseudoaleatorio entre 0 y 99.
- Generar la lógica del número aleatorio. Para esto se implementan 2 contadores, cada contador cuenta del 0 al 9 y una vez se presiona el botón el contador se detiene (cada contador escoge un elemento de un array con los números del 0 al 9 codificados para el display de 7 segmentos) y con esto se puede obtener el número pseudoaleatorio entre 0 y 99.
- Para manejar ambos displays a través de un solo pin se hace uso de 2 registros de desplazamiento 74HC695, encadenados en serie. Las señales de reloj implementadas en el código permiten el manejo de estos.

repo lab 1.

Para la implementación del código se usa Git, la dirección del repositorio es <https://github.com/Jimmy-Manley/lab1>, igualmente se expande en el uso de Git en la sección correspondiente al final de este documento.

## **2. Nota Teórica**

### **2.1. Microcontrolador Pic12F675**

El PIC12F675 es un tipo de microcontrolador que forma parte de la familia PIC (Controlador de interfaz periférica), que produce Microchip Technology. Es un dispositivo pequeño y de bajo costo que se adapta bien a una amplia gama de aplicaciones que requieren capacidades de control, detección y comunicación.

Se basa en una arquitectura RISC (Computación de conjunto de instrucciones reducido) y tiene una CPU (Unidad central de procesamiento) de 8 bits. Opera a una velocidad de reloj máxima de 20 MHz y tiene 1 KB de memoria de programa (flash) y 64 bytes de RAM.

El PIC12F675 tiene una serie de características que lo hacen útil para una amplia variedad de aplicaciones. Por ejemplo, tiene 6 pines de E/S, que se pueden usar para entrada, salida o como entradas analógicas. También tiene una serie de periféricos incorporados, incluido un comparador, un ADC (convertidor analógico a digital) de 10 bits y un hardware USART (receptor/transmisor universal sincrónico/asincrónico) para comunicación en serie.

La programación del PIC12F675 generalmente se realiza en lenguaje ensamblador o en un lenguaje de nivel superior como C, utilizando una herramienta de programación como MPLAB o Hi-Tech C. El microcontrolador se puede programar en el circuito o a través de una interfaz de programación como PICKit.

En general, el PIC12F675 es un microcontrolador versátil y rentable que se puede utilizar en una amplia gama de aplicaciones, incluida la automatización del hogar, el control industrial, los sistemas automotrices y muchos otros.

## 12.6 DC Characteristics: PIC12F629/675-I (Industrial), PIC12F629/675-E (Extended)

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated)				
			Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
Param No.	Sym	Characteristic	Min	Typ†	Max	Units	Conditions
<b>Input Low Voltage</b>							
D030	V <sub>IL</sub>	I/O ports					
D030A		with TTL buffer	V <sub>SS</sub>	—	0.8	V	4.5V ≤ V <sub>DD</sub> ≤ 5.5V
D031		with Schmitt Trigger buffer	V <sub>SS</sub>	—	0.15 V <sub>DD</sub>	V	Otherwise
D032		MCLR, OSC1 (RC mode)	V <sub>SS</sub>	—	0.2 V <sub>DD</sub>	V	Entire range
D033		OSC1 (XT and LP modes)	V <sub>SS</sub>	—	0.3	V	(Note 1)
D033A		OSC1 (HS mode)	V <sub>SS</sub>	—	0.3 V <sub>DD</sub>	V	(Note 1)
<b>Input High Voltage</b>							
D040	V <sub>IH</sub>	I/O ports		—			
D040A		with TTL buffer	2.0 (0.25 V <sub>DD</sub> +0.8)	—	V <sub>DD</sub>	V	4.5V ≤ V <sub>DD</sub> ≤ 5.5V
D041		with Schmitt Trigger buffer	0.8 V <sub>DD</sub>	—	V <sub>DD</sub>	V	otherwise
D042		MCLR	0.8 V <sub>DD</sub>	—	V <sub>DD</sub>	V	entire range
D043		OSC1 (XT and LP modes)	1.6	—	V <sub>DD</sub>	V	(Note 1)
D043A		OSC1 (HS mode)	0.7 V <sub>DD</sub>	—	V <sub>DD</sub>	V	(Note 1)
D043B		OSC1 (RC mode)	0.9 V <sub>DD</sub>	—	V <sub>DD</sub>	V	

Figura 1: Características eléctricas PIC

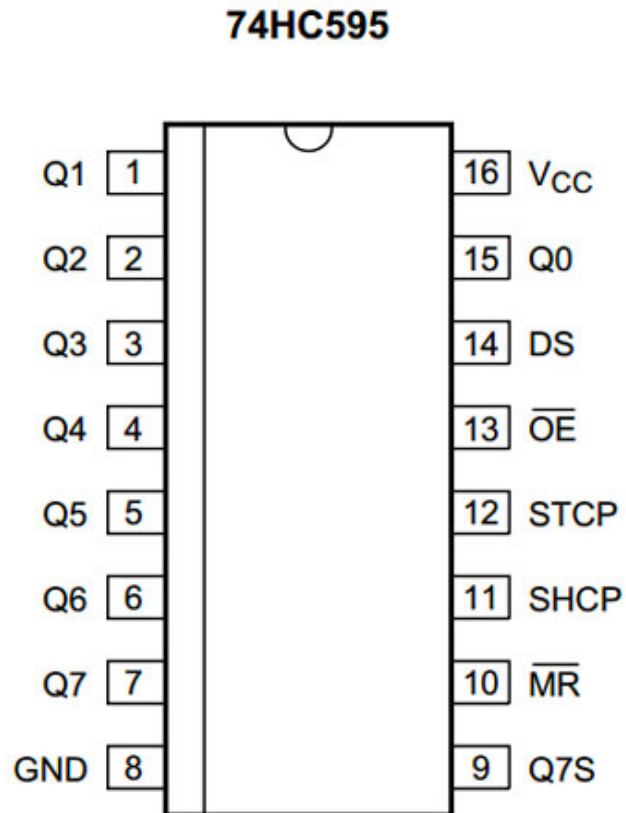


Figura 2: 74HC695

### 3. Desarrollo

#### 3.1. implementación del botón

El botón se implementa en GPIO 5, este GPIO se declara como una entrada en alto, el botón conecta el GPIO con tierra y es ahí donde se genera una señal que indica que el botón ha sido activado y debe generarse un número aleatorio.



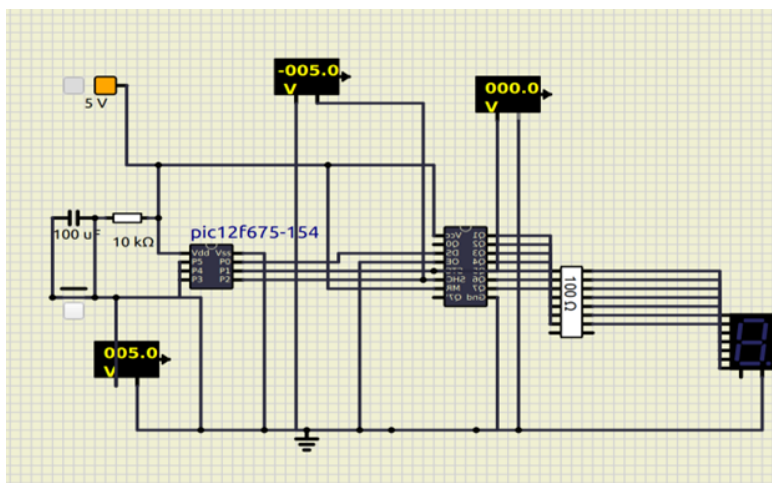


Figura 4: Interfaz con el display

Se observan las conexiones entre el PIC y el registro de corrimiento. La entrada DS para los datos seriales que luego saldrán en paralelo, cuando se hayan dado 8 ciclos del reloj de registro (SHC), entonces se activa el reloj de storage en el pin STC (el latch) y en el flanco positivo de este reloj se envían los datos del pin de datos serial a las salidas del registro de corrimiento (Q1 a Q7) y posteriormente al display de 7 segmentos.

La lógica de los relojes se implementa en el código con las funciones `sclock` y `rclock` que generan los relojes para el registro de corrimiento y para el storage clock respectivamente. Estas dos funciones a su vez se basan en la función `delay` del ejercicio `holapic`.

Los registros de desplazamiento se conectan en serie y con esto se logra usar solo un pin para desplegar ambos dígitos.

La lista de componentes final es:

componente	valor
pic2f675	6 USD
3 resistencias	1 USD
1 capacitor	1 USD
74HC695	2 USD
Total	10 USD

Figura 5: Interfaz con el display

### 3.3. Implementación de la lógica que genera el número aleatorio

Para la lógica de generación del número aleatorio se utiliza un contador que al presionarse el botón se detiene y envía el número en el que se encontraba al display de 7 segmentos.

```

while(1)
{
    for(int i=0;i<10;i++)
    {
        rand = i;
        if(push_button == 0)
        {
            //1->0x30;2->0x5B;3->0x4F;4->0X66; ;5->0x60;6->0X7D;7->0X47;8->0X7F;9->0X4F;0->0X3F
            switch(rand)
            {
                case 0:
                    data_display(0x3F);
                    break;
                case 1:
                    data_display(0x30);
                    break;
                case 2:
                    data_display(0x5B);
                    break;
                case 3:
                    data_display(0x4F);
                    break;
                case 4:
                    data_display(0x66);
                    break;
                case 5:
                    data_display(0x60);
                    break;
                case 6:
                    data_display(0x7D);
                    break;
                case 7:
                    data_display(0x47);
                    break;
                case 8:
                    data_display(0x7F);
                    break;
                case 9:
                    data_display(0x4F);
                    break;
            }
        }
    }
}

```

Figura 6: función encargada de la generación del número aleatorio al momento de presionar el botón y luego llama a display con este valor

```

/* data display:
 * This function will send the data to the serial line 74HC595
 */
void data_display(int data)
{
    for(int i=0; i<8;i++)
    {
        SER_595 = (data >> i) & 0x01; // bit shift and bit mask.
        sclock(); // enable data storage clock

    }
    rclock(); // data latch
}

```

Figura 7: función encargada del display del número aleatorio



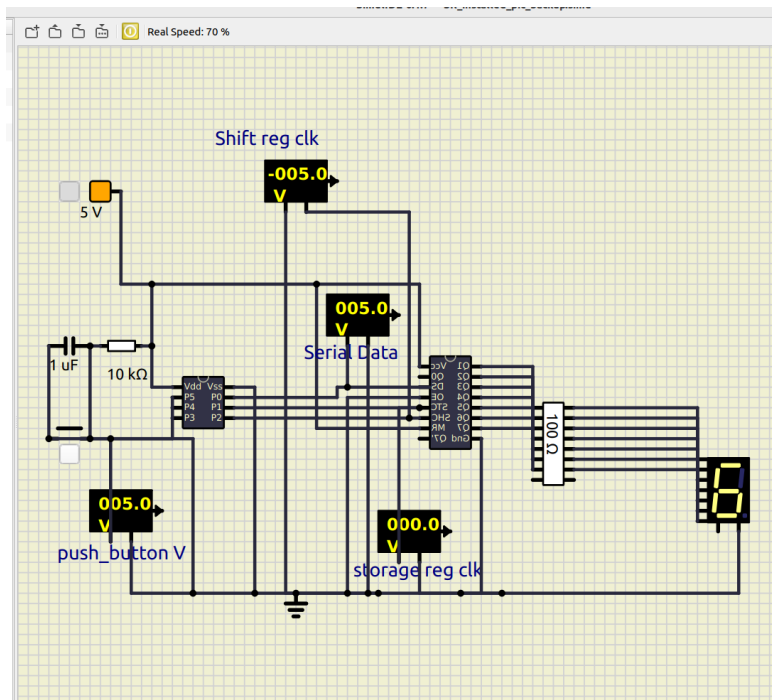


Figura 8: señales SHCP y Serial data activas

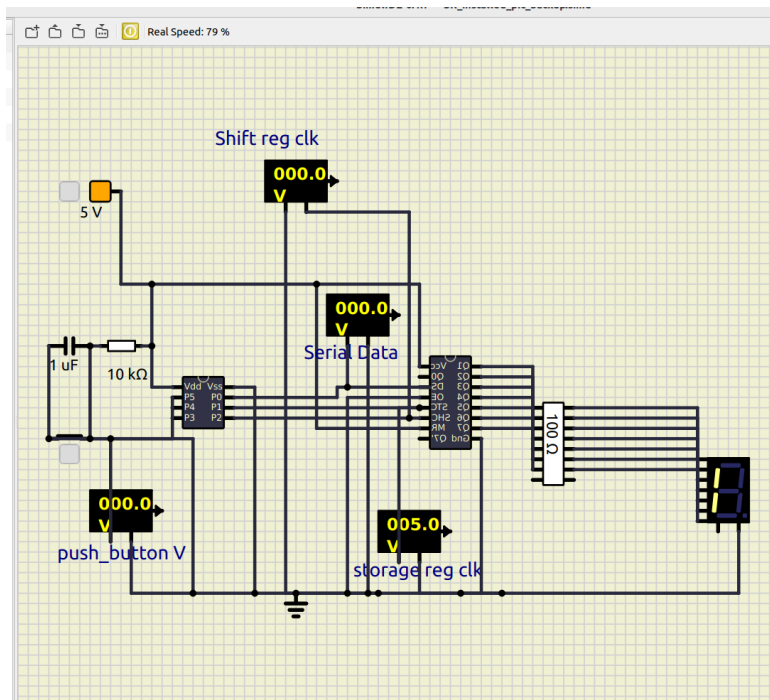


Figura 9: STCP activa envía datos a salida del registro de corrimiento

### 3.4. Escalación del sistema a números aleatorios del 0 al 99 y 2 displays de 7 segmentos

En este paso ya se contaba con un sistema que generaba un número aleatorio de 0 a 9 y lo enviaba al display de 7 segmentos satisfactoriamente.

Para la implementación de números aleatorios de 0 a 99 se pensó en aumentar el contador para que cuente hasta 99 y añadir un display de 7 segmentos extra, el cual usaría el GPIO4 para enviar los datos seriales e inicialmente se pensó en compartir las demás señales (STCP,SHCP) con el primer display.

La lógica para escalar al sistema es la siguiente:

- el contador se incrementa a un contador de 0 a 99, al presionar el botón se toma este número se aplica módulo10 para las unidades y una función floor para obtener las decenas

```

}
/*===== Main loop =====*/
void main(void)
{
    unsigned int time = 250;

    setup();

    delay(time);

    while(1)
    {
        for(int i=0;i<10;i++)
        {
            for(int j=0;j<10;j++)
            {
                if(push_button == 0)
                {
                    data_display(data[i]);
                    data_display(data[j]);
                    rclock();
                }
            }
        }
    }
    return;
}

```

Figura 10: función encargada de obtener las decenas del número obtenido en el contador

- Las unidades se envían al display que se tenía desde un principio, y las decenas se envían a otro display usando la salida GP4, se pensó en usar una sola función que hiciera el caso dependiendo de si son las unidades o las decenas (se llama a GP0 o GP4 para hacer el envío serial):

```

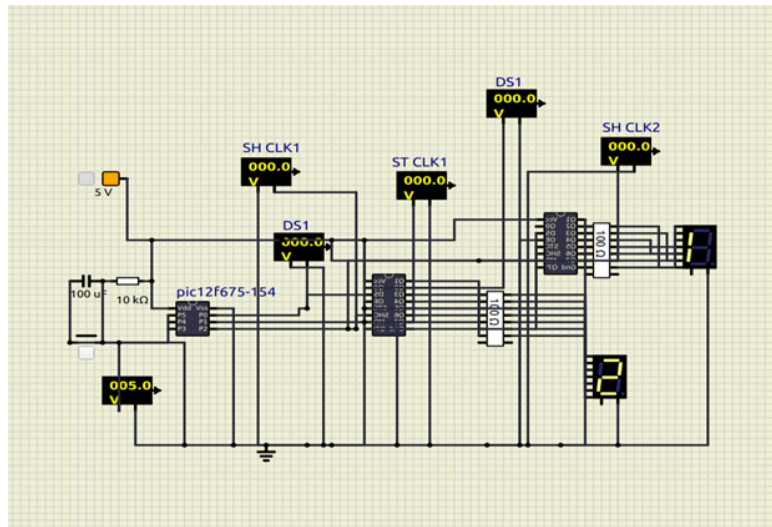
*/
void data_display(int data,char DS)
{
    if(DS == '0')
    {
        for(int i=0; i<8;i++)
        {
            SER_595 = (data >> i) & 0x01; // bit shift and bit mask.
            sclck(); // enable data storage clock

        }
        rclk(); // data latch
    }
    if(DS == '1')
    {
        for(int i=0; i<8;i++)
        {
            SER1_595 = (data >> i) & 0x01; // bit shift and bit mask.
            sclck(); // enable data storage clock

        }
        rclk(); // data latch
    }
}
/* data display 1:

```

Figura 11: función display modificado para distinguir entre puertos seriales, para cada uno de los 2 displays



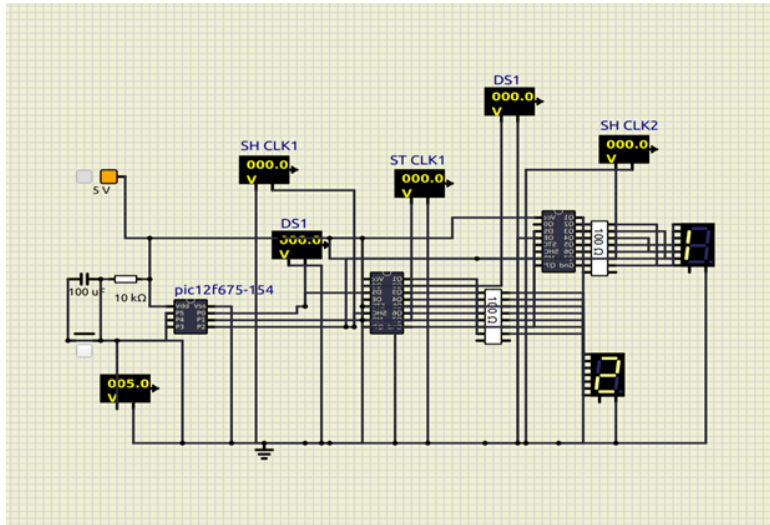


Figura 13: se muestra el circuito implementado final

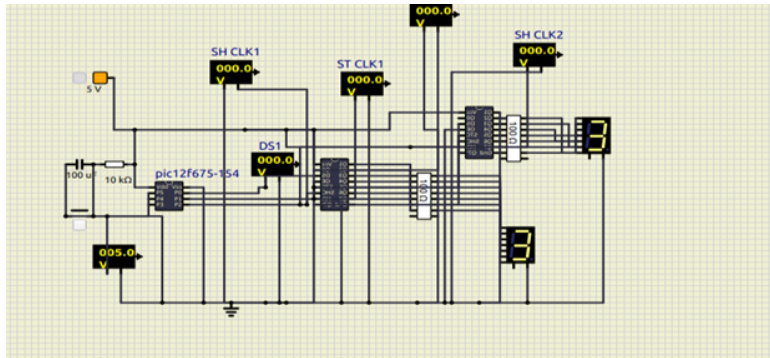


Figura 14: se muestra el circuito implementado final

### 3.5. Análisis de resultados

Los resultados obtenidos son satisfactorios. Mediante los registros de desplazamiento se logra implementar la tómbola.

## **4. Conclusiones y recomendaciones**

Los registros de desplazamiento son muy útiles cuando se disponen de pocos recursos.

## **Referencias**

## **5. Apéndice**

Enlace al repositorio de github:  
repo lab 1.



# High Speed CMOS Logic – 74HC595

8-bit shift registers with 3-state output latches in bare die form

Rev 1.2  
22/12/21

## Description

The 74HC595 is an 8-bit serial-in to parallel-out shift register which drives an 8-bit D-type latch with 3-state outputs. Both register and latch have independent positive triggered clock inputs. All registers capture data on rising edge and change output on the falling edge. If both clocks are connected together the input shift register is always one clock cycle ahead of the output register. The shift register also features asynchronous reset. Device inputs are compatible with standard CMOS outputs; with pull-up resistors, they are compatible with LSTTL outputs.

## Ordering Information

The following part suffixes apply:

- No suffix - MIL-STD-883 /2010B Visual Inspection

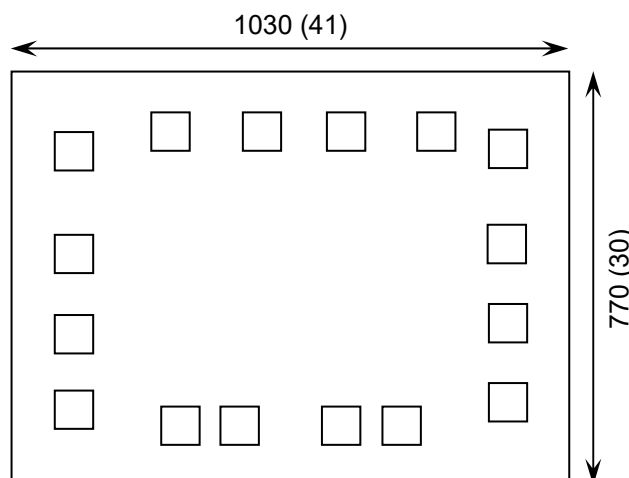
For High Reliability versions of this product please see

[54HC595](#)

## Features:

- Output Drive Capability: 15 LSTTL Loads
- Low Input Current: 1µA
- Outputs directly interface CMOS, NMOS and TTL
- Operating Voltage Range: 2V to 6V
- CMOS High Noise Immunity
- Function compatible with 74LS595.

## Die Dimensions in µm (mils)



## Supply Formats:

- Default – Die in Waffle Pack (400 per tray capacity)
- Sawn Wafer on Tape – On request
- Unsawn Wafer – On request
- Die Thickness <=> 280µm(11 Mils) – On request
- Assembled into Ceramic Package – On request

## Mechanical Specification

Die Size (Unsawn)	1030 x 770 41 x 30	µm mils
Minimum Bond Pad Size	70 x 70 2.76 x 2.76	µm mils
Die Thickness	280 (±10) 11.02 (±0.39)	µm mils
Top Metal Composition	Al-Si-Cu 2.8 µm	
Back Metal Composition	N/A – Bare Si	

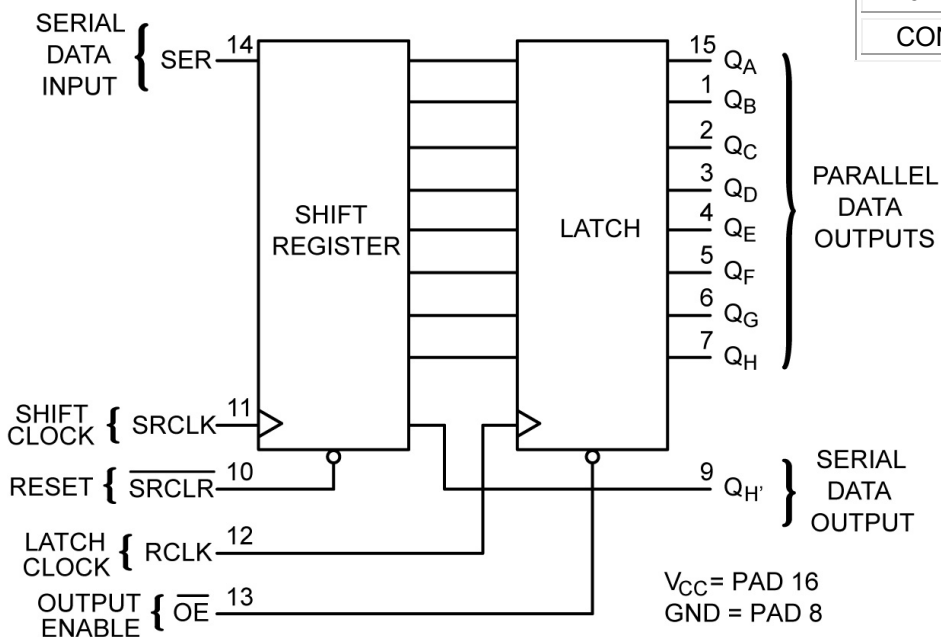




**22/12/21**

Diagram illustrating the layout of a die, showing 16 numbered pads (1-16) and a central pad labeled "0,0". The die dimensions are 770µm (30.32 mils) by 1030µm (40.55 mils). A "DIE ID" label points to pad 2.

## Logic Diagram







# High Speed CMOS Logic – 74HC595

Rev 1.2

22/12/21

Function Table<sup>1</sup>

INPUTS					OUTPUTS		FUNCTION
SRCLK	RCLK	$\overline{OE}$	$\overline{SRCLR}$	SER	$Q_H'$	$Q_N$	
X	X	L	L	X	L	NC	LOW level on $\overline{SRCLR}$ only affects the shift registers
X	↑	L	L	X	L	L	Empty shift-register loaded into storage register
X	X	H	L	X	L	Z	Shift-register clear. Parallel outputs in high- impedance OFF-state
↑	X	L	H	H	$Q_G'$	NC	Logic high level shifted into shift register stage 0. Content of all shift register stages shifted through, e.g. previous state of stage 6 (internal $Q_6'$ ) appears on serial output( $Q_H'$ )
X	↑	L	H	X	NC	$Q_n'$	Contents of shift register stages (internal $Q_n'$ ) transfers to the storage register and parallel output stages
↑	↑	L	H	X	$Q_G'$	$Q_n'$	Shift register contents shifted through. Previous shift register content transfers to storage register & parallel output stages.

1. H=HIGH voltage level; L=LOW voltage level; ↑ =LOW-to-HIGH transition; Z=high-impedance OFF-state; NC=no change; X=don't care.

Absolute Maximum Ratings<sup>2</sup>

PARAMETER	SYMBOL	VALUE	UNIT
DC Supply Voltage (Referenced to GND)	$V_{CC}$	-0.5 to +7.0	V
DC Input Voltage (Referenced to GND)	$V_{IN}$	-0.5 to $V_{CC} + 0.5$	V
DC Output Voltage	$V_{OUT}$	-0.5 to $V_{CC} + 0.5$	V
DC Input Current, per pad	$I_{IN}$	±20	mA
DC Output Current, per pad	$I_{OUT}$	±35	mA
DC $V_{CC}$ or GND Current	$I_{CC}$	±75	mA
Power Dissipation in Still Air <sup>3</sup>	$P_D$	750	mW
Storage Temperature Range	$T_{STG}$	-65 to 150	°C

2. Operation above the absolute maximum rating may cause device failure. Operation at the absolute maximum ratings, for extended periods, may reduce device reliability. 3. Measured in plastic DIP package, results in die form are dependent on die attach and assembly method.

Recommended Operating Conditions<sup>4</sup> (Voltages referenced to GND)

PARAMETER	SYMBOL	MIN	MAX	UNITS
DC Supply Voltage	$V_{CC}$	2	6	V
DC Input or Output Voltage	$V_{IN}, V_{OUT}$	0	$V_{CC}$	V
Operating Temperature Range	$T_J$	-40	+85	°C
Input Rise or Fall Times	$V_{CC} = 2.0V$	0	1000	ns
	$V_{CC} = 4.5V$	0	500	ns
	$V_{CC} = 6.0V$	0	400	ns

4. This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation,  $V_{IN}$  and  $V_{OUT}$  should be constrained to the range  $GND \leq (V_{IN} \text{ or } V_{OUT}) \leq V_{CC}$ . Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or  $V_{CC}$ ). Unused outputs must be left open.





# High Speed CMOS Logic – 74HC595

Rev 1.2

22/12/21

## DC Electrical Characteristics (Voltages Referenced to GND)

PARAMETER	SYMBOL	V <sub>CC</sub>	CONDITIONS	LIMITS			UNITS
				25°C	85°C	FULL RANGE <sup>5</sup>	
Minimum High-Level Input Voltage	V <sub>IH</sub>	2.0V	V <sub>OUT</sub> = 0.1V or V <sub>CC</sub> - 0.1V  I <sub>OUT</sub>   ≤ 20μA	1.5	1.5	1.5	V
		3.0V		2.1	2.1	2.1	
		4.5V		3.15	3.15	3.15	
		6.0V		4.2	4.2	4.2	
Maximum Low-Level Input Voltage	V <sub>IL</sub>	2.0V	V <sub>OUT</sub> = 0.1V or V <sub>CC</sub> - 0.1V  I <sub>OUT</sub>   ≤ 20μA	0.5	0.5	0.5	V
		3.0V		0.9	0.9	0.9	
		4.5V		1.35	1.35	1.35	
		6.0V		1.8	1.8	1.8	
Minimum High-Level Output Voltage (Q <sub>A</sub> – Q <sub>H</sub> )	V <sub>OH</sub>	2.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 20μA	1.9	1.9	1.9	V
		4.5V		4.4	4.4	4.4	
		6.0V		5.9	5.9	5.9	
		3.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 2.4mA	2.48	2.34	2.34	V
		4.5V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 6.0mA	3.98	3.84	3.84	
		6.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 7.8mA	5.48	5.34	5.34	
Maximum Low-Level Output Voltage (Q <sub>A</sub> – Q <sub>H</sub> )	V <sub>OL</sub>	2.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 20μA	0.1	0.1	0.1	V
		4.5V		0.1	0.1	0.1	
		6.0V		0.1	0.1	0.1	
		3.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 2.4mA	0.26	0.33	0.33	V
		4.5V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 6.0mA	0.26	0.33	0.33	
		6.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 7.8mA	0.26	0.33	0.33	
Minimum High-Level Output Voltage (Q <sub>H</sub> )	V <sub>OH</sub>	2.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 20μA	1.9	1.9	1.9	V
		4.5V		4.4	4.4	4.4	
		6.0V		5.9	5.9	5.9	
		3.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 2.4mA	2.48	2.34	2.34	V
		4.5V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 4.0mA	3.98	3.84	3.84	
		6.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 5.2mA	5.48	5.34	5.34	

5. -40°C ≤ T<sub>J</sub> ≤ +85°C





# High Speed CMOS Logic – 74HC595

Rev 1.2

22/12/21

## DC Electrical Characteristics Continued (Voltages referenced to GND)

PARAMETER	SYMBOL	V <sub>CC</sub>	CONDITIONS	LIMITS			UNITS
				25°C	85°C	FULL RANGE <sup>5</sup>	
Maximum Low-Level Output Voltage (Q <sub>H</sub> )	V <sub>OL</sub>	2.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 20μA	0.1	0.1	0.1	V
		4.5V		0.1	0.1	0.1	
		6.0V		0.1	0.1	0.1	
		3.0V	V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>  I <sub>OUT</sub>   ≤ 2.4mA	0.26	0.33	0.33	V
		4.5V		0.26	0.33	0.33	
		6.0V		0.26	0.33	0.33	
Maximum Input Leakage Current	I <sub>IN</sub>	6.0V	V <sub>IN</sub> = V <sub>CC</sub> or GND	±0.1	±1.0	±1.0	μA
Maximum Three-State Leakage Current (Q <sub>A</sub> –Q <sub>H</sub> )	I <sub>OZ</sub>	6.0V	High-Impedance Output State, V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub> , V <sub>OUT</sub> = V <sub>CC</sub> or GND	±0.5	±5.0	±5.0	μA
Maximum Quiescent Supply Current	I <sub>CC</sub>	6.0V	V <sub>IN</sub> = V <sub>CC</sub> or GND, I <sub>OUT</sub> = 0μA	4	40	40	μA

## AC Electrical Characteristics<sup>6</sup>

PARAMETER	SYMBOL	V <sub>CC</sub>	CONDITIONS	LIMITS			UNITS
				25°C	85°C	FULL RANGE <sup>5</sup>	
Maximum Clock Frequency (50% Duty Cycle) (Figure 1,7)	f <sub>max</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	6.0	4.8	4.8	MHz
		3.0V		15	10	10	
		4.5V		30	24	24	
		6.0V		35	28	28	
Maximum Propagation Delay, SRCLK to Q <sub>H</sub> (Figure 1,7)	t <sub>PLH</sub> , t <sub>PHL</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	140	175	175	ns
		3.0V		100	125	125	
		4.5V		28	35	35	
		6.0V		24	30	30	
Maximum Propagation Delay, SRCLR to Q <sub>H</sub> (Figure 2,7)	t <sub>PHL</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	145	180	180	ns
		3.0V		100	125	125	
		4.5V		29	36	36	
		6.0V		25	31	31	
Maximum Propagation Delay, RCLK to Q <sub>A</sub> – Q <sub>H</sub> (Figure 3,7)	t <sub>PLH</sub> , t <sub>PHL</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	140	175	175	ns
		3.0V		100	125	125	
		4.5V		28	35	35	
		6.0V		24	30	30	

6. Not production tested in die form, characterized by chip design and tested in package.





# High Speed CMOS Logic – 74HC595

Rev 1.2

22/12/21

## AC Electrical Characteristics continued<sup>6</sup>

PARAMETER	SYMBOL	V <sub>CC</sub>	CONDITIONS	LIMITS			UNITS
				25°C	85°C	FULL RANGE <sup>5</sup>	
Maximum Propagation Delay, $\overline{\text{OE}}$ to Q <sub>A</sub> – Q <sub>H</sub> (Figure 4,8)	t <sub>PLZ</sub> , t <sub>PHZ</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	150	190	190	ns
		3.0V		100	125	125	
		4.5V		30	38	38	
		6.0V		26	33	33	
Maximum Propagation Delay, $\overline{\text{OE}}$ to Q <sub>A</sub> – Q <sub>H</sub> (Figure 4,8)	t <sub>PZL</sub> , t <sub>PZH</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	135	170	170	ns
		3.0V		90	110	110	
		4.5V		27	34	34	
		6.0V		23	29	29	
Maximum Output Transition Time, Q <sub>A</sub> – Q <sub>H</sub> (Figure 3,7)	t <sub>TLH</sub> , t <sub>THL</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	60	75	75	ns
		3.0V		23	27	27	
		4.5V		12	15	15	
		6.0V		10	13	13	
Maximum Output Transition Time, Q <sub>H</sub> ' (Figure 1,7)	t <sub>TLH</sub> , t <sub>THL</sub>	2.0V	C <sub>L</sub> = 50pF, Input t <sub>r</sub> = t <sub>f</sub> = 6ns	75	95	95	ns
		3.0V		27	32	32	
		4.5V		15	19	19	
		6.0V		13	16	16	
Maximum Input Capacitance	C <sub>IN</sub>	-	-	10	10	10	pF
Maximum Three-State Output Capacitance, Q <sub>A</sub> – Q <sub>H</sub>	C <sub>OUT</sub>	-	High-Impedance Output State	15	15	15	pF
Power Dissipation Capacitance <sup>7</sup>	C <sub>PD</sub>	-	T <sub>J</sub> = 25°C, V <sub>CC</sub> = 5.0V	TYPICAL			pF
				300			

7. Used to determine the no-load dynamic power consumption:  $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$

## Timing Requirements<sup>6</sup>

PARAMETER	SYMBOL	V <sub>CC</sub>	CONDITIONS	LIMITS			UNITS
				25°C	85°C	FULL RANGE <sup>5</sup>	
Minimum Setup Time, SER to SRCLK (Figure 5)	t <sub>su</sub>	2.0V	Input t <sub>r</sub> = t <sub>f</sub> = 6ns	50	65	65	ns
		3.0V		40	50	50	
		4.5V		10	13	13	
		6.0V		9	11	11	
Minimum Setup Time, SRCLK to RCLK (Figure 6)	t <sub>su</sub>	2.0V	Input t <sub>r</sub> = t <sub>f</sub> = 6ns	75	95	95	ns
		3.0V		60	70	70	
		4.5V		15	19	19	
		6.0V		13	16	16	





# High Speed CMOS Logic – 74HC595

Rev 1.2

22/12/21

## Timing Requirements<sup>6</sup>

PARAMETER	SYMBOL	V <sub>CC</sub>	CONDITIONS	LIMITS			UNITS
				25°C	85°C	FULL RANGE <sup>5</sup>	
Minimum Hold Time, SRCLK to SER (Figure 5)	$t_h$	2.0V	Input $t_r = t_f = 6\text{ns}$	5	5	5	ns
		3.0V		5	5	5	
		4.5V		5	5	5	
		6.0V		5	5	5	
Minimum Recovery Time, SRCLR to SRCLK (Figure 2)	$t_{rec}$	2.0V	Input $t_r = t_f = 6\text{ns}$	50	65	65	ns
		3.0V		40	50	50	
		4.5V		10	13	13	
		6.0V		9	11	11	
Minimum Pulse Width, SRCLR (Figure 2)	$t_w$	2.0V	Input $t_r = t_f = 6\text{ns}$	60	75	75	ns
		3.0V		45	60	60	
		4.5V		12	15	15	
		6.0V		10	13	13	
Minimum Pulse Width, SRCLK (Figure 1)	$t_w$	2.0V	Input $t_r = t_f = 6\text{ns}$	50	65	65	ns
		3.0V		40	50	50	
		4.5V		10	13	13	
		6.0V		9	11	11	
Minimum Pulse Width, RCLK (Figure 6)	$t_w$	2.0V	Input $t_r = t_f = 6\text{ns}$	50	65	65	ns
		3.0V		40	50	50	
		4.5V		10	13	13	
		6.0V		9	11	11	
Maximum Input Rise and Fall Times, (Figure 1)	$t_r, t_f$	2.0V	Input $t_r = t_f = 6\text{ns}$	1000	1000	1000	ns
		3.0V		800	800	800	
		4.5V		500	500	500	
		6.0V		400	400	400	

## Switching Waveforms

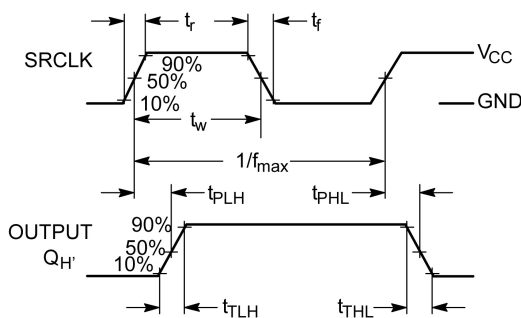


Figure 1 – Clock Propagation Delay & Output Timing

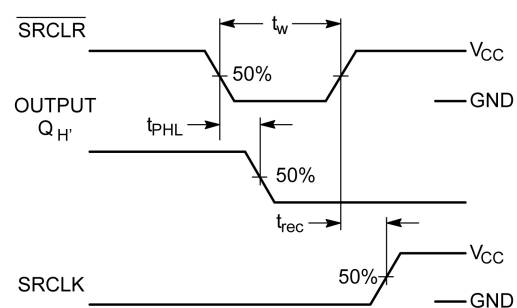


Figure 2 – Reset Propagation Delay & Timing



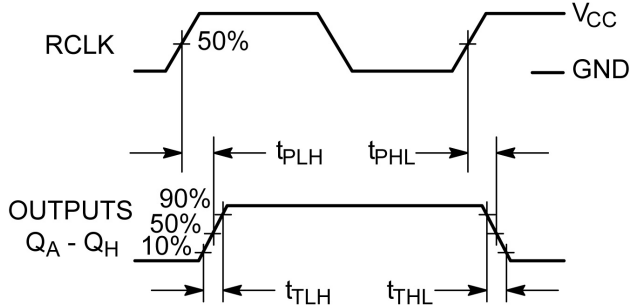


# High Speed CMOS Logic – 74HC595

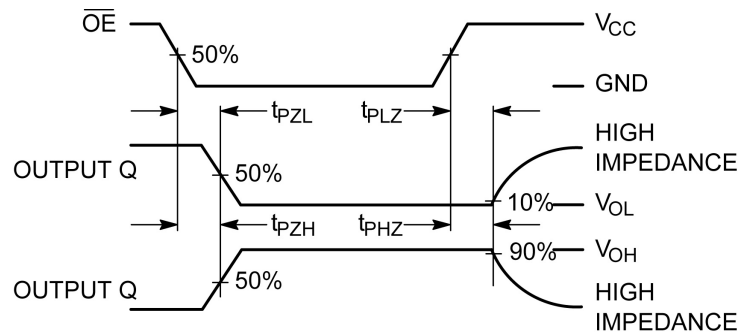
Rev 1.2

22/12/21

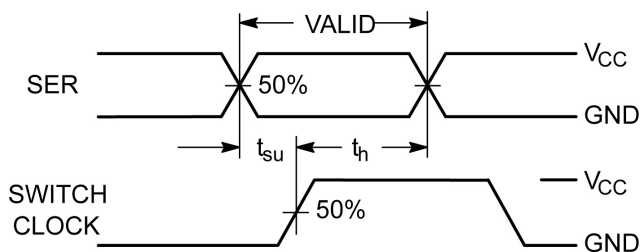
## Switching Waveforms continued



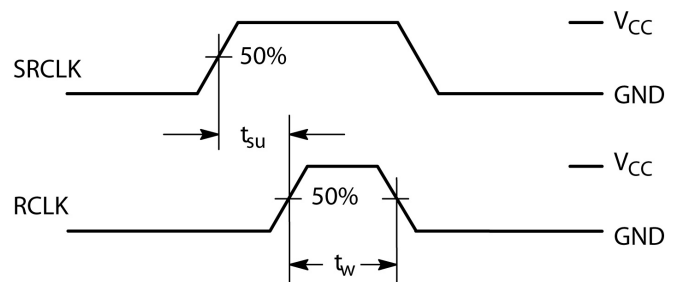
**Figure 3** – Clock Propagation Delay & Output Timing



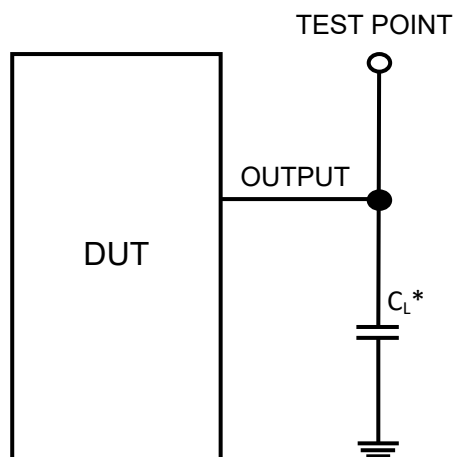
**Figure 4** – Enable to Output Propagation Delay



**Figure 5** – Data Transition Timing, Serial Input & Clock

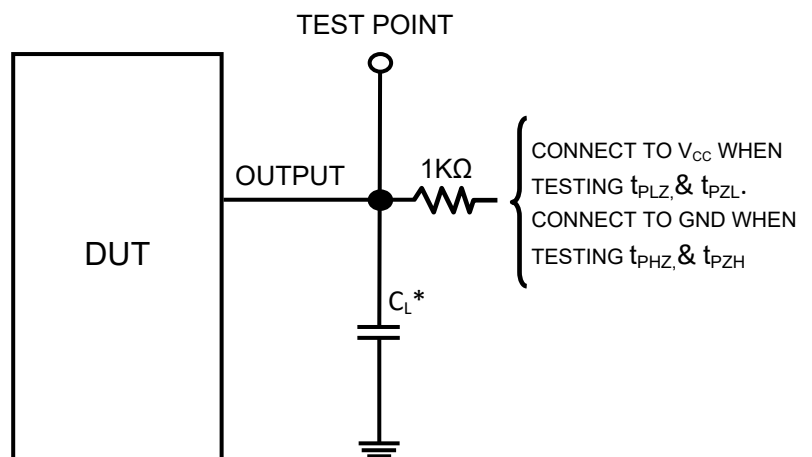


**Figure 6** – Shift Clock to Register Clock Setup Timing



\* Includes all probe and jig capacitance

**Figure 7** – Test Setup



\* Includes all probe and jig capacitance

**Figure 8** – Test Setup



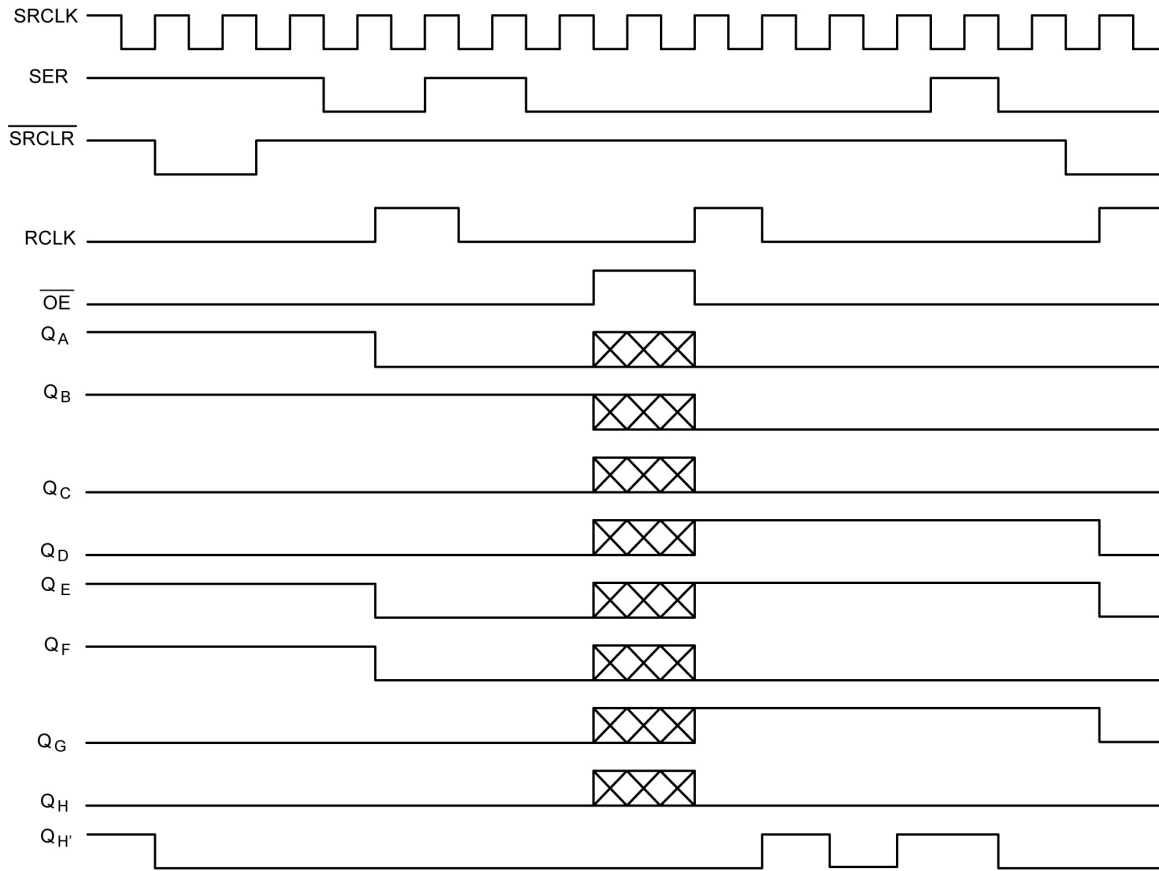


# High Speed CMOS Logic – 74HC595

Rev 1.2

22/12/21

## Timing Diagram



NOTE: **XXX** implies that the output is in a high-impedance state

**DISCLAIMER:** The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics. With respect to any examples or hints given herein, any typical values stated herein and/or any information regarding the application of the device, Silicon Supplies Ltd hereby disclaims any and all warranties and liabilities of any kind.

**LIFE SUPPORT POLICY:** Silicon Supplies Ltd components may be used in life support devices or systems only with the express written approval of Silicon Supplies Ltd, if a failure of such components can reasonably be expected to cause the failure of that life support device or system or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.



Esta rama contiene la versión funcional mas reciente del programa.