

预习报告

一、实验目的

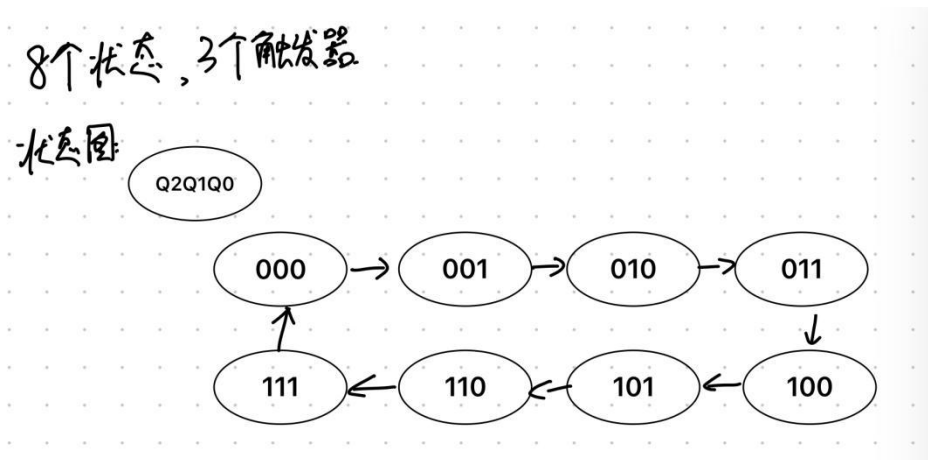
1. 掌握时序逻辑电路的一般设计过程
2. 掌握时序逻辑电路的时延分析方法, 了解时序电路对时钟信号相关参数的基本要求
3. 掌握时序逻辑电路的基本调试方法
4. 熟练使用示波器和逻辑分析仪观察波形图
5. 掌握 ISE 软件的使用方法掌握 VHDL 语言

二、实验原理

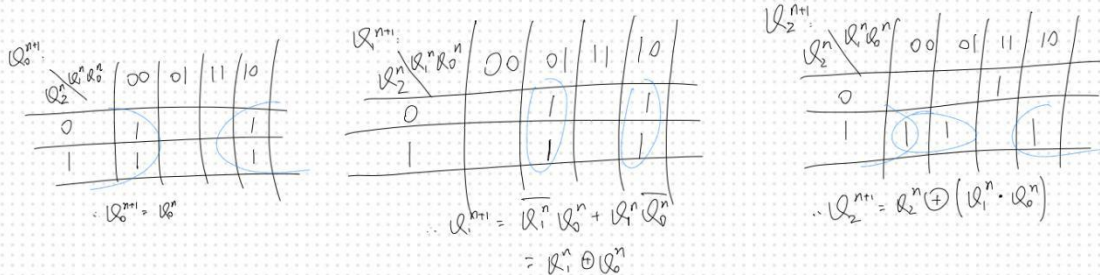
1. 广告流水灯 (第 10 周)

- a) 用 D 触发器 7474 分别设计一个模 8 异步行波计数器和模 8 同步计数器, 电路包含一个输出信号 F, 当计数器计数值为“7”的时候, $F=1$, 其他计数值则 $F=0$ 。在 Quartus 中进行时序仿真验证, 并对两个仿真结果进行比较和分析
- b) 完成广告流水灯的设计, 包含详细的设计过程和电路原理图
- c) 完成广告流水灯的硬件电路搭接

1. 设计电路 (真值表、卡诺图、函数表达式、电路原理图):



次态卡诺图:



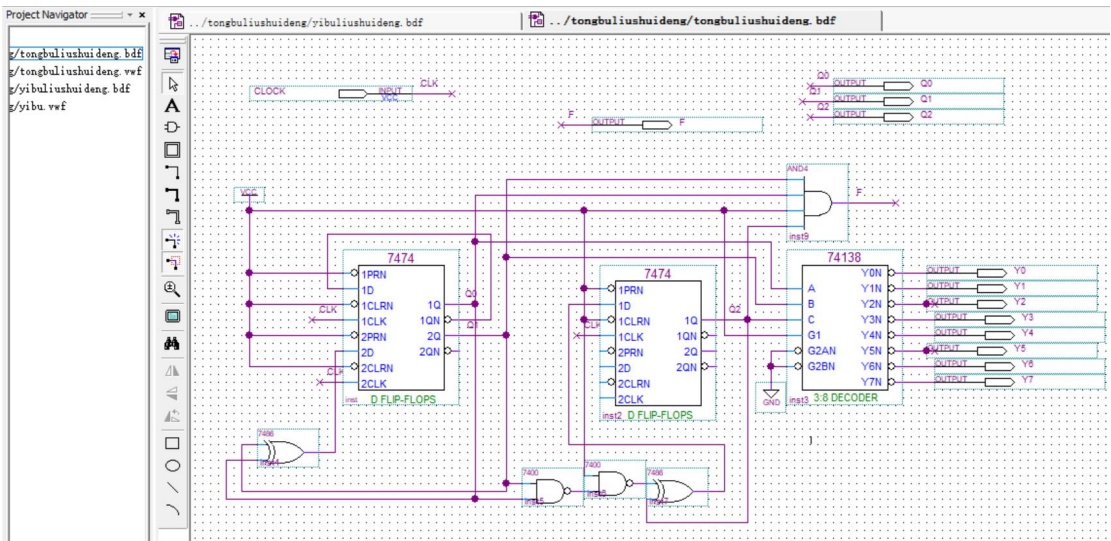
驱动方程:

$$D_0 = Q_0^n$$

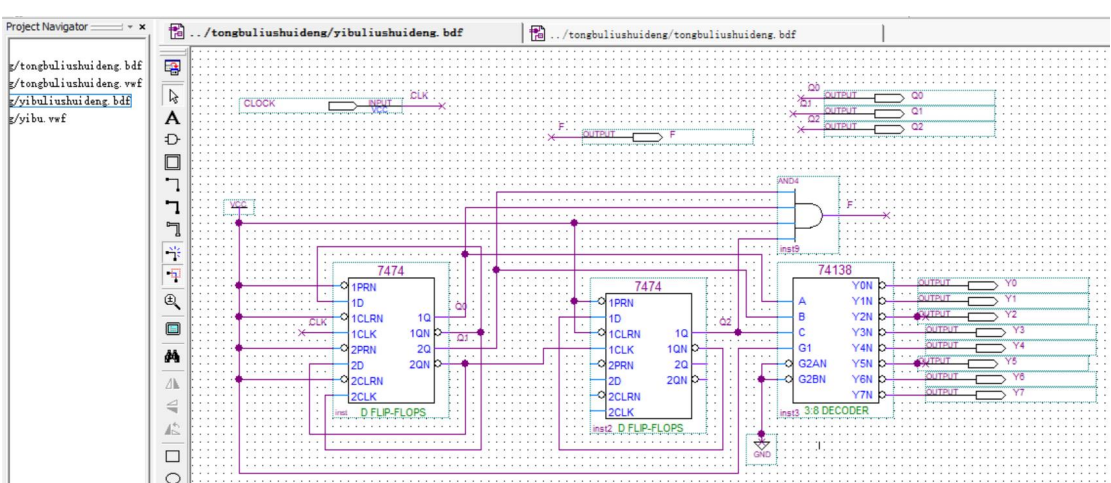
$$D_1 = Q_1^n \oplus Q_0^n$$

$$D_2 = Q_2^n \oplus (Q_1^n \cdot Q_0^n)$$

同步模 8 计数器流水灯原理图：



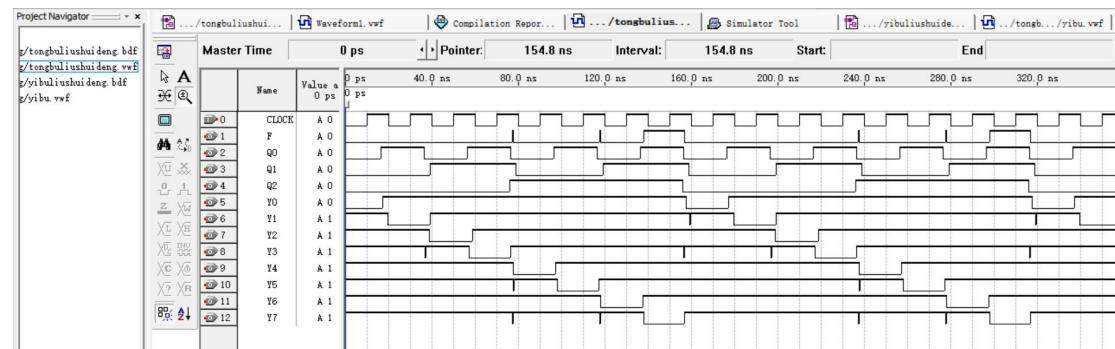
异步模 8 计数器流水灯原理图：



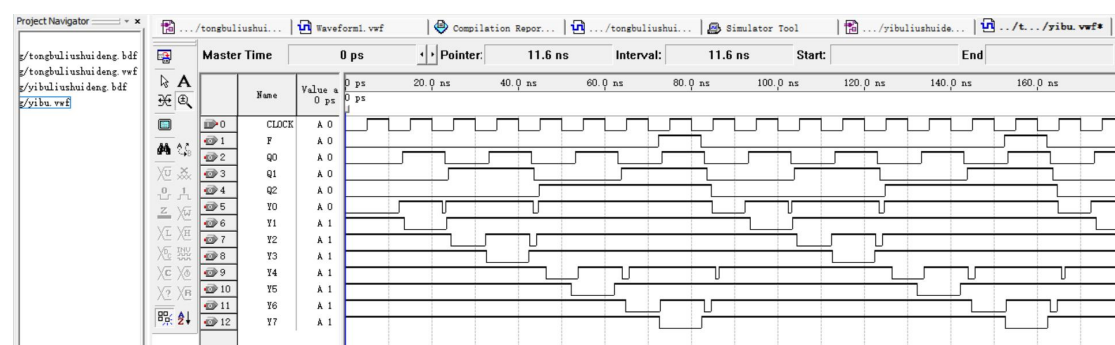
本设计主要用到两块 7474 D 触发器芯片，以及一块 74138 38 译码器，前者用到了三个 D 触发器，负责模 8 计数功能，后者将计数器 8 个状态对应到相应的灯输出，体现出流水灯效果。实物搭接是根据异步计数器电路进行搭接的。

2. 模 8 异步行波计数器和模 8 同步计数器 Quartus 时序仿真结果比较和分析：

模 8 同步计数器：



模 8 异步行波计数器：



用 D 触发器设计同步计数器特点：

- 1.所有触发器的时钟输入端连接在一起
- 2.所有触发器的状态同时改变

用 D 触发器设计异步计数器特点：

- 1.将一个触发器的输出作另一个触发器的时钟输入
- 2.触发器逐级翻转，有先有后
- 3.电路简单

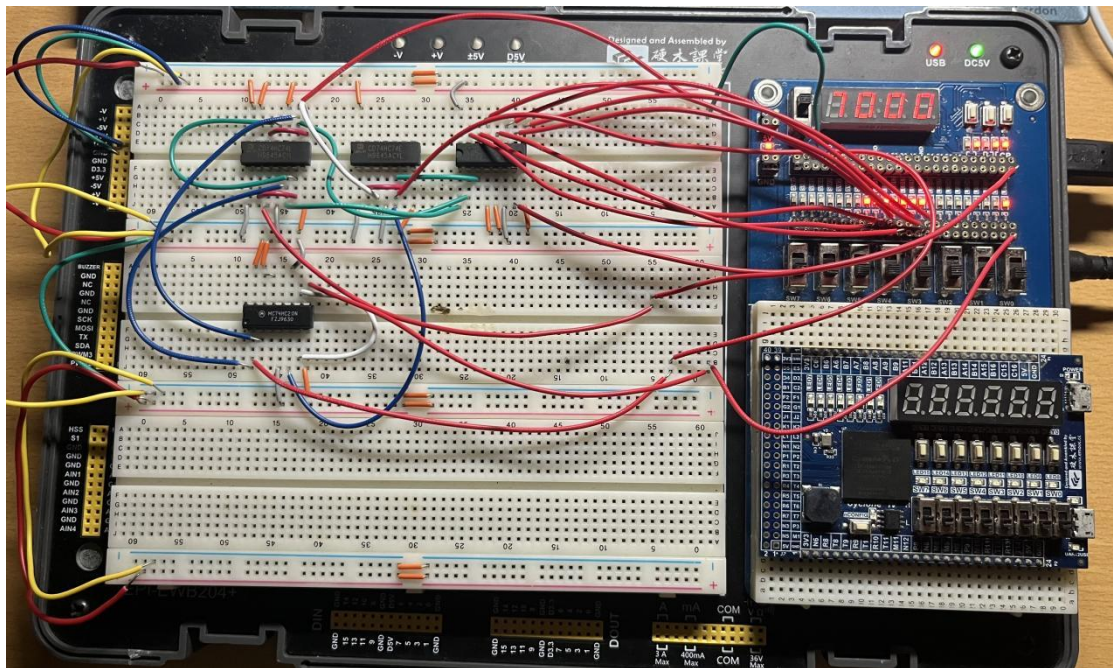
由 Quartus 时序仿真结果对比可见：

异步计数器的毛刺相较于同步计数器的毛刺更宽，更容易出现竞争与冒险

分析原因和异步计数器特点：

- 1.由于电路的延时，各触发器的时钟之间会有较大的时间偏移，有可能会超出最坏情况下的建立时间、保持时间以及时钟到输出延时等的要求，造成系统不稳定
- 2.易引起竞争和冒险
- 3.要想系统更稳定应该尽量选择采用全局时钟的同步电路来代替

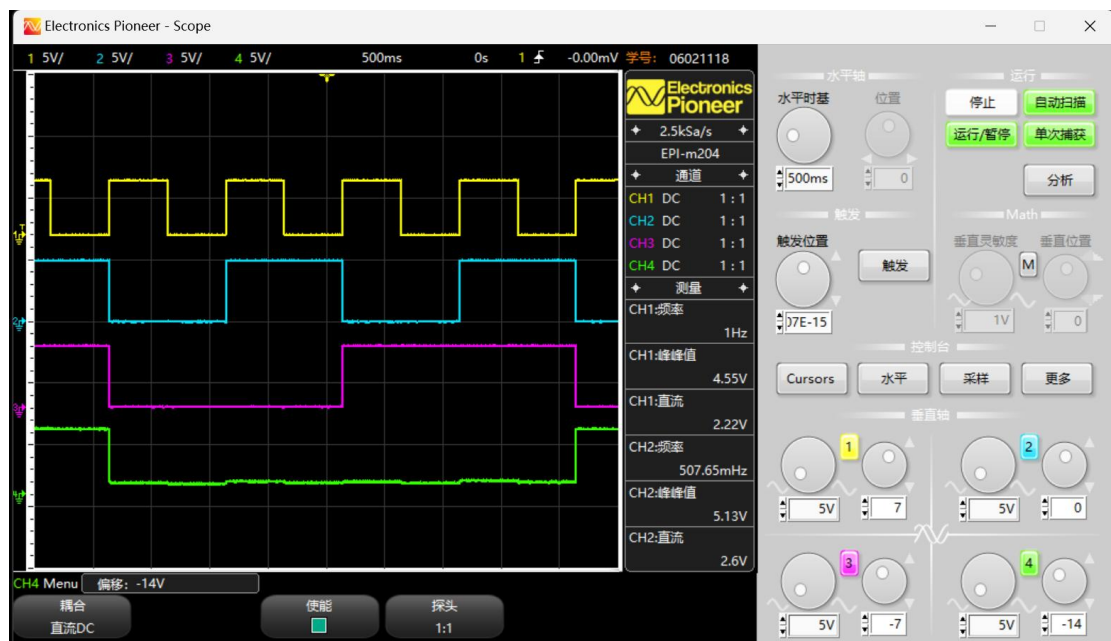
3. 硬件电路搭接：



4. 动态验证

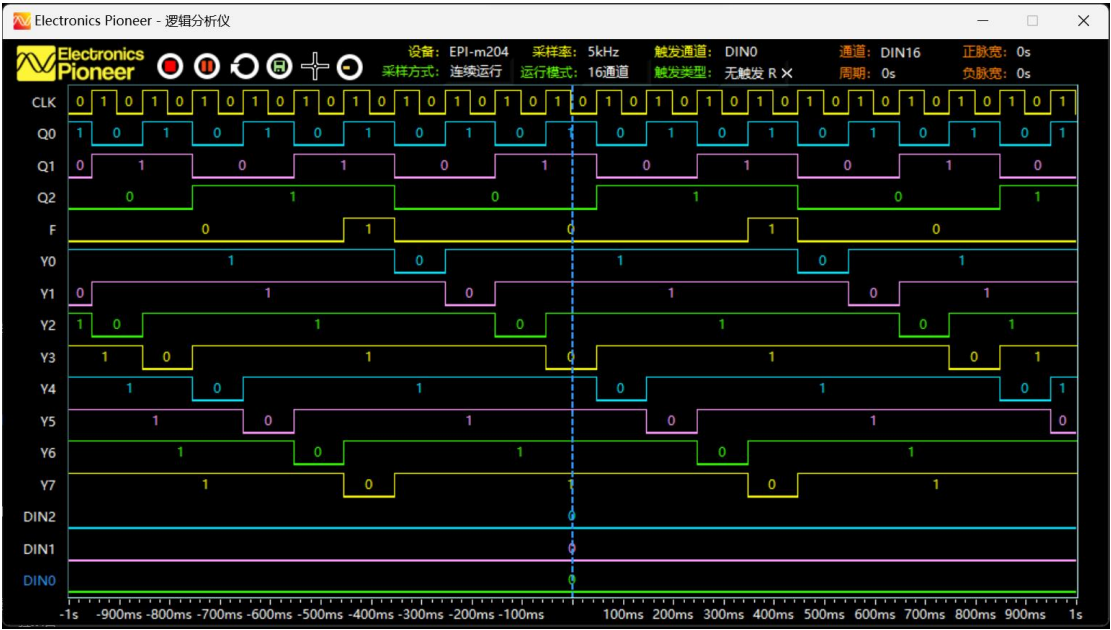
用 epi 上位机软件 pioneer 的示波器和逻辑分析仪：

首先是示波器，由上至下依次为时钟信号 CLK、计数器最低位 Q0、Q1、计数器最高位 Q2



发现它们的频率依次为 2 倍关系，计数器波形正常。

接着是逻辑分析仪，选用 16 路模式，可以看到时钟信号 CLK、计数器由低至高位 Q0Q1Q2、计数信号 F、8 个灯 Y0-7，它们之间的逻辑关系即计数器随时钟信号计数，0 计到 7 时 F 会亮一下，Y0-7 对应计数器输出的 8 个状态。



5. 静态验证（在动态验证之前已完成）

将 CLK 接到 epi 上的单脉冲，手动给脉冲，并记录 8 个状态各个变量的状态，与真值表比对。

CLK	Q2	Q1	Q0	灯 Y0	灯 Y1	灯 Y2	灯 Y3	灯 Y4	灯 Y5	灯 Y6	灯 Y7
0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1
2	0	1	0	1	1	0	1	1	1	1	1
3	0	1	1	1	1	1	0	1	1	1	1
4	1	0	0	1	1	1	1	0	1	1	1
5	1	0	1	1	1	1	1	1	0	1	1
6	1	1	0	1	1	1	1	1	1	0	1
7	1	1	1	1	1	1	1	1	1	1	0

发现真值表符合预设，电路功能正常。