

预习报告

一、实验目的

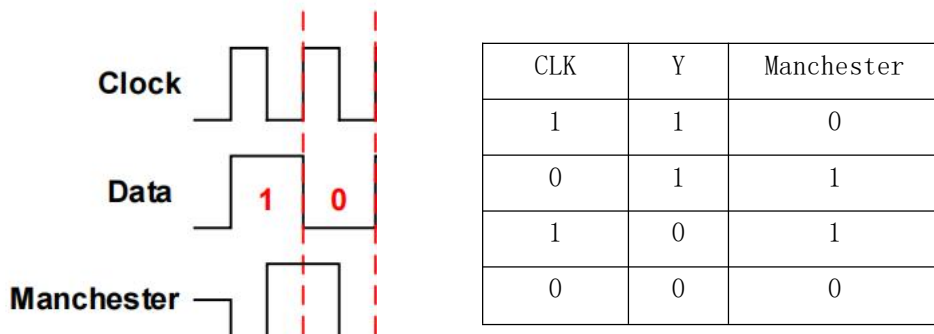
1. 掌握时序逻辑电路的一般设计过程
2. 掌握时序逻辑电路的时延分析方法,了解时序电路对时钟信号相关参数的基本要求
3. 掌握时序逻辑电路的基本调试方法
4. 熟练使用示波器和逻辑分析仪观察波形图
5. 掌握 ISE 软件的使用方法掌握 VHDL 语言

二、实验原理

3、4 位并行输入-串行输出曼切斯特编码电路（第 12 周）

扩展部分: 设计一个电路,它能自动加载 4 位并行数据,并将这 4 位数据逐个串行输出(高位在前),每个串行输出位都被编码成曼切斯特码,当 4 位数据全部传输完成后,重新加载新数据,继续传输。给串行数据增加起始位和结束位,其中起始位为“0”,结束位为“1”,起始和结束位同样要编码成曼切斯特码。

设计思路:



首先,根据 Manchester 码的定义,列出真值表,发现相同为 0 相异为 1,所以实际上 Manchester 码就是时钟信号 CLK 和数据 Data 做一个异或!所以说先用 161、194、151 把计数、移位功能做出来,保证输出的数据时符合并转串预期的,最后 Manchester 码的实现只需要对 CLK 和输出的数据用一个异或门即可。

然后是并转串输出数据功能的实现,起始位 0、4 位编码、结束位 1,一共 6 位,所以首先要做一个模 6 计数器,用 161 实现,从 000 计到 101,此时同步清零,实现方法就是 QA、QC 的与非去接到 LDN,这样每次计到 101,随着下一个脉冲计数器就会清零。

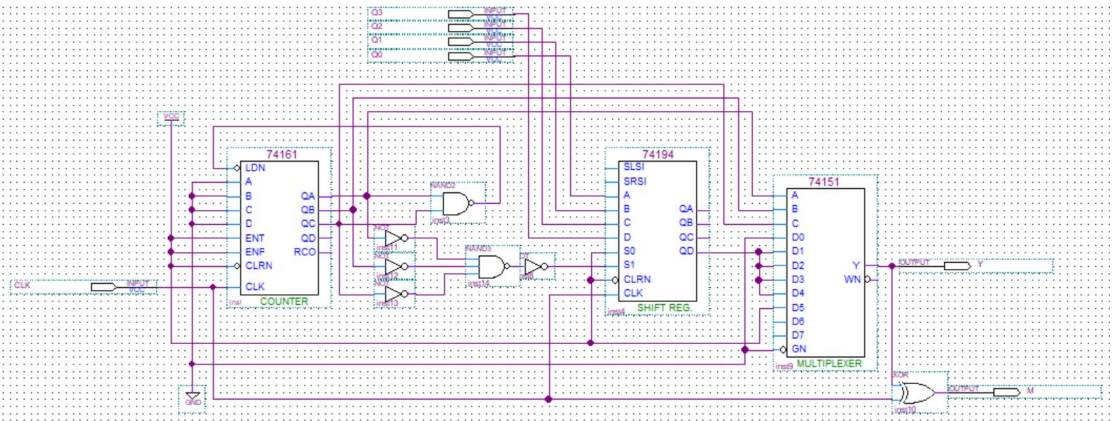
然后是 194 部分的设计,置数端 ABCD 直接按位依次接输入的并行编码,在计数器的输出 000 时, S1 为 1,将输入送到输出,其余时间 S1 都为 0, 194 处于右移状态,实现方法就是计数器的输出 QA、QB、QC 各自的非,再一起做与非,与非的结果再非一次,接到 S1,这样就能判断 QAQBQC 同时为 0 的时候 S1 才为 1。

然后是 151 部分的设计, 151 的输入 ABC 直接接计数器的输出 QAQBQC,计数器的输出就代表选择哪个数据,所以 000 对应的 D0 就是起始位为 0, 101 对应的 D5 就是结束位为 1, 001-100 对应中间 D1-4 都接 194 输出的最高位 QD,让 194 完成序列发生器的功能。

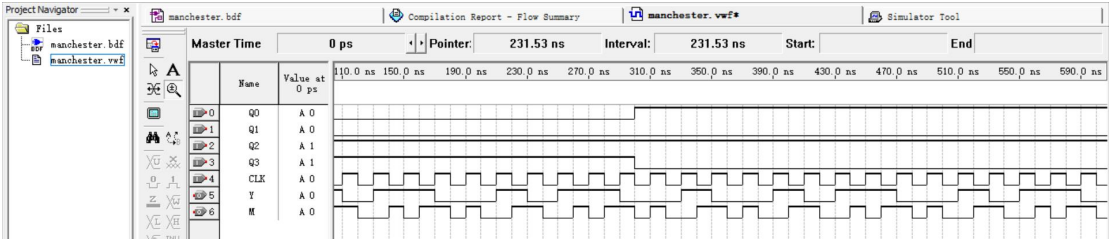
各芯片输入输出怎么配合的可以通过下表清晰的体现出来：

CP	74161 的计数输出			74161 同步清 0	74194	74151 的选择
	QC	QB	QA	LDN=QA 与非 QC	S1=（QA 非、QB 非、QC 非）的与非的非	
1	0	0	0	1	1（送数（借助下一次 CP（即 CP “2”）））	D0=1（起始位）
2	0	0	1	1	0（右移）	D1=74194 的 QD =输入的 Q3
3	0	1	0	1	0（右移）	D2=74194 的 QD =输入的 Q2
4	0	1	1	1	0（右移）	D3=74194 的 QD =输入的 Q1
5	1	0	0	1	0（右移）	D4=74194 的 QD =输入的 Q0
6	1	0	1	0	0（右移）	D5（结束位）

原理图：

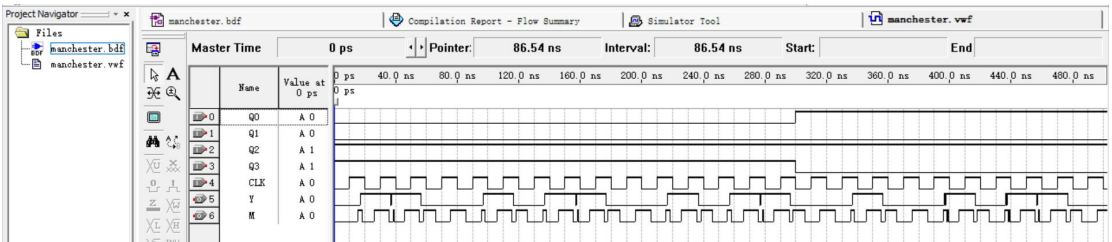


功能仿真：

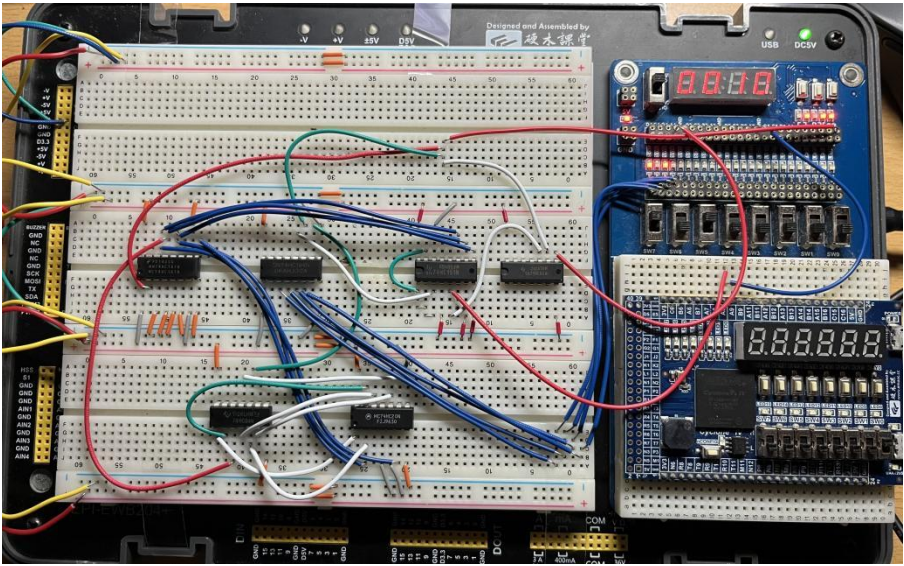


可以看到一开始输入 Q3-0 是 1100，序列 Y 是 011001，符合要求，之后 Q3-0 由 1100 变为 0101，检查交界处，发现最后一个 1100 输出完整，各编码的起始位 0 结束位 1 也都完整，所以结论是功能正确！最后再检查 Manchester 码，符合其定义，ok 了完全正确。

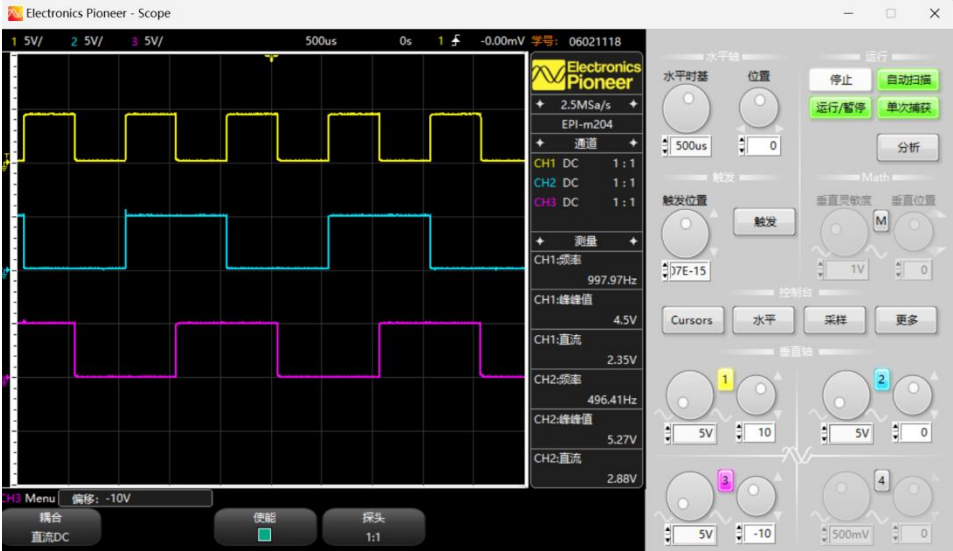
时序仿真：有小毛刺，但总体功能正常



实物搭接图：



上位机示波器动态波形验证（从上自下依次为 CLK、Y、Manchester）（编码 1010）：



上位机逻辑分析仪动态波形验证（编码 1010）（QABC 为计数器的输出）：

