

东南大学电工电子实验中心

实 验 报 告

课程名称： 数字逻辑电路实验

第 8 次实验

实验名称： FPGA 时序逻辑设计

院（系）： 自动化 专 业： 自动化

姓 名： 陈鲲龙 学 号： 08022311

实 验 室： 电子技术 4 室-105 实验组别：

同组人员： 实验时间： 2023 年 12 月 14 日

评定成绩： 审阅教师：

一、实验目的

- 1、进一步学习时序逻辑电路的分析和设计方法，掌握状态机设计方法，
- 2、了解可编程数字系统设计的流程，掌握 Quartus II 软件的使用方法
- 3、掌握原理图输入方式设计时序逻辑电路的方法和流程

二、实验原理（预习报告内容）

1. 实验内容：

(1) **必做：**用二进制编码设计一个“111001”序列检测器，对串行输入序列进行检测，当连续检测到 6 个码元符合检测码“111001”时，检测器输出为 1

选做：用 One-Hot 编码设计一个“111001”序列检测器，对串行输入序列进行检测，当连续检测到 6 个码元符合检测码“111001”时，检测器输出为 1

注意：“111001”序列的最后一个码元不能作为当前待测序列的第一个码元

- (2) 用静态（单步）的测试方法对实验结果进行验证
- (3) 自行设计一个“1011011011100100”序列发生器用于对实验结果进行动态验证
- (4) 用双踪示波器观察并记录动态验证结果。

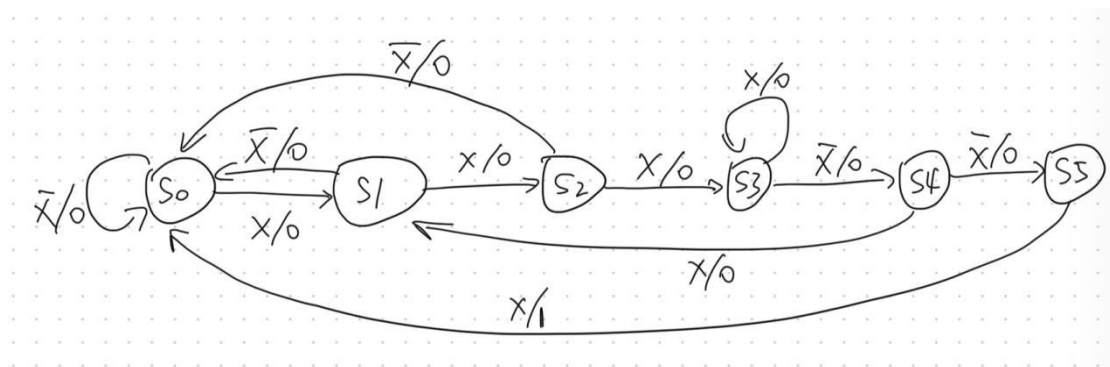
2. 实验要求：

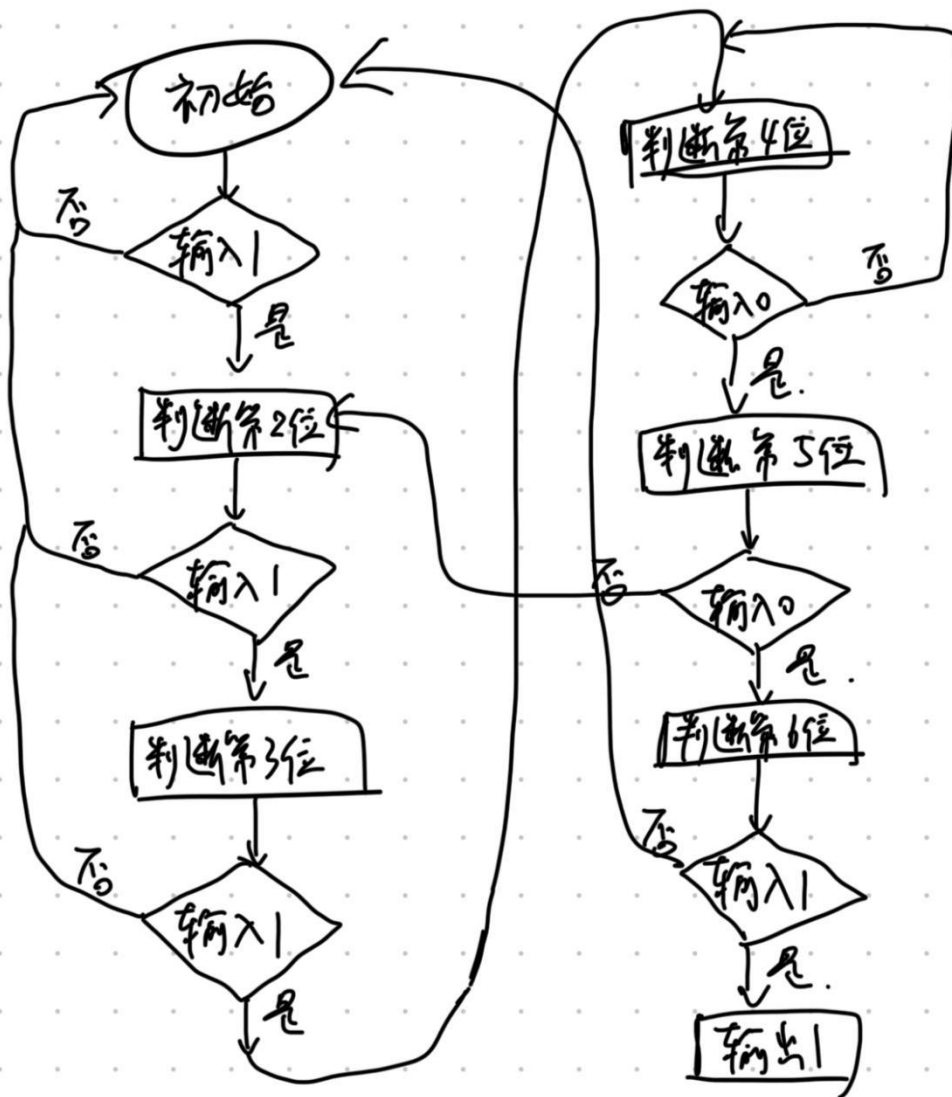
- (1) 根据设计要求划分设计层次、单元模块和接口信号，在报告上记录设计过程，绘制系统框图，每个模块的状态转移图和 ASM 图，并设计验证方案。
- (2) 用原理图输入法设计所有单元模块并编译，分析编译时产生的错误和警告信息
- (3) 对所有的单元模块进行功能仿真，并记录和分析全部仿真结果
- (4) 在顶层文件中连接全部单元模块并编译、综合、分配管脚和适配。
- (5) 对整个系统进行时序仿真，并记录和分析仿真结果。
- (6) 将仿真正确的设计下载到实验箱上，连接输入输出设备和示波器进行板级验证

实验设计方案：

仿真时选用：Cyclone III - EP3C5E144C8

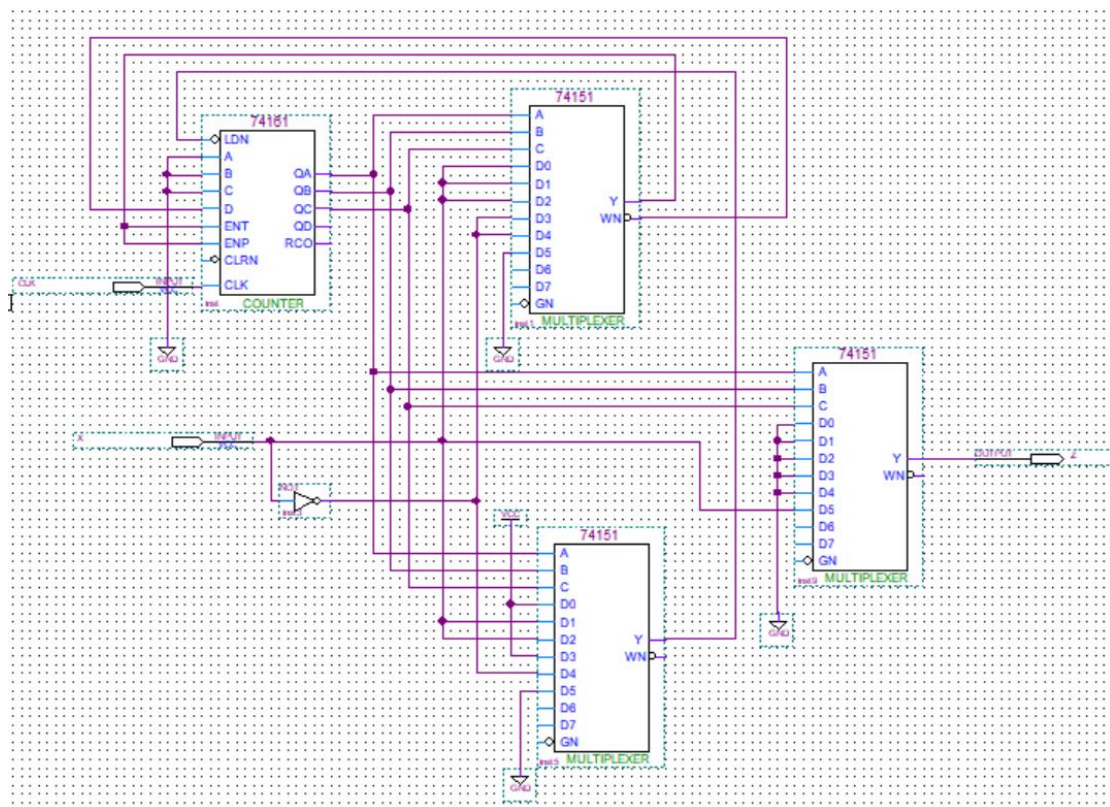
设置引脚、编译下载时选用：Cyclone IV E - EP4CE6F17C8



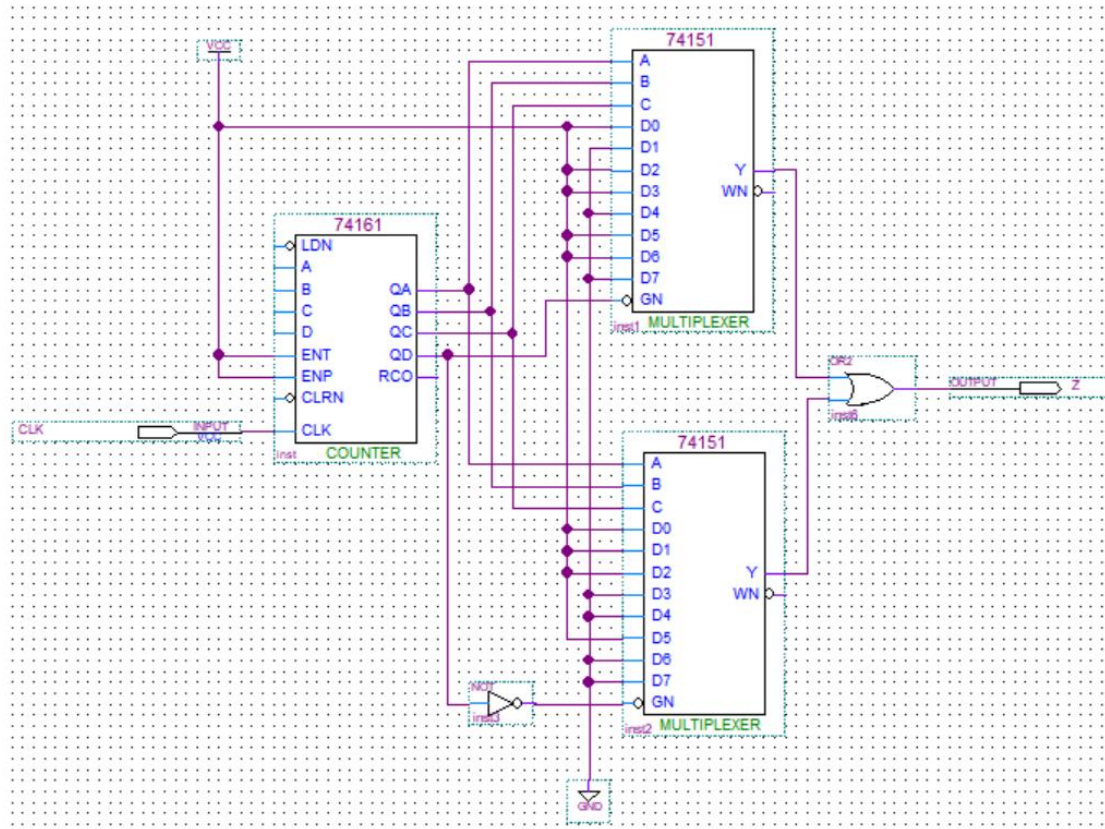


| 文字描述 | | | | 二进制编码 | | | | | | 74161 集成计数器 | | | | | | |
|------|----|----|----|-------|------|------|------|------|------|-------------|----|----|----|----|----|----|
| 现态 | 次态 | 输入 | 输出 | Q2 现 | Q1 现 | Q0 现 | Q2 次 | Q1 次 | Q0 次 | 功能 | EN | LD | D3 | D2 | D1 | D0 |
| S0 | S0 | X' | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 保持 | 0 | 1 | x | x | x | x |
| | S1 | X | 0 | | | | 0 | 0 | 1 | 计数 | 1 | 1 | x | x | x | x |
| S1 | S0 | X' | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 置数 | 0 | 0 | 0 | 0 | 0 | 0 |
| | S2 | X | 0 | | | | 0 | 1 | 0 | 计数 | 1 | 1 | x | x | x | x |
| S2 | S0 | X' | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 置数 | 0 | 0 | 0 | 0 | 0 | 0 |
| | S3 | X | 0 | | | | 0 | 1 | 1 | 计数 | 1 | 1 | x | x | x | x |
| S3 | S4 | X' | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 计数 | 1 | 1 | x | x | x | x |
| | S3 | X | 0 | | | | 0 | 1 | 1 | 保持 | 0 | 1 | x | x | x | x |
| S4 | S5 | X' | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 计数 | 1 | 1 | x | x | x | x |
| | S1 | X | 0 | | | | 0 | 0 | 1 | 置数 | 0 | 0 | 0 | 0 | 0 | 1 |
| S5 | S0 | X' | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 置数 | 0 | 0 | 0 | 0 | 0 | 0 |
| | S0 | X | 1 | | | | 0 | 0 | 0 | 置数 | 0 | 0 | 0 | 0 | 0 | 0 |

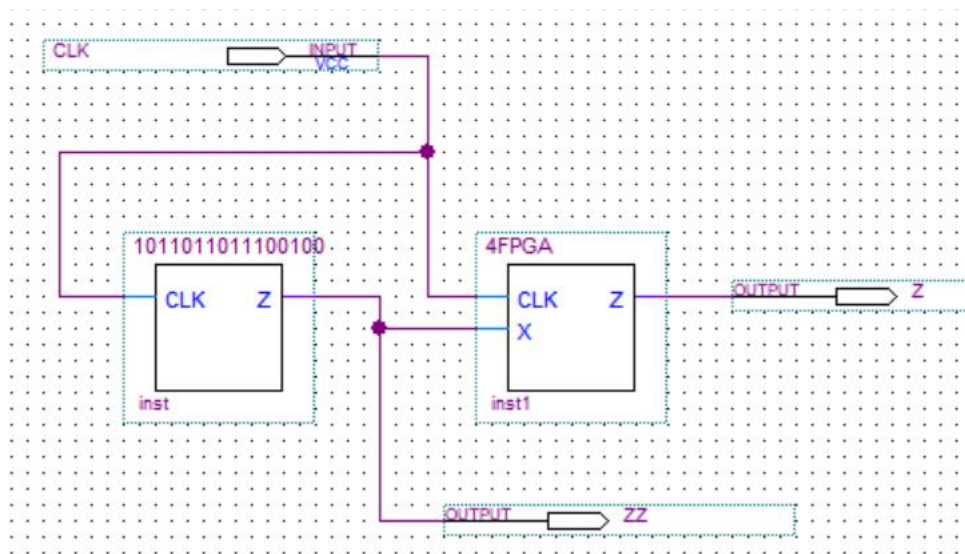
序列检测器原理图：



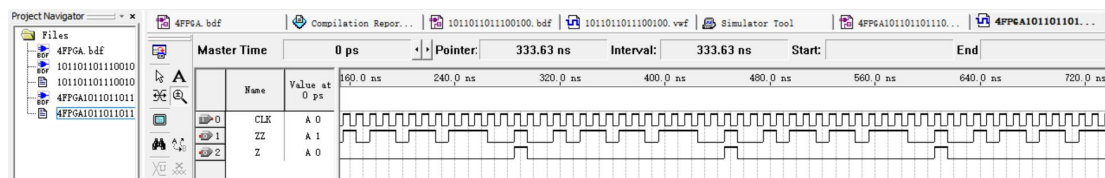
序列发生器 1011011011100100 原理图：



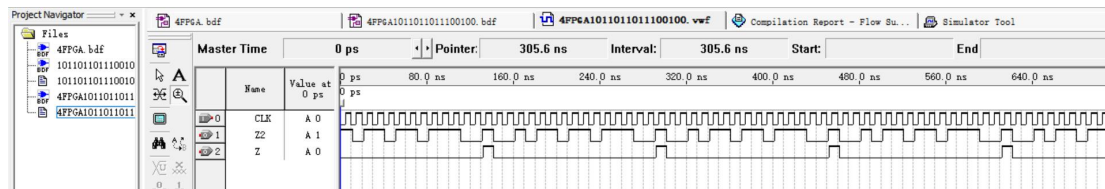
封装元件：



功能仿真：



时序仿真：



可见序列检测功能正常

三、 实验仪器（实验过程中用到的仪器设备型号，使用情况，使用软件）

EPI-EWB204+面包板：用于电路的搭接、输入输出效果验收

FPGA 板

Quartus 软件：用于电路设计的原理图绘制、功能的仿真、时序分析、功能的下载