预习报告

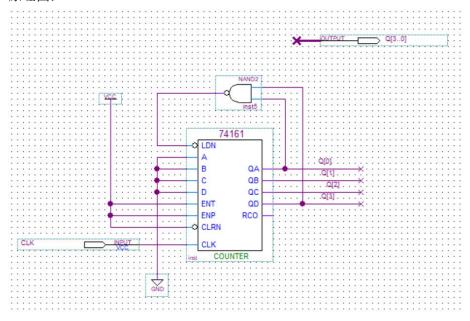
一、实验目的

- 1. 掌握时序逻辑电路的一般设计过程
- 2. 掌握时序逻辑电路的时延分析方法,了解时序电路对时钟信号相关参数的基本要求
- 3. 掌握时序逻辑电路的基本调试方法
- 4. 熟练使用示波器和逻辑分析仪观察波形图
- 5. 掌握 ISE 软件的使用方法掌握 VHDL 语言

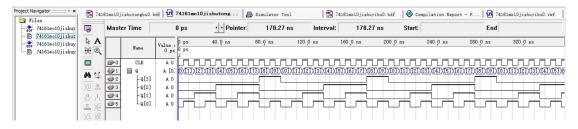
二、实验原理

3、 序列发生器 (第 11 周)

- a) 分别用集成计数器 74161 的同步置 "0" 和异步清 "0" 功能实现 模 10 计数器,在 Quartus 中进行时序仿真验证,并分析比较两种方法的区别
- (1) 74161 模 10 计数器同步置 0: 原理图:

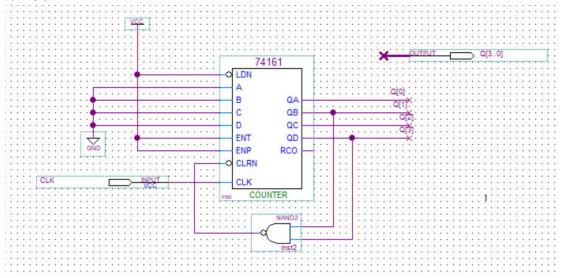


功能仿真:

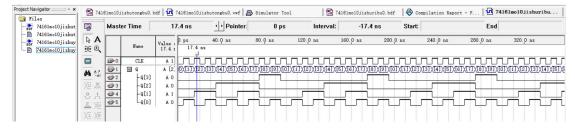


(2) 74161 模 10 计数器异步清 0:

原理图:

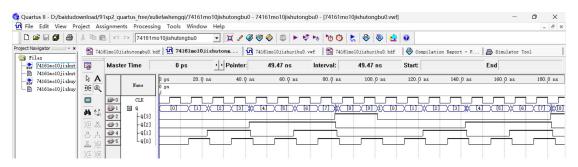


功能仿真:

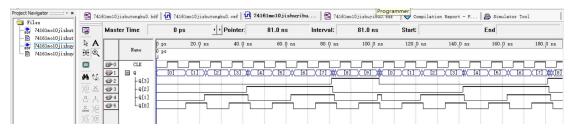


同步置 0、异步清 0 时序仿真对比:

同步置 0:



异步清 0:

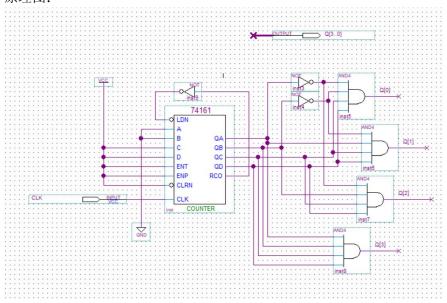


结论:两个方法首先原理不同,同步置 0 是在输出为 9 时通过与非门触发 LDN 端,使计数器借助下一个脉冲进行送数,所以 ABCD 也都要预置 0;而异步清 0 是在输出为 10 时利用与非门触发 CLRN 端,不管脉冲信号全部清 0。两者时序仿真都由竞争与冒险出现,体现为在计数时,两个应该连续数之间可能出现其他数。

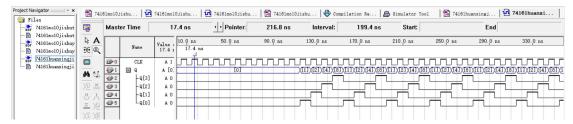
- b) 分别用集成计数器 **74161** 和 4 位双向移位寄存器 74194 实现图 3.1 所示的环形计数器,电路必须能自启动,并在 Quartus 中进行时序仿真验证
- (1) **74161** 环形计数器: 设计思路:



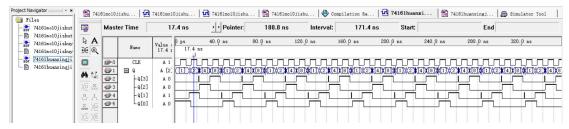
原理图:



功能仿真:



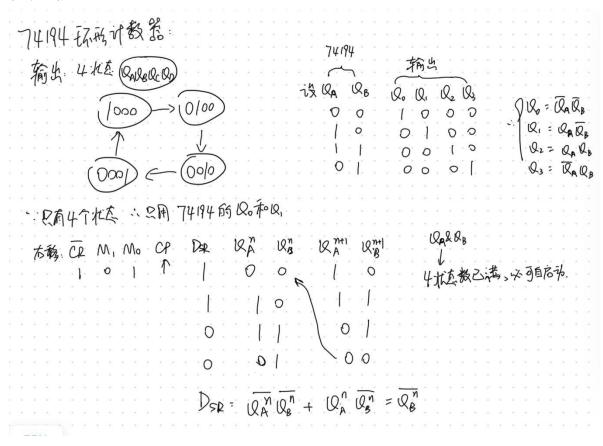
时序仿真:



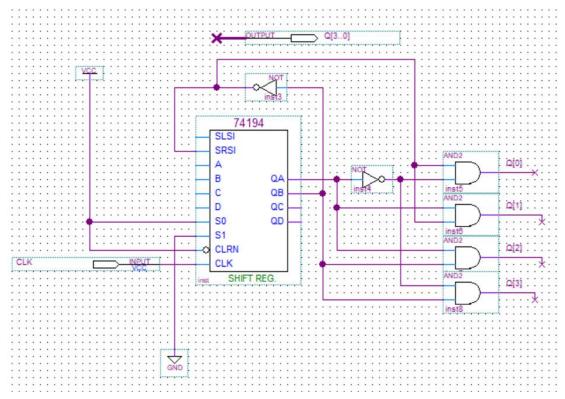
仿真均符合预设。

(2) 74194 环形计数器:

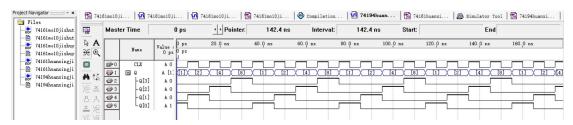
设计思路:



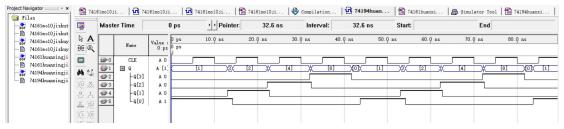
原理图:



功能仿真:



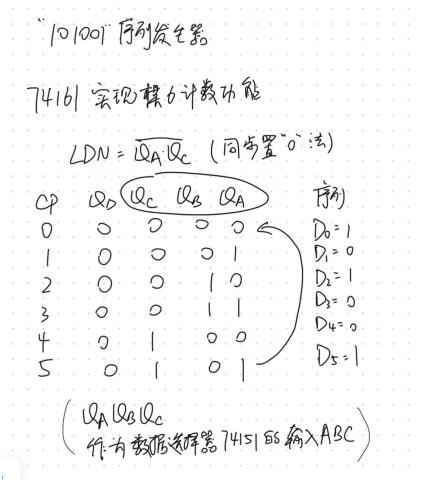
时序仿真:



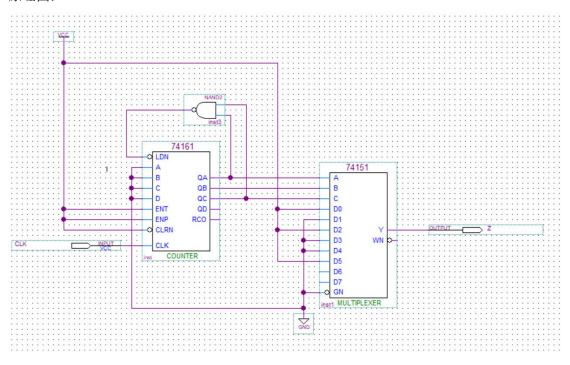
仿真均符合预设。

- c) 分别用 MSI 计数器和移位寄存器设计一个具有自启动功能的 101001 序列信号发生器
- ,完成两种方法实现序列发生器的设计方案,包含详细的设计过程和电路原理图
- (1) 74161 序列发生器:

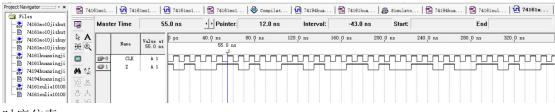
设计思路:



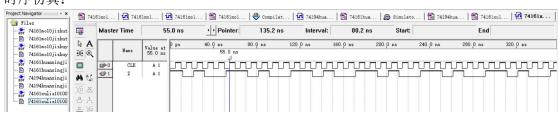
原理图:



功能仿真:



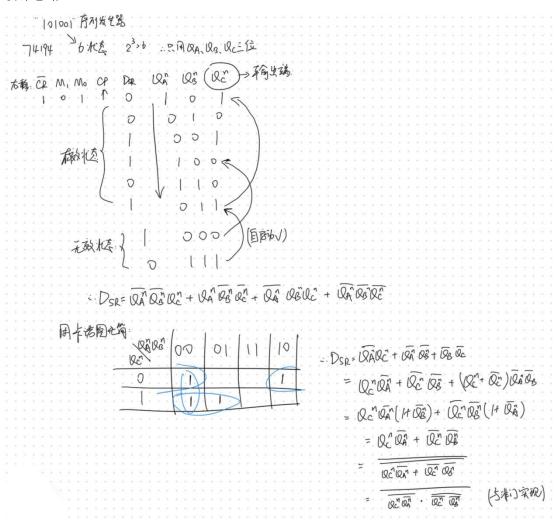
时序仿真:



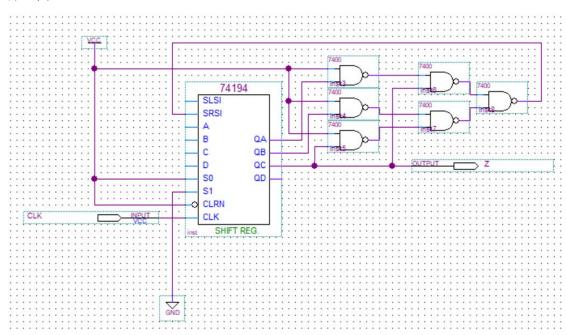
仿真均符合预设。

(2) 74194 序列发生器:

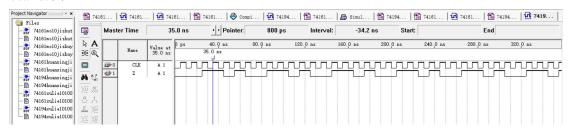
设计思路:



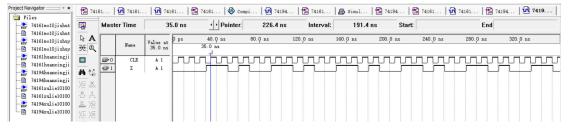
原理图:



功能仿真:

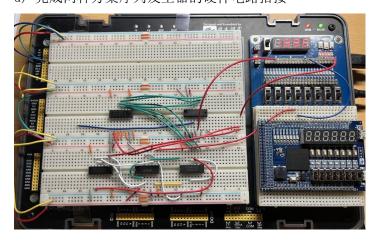


时序仿真:

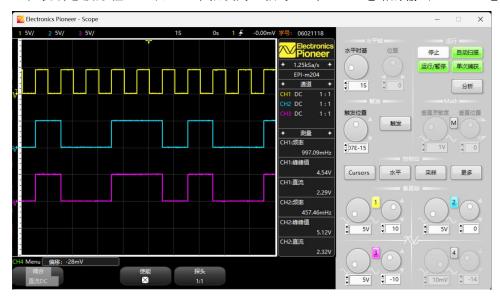


仿真均符合预设。

d) 完成两种方案序列发生器的硬件电路搭接



上位机动态波形验证(从上至下依次为:信号 CLK, 74161 电路的输出,74194 电路的输出)



上位机逻辑分析仪(从上至下依次为 CLK、74161 的输出的低三位 Q0Q1Q2、电路输出)



上位机逻辑分析仪(从上至下依次为 CLK、74194 的输出的低三位 Q0Q1Q2、电路输出)

