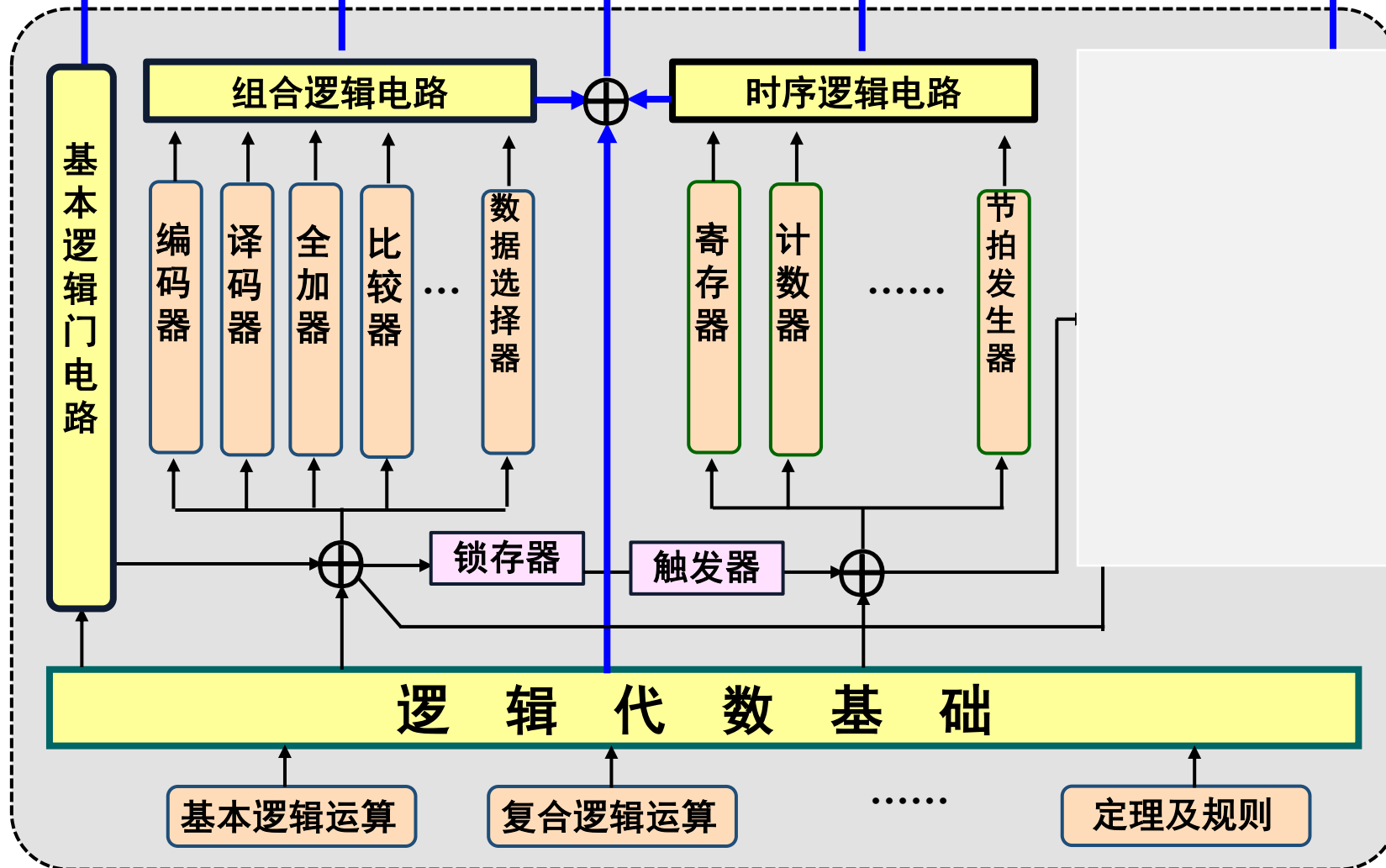


数字逻辑的知识脉络

后续课程：
如计算机组成原理等

数字系统或计算机应用系统

本课程的理论内容



考核方法

讲课 —— 44 学时

实验 —— 20 学时

总计 64 学时

成绩 { 考 试: 60% (会考核10分左右的Verilog内容)
作 业: 20%
实 验: 20%

回顾

- ★ • 进制和编码
 - 8421BCD码
 - 余3码
 - 格雷码

- ★ 非常重要
- ★ 重点理解
- ★ 理解

电路最简

- ★ • 布尔代数
 - 逻辑代数定理和规则
 - 代数化简法 → 本质：提取公因子，消除冗余项
 - 最小项、最大项
- ★ • 卡诺图
 - 卡诺图化简法

提升效率

- 多级门电路
 - 两级门电路的设计
 - ~~多输出电路的设计~~

回顾

实际出错



• 险象以及消除

- 静态冒险的判断
- 静态冒险的消除

• 加减法器



- 全加器的设计
- 全减器的设计
- ~~0G门~~

提升器件复用率



• 组合逻辑元件

- 数据选择器（多路复用器）
- 三态门
- 译码器
- 编码器
- 奇偶校验器、比较器
- ~~只读存储器~~



非常重要



重点理解



理解

回顾

时序电路
基础元件
(次态方程)



- 锁存器和触发器
 - RS锁存器和D锁存器
 - RS触发器
 - JK触发器
 - D触发器
 - T (T') 触发器

时序电路典
型组合元件



- 寄存器与计数器
 - 基本寄存器
 - 移位寄存器
 - 计数器
 - ✓ 环形计数器
 - ✓ 扭环形计数器
 - 节拍发生器



非常重要



重点理解



理解

回顾

- ★ • **同步/异步时序电路分析方法**
 - ① 分析三组方程
 - ② 列出状态转换表
 - ③ 画出状态图
 - ④ 分析是否能够自启动



- ★ • **同步时序电路设计方法**
 - ① 原始状态图、状态表
 - ② 状态化简
 - ③ 状态分配
 - ④ 状态转换真值表
 - ⑤ 卡诺图化简得到输入、输出方程
 - ⑥ 画出电路图
 - ⑦ 检查无关项

回顾

提升器件复用率 \Rightarrow

- 中规模芯片设计时序逻辑电路

- ★
 - 不同模值计数器
 - 节拍发生器
 - 序列信号发生器



非常重要



重点理解

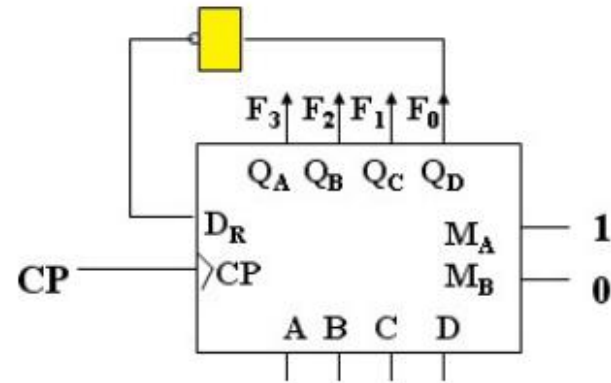


理解

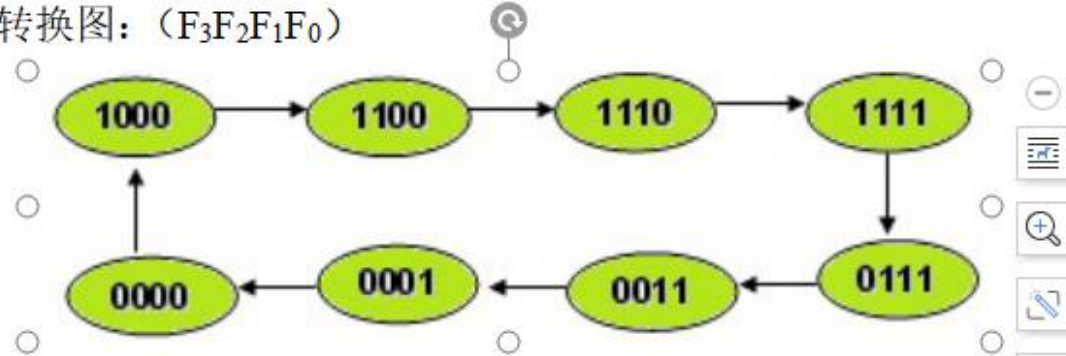
- Verilog

- 理解代码功能

5. 由寄存器芯片 74LS194 构成的电路如下图所示， $Q_DQ_CQ_BQ_A$ 是数据并行输出端，初始值为 0000。 $ABCD$ 是数据并行输入端， D_R 是右移串行输入端， M_B 和 M_A 是方式控制端($M_BM_A=01$ 表示右移工作方式)。下面给出的对该时序电路的分析存在错误的是 ()



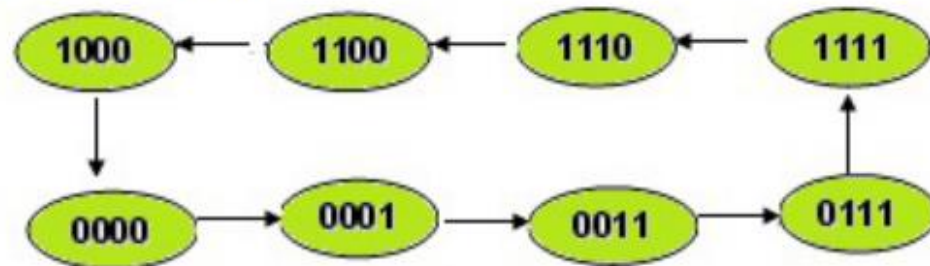
A. 电路的状态转换图: ($F_3F_2F_1F_0$)



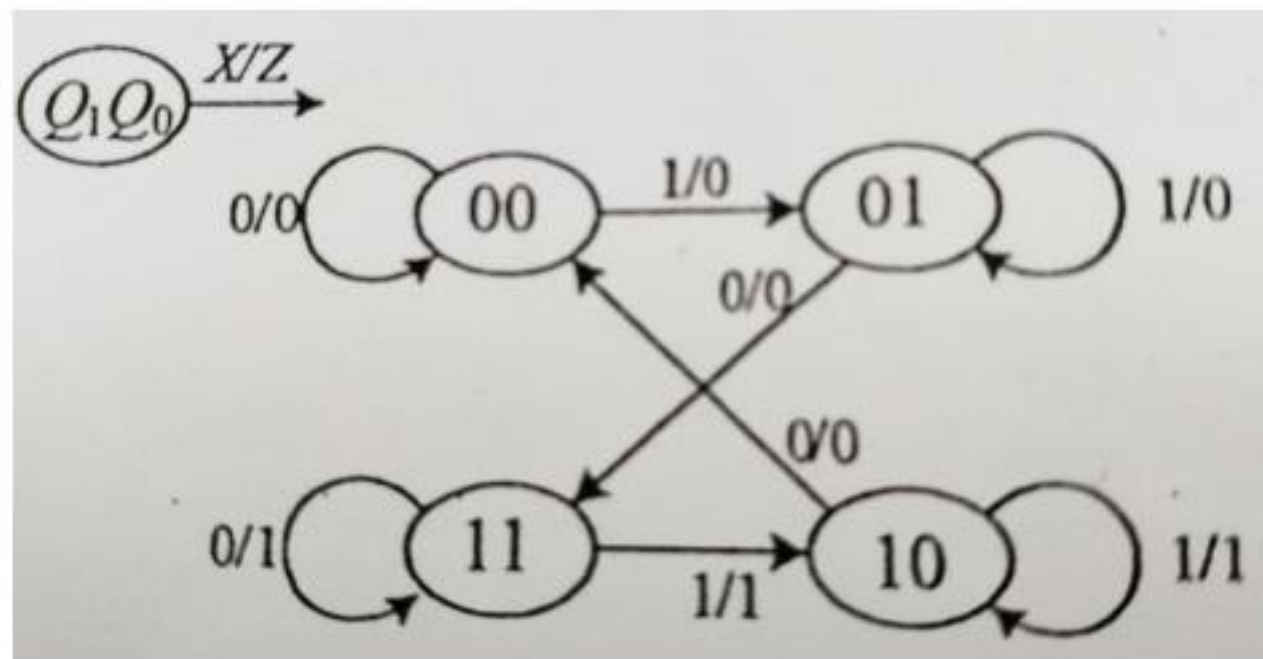
B. 电路功能为 4 位扭环形计数器

C. 电路功能为模 8 计数器

D. 电路的状态转换图: ($F_3F_2F_1F_0$)



七、（15 分）试用上升沿触发的 JK 触发器设计一同步时序电路，其状态转换图如下图所示， X 为电路的输入信号， Z 为电路的输出信号，请列出状态方程、驱动方程和输出方程，画出逻辑电路图。



祝大家考试顺利！

