

数字逻辑设计

高翠芸

School of Computer Science
gaocuiyun@hit.edu.cn

Moore's Law: The number of transistors on microchips doubles every two years

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important for other aspects of technological progress in computing – such as processing speed or the price of computers.

Transistor count

50,000,000,000

10,000,000,000

5,000,000,000

1,000,000,000

500,000,000

100,000,000

50,000,000

10,000,000

5,000,000

1,000,000

500,000

100,000

50,000

10,000

5,000

1,000

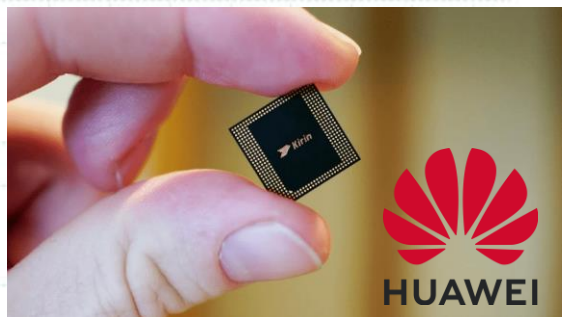
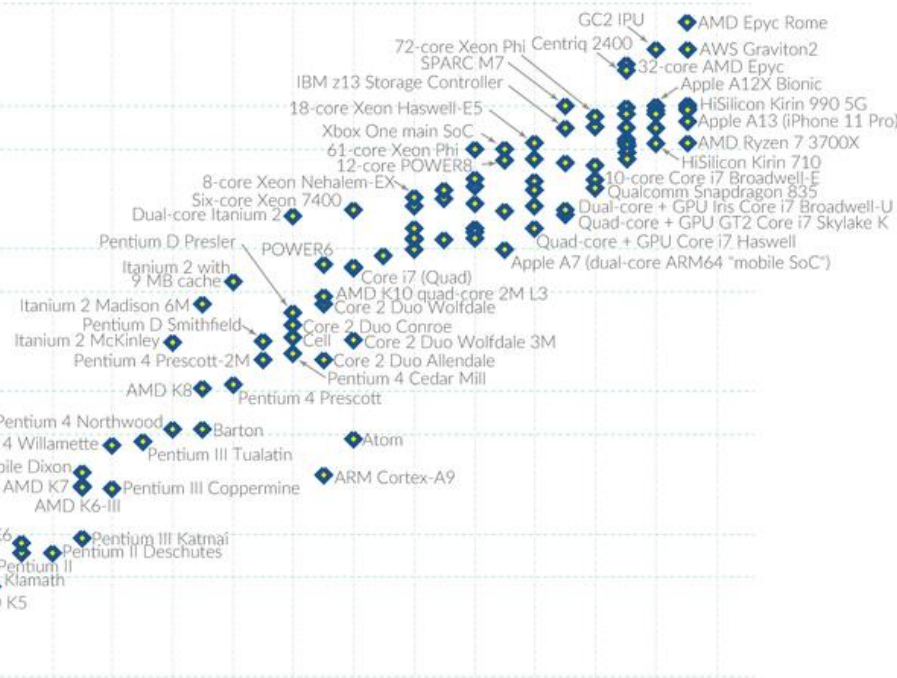
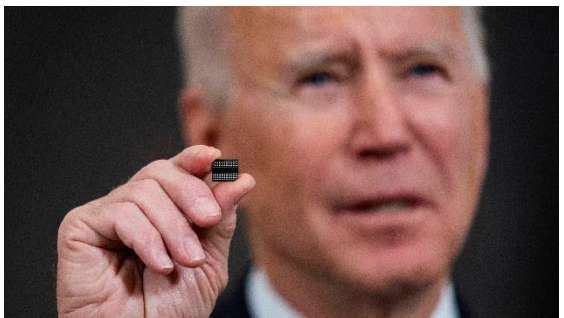
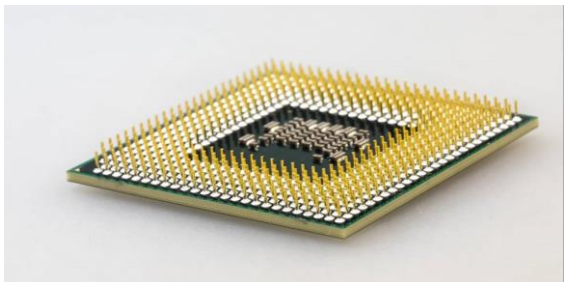
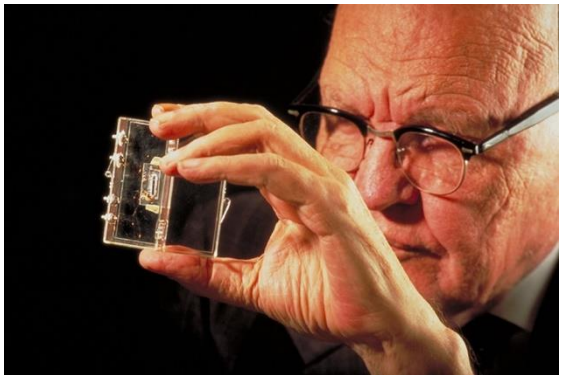
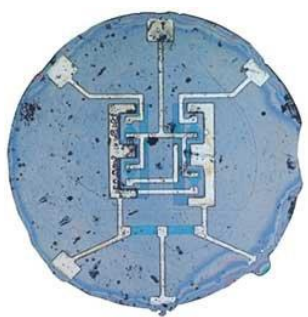
1970 1972 1974 1976 1978 1980 1982 1984 1986 1988 1990 1992 1994 1996 1998 2000 2002 2004 2006 2008 2010 2012 2014 2016 2018 2020

Year in which the microchip was first introduced

Data source: Wikipedia (wikipedia.org/wiki/Transistor_count)

OurWorldinData.org – Research and data to make progress against the world's largest problems.

Licensed under CC-BY by the authors Hannah Ritchie and Max Roser.

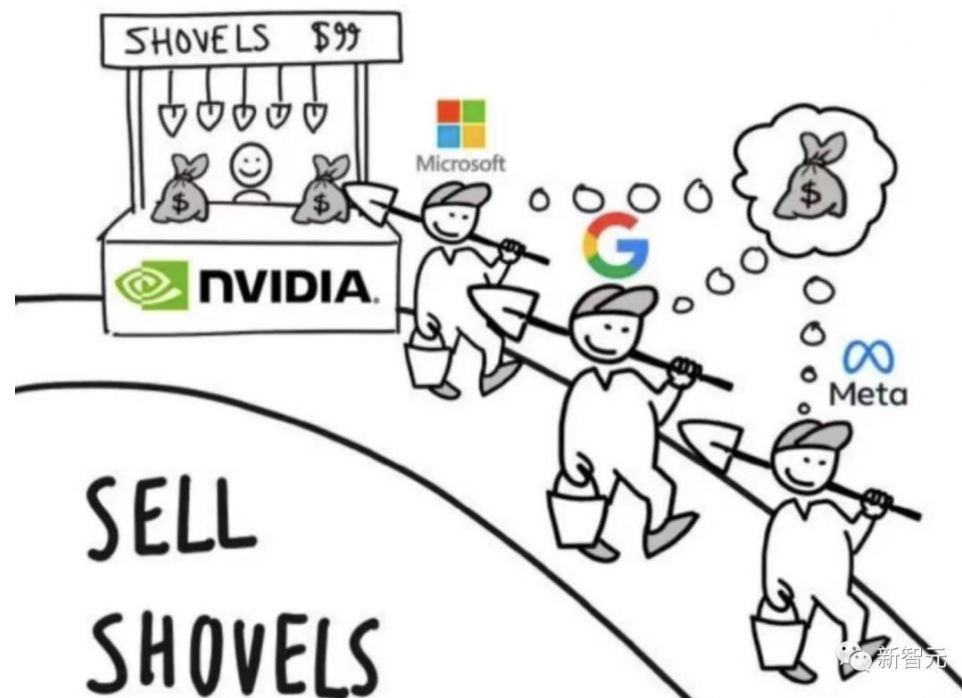




英伟达3个月卖出800吨H100！云服务供应商的大规模H100集群容量即将耗尽，全球陷入GPU短缺——整体算来，全球公司需要约432000张H100。

by 新智元

WHEN EVERYONE DIGS FOR GOLD



集成电路的分类

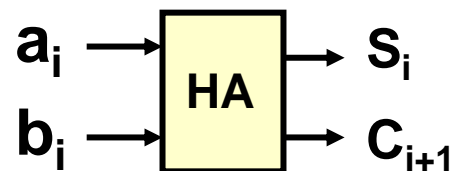
分类	单芯片内集成的逻辑门数量	集成内容	器件封装	需要掌握的内容
小规模 (SSI)				
中规模 (MSI)				
大规模 (LSI)				
超大规模 (VLSI)				

加减法器和OC门

- 半加器
- 全加器
- 多位加法器
- 全减器
- OC门

半加器 (Half Adder)

功能：对两个1位二进制数执行相加运算

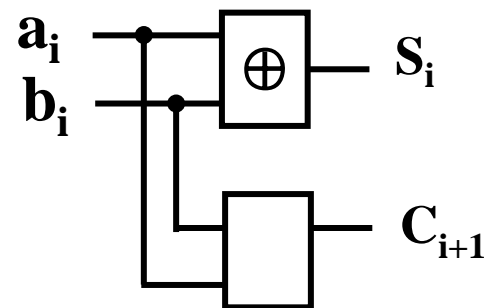


$$S_i = a_i \oplus b_i$$

$$C_{i+1} = a_i b_i$$

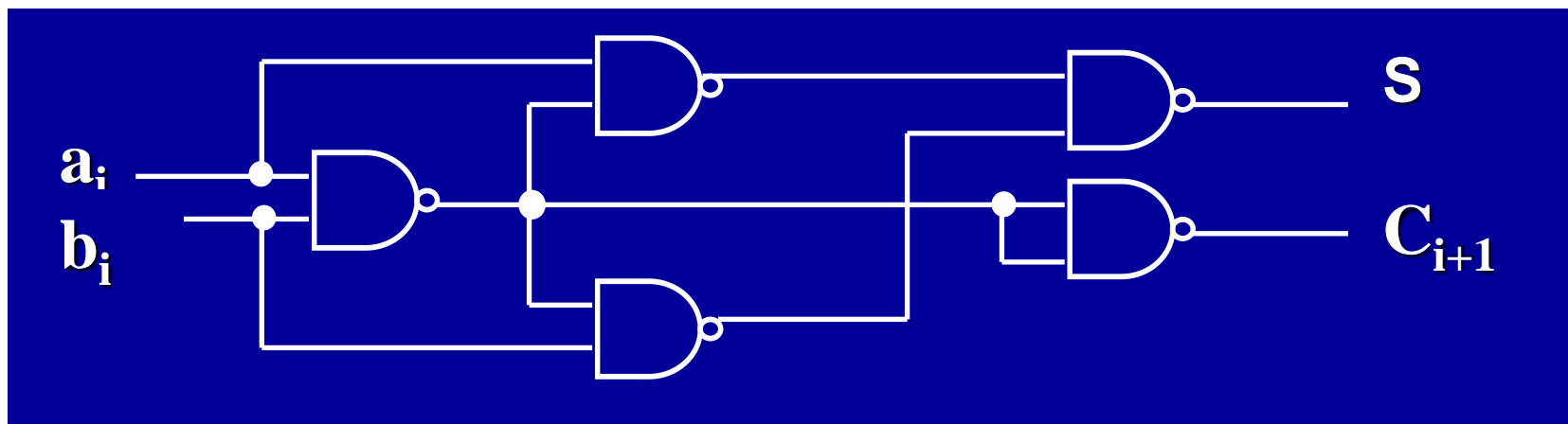
真值表

a_i	b_i	S_i	C_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



利用单一逻辑门与非门实现半加器

$$\left\{ \begin{aligned} S_i &= \bar{a}_i b_i + a_i \bar{b}_i = \bar{a}_i b_i + a_i \bar{b}_i + a_i \bar{a}_i + b_i \bar{b}_i \\ &= a_i (\bar{a}_i + \bar{b}_i) + b_i (\bar{a}_i + \bar{b}_i) = a_i \overline{a_i b_i} + b_i \overline{a_i b_i} \\ &= \overline{a_i a_i b_i} \quad \overline{b_i a_i b_i} \\ C_{i+1} &= \overline{\overline{a_i b_i}} \end{aligned} \right.$$



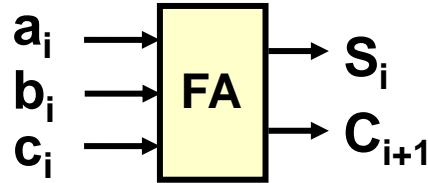
全加器 (Full Adder)

$$\begin{array}{r} 1\ 0\ 1\ 1\ \dots\dots\dots A \\ 1\ 1\ 1\ 0\ \dots\dots\dots B \\ +\quad\quad\quad 0\ \dots\dots\dots C_i \\ \hline \dots\dots\dots S_i \end{array}$$

$$A = a_3 a_2 a_1 a_0 = 1011$$

$$B = b_3 b_2 b_1 b_0 = 1110$$

全加器表示



a_i	b_i	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

		S_i			
		$b_i c_{i-1}$			
		00	01	11	10
a_i					
0		0	1	0	1
1		1	0	1	0

		C_{i+1}			
		$b_i c_i$			
		00	01	11	10
a_i					
0		0	0	1	0
1		0	1	1	1

The second table for C_{i+1} has colored circles highlighting the 1s in the bottom row: a blue circle around the 1 in the 01 column, a green circle around the 1 in the 11 column, and an orange circle around the 1 in the 10 column.

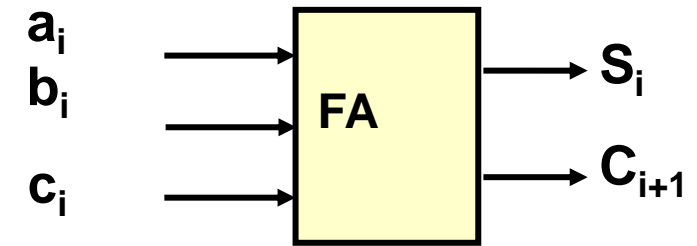
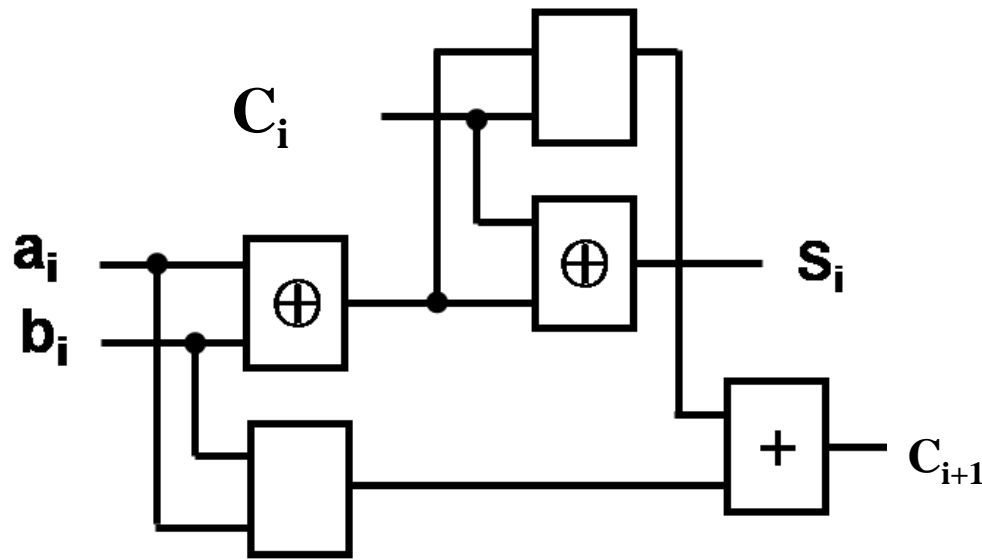
$$\begin{aligned}
 S_i &= \bar{a}_i \bar{b}_i c_i + a_i \bar{b}_i \bar{c}_i + a_i \bar{b}_i c_i + a_i b_i c_i \\
 &= (\bar{a}_i \bar{b}_i + a_i b_i) c_i + (a_i \bar{b}_i + a_i \bar{b}_i) \bar{c}_i \\
 &= (\overline{a_i \oplus b_i}) c_i + (a_i \oplus b_i) \bar{c}_i \\
 &= a_i \oplus b_i \oplus C_i
 \end{aligned}$$

$$C_{i+1} = (a_i \oplus b_i) C_i + a_i b_i$$

全加器逻辑表示

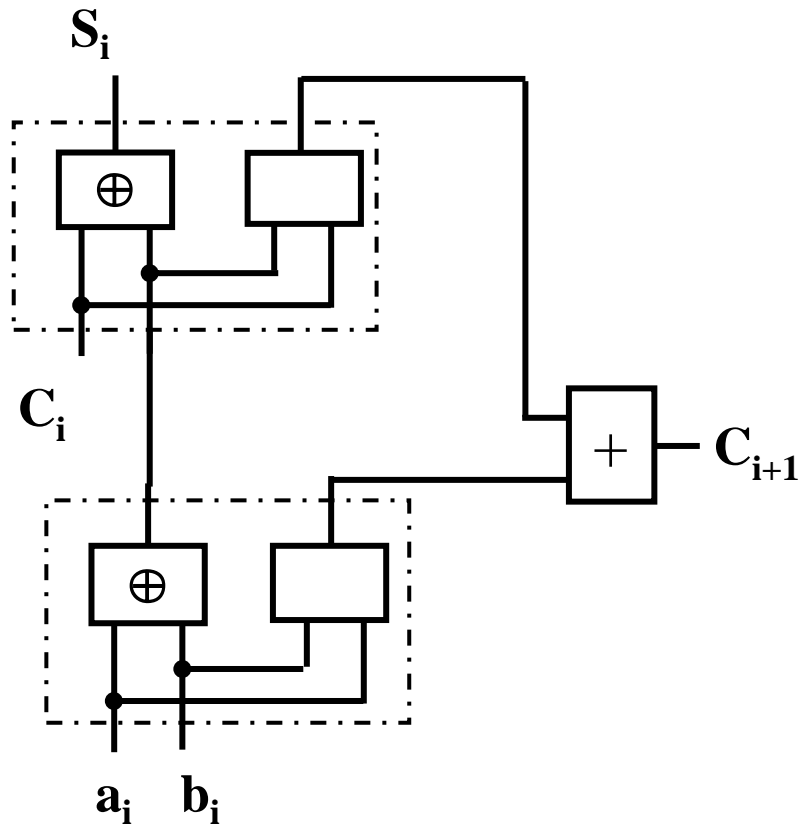
◆ solution 1:

$$\begin{cases} S_i = a_i \oplus b_i \oplus C_i \\ C_{i+1} = (a_i \oplus b_i) C_i + a_i b_i \end{cases}$$



全加器逻辑表示 (2)

◆ solution 2



$$S_i = a_i \oplus b_i \oplus C_i$$

$$C_{i+1} = (a_i \oplus b_i) C_i + a_i b_i$$



$$\begin{cases} S_i = a_i \oplus b_i \\ C_{i+1} = a_i b_i \end{cases}$$

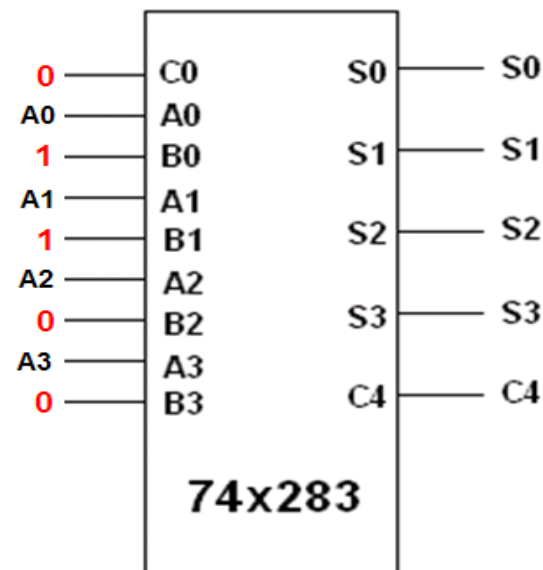
全加器的应用

典型芯片

- 74LS82: 2-bit adder
- 74LS283: 4-bit adder

二进制数 $A_3 A_2 A_1 A_0$	余三码 $S_3 S_2 S_1 S_0$	二进制数 $A_3 A_2 A_1 A_0$	余三码 $S_3 S_2 S_1 S_0$
0 0 0 0	0 0 1 1	1 0 0 0	1 0 1 1
0 0 0 1	0 1 0 0	1 0 0 1	1 1 0 0
0 0 1 0	0 1 0 1	1 0 1 0	×
0 0 1 1	0 1 1 0	1 0 1 1	×
0 1 0 0	0 1 1 1	1 1 0 0	×
0 1 0 1	1 0 0 0	1 1 0 1	×
0 1 1 0	1 0 0 1	1 1 1 0	×
0 1 1 1	1 0 1 0	1 1 1 1	×

应用——余3码产生器



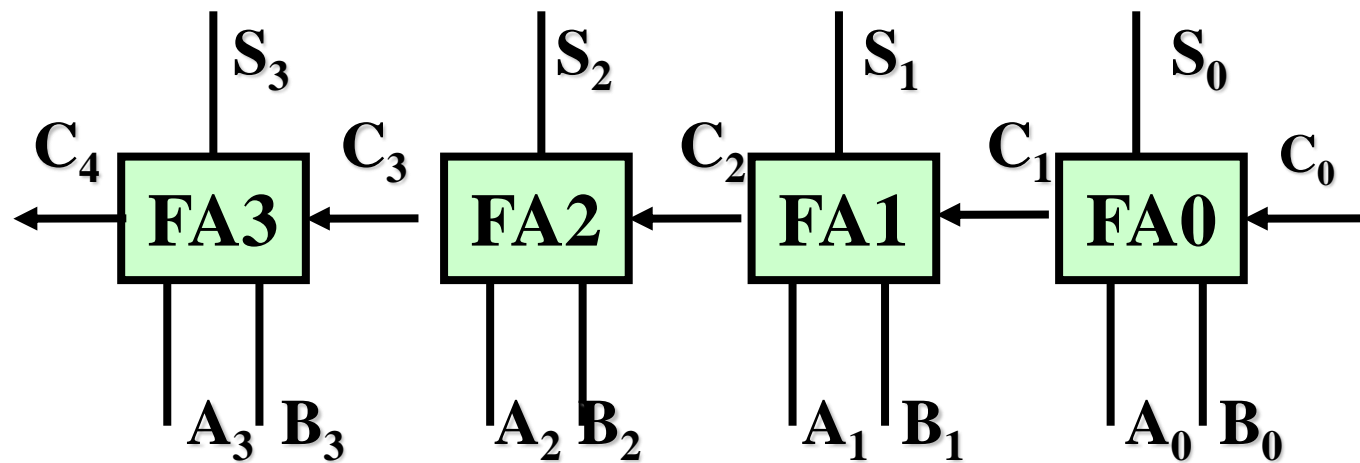
$A_3 A_2 A_1 A_0$: 输入 8421 BCD码

$S_3 S_2 S_1 S_0$: 输出余3 码

$$S = A + 0011$$

4位并行加法器

(1) 串行进位



$$A = A_3A_2A_1A_0 = 1011$$

$$B = B_3B_2B_1B_0 = 1110$$

$$S_i = a_i \oplus b_i \oplus C_i$$

$$C_{i+1} = (a_i \oplus b_i) C_i + a_i b_i$$

- 缺点：串行进位，运算速度慢
- 优点：线路简单
- 关键：进位形成时间
- 解决方案：改串行进位为并行进位

4位并行加法器

P83

(2) 超前进位


$$C_{i+1} = (A_i \oplus B_i) C_i + A_i B_i$$

$$A = A_3 A_2 A_1 A_0 = 1011$$

$$B = B_3 B_2 B_1 B_0 = 1110$$

$$C_{i+1} = P_i C_i + G_i$$

$$P_i = A_i \oplus B_i$$

$$G_i = A_i B_i$$

——进位迭代公式

$$C_1 = P_0 C_0 + G_0$$

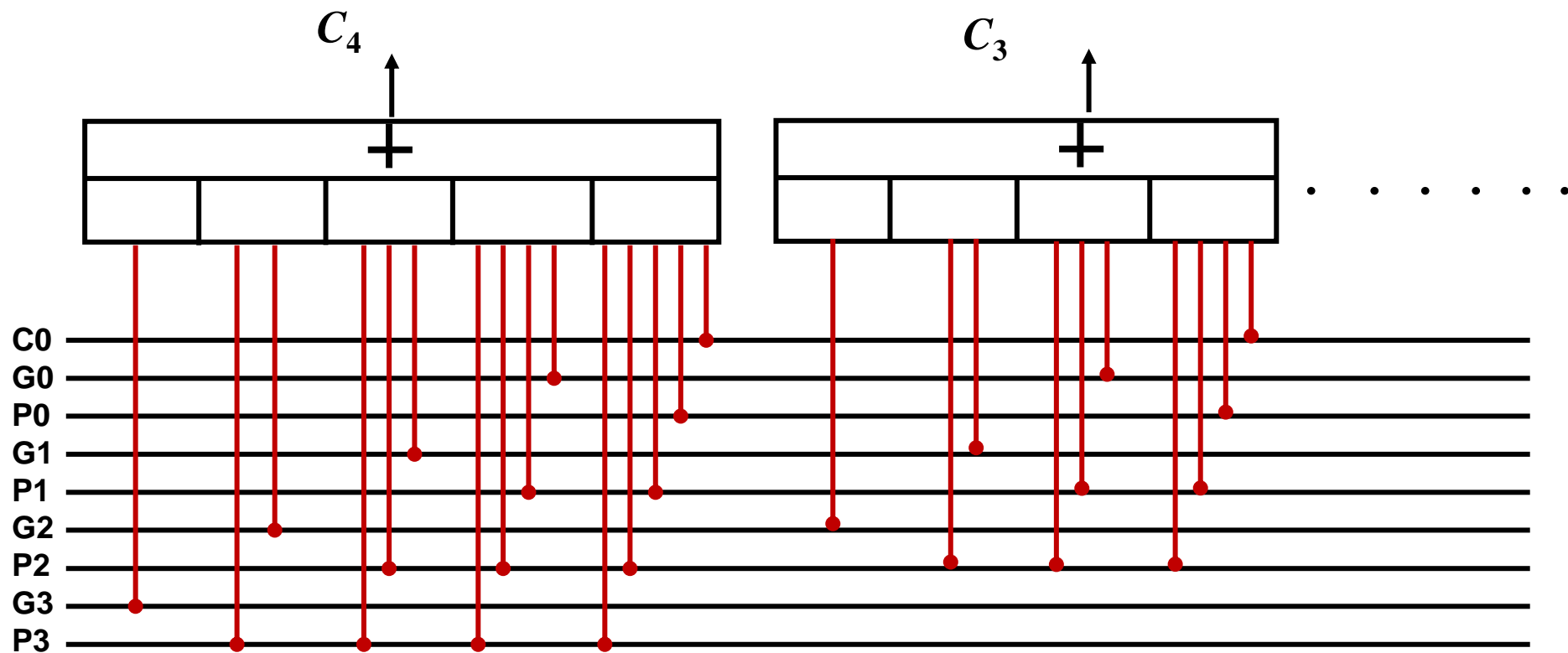
$$C_2 = P_1 C_1 + G_1 = P_1 P_0 C_0 + P_1 G_0 + G_1$$

$$C_3 = P_2 C_2 + G_2 = P_2 P_1 P_0 C_0 + P_2 P_1 G_0 + P_2 G_1 + G_2$$

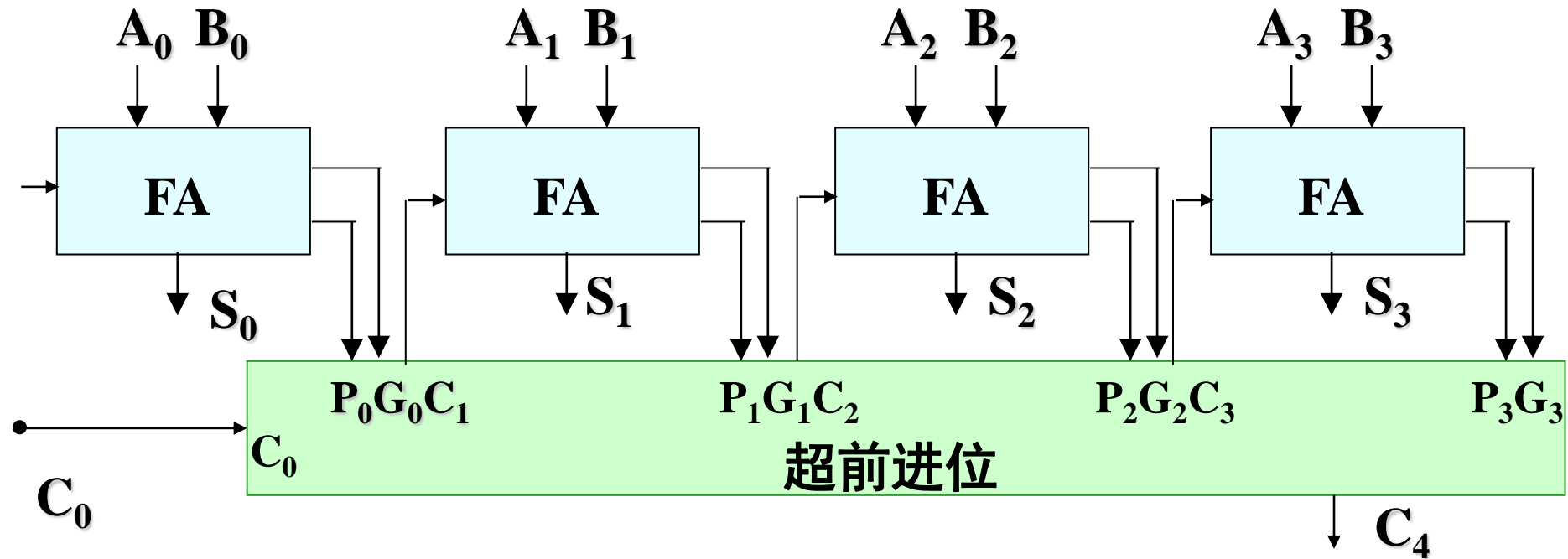
$$C_4 = P_3 C_3 + G_3 = P_3 P_2 P_1 P_0 C_0 + P_3 P_2 P_1 G_0 + P_3 P_2 G_1 + P_3 G_2 + G_3$$

4位并行加法器

(2) 超前进位



4位并行加法器



$$P_i = A_i \oplus B_i \quad G_i = A_i B_i$$

$$C_1 = P_0 C_0 + G_0$$

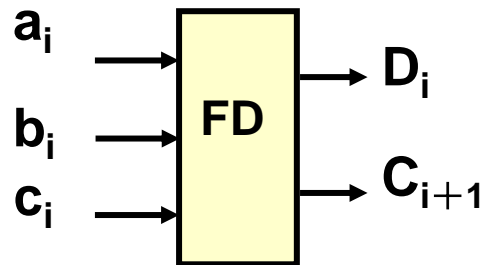
$$C_2 = P_1 C_1 + G_1 = P_1 P_0 C_0 + P_1 G_0 + G_1$$

$$C_3 = P_2 C_2 + G_2 = P_2 P_1 P_0 C_0 + P_2 P_1 G_0 + P_2 G_1 + G_2$$

$$C_4 = P_3 C_3 + G_3 = P_3 P_2 P_1 P_0 C_0 + P_3 P_2 P_1 G_0 + P_3 P_2 G_1 + P_3 G_2 + G_3$$

全减器 (Binary Full Subtractor)

$$\begin{array}{r} 1\ 1\ 1\ 0 \dots\dots\dots A \\ 1\ 0\ 1\ 1 \dots\dots\dots B \\ -\ 0 \dots\dots\dots C_i \\ \hline \dots\dots\dots D_i \end{array}$$



$$A = a_3 a_2 a_1 a_0 = 1110$$

$$B = b_3 b_2 b_1 b_0 = 1011$$

真值表

a_i	b_i	C_i	D_i	C_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

全减器——例

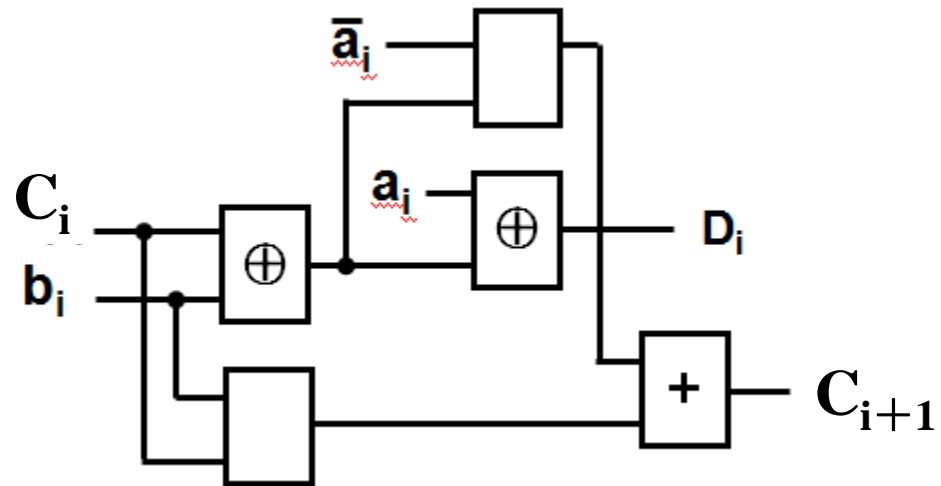
真值表

a_i	b_i	C_i	D_i	C_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$\begin{cases} D_i = a_i \oplus b_i \oplus C_i \\ C_{i+1} = (C_i \oplus b_i) \bar{a}_i + C_i b_i \end{cases}$$

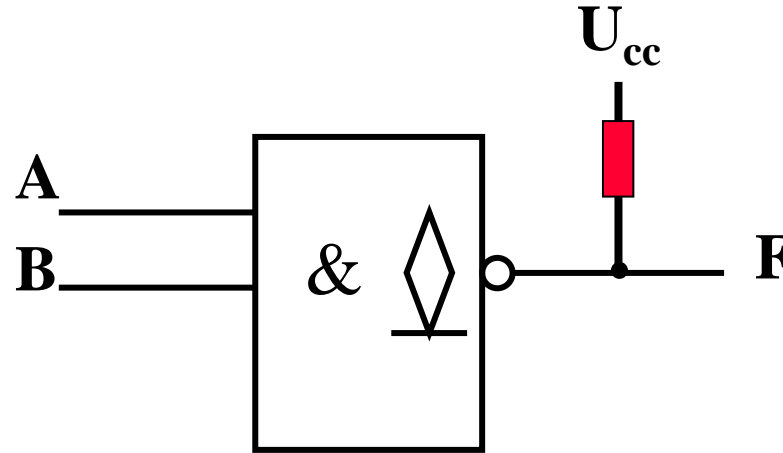
	$b_i c_i$	00	01	11	10
a_i	0	0	1	0	1
	1	1	0	1	0

	$b_i c_i$	00	01	11	10
a_i	0	0	1	1	1
	1	0	0	1	0



OC门（集电极开路门：Open Collector Gate）

$$F = \overline{A}B$$

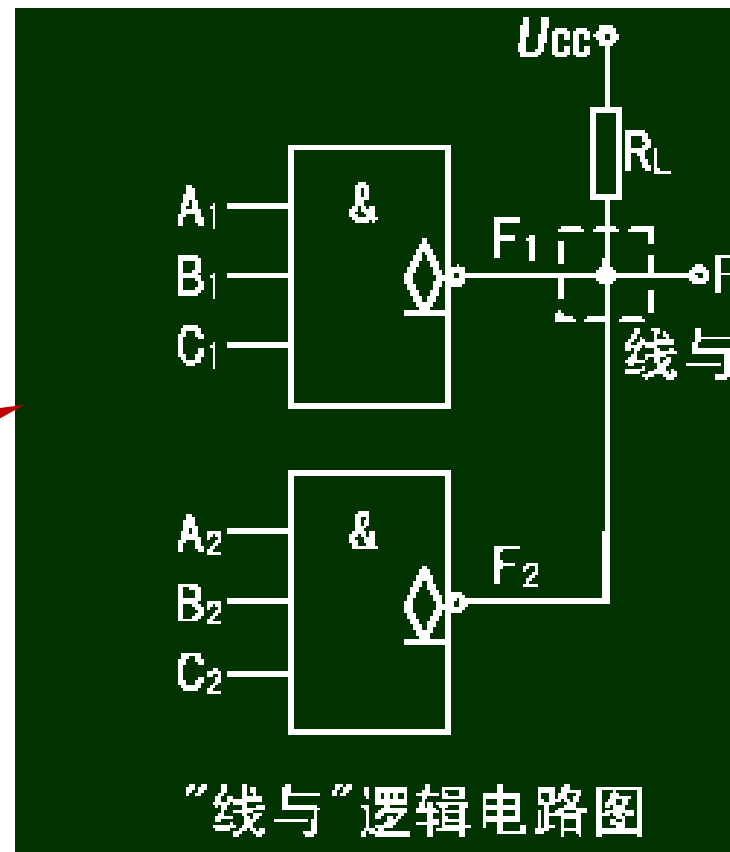


- 几个OC门的输出端可以直接互连：“线与”
- 使用时必须加负载/上拉电阻

OC门&线与

$$F = F_1 \cdot F_2 = \overline{A_1 B_1 C_1} \cdot \overline{A_2 B_2 C_2}$$

不使用OC门，
需要2个与非门、1个与门



小 结

- 半加器
- 全加器
- 多位加法器
- 全减器
- 0C门

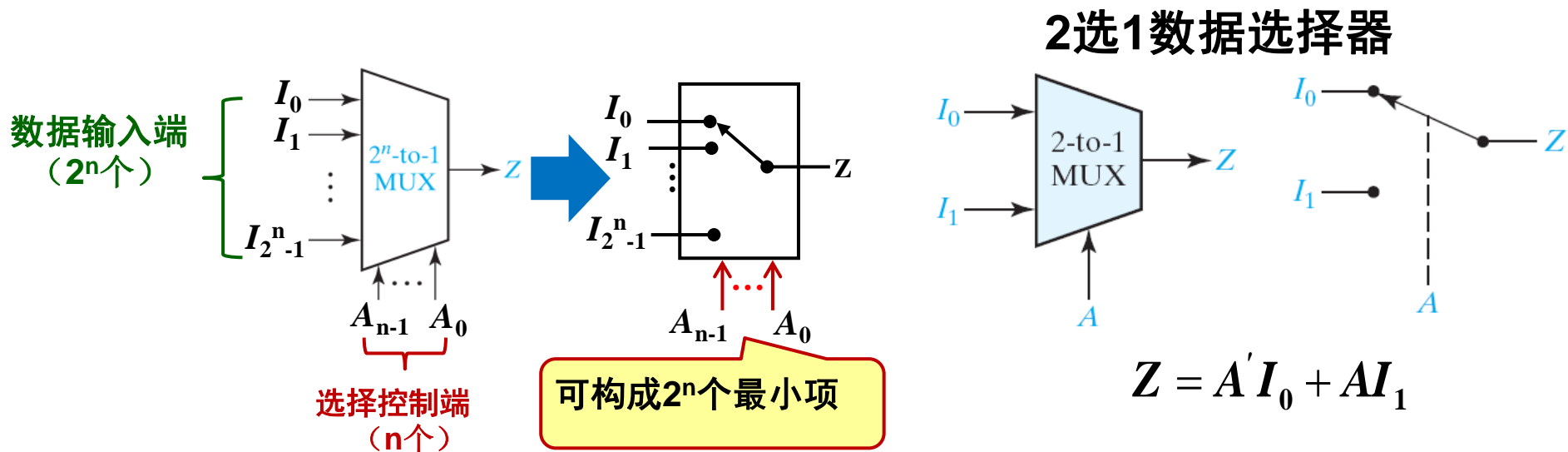
Unit 7 组合逻辑元件

- 多路复用器(multiplexers)
- 三态器件(Three-state Buffer)
- 译码器(Decoders)
- 编码器(Encoders)
- 奇偶校验器
- 比较器
- 只读存储器(ROM)
- 利用MSI设计组合逻辑电路

Unit 7 组合逻辑元件

- 多路复用器(multiplexers)
- 三态器件(Three-state Buffer)
- 译码器(Decoders)
- 编码器(Encoders)
- 奇偶校验器
- 比较器
- 只读存储器(ROM)
- 利用MSI设计组合逻辑电路

数据选择器/多路开关



$$Z = \sum_{k=0}^{2^n-1} m_k I_k$$

m_k —— n 个控制变量的最小项

I_k —— 第 k 路数据输入

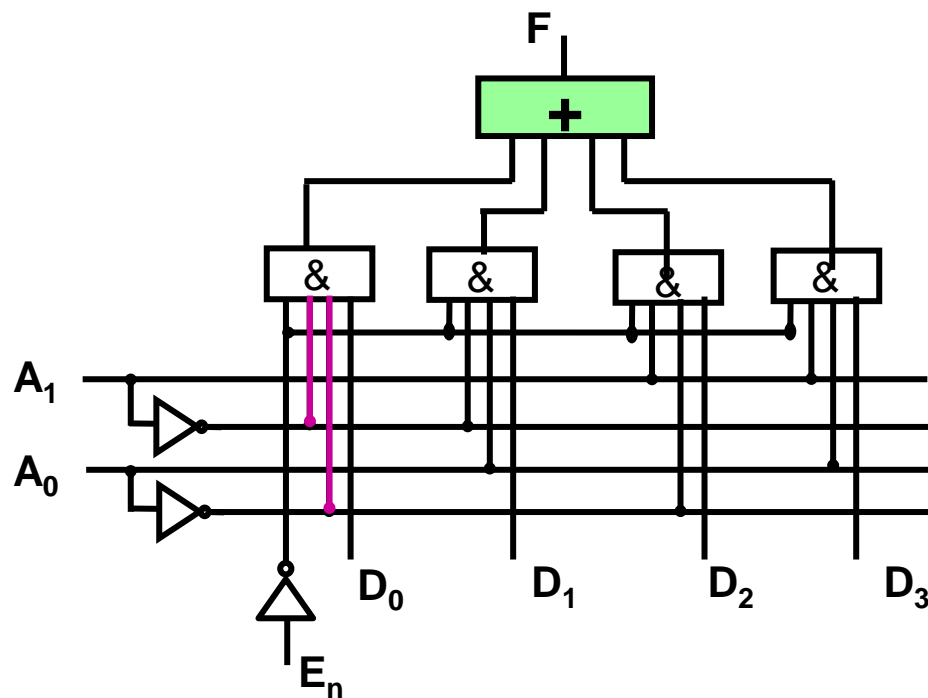
控制端最小项 m_k 的序号 K , 指向了第 K 路数据输入端 I_k 。

数据选择器的功能:

- ① 从多路输入中选择一个送往输出端 (2^n 选1);
- ② 选择哪一路输入送到输出端由控制信号决定;

用途: 实现多通道的数据传送;

4选1数据选择器

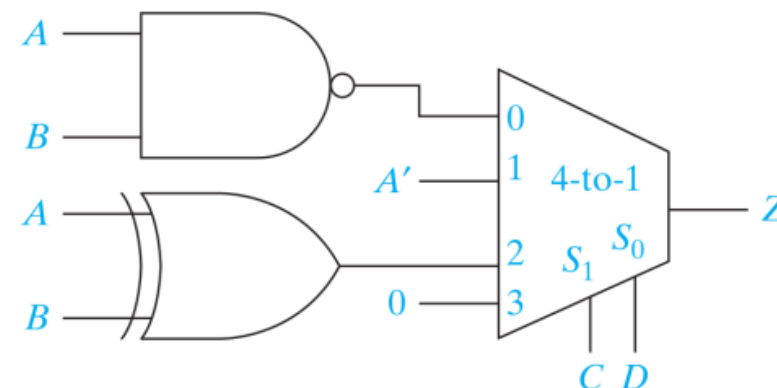


$$F = \bar{E}_n (D_0 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_1 A_0 + D_2 A_1 \bar{A}_0 + D_3 A_1 A_0)$$

E_n	A_1	A_0	F
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

功能表

■ 典型应用——实现常规逻辑函数



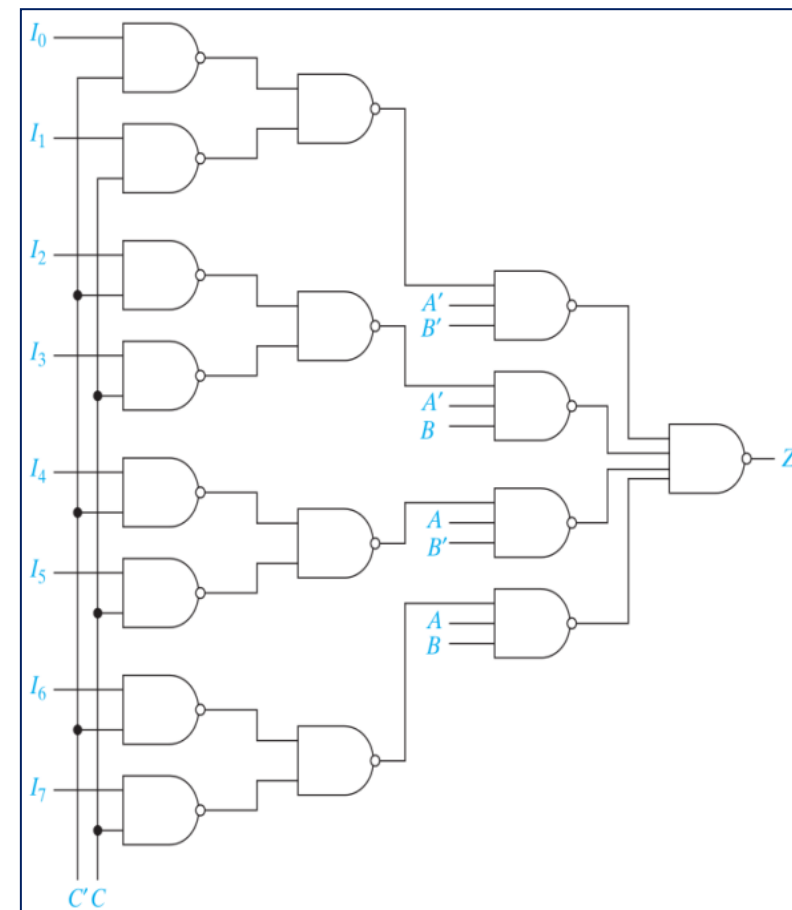
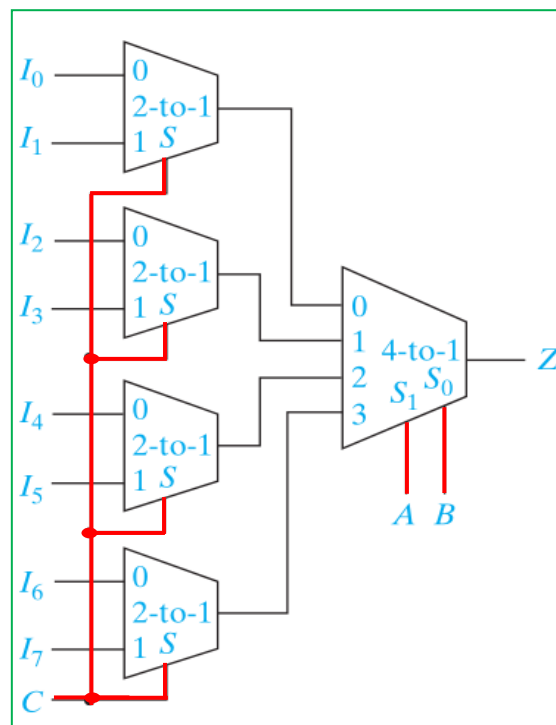
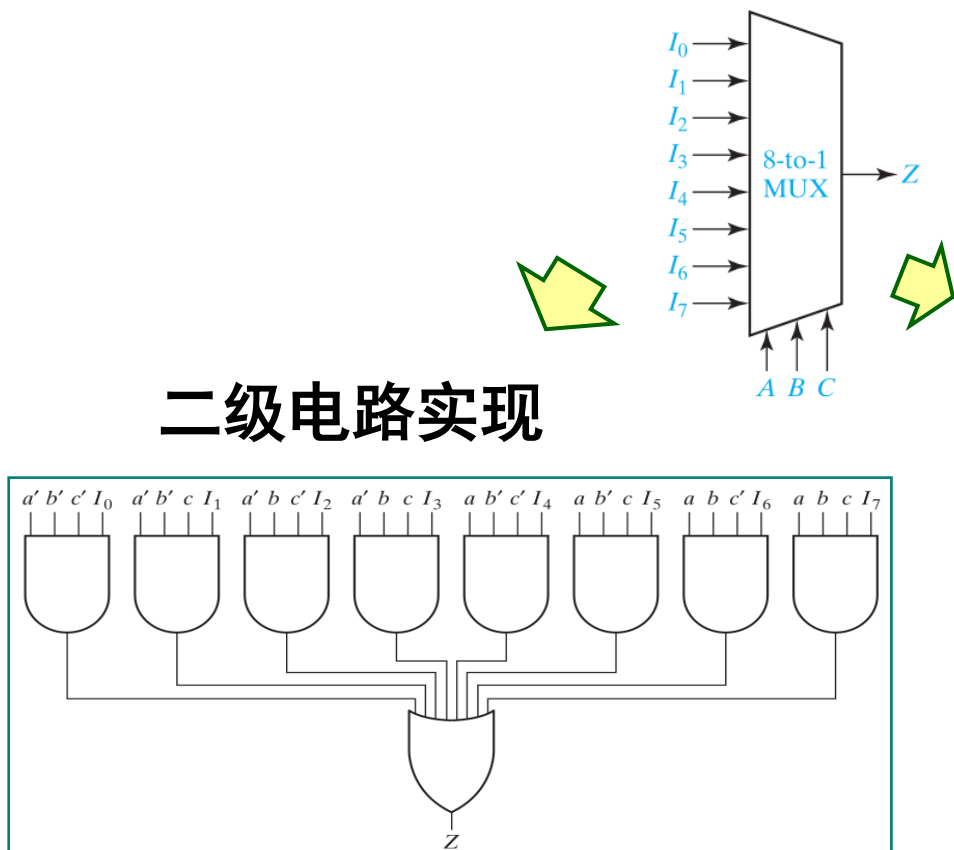
$$\begin{aligned} Z &= \bar{C}\bar{D}(\bar{A} + \bar{B}) + \bar{C}D\bar{A} + C\bar{D}(A\bar{B} + \bar{A}B) + CD(0) \\ &= \bar{A}\bar{C} + A\bar{B}\bar{D} + \bar{A}\bar{B}DB \odot C \end{aligned}$$

8选1数据选择器

单一逻辑门实现

数据选择器级联实现

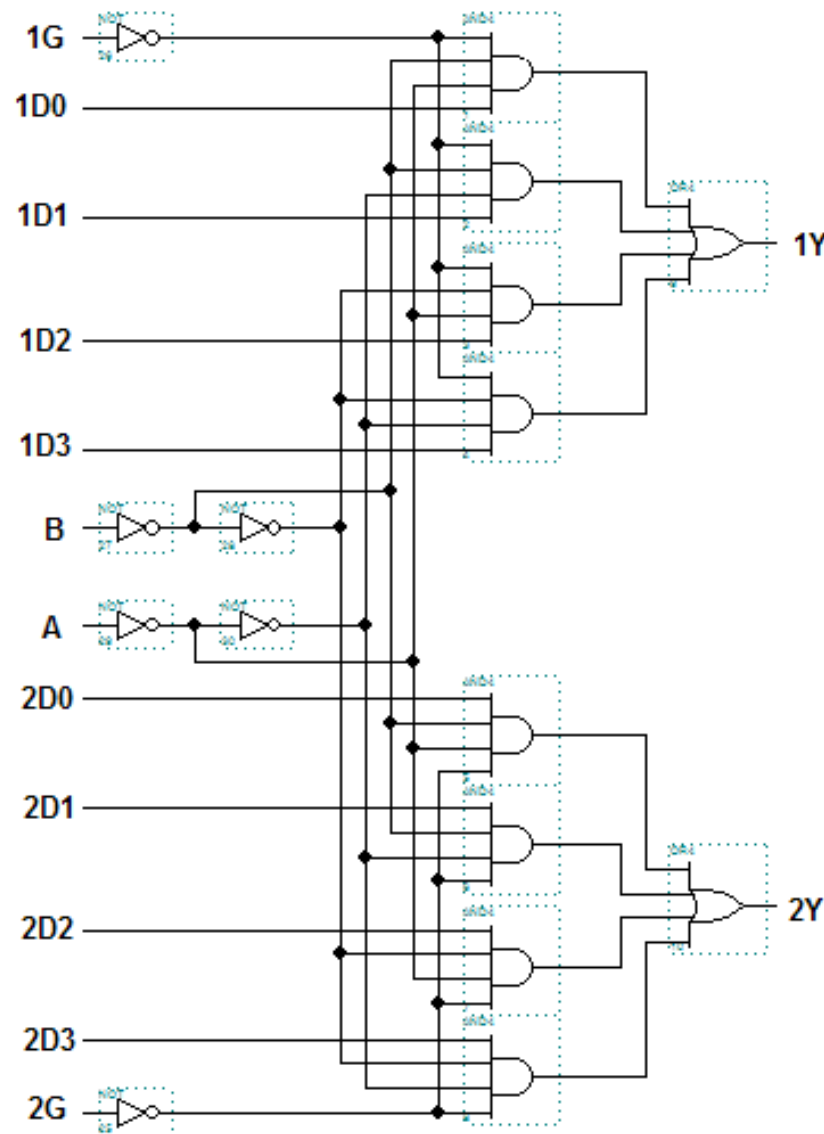
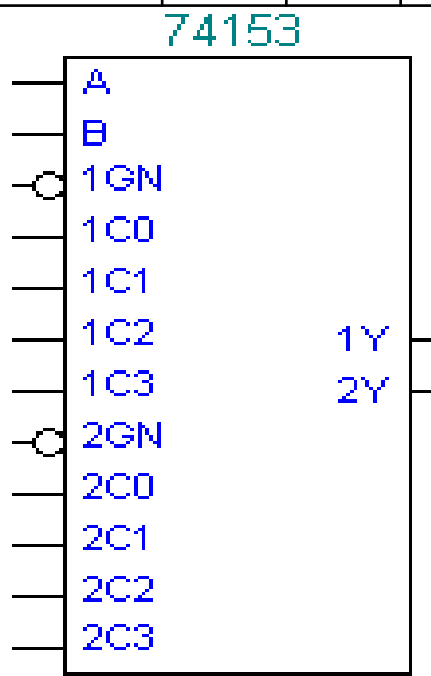
二级电路实现



$$Z = A'B'C'I_0 + A'B'CI_1 + A'BC'I_2 + A'BCI_3 + AB'C'I_4 + AB'CI_5 + ABC'I_6 + ABCI_7$$

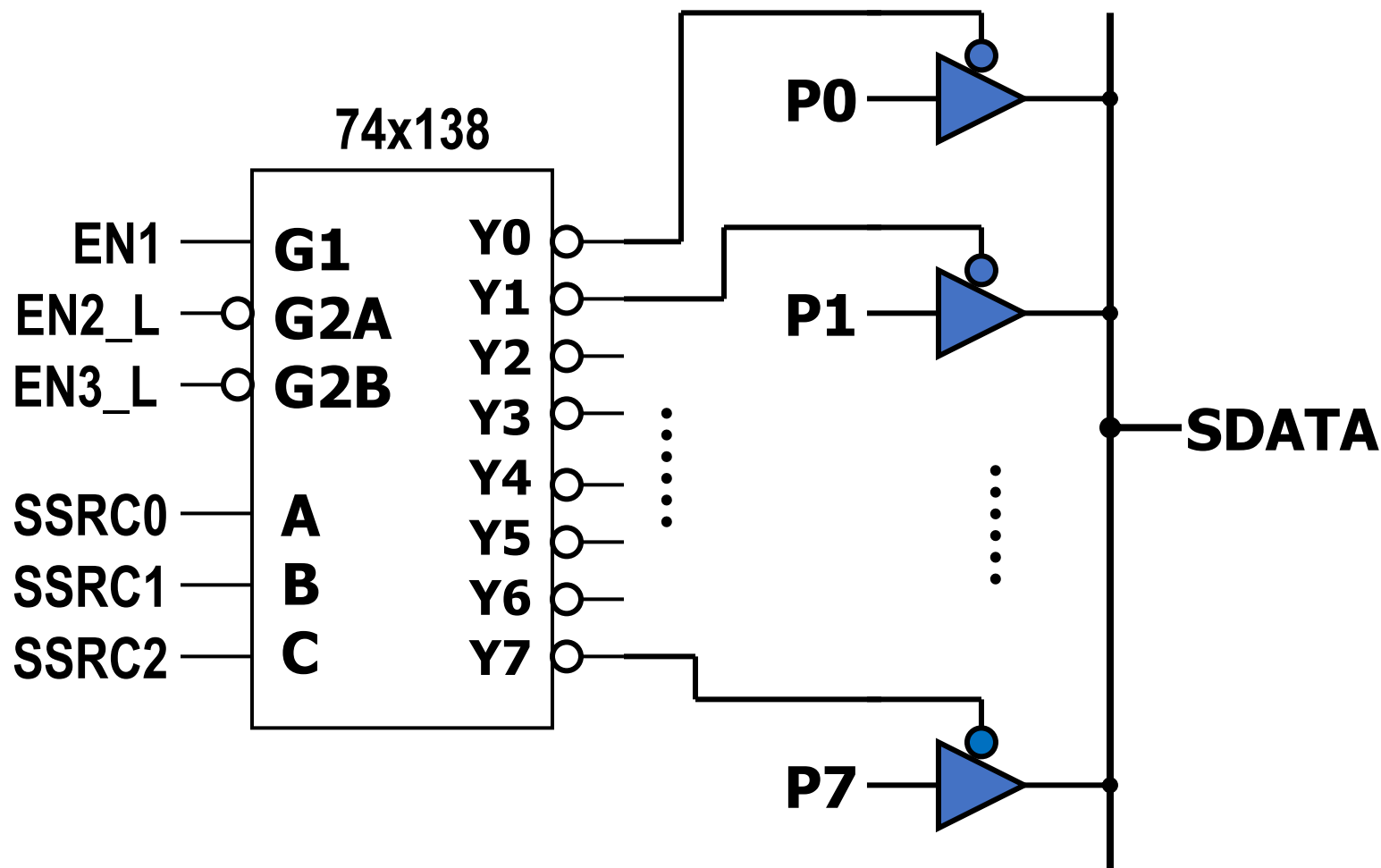
双4选1典型器件74LS153

1Gn	2Gn	A	B	1Y	2Y
1	1	×	×	0	0
0	0	0	0	1C ₀	2C ₀
0	0	0	1	1C ₁	2C ₁
0	0	1	0	1C ₂	2C ₂
0	0	1	1	1C ₃	2C ₃



使能端

使能端是**控制信号输入端**，又叫**使能输入端**（enable），它是芯片的一个输入引脚，或者电路的一个输入端口，只有该引脚激活，芯片才能工作，若符号上面有一横/带有非号，则表示**低电平有效**；否则为**高电平有效**。



Unit 7 组合逻辑元件

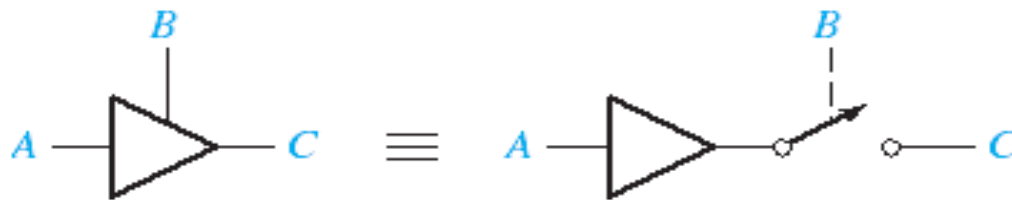
- 多路复用器(multiplexers)
- 三态器件(Three-state Buffer)
- 译码器(Decoders)
- 编码器(Encoders)
- 奇偶校验器
- 比较器
- 只读存储器(ROM)
- 利用MSI设计组合逻辑电路

三态门(Three-State Buffers)

三态——

- 0
- 1
- Z: 高阻态

- 包括三态恒等门、三态非门、三态与非门等，**缓冲器**（驱动门）。
- 用途之一：可用来增强输出驱动能力



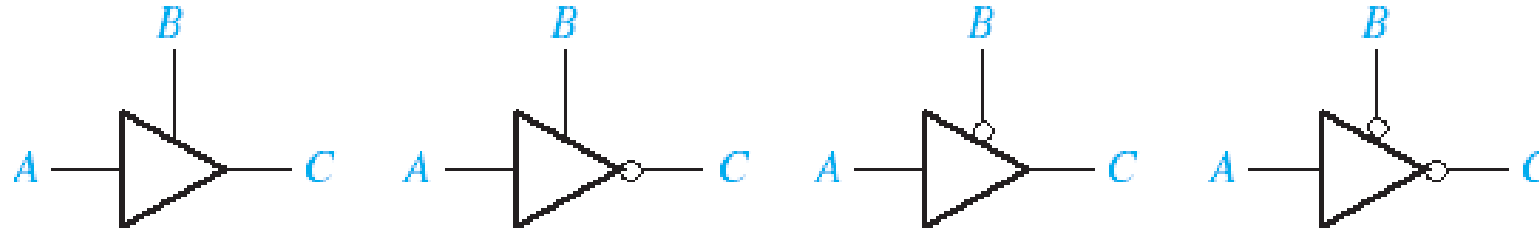
三态门（恒等）

B: 使能端，高电平有效

真值表

B	A	C
0	0	Z
0	1	Z
1	0	0
1	1	1

三态门(Three-State Buffers)



B	A	C
0	0	Z
0	1	Z
1	0	0
1	1	1

(a)

B	A	C
0	0	Z
0	1	Z
1	0	1
1	1	0

(b)

B	A	C
0	0	0
0	1	1
1	0	Z
1	1	Z

(c)

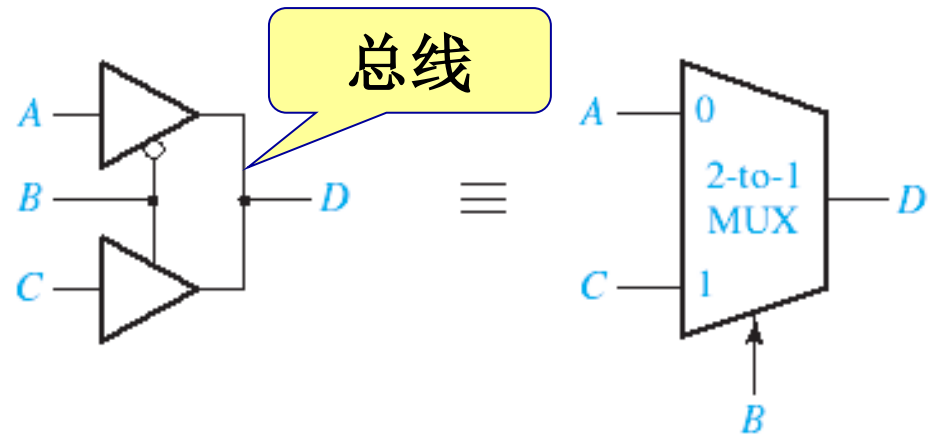
B	A	C
0	0	1
0	1	0
1	0	Z
1	1	Z

(d)

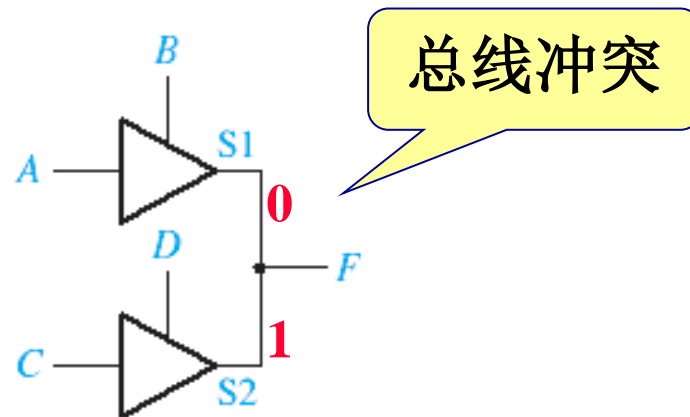
高阻态：电阻很大，相当于开路

高阻态相当于该门同与它连接的电路处于断开的状态。（实际电路中不可能去断开它）

三态门



$$D = B'A + BC$$



	S_2			
S_1	X	0	1	Z
X	X	X	X	X
0	X	0	X	0
1	X	X	1	1
Z	X	0	1	Z

三态门

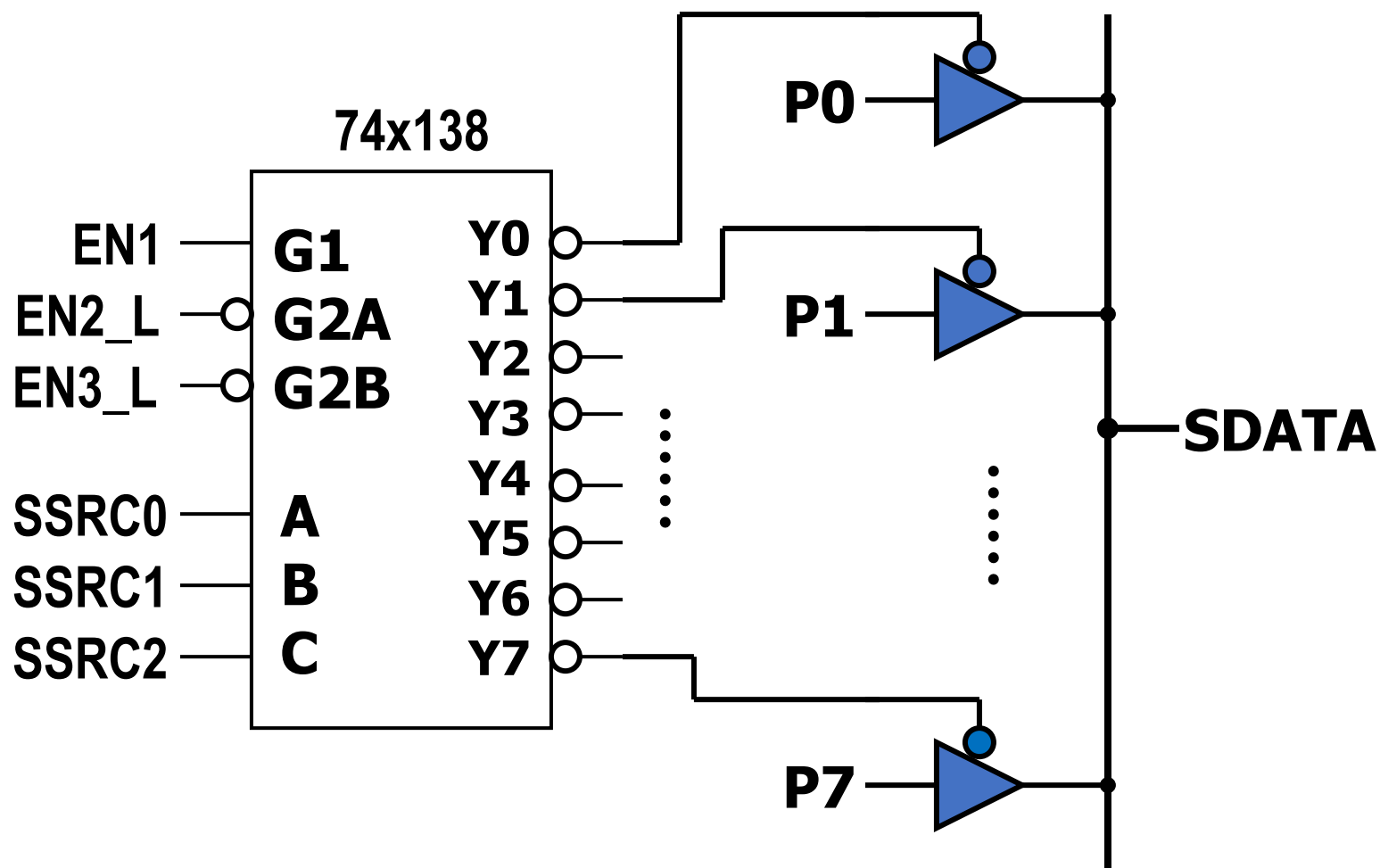
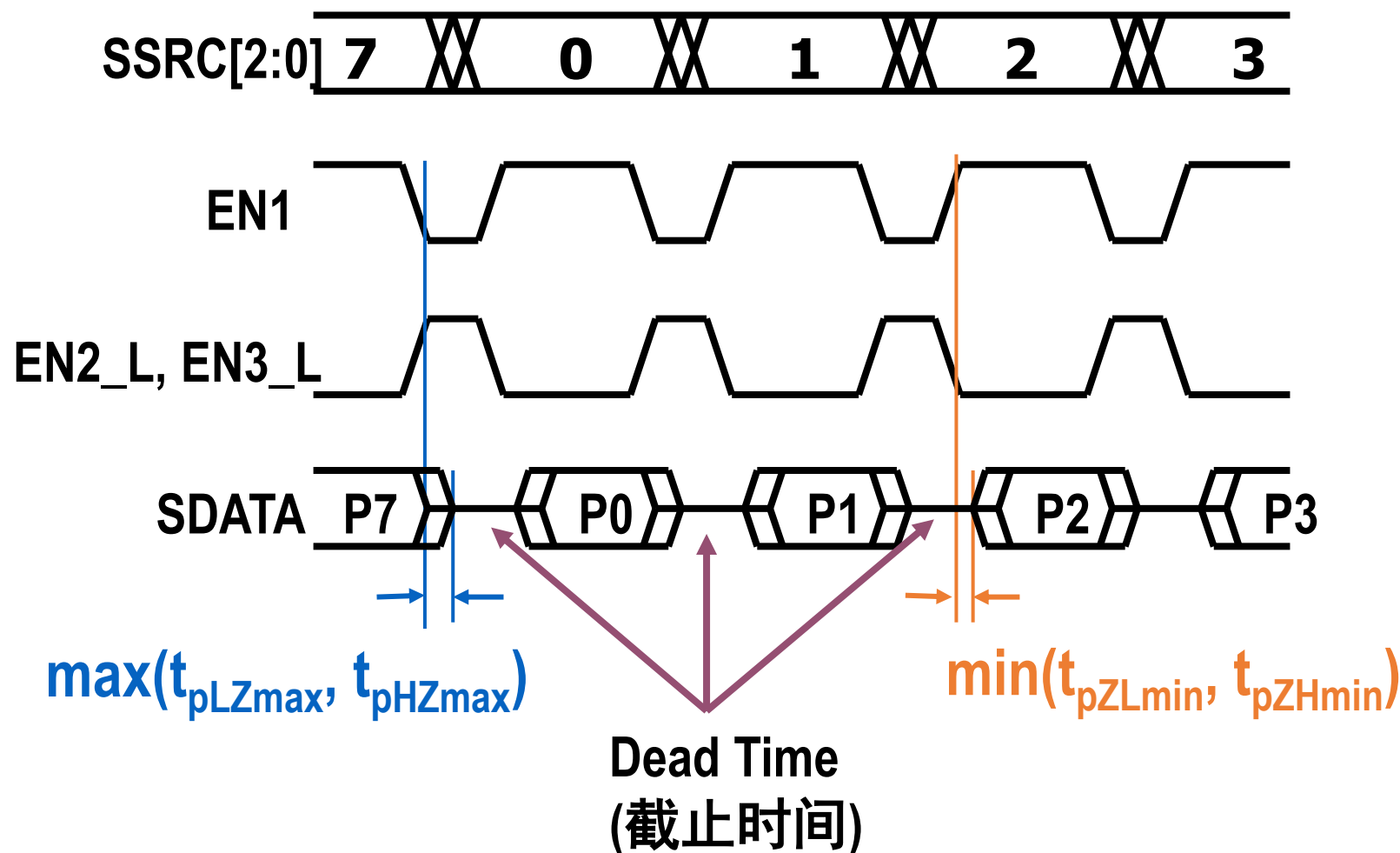


图 8个信号源共享1根三态总线/同线

- 三态器件**允许多个信号源**共享单个“总线”（同线），但线上**每次仅一个器件**“谈话”。
- 假如**不是全部EN线有效**，则没有一个三态缓冲器能被使能，此时SDATA上的逻辑值是“**未定义**”，悬空信号的实际电压值依赖于电路细节。
- 对典型的三态器件，**进入高阻态比离开高阻态快**，减少系统中产生的冲突（fighting）。

三态门

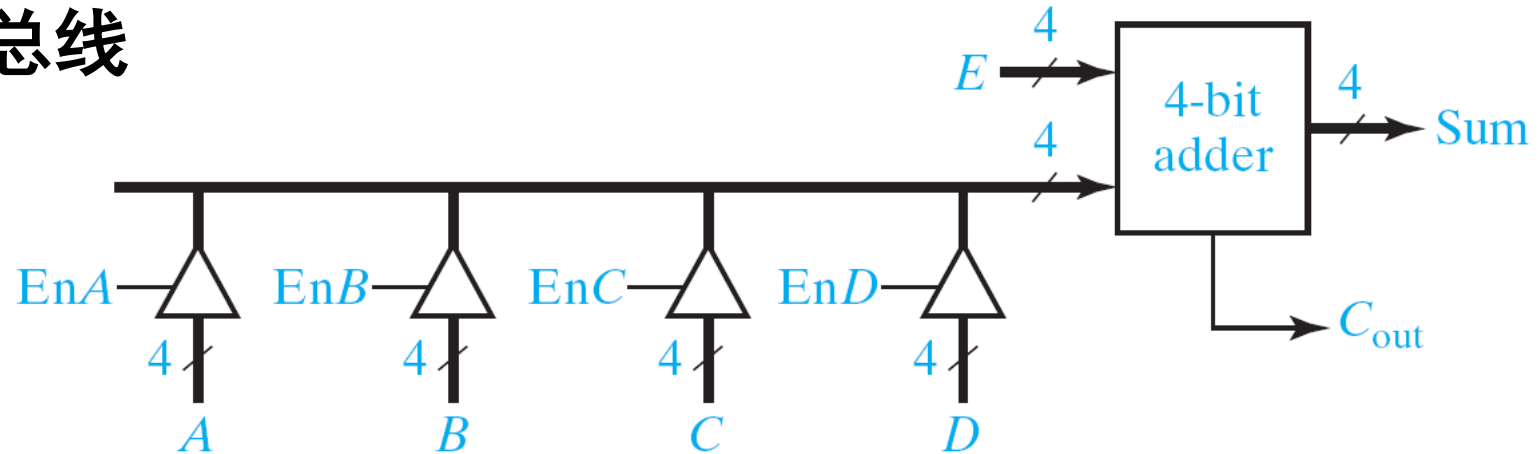


使用三态器件唯一真正安全的方法是**设计逻辑控制**，以保证同线上有一段**截止时间**（dead time），在此期间不应有任何器件驱动同线。

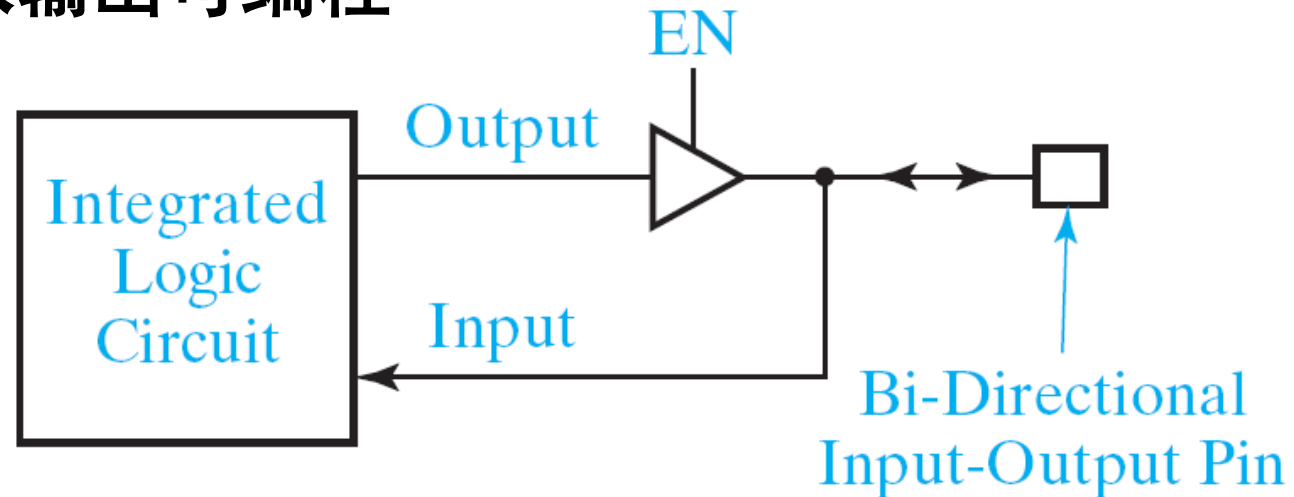
图 三态同线定时图

三态门应用

■ 三态总线

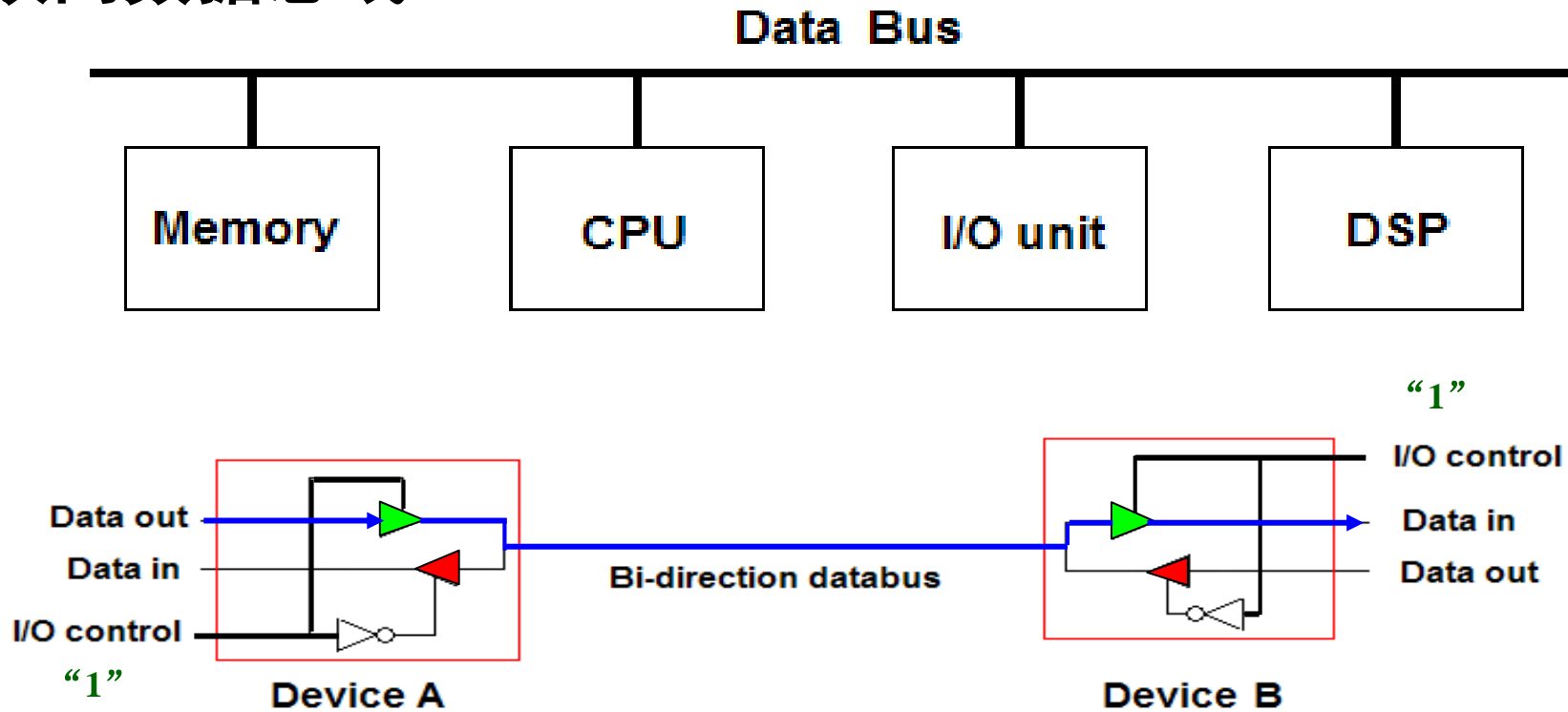


■ 管脚输入输出可编程



三态门应用——续

■ 双向数据总线



三态门应用——续

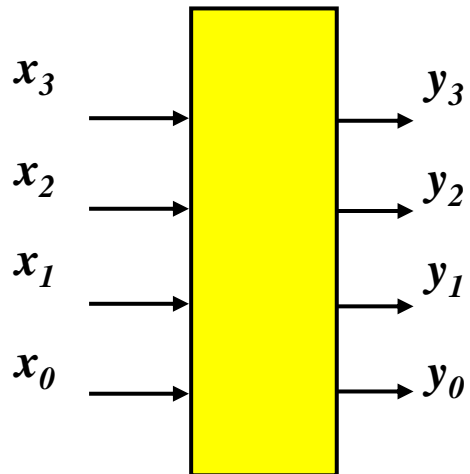
内存里的一个存储单元

- 读写控制线处于**低电位**时，可以写入；
- 读写控制线处于**高电位**时，可以读出；
- 但是不读不写，就要用高阻态。

三态门的应用

- $X = X_3X_2X_1X_0$ 为8421BCD码，设计一个MOD 5选择电路，要求选择那些能被5整除的数输出。

①真值表 (F为控制信号)



X_3	X_2	X_1	X_0	F	X_3	X_2	X_1	X_0	F
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	×
0	0	1	1	0	1	0	1	1	×
0	1	0	0	0	1	1	0	0	×
0	1	0	1	1	1	1	0	1	×
0	1	1	0	0	1	1	1	0	×
0	1	1	1	0	1	1	1	1	×

三态门的应用——续

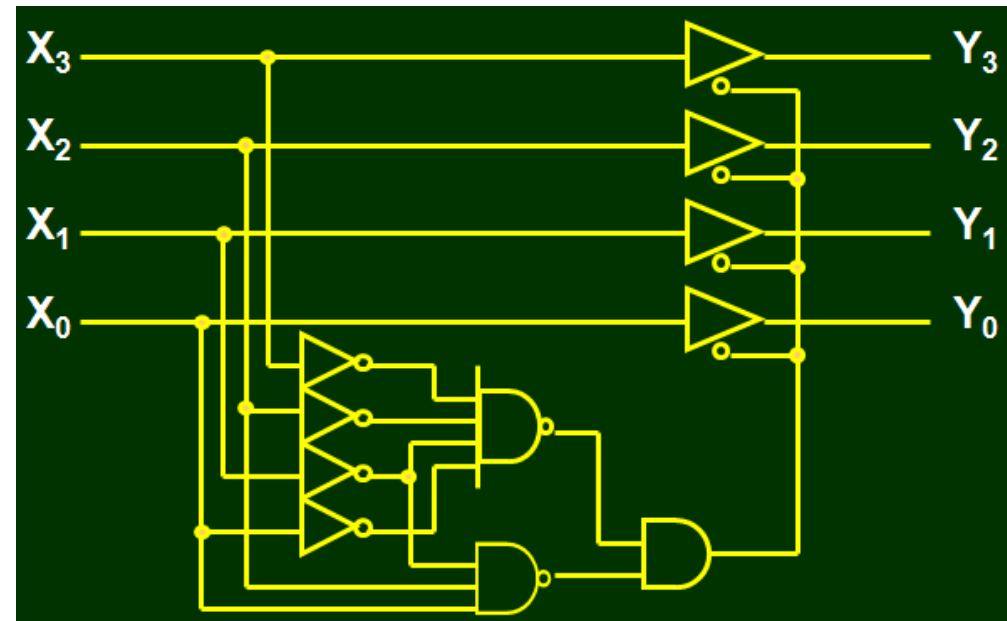
② 化简

x_1x_0					
x_3x_2	00	01	11	10	
00	1	0	0	0	
01	0	1	0	0	
11	×	×	×	×	
10	0	0	×	×	

$$\begin{aligned} F &= \overline{\overline{X_2 \bar{X}_1 X_0} + \bar{X}_3 \bar{X}_2 \bar{X}_1 \bar{X}_0} \\ &= (\overline{X_2 \bar{X}_1 X_0}) (\overline{\bar{X}_3 \bar{X}_2 \bar{X}_1 \bar{X}_0}) \end{aligned}$$

$$\bar{F} = (\overline{X_2 \bar{X}_1 X_0}) (\overline{\bar{X}_3 \bar{X}_2 \bar{X}_1 \bar{X}_0})$$

③ 逻辑图

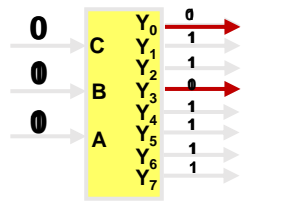
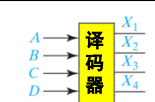
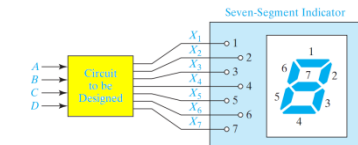


Unit 7 组合逻辑元件

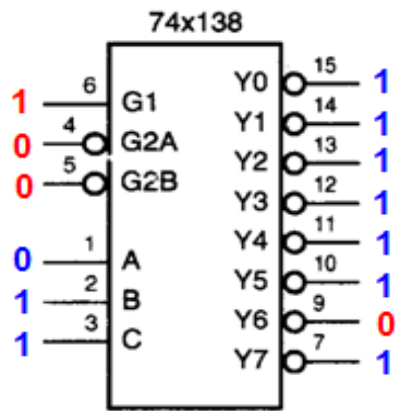
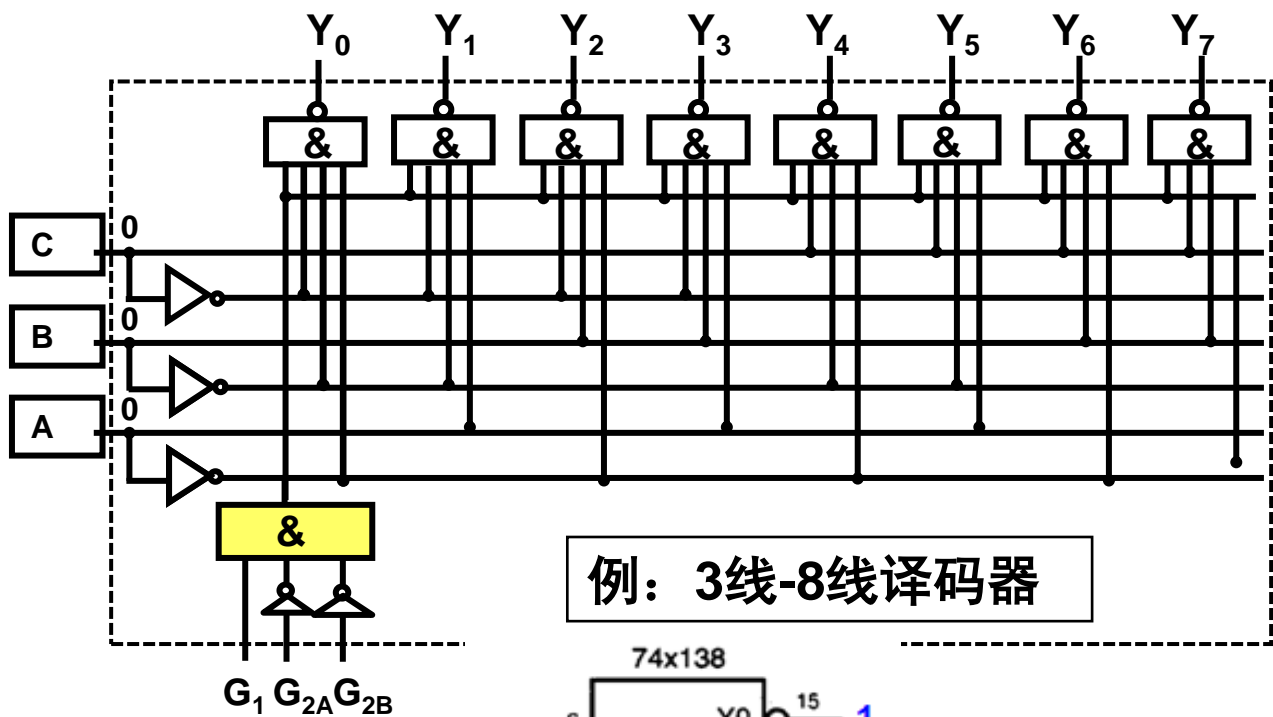
- 多路复用器(multiplexers)
- 三态器件(Three-state Buffer)
- 译码器(Decoders)
- 编码器(Encoders)
- 奇偶校验器
- 比较器
- 只读存储器(ROM)
- 利用MSI设计组合逻辑电路

译码器及分类

- ◆ 特点：多输入、多输出的组合逻辑电路
- ◆ 功能：将一种编码转换为另一种编码

分类	特点	译码演示
二进制译码器	<ul style="list-style-type: none"> • n 位二进制码 • N 位 ($N=2^n$)，每根输出线都与一个输入最小项唯一对应（输出线编号值=最小项编号值） • 每个最小项输入，只能使 N 根输出线中的一个输出有效 → N ($N=2^n$) 中取一译码器，也称最小项译码器。 	 <p>(3 线-8 线译码器)</p>
代码转换译码器	从一种编码转换为另一种编码 (例如：8421BCD码→余3码)	
显示译码器	将输入的编码信号转换为十进制码或其它特定编码，用来驱动显示器件显示相应的文字符号。	

二进制译码器举例——3线-8线译码器



典型芯片：74LS138

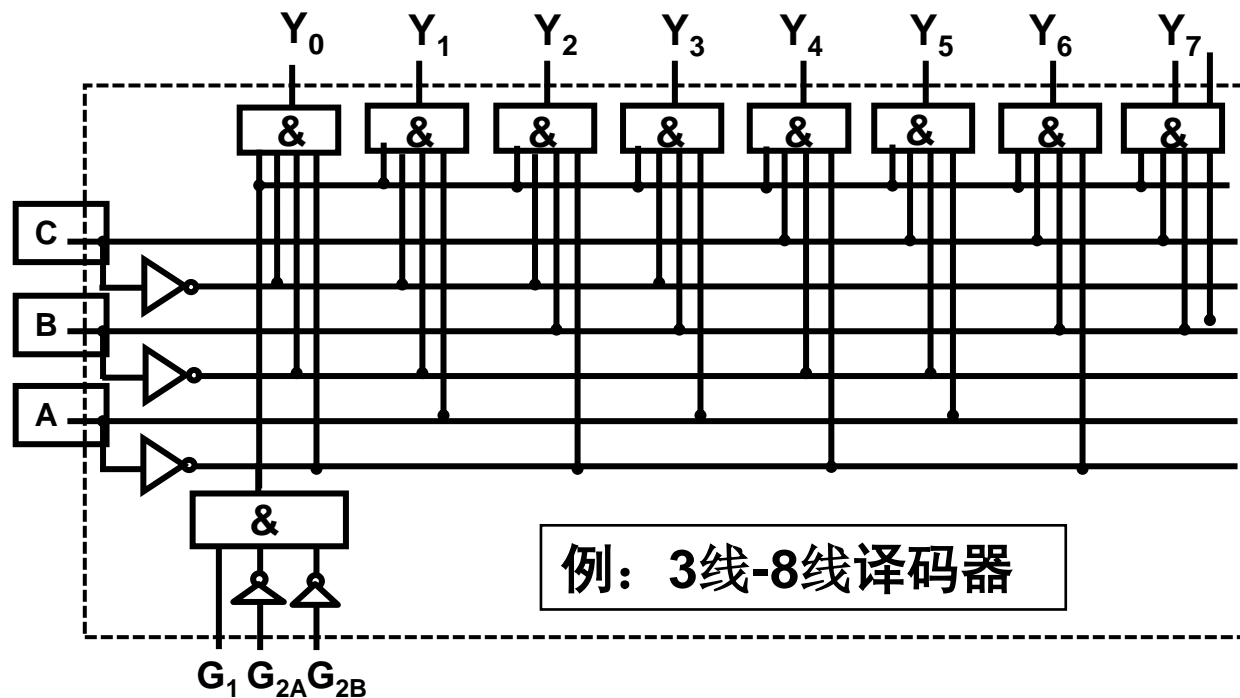
使能端			输入			译码输出							
G ₁	G _{2A}	G _{2B}	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

译码器输出：低电平有效

$$y_i = \bar{m}_i = M_i$$

3线-8线译码器

译码器输出：高电平有效 $\Rightarrow y_i = m_i$

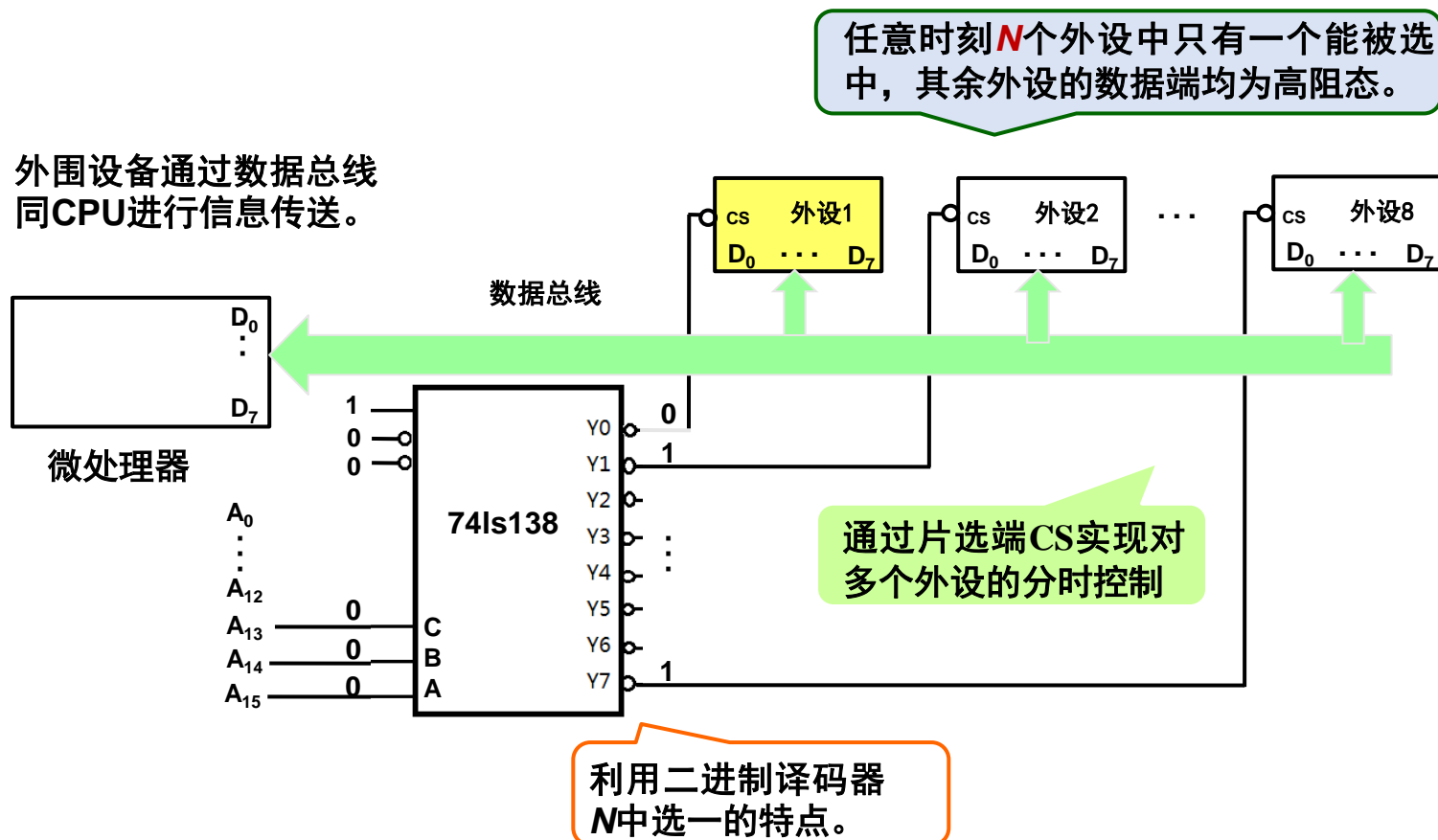


使能端			输入			译码输出							
G_1	G_{2A}	G_{2B}	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	X	X	X	X	X	0	0	0	0	0	0	0	0
X	1	X	X	X	X	0	0	0	0	0	0	0	0
X	X	1	X	X	X	0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	1	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	0	0	0	0
1	0	0	0	1	1	0	0	0	1	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1	0	0	0
1	0	0	1	0	1	0	0	0	0	0	1	0	0
1	0	0	1	1	0	0	0	0	0	0	0	1	0
1	0	0	1	1	1	0	0	0	0	0	0	0	1

二进制译码器的典型应用——地址译码

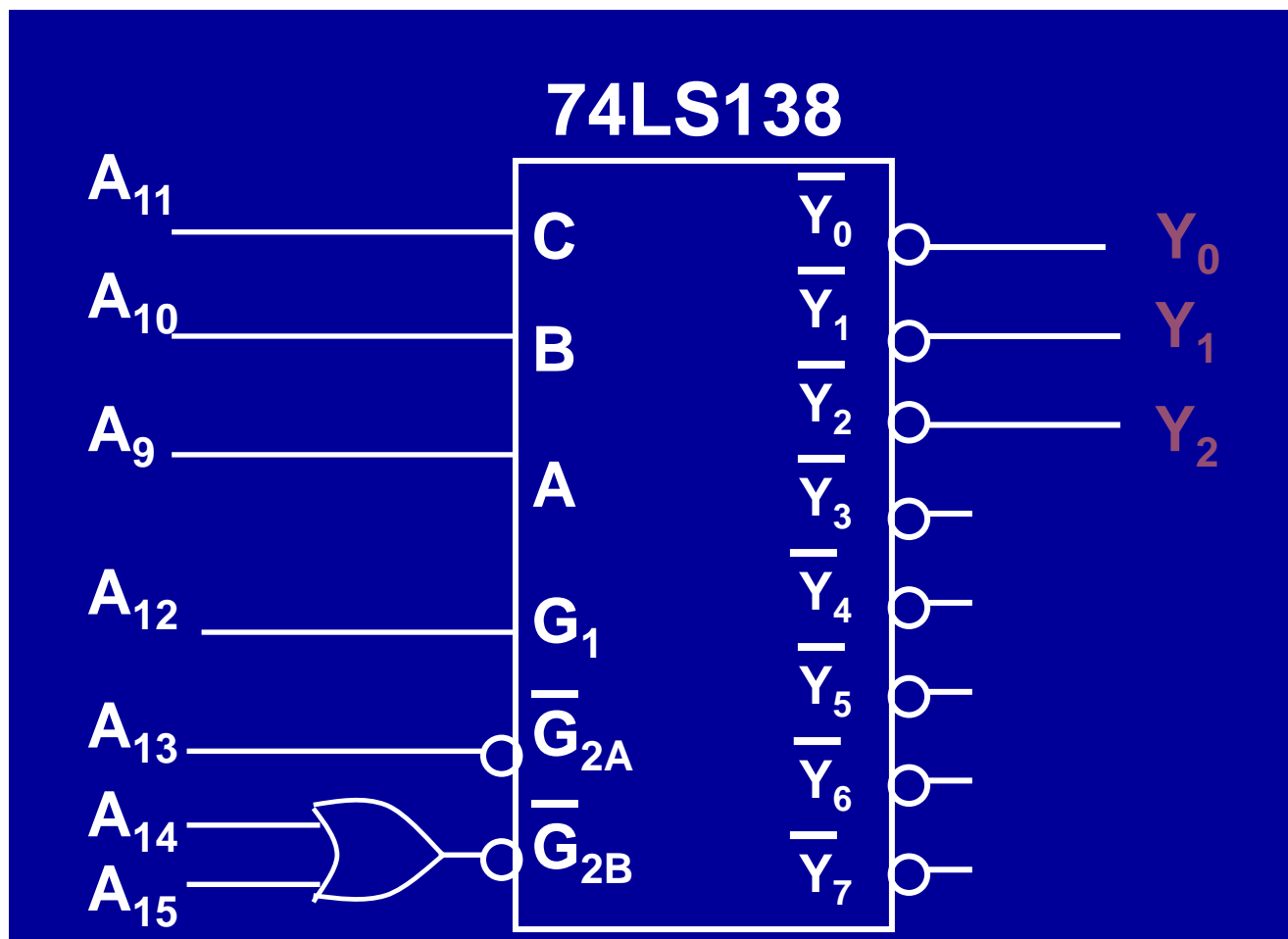
■ 微处理器的地址译码

*假设A0—A7连接到各个外设的低8位地址线。



地址译码

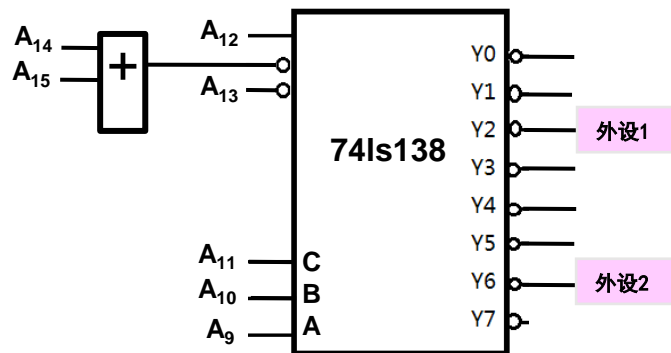
- 图示电路的整个地址译码范围？各个外设的地址译码范围？



1 整个地址译码范围为： [填空1]H— [填空2]H

2 外设1的地址译码范围为： [填空3]H— [填空4]H

3 外设2的地址译码范围为： [填空5]H— [填空6]H



作答

地址译码例题

■ 地址译码

图示电路的整个地址译码范围？

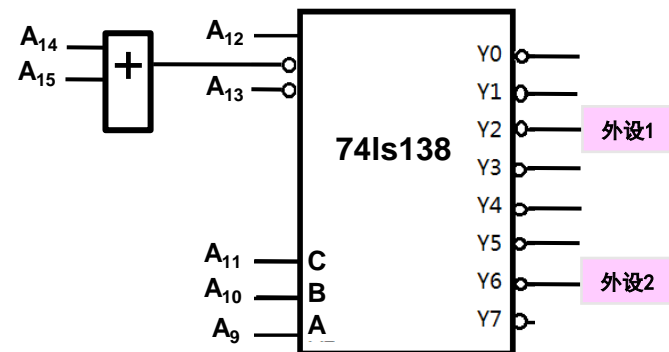
各个外设的地址译码范围？

整个译码器的地址译码范围：

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
5	4	3	2	1	0										
0	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1

最小取值 1000H

最大取值 1FFFH



外设1的地址译码范围：

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
5	4	3	2	1	0										
0	0	0	1	0	1	0	1	1	1	1	1	1	1	1	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
0	0	0	1	0	1	0	1	1	1	1	1	1	1	1	1

最小取值 1400H

最大取值 15FFH

二进制译码器的典型应用——译码器级联

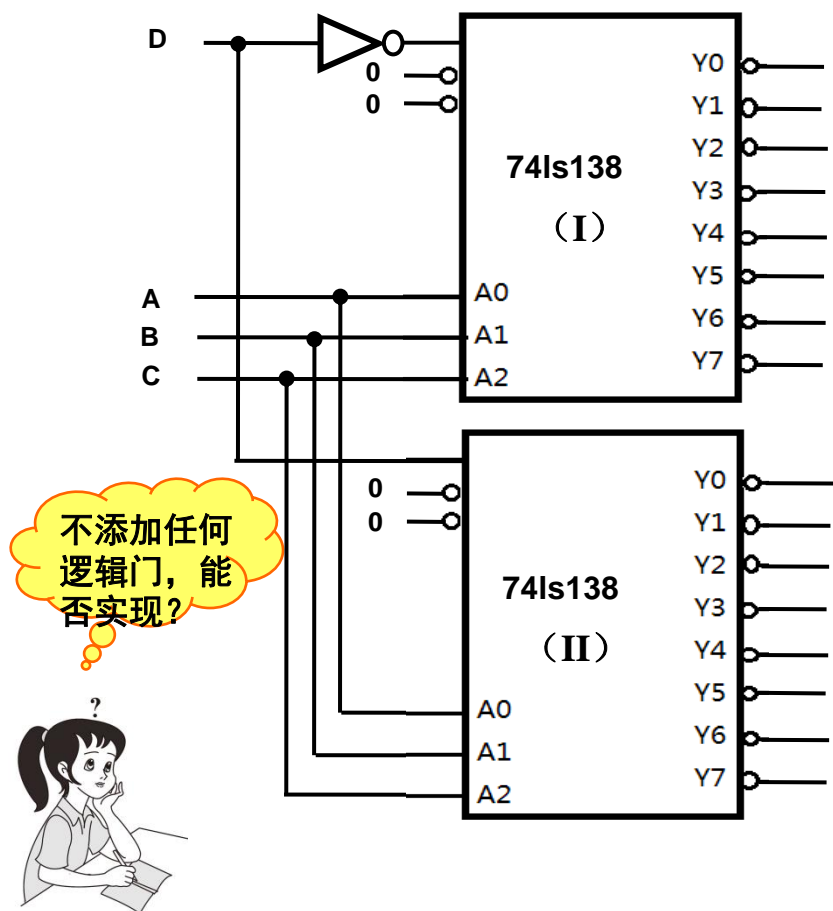
• 3线-8线译码器扩展为4线-16线译码

(I)

输入				译码输出							
D	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0

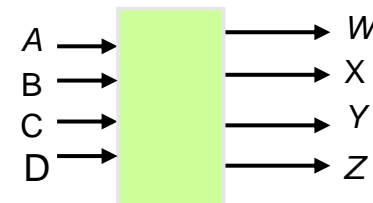
(II)

输入				译码输出							
D	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
1	0	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1
1	0	1	0	1	1	0	1	1	1	1	1
1	0	1	1	1	1	1	0	1	1	1	1
1	1	0	0	1	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	0



编码转换译码器

- 例：设计一个译码器，
- 将输入的4位二进制数转换为典型格雷码



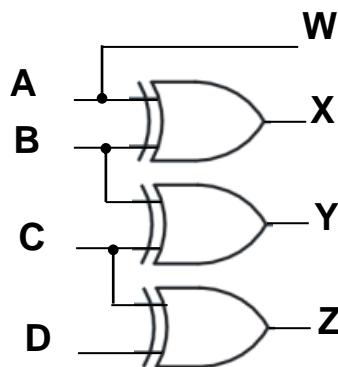
CD \ AB	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

CD \ AB	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	0	0
10	1	1	1	1

$$\begin{cases} W = A \\ X = A \oplus B \\ Y = B \oplus C \\ Z = C \oplus D \end{cases}$$

CD \ AB	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	1	1	0	0
10	0	0	1	1

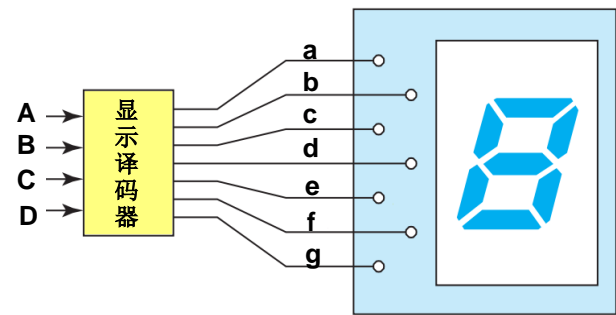
CD \ AB	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1



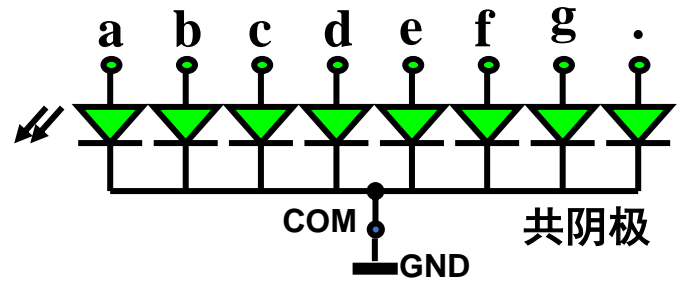
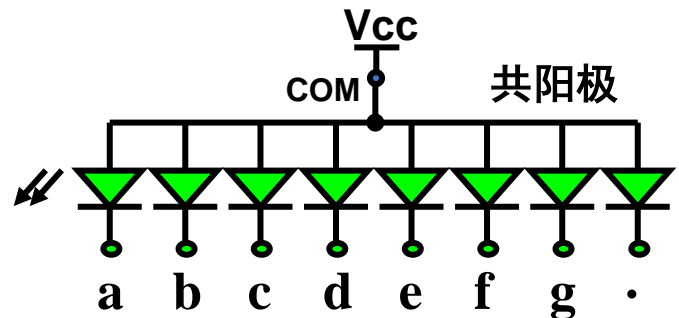
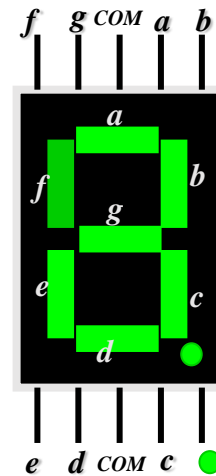
ABCD	WXYZ	ABCD	WXYZ
0000	0000	1000	1100
0001	0001	1001	1101
0010	0011	1010	1111
0011	0010	1011	1110
0100	0110	1100	1010
0101	0111	1101	1011
0110	0101	1110	1001
0111	0100	1111	1000

七段显示译码器

显示译码器：与显示器件（如数码管）配合，将输入代码转换为十进制码或特定编码，并在显示器件上显示相应的字形



七段数码管



8421BCD码驱动的共阴极七段数码管显示译码器功能表

输入				译码输出						
A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

a

CD \ AB	00	01	11	10
00	0	1	0	0
01	1	0	0	0
11	×	×	×	×
10	0	0	×	×

$$a = A + C + BD + BD$$

b

CD \ AB	00	01	11	10
00	0	0	0	0
01	0	1	0	1
11	×	×	×	×
10	0	0	×	×

$$b = B + CD + CD$$

c

CD \ AB	00	01	11	10
00	0	0	0	1
01	0	0	0	0
11	×	×	×	×
10	0	0	×	×

$$c = B + C + D$$

d

CD \ AB	00	01	11	10
00	0	1	0	0
01	1	0	1	0
11	×	×	×	×
10	0	0	×	×

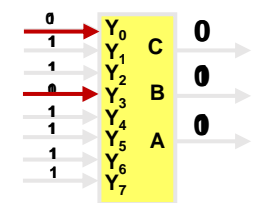
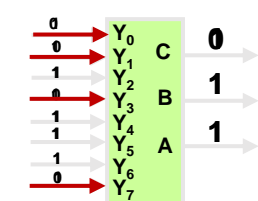
$$d = A + CD + BC + BD + BCD$$

Unit 7 组合逻辑元件

- 多路复用器(multiplexers)
- 三态器件(Three-state Buffer)
- 译码器(Decoders)
- 编码器(Encoders)
- 奇偶校验器
- 比较器
- 只读存储器(ROM)
- 利用MSI设计组合逻辑电路

编码器

- ◆ 特点：多输入、多输出的组合逻辑电路
- ◆ 功能：将二进制码按照一定规律编排，使其具有特定含义，与译码器互逆。

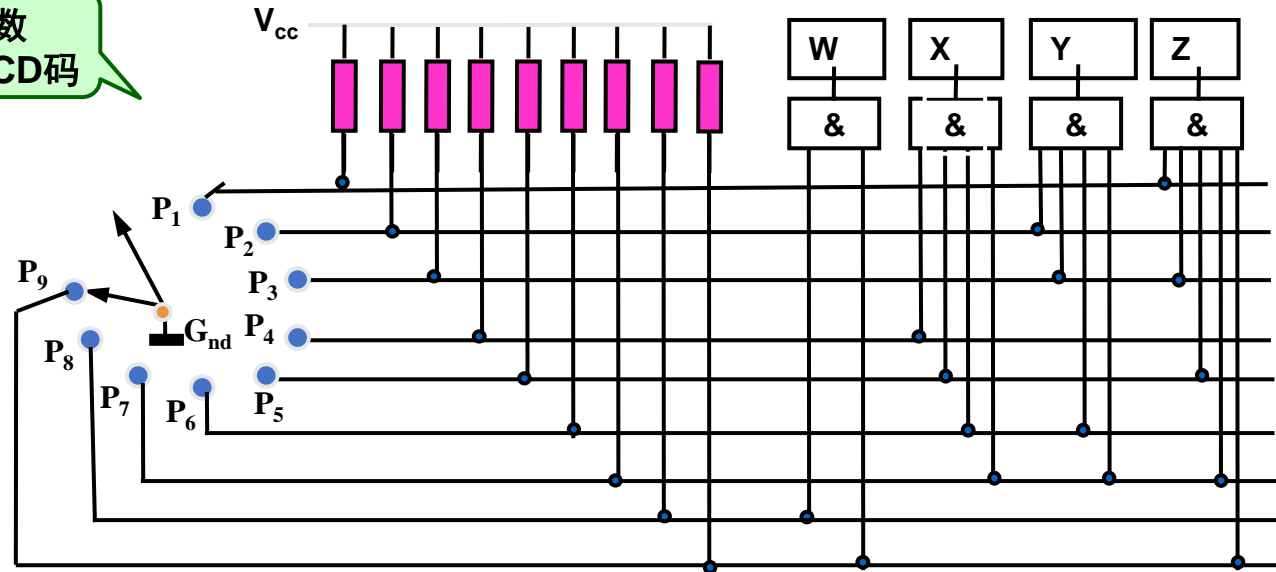
常用编码器	特点	编码演示
普通编码器 (二进制编码器)	N 位，任何时刻 N 根输入线中只能有一个输入有效， N ($N=2^n$) 中取一。 n 位二进制码	 <p>(8 线-3 线编码器)</p>
优先编码器	允许同时输入两个以上的有效编码输入信号，优先编码器能按照预先设定的优先级别，只对其中优先级最高的输入进行编码。	 <p>(8 线-3 线优先编码器)</p>

键盘编码器

输入：十进制数
输出：8421BCD码

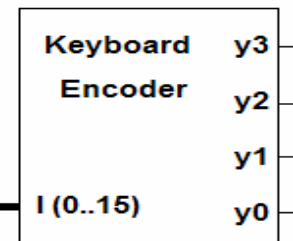
键盘编码器功能表

$P_9 \dots P_1$	按键	WXYZ
111111111	0	0000
111111110	1	0001
111111101	2	0010
111111011	3	0011
111110111	4	0100
111101111	5	0101
111011111	6	0110
110111111	7	0111
101111111	8	1000
011111111	9	1001



扩展

7	8	9	/
4	5	6	*
1	2	3	-
0	.	+	=



0	I0	0000	8	I8	1000
1	I1	0001	9	I9	1001
2	I2	0010	/	I10	1010
3	I3	0011	*	I11	1011
4	I4	0100	-	I12	1100
5	I5	0101	+	I13	1101
6	I6	0110	.	I14	1110
7	I7	0111	=	I15	1111

$$W = (P_8 \cdot P_9)'$$

$$Y = (P_2 \cdot P_3 \cdot P_6 \cdot P_7)'$$

$$X = (P_4 \cdot P_5 \cdot P_6 \cdot P_7)'$$

$$Z = (P_1 \cdot P_3 \cdot P_5 \cdot P_7 \cdot P_9)'$$

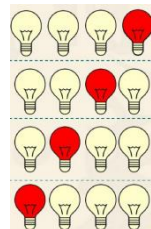
键盘编码器

4:2编码器

计算机配有四个外部设备：声卡(A0)，硬盘驱动器(A1)，鼠标(A2)，网卡(A3)， B_0 、 B_1 为编码输出。



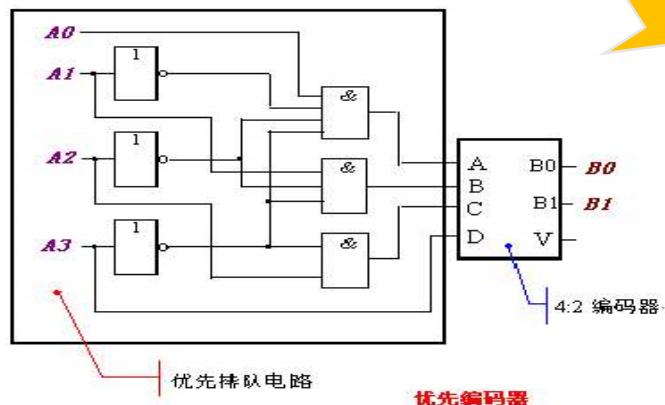
抢答器输出



A_3	A_2	A_1	A_0	B_1	B_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

某一时刻只允许输入一个编码信号，如 A_1 ($A_1=1$) 向 CPU 请求传送数据，CPU 根据接收的编码 $B_1B_0 = 01$ ，启动硬盘驱动器，开始传送数据。

普通编码器：无法避免错误输入（同时输入多路有效信号），容易造成混乱。



4:2优先编码器

A_3	A_2	A_1	A_0	B_1	B_0
0	0	0	1	0	0
0	0	1	X	0	1
0	1	X	X	1	0
1	X	X	X	1	1

$$A = A_0 \overline{A_1} \overline{A_2} \overline{A_3}$$

$$B = A_1 \overline{A_2} \overline{A_3}$$

$$C = A_2 \overline{A_3}$$

$$D = A_3$$

二进制编码器：

- 可以对 2^n 个输入对象编码
- 只需 n 个输出端（每个对象获得一个 n 位编码）
- 编码具有唯一性

优先编码器：

- 允许同时输入多路有效信号
- 按照预先设定的优先级，只对其中优先级最高的输入进行编码。

编码器典型芯片74LS148

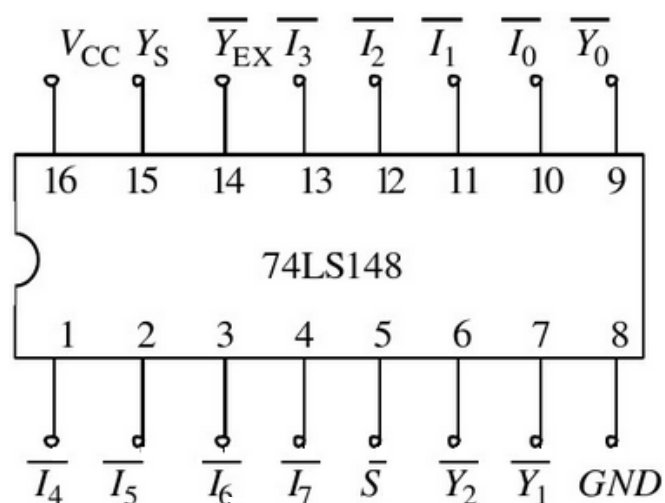
标志位：

0：编码输出；1：非编码输出

输入使能

8线-3线优先编码器

输出使能



输入和输出均为低电平被有效。

输 入									输 出				
\overline{S}	\overline{I}_7	\overline{I}_6	\overline{I}_5	\overline{I}_4	\overline{I}_3	\overline{I}_2	\overline{I}_1	\overline{I}_0	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0	\overline{Y}_{EX}	Y
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	×	×	×	×	×	×	×	0	0	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1

编码器与译码器的实际应用



Unit 7 组合逻辑元件

- 多路复用器(multiplexers)
- 三态器件(Three-state Buffer)
- 译码器(Decoders)
- 编码器(Encoders)
- 奇偶校验器
- 比较器
- 只读存储器(ROM)
- 利用MSI设计组合逻辑电路