计算机组成原理试题库（含答案） - 百度文库

请稍等...

百度文库

搜索文档或关键词

[计算机](//wk.baidu.com/search?word=计算机&fr=viewTags) [试题库](//wk.baidu.com/search?word=试题库&fr=viewTags)

计算机组成原理试题库(含答案) -

VIP免券

2018-06-07

112页

用App免费查看

计算机组成原理试题

一、单项选择题（ 从下列各题四个备选答案中选出一个正确答案，并将其代号写在题干前面的括号内。 ）

1. 为了缩短指令中某个地址段的位数，有效的方法是采取（ C ）。

A 、立即寻址 B 、变址寻址 C 、间接寻址 D 、寄存器寻址

2. 某计算机字长是 16 位它的存储容量是 64KB, 按字编址 , 它们寻址范围是（ C ） 。

　　 A ． 64K 　　 B ． 32KB 　　 C ． 32K 　　 D ． 16KB

3. 某一 RAM 芯片其容量为 512\*8 位 , 除电源和接地端外该芯片引线的最少数目是（ C ） 。

　　 A. 　 21 　 B. 　 17 　 C. 　 19 　 D.20

4. 指令系统中采用不同寻址方式的目的主要是 ( C 　 ) 。

　　 A. 实现存储程序和程序控制　　　　　　　　　　　 B. 可以直接访问外存

　　 C. 缩短指令长度，扩大寻址空间，提高编程灵活性　 D. 提供扩展操作码的可能并降低指令译码难度

5. 寄存器间接寻址方式中，操作数处在 ( 　 B ) 。

　　 A. 通用寄存器　　　 B. 贮存单元　　　　　 C. 程序计数器　　　　　 D. 堆栈

6.RISC 是 ( 　 A 　 ) 的简称。

　 A. 精简指令系统计算机　　　　　　　　　　　　 B. 大规模集成电路

　 C. 复杂指令计算机　　　　　　　　　　　　　　 D. 超大规模集成电路

7 ． CPU 响应中断的时间是 \_ C \_\_\_\_\_ 。

A ．中断源提出请求；　　 B ．取指周期结束；　 C ． 执行周期结束 ； D ．间址周期结束。

8 ．常用的虚拟存储器寻址系统由 \_\_\_\_A\_\_ 两级存储器组成。

A ． 主存－辅存 ； B ． Cache －主存； C ． Cache －辅存； D ．主存 — 硬盘。

9 ． DMA 访问主存时，让 CPU 处于等待状态，等 DMA 的一批数据访问结束后， CPU 再恢复工作，这种情况称作 \_\_A\_\_\_\_ 。

A ． 停止 CPU 访问主存 ； B ．周期挪用； C ． DMA 与 CPU 交替访问； D ． DMA 。

10 ．浮点数的表示范围和精度取决于 \_\_C\_\_\_\_ 。

A ．阶码的位数和尾数的机器数形式； B ．阶码的机器数形式和尾数的位数；

C ．阶码的位数和尾数的位数； 　　　 D ．阶码的机器数形式和尾数的机器数形式。

11 ．中断向量可提供 \_\_ \_C\_ \_\_ 。

A ．被选中设备的地址； B ．传送数据的起始地址；

C ．中断服务程序入口地址； D ．主程序的断点地址。

12 ．加法器采用先行进位的目的是 \_\_\_\_C\_\_ 。

A ．优化加法器的结构； B ．节省器材； C ． 加速传递进位信号 ； D ．增强加法器结构。

13 ．在独立请求方式下，若有 N 个设备，则 \_\_\_\_B\_\_ 。

A ．有一个总线请求信号和一个总线响应信号； B ．有 N 个总线请求信号和 N 个总线响应信号；

C ．有一个总线请求信号和 N 个总线响应信号； D ．有 N 个总线请求信号和一个总线响应信号。

14 ．主存和 CPU 之间增加高速缓冲存储器的目的是 \_\_\_A\_\_\_ 。

A ．解决 CPU 和主存之间的速度匹配问题； B ．扩大主存容量；

C ．既扩大主存容量，又提高了存取速度； D ．扩大辅存容量。

15 ．在计数器定时查询方式下，若计数从 0 开始，则 \_\_A\_\_\_\_ 。

A ．设备号小的优先级高； B ．每个设备使用总线的机会相等；

C ．设备号大的优先级高。

16 ． Cache 的地址映象中，若主存中的任一块均可映射到 Cache 内的任一块的位置上，称作 　　 B 　 。

A ．直接映象； B ．全相联映象； C ．组相联映象。

17 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 A \_\_\_\_\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ACC 。

18 ．响应中断请求的条件是 \_\_B\_\_\_\_ 。

A ．外设提出中断； B ．外设工作完成和系统允许时；

C ．外设工作完成和中断标记触发器为“ 1 ” 时。 D ． CPU 提出中断。

19 ．主机与设备传送数据时，采用 \_A\_\_\_\_\_ ，主机与设备是串行工作的。

A ．程序查询方式； B ．中断方式； C ． DMA 方式； D ．通道。

20 ．一个节拍信号的宽度是指 \_\_C\_\_\_\_ 。

A ．指令周期； B ．机器周期； C ．时钟周期； D ．存储周期。

二、填空题（共 20 分，每空 1 分）

1 ．在 DMA 方式中， CPU 和 DMA 控制器通常采用三种方法来分时使用主存，它们是

停止 CPU 访问主 、 周期挪用 和 DMA 和 CPU 交替访问主存 。

2 ．设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制 补码浮点规格化数 对应的十进制真值范围是：最大正数为 2 127 (1 - 2 － 23 ) ，最小正数为 2 － 129 ，最大负数为 2 － 128 ( - 2 － 1 - 2 － 23 ) ，最小负数为 - 2 127 。

3 、 虚拟存储器中常用的存储管理方式有 \_\_\_\_ 页式虚拟存储 \_\_\_\_\_ ， \_ 段式虚拟存储 \_\_\_\_\_\_\_\_\_ ， \_ 段页式虚拟存储 \_ \_\_\_\_\_\_\_\_ 。

4 ．在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是 T 1 = 60ns ﹑ T 2 = 50ns ﹑ T 3 = 90ns ﹑ T 4 = 80ns 。则加法器流水线的时钟周期至少为 90ns 。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 280ns 。

5.  系统总线按传输信息的不同分为地址总线、 \_\_ 数据  \_\_\_\_ 、 \_\_\_ 控制 \_\_\_\_\_\_ 三大类。

6.  半导体 SRAM 靠 \_ \_ 触发器 \_ 存储信息，半导体 DRAM 靠 \_ 电容 \_\_\_ 存储信息。

7.  动态 RAM 的刷新方式通常有 \_\_\_\_\_\_\_ 、 \_\_\_\_\_\_\_\_ 、 \_\_\_\_\_\_\_ 集中   分散   异步三种。

8. CPU 能直接访问 cache\_\_\_\_\_\_ 和主存 \_\_\_\_\_\_ ，但不能直接访问磁盘和光盘。

二、判断题（判断下列各题的正误。对的打“√”，错的打“×”。每题 1 分，计 10 分）

1 、存储单元是存放一个二进制信息的存贮元。 ×

2 、主程序运行时何时转向为外设服务的中断服务程序是预先安排好的。 ×

3 、时序电路用来产生各种时序信号，以保证整个计算机协调地工作。 √

4 、 引入虚拟存储系统的目的是提高存储速度。 ×

5 、ＤＭＡ方式进行外设与主机交换信息时，不需要向主机发出中断请求。 ×

6 、 CPU 以外的设备都称外部设备。 ×

7 、奇偶校验可以纠正代码中出现的错误。 ×

8 、用微指令的分段译码法设计微指令时，需将具有相斥性的微命令组合在同一字段内。 √

9 、 CPU 访问存储器的时间是由存储器的容量决定的，存储容量与越大，访问存储器所需的时间越长。 ×

10 、一个更高级的中断请求一定可以中断另一个中断处理程序的执行 。 ×

四、名词解释（每题 2 分，共 10 分）

1 、存储程序的工作方式：将计算机需进行的工作事先编写成程序，存入计算机中，运行程序时计算机自动进行工作。

2 、高速缓冲存储器：介于 CPU 与主存之间，速度较快、容量较小、价格较贵的存储器，引入 CACHE 的目的是提高存储系统的速度。

3 、程序中断的工作方式：在 CPU 运行主程序时，接受到非预期的中断请求， CPU 暂停现行工作转向为中断请求服务，待服务完毕后回到住程序继续执行。

4 、系统总线：连接机器内部各大部件的信息公共通道。

5 、微程序：用于解释机器指令的若干条微指令的有序集合。

6 、（磁盘的）数据传输率：单位时间传送的二进制信息的字节数。

7 、 DMA 方式：单位时间传送的二进制信息的字节数。

8 、随机存取方式：一定的硬件和一定的软件组成的有机整体。

五、简答题（每小题 5 分，共 30 分）

1 、说你认为计算机系统中的硬件和软件在逻辑功能等价吗？为什么 ?

答：软件与硬件的逻辑功能是等效的，但性能不相同。

2 、什么是运算器？它的主要由哪几个功能部件组成？

答：运算器是进行算术逻辑运算的部件。它主要由加法器、通用寄存器、标志寄存器等部件组成。

3 、与 RAM 相比 ROM 有何特点？

答： ROM 掉电后信息不会丢失，但其中的信息只能读不能随便写。

4 、与程序中断控制方式相比 DMA 控制方式有何特点？

答：速度快。响应快、优先级高、处理快、无须现场保护和现场的恢复。但是应用范围没有程序中断控制方式广。

5 、 微程序控制的基本思想是：把指令执行所需要的所有控制信号存放在控制存储器中，需要时从这个存储器中读取，即把操作控制信号编成微指令，存放在控制存储器中。一条机器指令的功能通常用许多条微指令组成的序列来实现，这个微指令序列称为微程序。微指令在控制存储器中的存储位置称为微地址。

6 、同种类的外设部设备接入计算机系统时，应解决哪些主要问题？

答：数据格式、地址译码、控制信息的组织和状态信息的反馈。

7 、中断接口一般包含哪些基本组成？简要说明它们的作用。

答： ① 地址译码。选取接口中有关寄存器，也就是选择了 I/O 设备；

② 命令字 / 状态字寄存器。供 CPU 输出控制命令，调回接口与设备的状态信息；

③ 数据缓存。提供数据缓冲，实现速度匹配；

④ 控制逻辑。如中断控制逻辑、与设备特性相关的控制逻辑等。

8 、加快中央处理器与主存之间传输信息的措施有哪些？

六、综合题

1 、设 X=26/32 ， Y=--15/32, 采用二进制变形补码计算 [X+Y] 补 =? 并讨论计算结果。

解： 设 X=26/32 ， Y=--15/32, 采用二进制变形补码计算

[X+Y] 补 =? 并讨论计算结果。

解 :X=0.11010 Y= - 0.01111

[X+Y] 补 =0.010111

无溢出

2 、 Ｘ＝ 00110011 ，Ｙ＝ 10011110 ，求Ｘ∧Ｙ＝？ Ｘ∨Ｙ＝？

解 : Ｘ∧Ｙ＝ 00010010

Ｘ∨Ｙ＝ 10111111

3 、设有一个具有 12 位地址和 4 位字长的存储器，问：

（ 1 ）该存储器能存储多少字节信息？

（ 2 ）如果存储器由 1K×1 位 RAM 芯片组成 . 需要多少片 ?

（ 3 ）需要地址多少位作为芯片选择 ?

（ 4 ）试画出该存储器的结构图。

解：

设有一个具有 12 位地址和 4 位字长的存储器，

（ 1 ）该存储器能存储 2K 字节信息。

（ 2 ）如果存储器由 1K×1 位 RAM 芯片组成 . 需要 16 片。

（ 3 ）需要地址 2 位作为芯片选择。

（ 4 ） （图略）

4. 某机字长 16 位，内存总容量为 256KW ，其中 ROM 占地址范围为 00000H~OFFFFH ，其余地址空间为 RAM 。请用如下存贮芯片为该机设计一个存储器：

(1) ROM 、 RAM 的容量各为多少？

(2) 该主存的地址线、数据线各为多少根？

(3) 用容量为 32K\*16 的 ROM 芯片和 64K\*16 的 RAM 芯片构成该存储器，需要 RAM 和 ROM 芯片各几片？

(4) 画出存储器结构及其与 CPU 连接的逻辑框图

解 ：

(1) ROM 64K RAM 192K

(2) 数据线有 16 根，地址线有 18 根。

(3) 需 ROM 2 片 ，需 RAM 3 片。

(4) （图略）

5 ．什么是 CPU ？ CPU 主要由哪些寄存器级的部件组成？

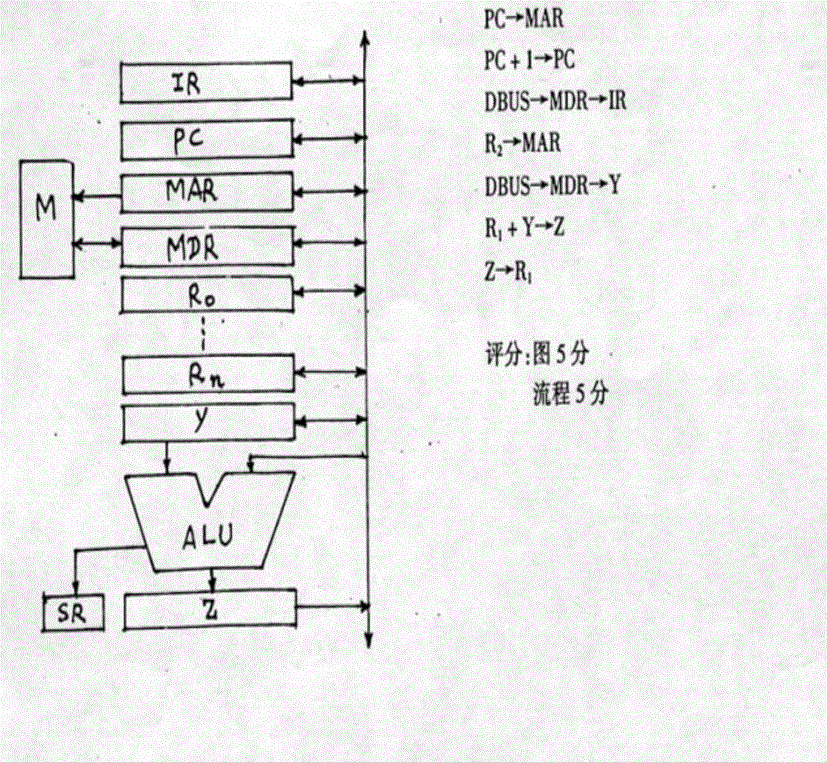
CPU 是计算机中进行算术逻辑运算和指挥协调机器各大部件工作的部件。

IR 、 PSW 、 GR 、 ALU 、 PC 等。

（图略）

6 ． 画出单总线 CPU 内部框图（寄存器级），拟出加法指令 ADD R1 ，（ R2 ）的读取与执行流程。源寻址方式采用寄存器间址方式。

解 :



计算机组成原理试题（一）

一、

选择题（共 20 分，每题 1 分）

1 ．零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 \_\_\_\_\_\_ 。

A ．立即数和栈顶；

B ．暂存器；

C ．栈顶和次栈顶；

D ．累加器。

2 ． \_\_\_\_\_\_ 可区分存储单元中存放的是指令还是数据。

A ．存储器；

B ．运算器；

C ．控制器；

D ．用户。

3 ．所谓三总线结构的计算机是指 \_\_\_\_\_\_ 。

A ．地址线、数据线和控制线三组传输线。

B ． I/O 总线、主存总统和 DMA 总线三组传输线；

C ． I/O 总线、主存总线和系统总线三组传输线；

D ．设备总线、主存总线和控制总线三组传输线．。

4 ．某计算机字长是 32 位，它的存储容量是 256KB ，按字编址，它的寻址范围是 \_\_\_\_\_\_ 。

A ． 128K ；

B ． 64K ；

C ． 64KB ；

D ． 128KB 。

5 ．主机与设备传送数据时，采用 \_\_\_\_\_\_ ，主机与设备是串行工作的。

A ．程序查询方式；

B ．中断方式；

C ． DMA 方式；

D ．通道。

6 ． 在整数定点机中，下述第 \_\_\_\_\_\_ 种说法是正确的 。

A ．原码和反码不能表示 - 1 ，补码可以表示 - 1 ；

B ．三种机器数均可表示 - 1 ；

C ．三种机器数均可表示 - 1 ，且三种机器数的表示范围相同；

D ． 三种机器数均不可表示 - 1 。

7 ．变址寻址方式中，操作数的有效地址是 \_\_\_\_\_\_ 。

A ．基址寄存器内容加上形式地址（位移量）；

B ．程序计数器内容加上形式地址；

C ．变址寄存器内容加上形式地址；

D ．以上都不对。

8 ．向量中断是 \_\_\_\_\_\_ 。

A ．外设提出中断；

B ．由硬件形成中断服务程序入口地址；

C ．由硬件形成向量地址，再由向量地址找到中断服务程序入口地址

D ．以上都不对。

9 ．一个节拍信号的宽度是指 \_\_\_\_\_\_ 。

A ．指令周期；

B ．机器周期；

C ．时钟周期；

D ．存储周期。

10 ．将微程序存储在 EPROM 中的控制器是 \_\_\_\_\_\_ 控制器。

A ．静态微程序；

B ．毫微程序；

C ．动态微程序；

D ．微程序。

11 ．隐指令是指 \_\_\_\_\_\_ 。

A ．操作数隐含在操作码中的指令；

B ．在一个机器周期里完成全部操作的指令；

C ．指令系统中已有的指令；

D ．指令系统中没有的指令。

12 ．当用一个 16 位的二进制数表示浮点数时，下列方案中第 \_\_\_\_\_ 种最好。

A ．阶码取 4 位（含阶符 1 位），尾数取 12 位（含数符 1 位）；

B ．阶码取 5 位（含阶符 1 位），尾数取 11 位（含数符 1 位）；

C ．阶码取 8 位（含阶符 1 位），尾数取 8 位（含数符 1 位）；

D ．阶码取 6 位（含阶符 1 位），尾数取 12 位（含数符 1 位）。

13 ． DMA 方式 \_\_\_\_\_\_ 。

A ．既然能用于高速外围设备的信息传送，也就能代替中断方式；

B ．不能取代中断方式；

C ．也能向 CPU 请求中断处理数据传送；

D ．内无中断机制。

14 ．在中断周期中，由 \_\_\_\_\_\_ 将允许中断触发器置“ 0 ” 。

A ．关中断指令；

B ．机器指令；

C ．开中断指令；

D ．中断隐指令。

15 ．在单总线结构的 CPU 中，连接在总线上的多个部件 \_\_\_\_\_\_ 。

A ．某一时刻只有一个可以向总线发送数据，并且只有一个可以从总线接收数据；

B ．某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据；

C ．可以有多个同时向总线发送数据，并且可以有多个同时从总线接收数据；

D ．可以有多个同时向总线发送数据，但可以有一个同时从总线接收数据。

16 ．三种集中式总线控制中， \_\_\_\_\_\_ 方式对电路故障最敏感。

A ．链式查询；

B ．计数器定时查询；

C ．独立请求；

D ．以上都不对。

17 ．一个 16K×8 位的存储器，其地址线和数据线的总和是 \_\_\_\_\_\_ 。

A ． 48 ；

B ． 46 ；

C ． 17 ；

D ． 22 ．

18 ．在间址周期中， \_\_\_\_\_\_ 。

A ．所有指令的间址操作都是相同的；

B ．凡是存储器间接寻址的指令，它们的操作都是相同的；

C ．对于存储器间接寻址或寄存器间接寻址的指令，它们的操作是不同的；

D ．以上都不对。

19 ．下述说法中 \_\_\_\_\_\_ 是正确的。

A ． EPROM 是可改写的，因而也是随机存储器的一种；

B ． EPROM 是可改写的，但它不能用作为随机存储器用；

C ． EPROM 只能改写一次，故不能作为随机存储器用；

D ． EPROM 是可改写的，但它能用作为随机存储器用。

20 ．打印机的分类方法很多，若按能否打印汉字来区分，可分为 \_\_\_\_\_\_ 。

A ．并行式打印机和串行式打印机；

B ．击打式打印机和非击打式打印机；

C ．点阵式打印机和活字式打印机；

D ．激光打印机和喷墨打印机。

二、填空（共 20 分，每空 1 分）

1 ． 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 ，最小正数为

，最大负数为 ，最小负数为 。

2 ． 指令寻址的基本方式有两种，一种是 寻址方式，其指令地址由 给出，另一种是 寻址方式，其指令地址由 给出。

3 ． 在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是 T 1 = 60ns ﹑ T 2 = 50ns ﹑ T 3 = 90ns ﹑ T 4 = 80ns 。则加法器流水线的时钟周期至少为 。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 。

4 ． 一个浮点数，当其尾数右移时，欲使其值不变，阶码必须 。尾数右移 1 位，阶码 。

5 ．存储器由 m （ m ＝ 1 ， 2 ， 4 ， 8 …）个模块组成，每个模块有自己的 和

寄存器，若存储器采用 编址，存储器带宽可增加到原来的 \_\_\_\_\_\_\_\_ 倍。

6 ． 按序写出多重中断的中断服务程序包括 、 、 、

和中断返回几部分。

三、名词解释 ( 共 10 分，每题 2 分 )

1 ．微操作命令和微操作

2 ． 快速缓冲存储器

3 ．基址寻址

4 ． 流水线中的多发技术

5 ．指令字长

四、计算题（ 5 分）

设机器数字长为 8 位（含 1 位符号位），设 A ＝ ， B ＝ ，计算 [ A B ] 补 ，并还原成真值。

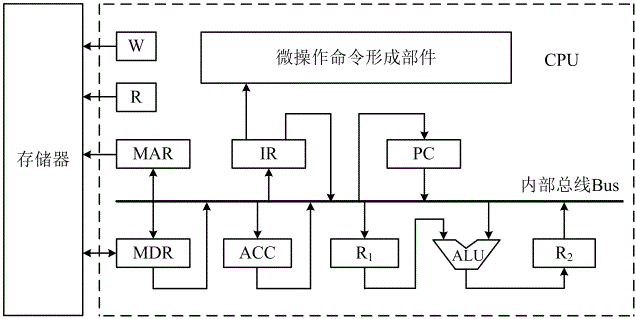
五、简答题（共 20 分）

1 ．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（ 4 分）

2 ． 为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？ （ 6 分）

六、问答题（共 15 分）

1 ．设 CPU 中各部件及其相互连接关系如下图所示。图中 W 是写控制标志， R 是读控制标志， R 1 和 R 2 是暂存器。（ 8 分）



（ 1 ）假设要求在取指周期由 ALU 完成 (PC) + 1 → PC 的操作（即 ALU 可以对它的一个源操作数完成加 1 的运算）。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

（ 2 ）写出指令 ADD # α （ # 为立即寻址特征，隐含的操作数在 ACC 中）在执行阶段所需的微操作命令及节拍安排。

2 ． DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA 工作过程的流程图（不包括预处理和后处理）

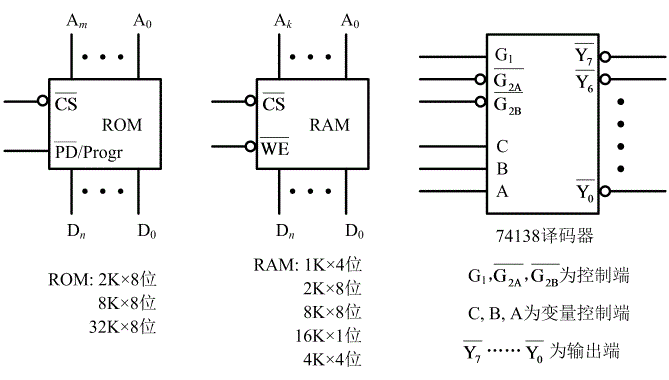
七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为：最大 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，最小 16K 地址空间为用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。



（ 1 ）主存地址空间分配：

6000H ～ 67FFH 为系统程序区；

6800H ～ 6BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑图。

计算机组成原理试题答案（一）

一、选择题（共 20 分，每题 1 分）

1 ． C 2 ． C 3 ． B 4 ． B 5 ． A 6 ． B 7 ． C

8 ． C 9 ． C 10 ． A 11 ． D 12 ． B 13 ． B 14 ． D

15 ． B 16 ． A 17 ． D 18 ． C 19 ． B 20 ． C

二、填空（共 20 分，每空 1 分）

1 ． A ． A ． 2 127 (1 - 2 － 23 ) B ． 2 － 129 C ． 2 － 128 ( - 2 － 1 - 2 － 23 ) D ． - 2 127

2 ． A ． 顺序 B ．程序计数器 C ．跳跃 D ． 指令本身

3 ． A ． 90ns B ． 280ns

4 ． A ． A ．增加 B ．加 1

5 ． A ．地址 B ．数据 C ．模 m D ． m

6 ． A ．保护现场 B ．开中断 C ．设备服务 D ．恢复现场

三、名词解释 ( 共 10 分，每题 2 分 )

1 ．微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

2 ． 快速缓冲存储器

答： 快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

3 ． 基址寻址

答： 基址寻址有效地址等于形式地址加上基址寄存器的内容。

4 ． 流水线中的多发技术

答： 为了提高流水线的性能，设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果，这就是流水线中的多发技术。

5 ．指令字长

答： 指令字长是指机器指令中二进制代码的总位数 。

四、（共 5 分）

计算题 答： [ A + B ] 补 ＝ 1.1011110 ， A + B ＝（ - 17/64 ）

[ A - B ] 补 ＝ 1.1000110 ， A - B ＝（ 35/64 ）

五、简答题（共 20 分）

1 ．（ 4 分）答：

同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

2 ．（ 6 分，每写出一种给 1 分，最多 6 分 ）

答 ： 外围设备要通过接口与 CPU 相连的原因主要有：

（ 1 ）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。

（ 2 ） I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

（ 3 ） I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

（ 4 ） I/O 设备的入 / 出电平可能与 CPU 的入 / 出电平不同，通过接口可实现电平转换。

（ 5 ） CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

（ 6 ） I/O 设备需将其工作状况（“忙”、“就绪”、“错误”、“中断请求”等）及时报告 CPU ，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。

4 ．（ 5 分）答：

（1） 根据 IR 和 MDR 均为 16 位，且采用单字长指令，得出指令字长 16 位。根据 105 种操作，取操作码 7 位。因允许直接寻址和间接寻址，且有变址寄存器和基址寄存器，因此取 2 位寻址特征，能反映四种寻址方式。最后得指令格式为：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD |
|  |  |  |

其中 OP 操作码，可完成 105 种操作；

M 寻址特征，可反映四种寻址方式；

AD 形式地址。

这种格式指令可直接寻址 2 7 = 128 ，一次间址的寻址范围是 2 16 = 65536 。

（2） 双字长指令格式如下：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD 1 |
| AD 2 |  |  |
|  |  |  |

其中 OP 、 M 的含义同上；

AD 1 ∥ AD 2 为 23 位形式地址。

这种格式指令可直接寻址的范围为 2 23 = 8M 。

（3） 容量为 8MB 的存储器， MDR 为 16 位，即对应 4M ×16 位的存储器。可采用双字长指令，直接访问 4M 存储空间，此时 MAR 取 22 位；也可采用单字长指令，但 R X 和 R B 取 22 位，用变址或基址寻址访问 4M 存储空间。

六、 （共 15 分）问答题

1 ．（ 8 分）答：

（ 1 ）由于 (PC) + 1→PC 需由 ALU 完成，因此 PC 的值可作为 ALU 的一个源操作数，靠控制 ALU 做＋ 1 运算得到 (PC) + 1 ，结果送至与 ALU 输出端相连的 R 2 ，然后再送至 PC 。

此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

T 0 PC→MAR ， 1→R

T 1 M (MAR)→MDR ， (PC) + 1→R 2

T 2 MDR→IR ， OP(IR)→ 微操作命令形成部件

T 3 R 2 →PC

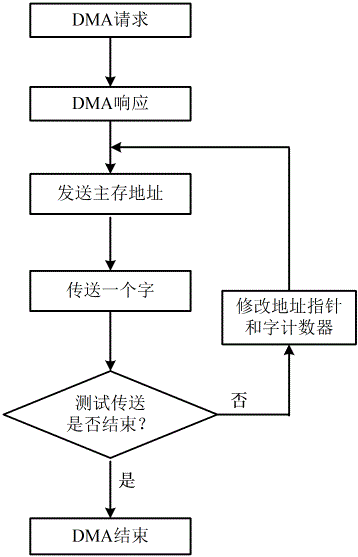
（ 2 ）立即寻址的加法指令执行周期的微操作命令及节拍安排如下：

T 0 Ad(IR)→R 1 ；立即数 →R 1

T 1 (R 1 ) + (ACC)→R 2 ； ACC 通过总线送 ALU

T 2 R 2 →ACC ；结果 →ACC

2 ．（ 7 分）答： DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中， DMA 接口的功能有：（ 1 ）向 CPU 提出总线请求信号；（ 2 ）当 CPU 发出总线响应信号后，接管对总线的控制；（ 3 ）向存储器发地址信号（并能自动修改地址指针）；（ 4 ）向存储器发读 / 写等控制信号，进行数据传送；（ 5 ）修改字计数器，并根据传送字数，判断 DMA 传送是否结束；（ 6 ）发 DMA 结束信号，向 CPU 申请程序中断，报告一组数据传送完毕。 DMA 工作过程流程如图所示。

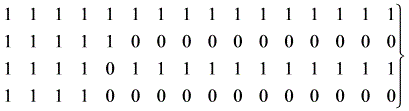


七、设计题（共 10 分）

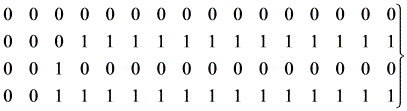
答：

（ 1 ）主存地址空间分配。（ 2 分）

A 15 … A 11 … A 7 … … A 0

最大 4K 2K × 8 位 ROM 2 片

相邻 4K 4K × 4 位 RAM 2 片

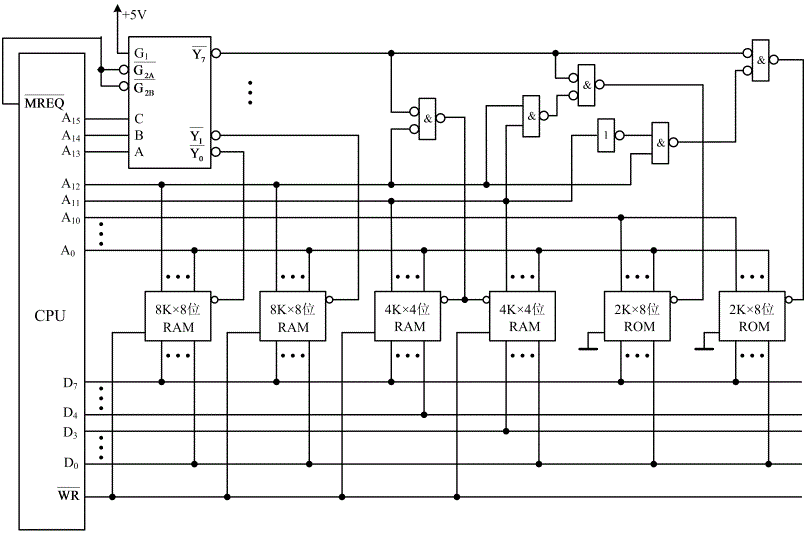
最小 16K 8K × 8 位 RAM 2 片（ 2 ）根据主存地址空间分配

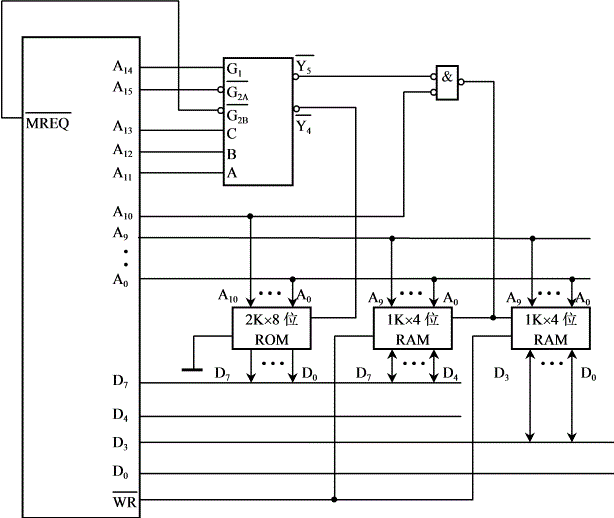
最大 4K 地址空间为系统程序区，选用 2 片 2K × 8 位 ROM 芯片；（ 1 分）

相邻的 4K 地址空间为系统程序工作区，选用 2 片 4K × 4 位 RAM 芯片；（ 1 分）

最小 16K 地址空间为用户程序区，选用 2 片 8K × 8 位 RAM 芯片。（ 1 分）

（ 3 ）存储芯片的片选逻辑图（ 5 分）





计算机组成原理试题（二）

一、选择题      （共  20 题，每题 1 分，   共  20  分）

1.  在下列机器数 \_\_\_B\_\_\_ 中，零的表示形式是唯一的。

A ．原码         B ．补码         C ．反码         D ．原码和反码

2. CRT 的分辨率为 1024 × 1024 ，颜色深度为 8 位，则刷新存储器的存储容量是 \_\_\_B\_\_\_ 。

A ． 2MB         B ． 1MB       C ． 8MB        D ． 1024B

 3.  在定点二进制运算器中，减法运算一般通过 \_\_\_D\_\_\_ 来实现。

A ．原码运算的二进制减法器          B ．补码运算的二进制减法器  C ．补码运算的十进制加法器          D ．补码运算的二进制加法器

4.  在指令的地址字段中，直接指出操作数本身的寻址方式，称为 \_\_\_B\_\_\_ 。

A.  隐含寻址    B.  立即寻址      C.  寄存器寻址      D.  直接寻址

5.  信息只用一条传输线   ，且采用脉冲传输的方式称为 \_\_A\_\_\_\_ 。

A. 串行传输     B. 并行传输     C. 并串行传输     D. 分时传输

6.  和外存储器相比，内存储器的特点是 \_\_\_C\_\_\_ 。

A ．容量大、速度快、成本低          B ．容量大、速度慢、成本高  C ．容量小、速度快、成本高          D ．容量小、速度快、成本低

7. CPU 响应中断的时间是 \_\_\_C\_\_\_ 。

A ．中断源提出请求     B ．取指周期结束      C ．执行周期结束。

8. EPROM 是指 \_\_\_C\_\_\_ 。

A.  读写存储器                        B.  只读存储器

C.  可编程的只读存储器                D.  光擦除可编程的只读存储器

9.  下列数中最小的数是 \_\_B\_\_\_\_ 。

A ．（ 1101001 ） 2     B ．（ 52 ） 8      C ．（ 133 ） 8     D ．（ 30 ） 16

10.  假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校验的字符码是 \_\_\_D\_\_\_ 。  A ． 11001011      B ． 11010110     C ． 11000001      D ． 11001001

11.  单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个数常需采用 \_\_\_C\_\_\_ 。

A.  堆栈寻址方式    B.  立即寻址方式    C. 隐含寻址方式    D.  间

接寻址方式

12.  用于对某个寄存器中操作数的寻址方式称为 \_\_\_C\_\_\_ 寻址。

A.  直接         B.  间接        C.  寄存器直接        D.  寄存器间接

13.  中央处理器（ CPU ）包含 \_C\_\_\_\_\_ 。

A ．运算器                      B ．控制器

C ．运算器、控制器和 cache     D ．运算器、控制器和主存储器

14.  在 CPU 中跟踪指令后继地址的寄存器是 \_\_B\_\_\_\_ 。

A ．主存地址寄存器     B ．程序计数器    C ．指令寄存器   D ．状态

条件寄存器

15.  在集中式总线仲裁中， \_\_C\_\_\_\_ 方式响应时间最快。

A ．链式查询       B. 计数器定时查询      C. 独立请求      D. 以上

三种相同

16. PCI 总线的基本传输机制是 \_\_D\_\_\_\_ 。

A ．串行传输       B ．并行传输      C ． DMA 式传输      D ．猝发式

传输

17.  中断向量地址是 \_\_\_B\_\_\_ 。

A ．子程序入口地址              B ．中断服务子程序入口地址  C ．中断服务子程序出口地址      D ．中断返回地址

18. CD-ROM 是 \_\_\_C\_\_\_ 型光盘。

A ．一次           B ．重写          C ．只读

19.  某计算机字长是 16 位，它的存储容量是 1MB ，按字编址，它的寻址范围是 \_\_\_A\_\_\_ 。

A ． 512K      B ． 1M       C ． 512KB

20 ．一个 16K × 32 位的存储器，其地址线和数据线的总和是 \_\_\_B\_\_\_ 。

A ． 48       B ． 46      C ． 36     D.40

二、填空题（共  7  题，每空 1 分，   共 20 分）

1.  计算机系统是由 \_\_\_\_\_\_ 和软件两大部分组成，软件又分为 \_\_\_\_\_\_\_ 和 \_\_\_\_\_\_\_\_ 。

2.  系统总线按传输信息的不同分为地址总线、 \_\_\_\_\_\_\_\_ 、 \_\_\_\_\_\_\_\_\_ 三大类。

3.  四位二进制补码所能表示的十进制整数范围是 \_\_\_\_\_\_ 至 \_\_\_\_\_\_ 。  4.  半导体 SRAM 靠 \_\_\_\_\_\_ 存储信息，半导体 DRAM 靠 \_\_\_\_\_\_ 存储信息。  5.  动态 RAM 的刷新方式通常有 \_\_\_\_\_\_\_ 、 \_\_\_\_\_\_\_\_ 、 \_\_\_\_\_\_\_ 三种。  6.  完整的指令周期包括取指、 \_\_\_\_\_\_ 、 \_\_\_\_\_\_ 、 \_\_\_\_\_ 四个子周期，影响指令流水线性能的三种相关分别是 \_\_\_\_\_\_ 相关、 \_\_\_\_\_\_\_ 相关和控制相关。

7. Cache 和主存地址的映射方式有 \_\_\_\_\_\_\_\_\_\_ 、 \_\_\_\_\_\_\_\_\_\_ 、 \_\_\_\_\_\_\_\_\_ 三种。

三、简答题（共  2 题，每题 5 分，   共 10 分）

1 ．什么叫指令？什么叫指令系统？

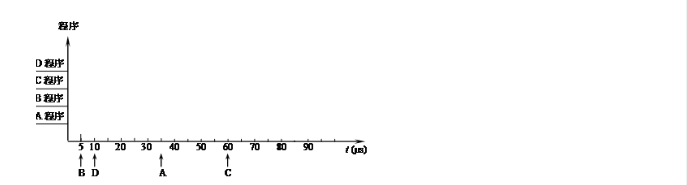
2.  一次程序中断大致可分为哪几个阶段？

四、应用题（共  5  题，每题 10  分，   共  50  分）

1.  设某机主频为 8MHz ，每个机器周期平均含 2 个时钟周期，每条指令平均有 2.5 个机器周期，试问该机的平均指令执行速度为多少 MIPS ？若机器主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 5 个机器周期，则该机的平均指令执行速度又是多少 MIPS ？由此可得出什么结论？

2 ．设某机有四个中断源 A 、 B 、 C 、 D ，其硬件排队优先次序为 A,B,C,D ，现要求将中断处理次序改为 D,A,C,B 。（ 1 ）写出每个中断源对应的屏蔽字。

（ 2 ）按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20s 。



3. 设机器数字长为 8 位（含一位符号位），若 A = +15 ， B = +24 ，求 [A+B] 补

和 [A-B] 补并还原成真值。

4.  某机字长 16 位，存储字长等于指令字长，若存储器直接寻址空间为 128 字，变址时的位移量为 -64~+63,16 个通用寄存器可作为变址寄存器。设计一套指令格式，满足下列寻址类型的要求。

（ 1 ）直接寻址的二地址指令 3 条；   （ 2 ）变址寻址的一地址指令 6 条；   （ 3 ）寄存器寻址的二地址指令 9 条；   （ 4 ）直接寻址的一地址指令 13 条。

5 ．设 CPU 共有 16 根地址线， 8 根数据线，并用 -MREQ （低电平有效）作访存控制信号， R/-W 作读写命令信号（高电平为读，低电评为写）。现有 8 片 8KX8 位的 RAM 芯片与 CPU 相连，试回答：

（ 1 ）用 74138 译码器画出 CPU 与存储芯片的连接图；   （ 2 ）写出每片 RAM 的地址范围；   （ 3 ）根据图（ 1 ），若出现地址线 A13 与 CPU 断线，并搭接到高电平上 , 将出现什么后果？

计算机组成原理试题（二）答案

一、选择题

1.  B   2. B   3. D   4. B  5. A    6. C  7. C  8. C   9. B  10. D   11. C   12. C  13. C  14. B 15. C  16. D  17. B 18. C 19. A  20. B

二、填空题

1. 硬件   系统软件     应用软件 2 数据   地址控制  3  +15 -16   4. 触发器    电容  5 集中   分散   异步   6 间址   执行   中断    结构   数据   控制  7 直接映射   全相连   组相连

三、简答题

1 指令是计算机执行某种操作的命令，也就是常说的机器指令。一台机器中所有机器指令的集合，称这台计算机的指令系统。

2 答：一次程序中断大致可分为五个阶段。中断请求（ 1 分）中断判优（ 1 分）中断响应（ 1 分）中断服务（ 1 分）中断返回（ 1 分）

  四、应用题

1 解：先通过主频求出时钟周期，再求出机器周期和平均指令周期，最后通过平均指令周期的倒数求出平均指令执行速度。计算如下：

时钟周期 =1/8MHz=0.125 × 10-6 =125ns  机器周期 =125ns × 2=250ns

平均指令周期 =250ns × 2.5=625ns

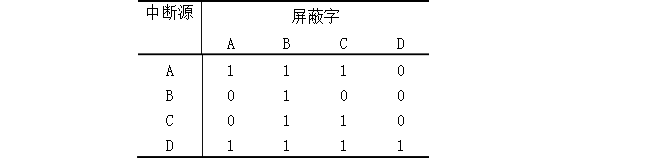
平均指令执行速度 =1/625ns=1.6MIPS

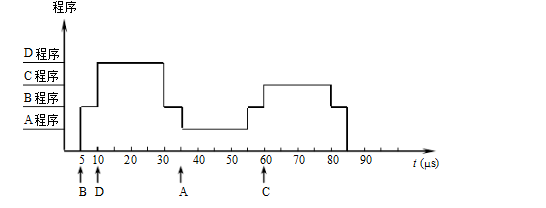
         当参数改变后：机器周期 = 125ns × 4=500ns=0.5µs   平均指令周期 =0.5µs × 5=2.5µs

平均指令执行速度 =1/2.5µs=0.4MIPS

  结论：两个主频相同的机器，执行速度不一定一样。

2  （ 1 ）在中断处理次序改为 D > A > C > B 后，每个中断源新的屏蔽字如表所示。（ 5 分）

（ 2 ）根据新的处理次序， CPU 执行程序的轨迹如图所示（ 5 分）



3 解：∵  A = +15 = +0001111 ， B = +24 = +0011000                    ∴  [A] 补  = 0,0001111 ， [B] 补  = 0,0011000 ， [-B] 补  = 1,1101000

则 [A-B] 补  = [A] 补  + [-B] 补  = 0,0001111                     +1,1101000                       1,1110111

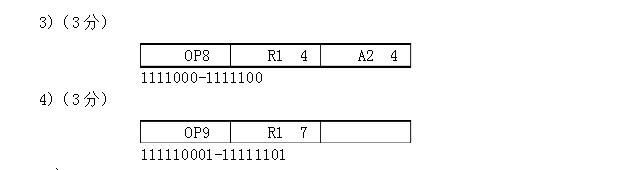
     ∴  [A-B] 补  = 1,1110111                                       故   A-B = -0001001 = -9

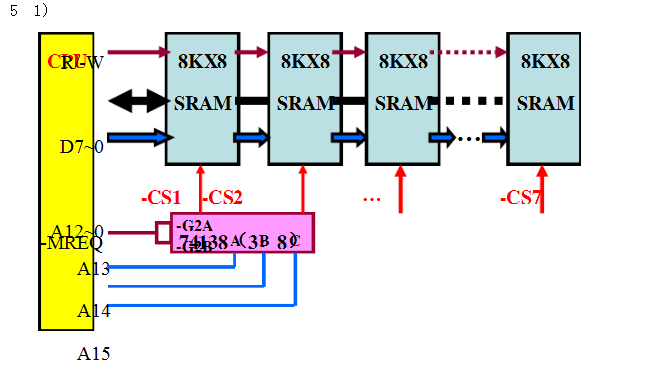
4   1) 地址指令格式为（ 2 分）



2) （ 2 分）







2) 0~8191  8192~16383  16384~24575  24576~32767  32768~40959  40960~49151 49152~57343  57344~65535

3 ）如果地址线 A13 与 CPU 断线，并搭接到高电平上，将会出现 A13 恒为“ 1 ” 的情况。此时存储器只能寻址 A13=1 的地址空间， A13=0 的另一半地址空间将永远访问不到。若对 A13=0 的地址空间进行访问，只能错误地访问到 A13=1 的对应空间中去。

计算机组成原理试题（三）

一． 选择题（每题 1 分，共 20 分）

1. 我国在 \_\_\_\_\_\_ 年研制成功了第一台电子数字计算机，第一台晶体管数字计算机于 \_\_\_\_\_\_ 年完成。

A ． 1946 1958 B ． 1950 1968 C ． 1958 1961 D ． 1959 1965

2. Pentium 微型计算机中乘除法部件位于 \_\_\_\_\_\_ 中。

A ． CPU B ．接口 C ．控制器 D ．专用芯片

3. 没有外存储器的计算机初始引导程序可以放在 \_\_\_\_\_\_ 。

A ． RAM B ． ROM C ． RAM 和 ROM D ． CPU

4. 下列数中最小的数是 \_\_\_\_\_\_ 。

A ．（ 101001 ） 2 B ．（ 52 ） 8 C ．（ 2B ） 16 D ．（ 44 ） 10

5. 在机器数 \_\_\_\_\_\_ 中，零的表示形式是唯一的。

A ．原码 B ．补码 C ．移码 D ．反码

6. 在定点二进制运算器中，减法运算一般通过 \_\_\_\_\_\_ 来实现。

A ．原码运算的二进制减法器 B ．补码运算的二进制减法器

C ．补码运算的十进制加法器 D ．补码运算的二进制加法器

7. 下列有关运算器的描述中 \_\_\_\_\_\_ 是正确的。

A ．只作算术运算，不作逻辑运算 B ．只作加法

C ．能暂时存放运算结果 D ．以上答案都不对

8. 某 DRAM 芯片，其存储容量为 512K × 8 位，该芯片的地址线和数据线数目为 \_\_\_\_\_\_ 。

A ． 8 ， 512 B ． 512 ， 8 C ． 18 ， 8 D 。 19 ， 8

9. 相联存储器是按 \_\_\_\_\_\_ 进行寻址的存储器。

A ．地址指定方式 B ．堆栈存取方式

C ．内容指定方式 D 。地址指定与堆栈存取方式结合

10. 指令系统中采用不同寻址方式的目的主要是 \_\_\_\_\_\_ 。

A ．实现存储程序和程序控制 B ．缩短指令长度，扩大寻址空间，提高编程灵活性

C ．可以直接访问外存 D ．提供扩展操作码的可能并降低指令译码难度

11. 堆栈寻址方式中，设 A 为累加寄存器， SP 为堆栈指示器， Msp 为 SP

指示器的栈顶单元，如果操作的动作是：（ A ） →Msp ，（ SP ）－ 1→SP ，那么出栈操作的动作为：

A ．（ Msp ） →A ，（ SP ） +1→SP B. （ SP ） +1→SP ，（ Msp ） →A

C ．（ SP ）－ 1→SP ，（ Msp ） →A D. （ Msp ） →A ，（ SP ）－ 1→SP

12. 在 CPU 中跟踪指令后继地址的寄存器是 \_\_\_\_\_\_ 。

A ．主存地址寄存器 B ．程序计数器 C ．指令寄存器 D ．状态条件寄存器

13. 描述多媒体 CPU 基本概念中正确表述的句子是 \_\_\_\_\_\_ 。

A. 多媒体 CPU 是带有 MMX 技术的处理器

B ．多媒体 CPU 是非流水线结构

C ． MMX 指令集是一种单指令流单数据流的串行处理指令

D ．多媒体 CPU 一定是 CISC 机器

14. 描述 Futurebus+ 总线中基本概念正确的表述是 \_\_\_\_\_\_ 。

A. Futurebus+ 总线是一个高性能的同步总线标准

B. 基本上是一个同步数据定时协议

C. 它是一个与结构、处理器技术有关的开发标准

D. 数据线的规模不能动态可变

15. 在 \_\_\_\_\_\_ 的微型计算机系统中，外设可以和主存储器单元统一编址，因此可以不用 I/O 指令。

A ．单总线 B ．双总线 C ．三总线 D ．多总线

16. 用于笔记本电脑的大容量存储器是 \_\_\_\_\_\_ 。

A ．软磁盘 B ．硬磁盘 C ．固态盘 D ．磁带

17. 具有自同步能力的记录方式 \_\_\_\_\_\_ 。

A ． NRZ 0 B ． NRZ 1 C ． PM D ． MFM

18. \_\_\_\_\_\_ 不是发生中断请求的条件。

A ．一条指令执行结束 B ．一次 I/O 操作结束

C ．机器内部发生故障 D ．一次 DMA 操作结束

19. 采用 DMA 方式传送数据时，每传送一个数据就要用一个 \_\_\_\_\_\_ 。

A ．指令周期 B ．数据周期 C ．存储周期 D ．总线周期

20. 并行 I/O 标准接口 SCSI 中，一块主适配器可以连接 \_\_\_\_\_\_ 台具有 SCSI 接口的设备。

A ． 6 B ． 7 ～ 15 C ． 8 D ． 10

二． 填空题（每空 1 分，共 20 分）

1. 在计算机术语中，将 A.\_\_\_\_\_\_ 和 B.\_\_\_\_\_\_ 和在一起称为 CPU ，而将 CPU 和 C.\_\_\_\_\_\_ 合在一起称为主机。

2. 计算机软件一般分为两大类：一类叫 A.\_\_\_\_\_\_ ，另一类叫 B.\_\_\_\_\_\_ 。操作系统属于 C.\_\_\_\_\_\_ 类。

3. 主存储器容量通常以 MB 表示，其中 M = A.\_\_\_\_\_\_ , B =B.\_\_\_\_\_\_ ；硬盘容量通常以 GB 表示，其中 G =C. \_\_\_\_\_\_ 。

4. CPU 能直接访问 A.\_\_\_\_\_\_ 和 B.\_\_\_\_\_\_ ，但不能直接访问磁盘和光盘。

5. 指令字长度有 A.\_\_\_\_\_\_ 、 B.\_\_\_\_\_\_ 、 C.\_\_\_\_\_\_ 三种形式。

6. 计算机系统中，根据应用条件和硬件资源不同，数据传输方式可采用 A.\_\_\_\_\_\_ 传送、 B.\_\_\_\_\_\_ 传送、 C.\_\_\_\_\_\_ 传送。

7. 通道是一个特殊功能的 A.\_\_\_\_\_\_ ，它有自己的 B.\_\_\_\_\_\_ 专门负责数据输入输出的传输控制。

8. 并行 I/O 接口 A.\_\_\_\_\_\_ 和串行 I/O 接口 B.\_\_\_\_\_\_ 是目前两个最具有权威性的标准接口技术。

三． 简答题（每题 5 分，共 20 分）

1. 一个较完善的指令系统应包括哪几类？

2. 什么是闪速存储器？它有哪些特点？

3. 比较水平微指令与垂直微指令的优缺点。

4. CPU 响应中断应具备哪些条件？

四． 应用题（每题 5 分，共 20 分）

1. 已知： X=0.1011,Y= － 0.0101, 求 [X/2] 补 ,[X/4] 补 , [ － X] 补 , [Y/2] 补 ,[Y/4] 补 , [ － Y] 补。

2. 设机器字长为 16 位，定点表示时，尾数 15 位，阶符 1 位。

(1) 定点原码整数表示时，最大正数为多少？最小负数为多少？

(2) 定点原码小数表示时，最大正数为多少？最小负数为多少？

3. [x] 补 +[y] 补 =[x+y] 补

求证 ： -[y] 补 =[-y] 补

4. 有一个 16K × 16 的存储器，由 1K × 4 位的 DRAM 芯片构成问 :

（ 1 ）总共需要多少 DRAM 芯片 ?

（ 2 ）画出存储体的组成框图。

5. 中断接口中有哪些标志触发器？功能是什么？

6. CPU 结构如图所示，其中一个累加寄存器 AC ，一个状态条件寄存器和其它四个寄存器，各部分之间的连线表示数据通路，箭头表示信息传送方向。

(1) 标明图中四个寄存器的名称。

(2) 简述指令从主存取到控制器的数据通路。

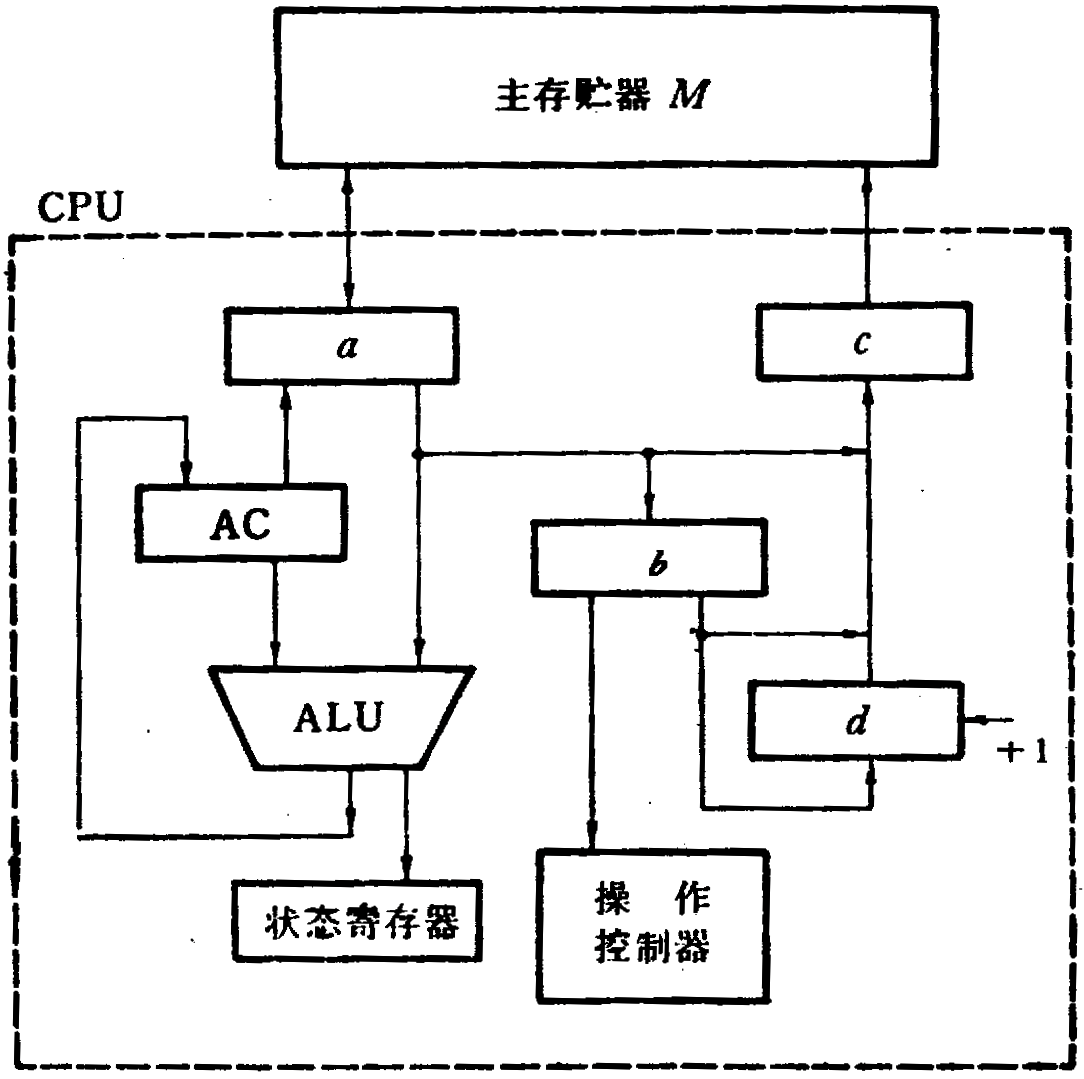
(3) 简述数据在运算器和主存之间进行存 / 取访问的数据通路。 

图 C8.1

7. 何谓 DMA 方式？ DMA 控制器可采用哪几种方式与 CPU 分时使用内存？

8. CD － ROM 光盘的外缘有 5mm 的范围因记录数据困难，一般不使用，故标准的播放时间为 60 分钟。请计算模式 1 情况下光盘存储容量是多少？

计算机组成原理试题（三）答案

一． 选择题

1.D 2. A 3. B 4. A 5. B,C 6. D 7. D

8. D 9. C 10. B 11. B 12. B 13. A 14. C

15. A 16. C,D 17. C 18. A 19. C 20. B

二． 填空题

1. A. 运算器 B. 控制器 C. 存储器

2. A. 系统程序 B. 应用程序 C. 系统程序

3. A.2 20 B.8 位 (1 个字节 ) C.2 30

4. A.cache B. 主存

5. A. 单字长 B. 半字长 C. 双字长

6. A. 并行 B. 串行 C. 复用

7. A. 处理器 B. 指令和程序

8. A.SCSI B.IEEE1394

三． 简答题

1. 包括：数据传送指令、算术运算指令、逻辑运算指令、程序控制指令、输入输出指令、堆栈指令、字符串指令、特权指令等。

2. 闪速存储器是高密度、非易失性的读 / 写半导体存储器。从原理上看，它属于 ROM 型存储器，但是它又可随机改写信息；从功能上看，它又相当于 RAM ，所以传统 ROM 与 RAM 的定义和划分已失去意义。因而它是一种全新的存储器技术。

闪速存储器的特点：（ 1 ）固有的非易失性

（ 2 ）廉价的高密度

（ 3 ）可直接执行

（ 4 ）固态性能

3. （ 1 ）水平型微指令并行操作能力强、效率高、灵活性强，垂直型微指令则较差。

（ 2 ）水平型微指令执行一条指令的时间短，垂直型微指令执行时间长。

（ 3 ）由水平型微指令解释指令的微程序，具有微指令字比较长，但微程序短的特点，而垂直型微指令正好相反。

（ 4 ）水平型微指令用户难以掌握，而垂直型微指令与指令比较相似，相对来说比较容易掌握

4. 解：

（1） 在 CPU 内部设置的中断屏蔽触发器必须是开放的。

（2） 外设有中断请求时，中断请求触发器必须处于“ 1 ”状态，保持中断请求信号。

（3） 外设（接口）中断允许触发器必须为“ 1 ”，这样才能把外设中断请求送至 CPU 。

（4） 当上述三个条件具备时， CPU 在现行指令结束的最后一个状态周期响应中断。

四． 应用题

1. 解： [X] 补 = 0.1011 [X/2] 补 = 0.01011 [X/4] 补 = 0.001011 [ － X] 补 = 1.0101

[Y] 补 = 1.1011 [Y/2] 补 = 1.11011 [Y/4] 补 = 1.111011 [ － Y] 补 = 0.0101

2. 解： （ 1 ）定点原码整数表示时

最大正数：（ 2 15 -1 ） 10 = （ 32767 ） 10

最小负数： - （ 2 15 -1 ） 10 = （ -32767 ） 10

（ 2 ）定点原码小数表示时

最大正数：（ 1-2 -15 ） 10

最小负数： - （ 1-2 -15 ） 10

3. 证： 因为 [x] 补 +[y] 补 =[x+y] 补

令 x = -y 代入，则有 [-y] 补 +[y] 补 =[-y+y] 补 = [0] 补 = 0

所以 -[y] 补 =[-y] 补

4. 解：（ 1 ）芯片 1K × 4 位，片内地址线 10 位（ A 9 --A 0 ），数据线 4 位。芯片总数

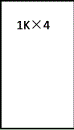
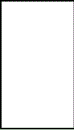
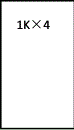
16K × 16/ （ 1K × 4 ） =64 片

（ 2 ）存储器容量为 16K ，故地址线总数为 14 位（ A13 ─ A0 ），其中 A 13 A 12 A 11 A 10 通过 4 ： 16 译码器产生片选信号 CS 0 ─ CS 15 。

A 9 ─ A 0

 CS 15

 4 位 CS 1 CS 0 4 位

。。。。 





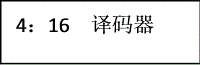


4 位 4 位



 CS 0 CS 1 CS 15 D 15 —D 0

 ……





A 13 A 12 A 11 A 10

图 C8.2

5. 解：中断接口中有四个标志触发器：

（1） 准备就绪的标志（ RD ）：一旦设备做好一次数据的接受或发送，便发出一个设备动作完毕信号，使 RD 标志置“ 1 ”。在中断方式中，该标志用作为中断源触发器，简称中断触发器。

（2） 允许中断触发器（ EI ）：可以用程序指令来置位。 EI 为“ 1 ”时，某设备可以向 CPU 发出中断请求； EI 为“ 0 ”时，不能向 CPU 发出中断请求，这意味着某中断源的中断请求被禁止。设置 EI 标志的目的，就是通过软件来控制是否允许某设备发出中断请求。

（3） 中断请求触发器（ IR ）：它暂存中断请求线上由设备发出的中断请求信号。当 IR 标志为“ 1 ”时，表示设备发出了中断请求。

（4） 中断屏蔽触发器（ IM ）：是 CPU 是否受理中断或批准中断的标志。 IM 标志为“ 0 ”时， CPU 可以受理外界的中断请求，反之， IM 标志为“ 1 ”时， CPU 不受理外界的中断。

6. 解：（ 1 ） a 为数据缓冲寄存器 DR ， b 为指令寄存器 IR ， c 为主存地址寄存器 AR ，

d 为程序计数器 PC

（ 2 ） PC → AR →主存→缓冲寄存器 DR → 指令寄存器 IR → 操作控制器

（ 3 ）存储器读： M → DR → ALU → AC 存储器写： AC → DR → M

7. 解： DMA 直接内存访问方式是一种完全由硬件执行 I/O 交换的工作方式。 DMA 控制器从 CPU 完全接管对总线的控制，数据交换不经过 CPU 而直接在内存和 I/O 设备间进行。

8. 解：扇区总数 = 60 × 60 × 75 = 270000

模式 1 存放计算机程序和数据，其存储容量为

270000 × 2048 /1024 /1024 = 527MB

计算机组成原理试题（四）

（1） 选择题（每空 1 分，共 20 分）

1． 将有关数据加以分类、统计、分析，以取得有利用价值的信息，我们称其为 \_\_\_\_\_\_ 。

A. 数值计算 B. 辅助设计 C. 数据处理 D. 实时控制

2． 目前的计算机，从原理上讲 \_\_\_\_\_\_ 。

（1） 指令以二进制形式存放，数据以十进制形式存放

（2） 指令以十进制形式存放，数据以二进制形式存放

（3） 指令和数据都以二进制形式存放

（4） 指令和数据都以十进制形式存放

3. 根据国标规定，每个汉字在计算机内占用 \_\_\_\_\_\_ 存储。

A. 一个字节 B. 二个字节 C. 三个字节 D. 四个字节

4. 下列数中最小的数为 \_\_\_\_\_\_ 。

A. （ 101001 ） 2 B. （ 52 ） 8 C . （ 2B ） 16 D. （ 44 ） 10

5. 存储器是计算机系统的记忆设备，主要用于 \_\_\_\_\_\_ 。

A. 存放程序 B. 存放软件 C. 存放微程序 D. 存放程序和数据

6. 设 X= —0.1011 ，则 [X] 补 为 \_\_\_\_\_\_ 。

A.1.1011 B. 1.0100 C .1.0101 D.1.1001

7. 下列数中最大的数是 \_\_\_\_\_\_ 。

A. （ 10010101 ） 2 B. （ 227 ） 8 C . （ 96 ） 16 D. （ 143 ） 10

8. 计算机问世至今，新型机器不断推陈出新，不管怎样更新，依然保有“存储程序”的概念，最早提出这种概念的是 \_\_\_\_\_\_ 。

A. 巴贝奇 B. 冯 . 诺依曼 C. 帕斯卡 D. 贝尔

9. 在 CPU 中，跟踪后继指令地指的寄存器是 \_\_\_\_\_\_ 。

A. 指令寄存器 B. 程序计数器 C. 地址寄存器 D. 状态条件寄存器

10. Pentium-3 是一种 \_\_\_\_\_\_ 。

A.64 位处理器 B.16 位处理器 C. 准 16 位处理器 D.32 位处理器

11. 三种集中式总线控制中， \_\_\_\_\_\_ 方式对电路故障最敏感。

A. 链式查询 B. 计数器定时查询 C. 独立请求

12. 外存储器与内存储器相比，外存储器 \_\_\_\_\_\_ 。

A. 速度快，容量大，成本高 B. 速度慢，容量大，成本低

C. 速度快，容量小，成本高 D. 速度慢，容量大，成本高

13. 一个 256K × 8 的存储器，其地址线和数据线总和为 \_\_\_\_\_\_ 。

A.16 B .18 C .26 D.20

14. 堆栈寻址方式中，设 A 为累加器， SP 为堆栈指示器， M SP 为 SP 指示的栈顶单元。如果进栈操作的动作顺序是（ A ） → M SP ， (SP) -1 → SP 。那么出栈操作的动作顺序应为 \_\_\_\_\_\_ 。

A . (M SP ) → A ， (SP)+1 → SP B . (SP)+1 → SP ， (M SP ) → A

C . (SP-1) → SP ， (M SP ) → A D . (M SP ) → A ， （ SP ） -1 → SP

15. 当采用 \_\_\_\_\_\_ 对设备进行编址情况下，不需要专门的 I/O 指令组。

A. 统一编址法 B. 单独编址法 C. 两者都是 D. 两者都不是

16. 下面有关“中断”的叙述， \_\_\_\_\_\_ 是不正确的。

A. 一旦有中断请求出现， CPU 立即停止当前指令的执行，转而去受理中断请求

B. CPU 响应中断时暂停运行当前程序，自动转移到中断服务程序

C. 中断方式一般适用于随机出现的服务

D. 为了保证中断服务程序执行完毕以后，能正确返回到被中断的断点继续执行程序，必须进行现场保存操作

17. 下面叙述中， \_\_\_\_\_\_ 是正确的。

A. 总线一定要和接口相连 B. 接口一定要和总线相连

C. 通道可以替代接口 D. 总线始终由 CPU 控制和管理

18. 在下述指令中， I 为间接寻址， \_\_\_\_\_\_ 指令包含的 CPU 周期数最多。

A.CLA B.ADD 30 C .STA I 31 D.JMP 21

19. 设寄存器位数为 8 位，机器数采用补码形式（含一位符号位）。对应于十进制数 -27 ，

寄存器内为 \_\_\_\_\_\_ 。

A.27H B.9BH C.E5H D.5AH

20. 某存储器芯片的存储容量为 8K × 12 位，则它的地址线为 \_\_\_\_ 。

A.11 B .12 C .13 D.14

二 . 填空题（每空 1 分，共 20 分）

1. 计算机软件一般分为两大类：一类叫 A.\_\_\_\_\_\_, 另一类叫 B.\_\_\_\_\_\_ 。操作系统属于 C.\_\_\_\_\_\_ 类。

2. 一位十进制数，用 BCD 码表示需 A.\_\_\_\_\_\_ 位二进制码 ，用 ASCII 码表示需 B.\_\_\_\_\_\_ 位二进制码。

3. 主存储器容量通常以 KB 表示，其中 K=A.\_\_\_\_\_\_; 硬盘容量通常以 GB 表示，其中 G=B.\_\_\_\_\_\_ 。

4. RISC 的中文含义是 A.\_\_\_\_\_\_,CISC 的中文含义是 B.\_\_\_\_\_\_ 。

5. 主存储器的性能指标主要是存储容量、 A.\_\_\_\_\_\_ 、 B.\_\_\_\_\_\_ 和 C.\_\_\_\_\_\_ 。

6. 由于存储器芯片的容量有限，所以往往需要在 A.\_\_\_\_\_\_ 和 B.\_\_\_\_\_\_ 两方面进行扩充才能满足实际需求。

7. 指令寻址的基本方式有两种， A.\_\_\_\_\_\_ 方式和 B.\_\_\_\_\_\_ 方式。

8. 存储器和 CPU 连接时，要完成 A.\_\_\_\_\_\_ 的连接； B.\_\_\_\_\_\_ 的连接和 C.\_\_\_\_\_\_ 的连接，方能正常工作。

9. 操作控制器的功能是根据指令操作码和 A.\_\_\_\_\_\_ ，产生各种操作控制信号，从而完成 B.\_\_\_\_\_\_ 和执行指令的控制。

三 . 简答题（每题 5 分，共 20 分）

1. 指令和数据均存放在内存中，计算机如何从时间和空间上区分它们是指令还是数据。

2. 什么是指令周期？什么是机器周期？什么是时钟周期？三者之间的关系如何？

3. 简要描述外设进行 DMA 操作的过程及 DMA 方式的主要优点。

4. 在寄存器 — 寄存器型，寄存器 — 存储器型和存储器 — 存储器型三类指令中，哪类指令的执行时间最长？哪类指令的执行时间最短？为什么？

（1） 应用题（每题 5 分，共 40 分）

1. 求十进制数 -113 的原码表示，反码表示，补码表示和移码表示（用 8 位二进制表示，并设最高位为符号位，真值为 7 位）。

2. 某机指令格式如图所示：

|  |  |  |
| --- | --- | --- |
| OP | X | D |
|  |  |  |

15 10 9 8 7 0

图中 X 为寻址特征位，且 X=0 时，不变址； X=1 时，用变址寄存器 X 1 进行变址； X=2 时，用变址寄存器 X 2 进行变址； X=3 时，相对寻址。设（ PC ） =1234H ，（ X 1 ） =0037H,

(X 2 )=1122H ，请确定下列指令的有效地址（均用十六进制表示， H 表示十六进制）

(1)4420H (2)2244H (3)1322H (4)3521H (5)6723H

3. 将十进制数 354  转换成二进制数、八进制数、十六进制数和 BCD 数。

4. 浮点数格式如下： 1 位阶符， 6 位阶码， 1 位数符， 8 位尾数，请写出浮点数所能表示的范围（只考虑正数值）。

5. 现有一 64K × 2 位的存储器芯片，欲设计具有同样存储容量的存储器 , 应如何安排地址线和数据线引脚的数目，使两者之和最小。并说明有几种解答。

6. 异步通信方式传送 ASCII 码，数据位 8 位，奇校验 1 位，停止位 1 位。计算当波特率为 4800 时，字符传送的速率是多少？每个数据位的时间长度是多少？数据位的传送速率是多少？

7. 已知某 8 位机的主存采用半导体存储器，地址码为 18 位，采用 4K × 4 位的 SRAM 芯片组成该机所允许的最大主存空间，并选用模块条形式，问：

（1） 若每个模块条为 32K × 8 位，共需几个模块条？

（2） 每个模块条内有多少片 RAM 芯片 ?

（3） 主存共需多少 RAM 芯片？ CPU 需使用几根地址线来选择各模块？使用何种译码器？

8. 画出中断处理过程流程图。

计算机组成原理试题（四）答案

一. 选择题：

1.C 2.C 3.B 4.A 5.D 6.C 7.B

8.B 9.B 10.A 11.A 12.B 13.C 14.B

15.A 16.A 17.B 18.C 19.C 20C

二 . 填空题：

1. A. 系统软件 B. 应用软件 C. 系统软件

2. A .4 B .7

3. A.2 10 B. 2 30

4.A. 精简指令系统计算机 B. 复杂指令系统计算机

5.A. 存取时间 B. 存储周期 C. 存储器带宽

6.A. 字向 B. 位向

7.A. 顺序寻址方式 B. 跳跃寻址方式

8.A. 地址线 B. 数据线 C. 控制线

9.A. 时序信号 B. 取指令

三 . 简答题：

1. 时间上讲，取指令事件发生在“取指周期”，取数据事件发生在“执行周期”。从空间上讲，从内存读出的指令流流向控制器（指令寄存器）。从内存读出的数据流流向运算器（通用寄存器）。

2. 指令周期是完成一条指令所需的时间。包括取指令、分析指令和执行指令所需的全部时间。机器周期也称为 CPU 周期，是指被确定为指令执行过程中的归一化基准时间，通常等于取指时间（或访存时间）。时钟周期是时钟频率的倒数，也可称为节拍脉冲或 T 周期，是处理操作的最基本单位。一个指令周期由若干个机器周期组成，每个机器周期又由若干个时钟周期组成。

3. (1) 外设发出 DMA 请求；

（ 2 ） CPU 响应请求， DMA 控制器从 CPU 接管总线的控制；

（ 3 ）由 DMA 控制器执行数据传送操作；

（ 4 ）向 CPU 报告 DMA 操作结束。

主要优点是数据数据速度快

4. 寄存器 - 寄存器型执行速度最快 , 存储器 - 存储器型执行速度最慢。因为前者操作数在寄存器中，后者操作数在存储器中，而访问一次存储器所需的时间一般比访问一次寄存器所需时间长。

四. 应用题

1. 原码 11110001

反码 10001110

补码 10001111

移码 00001111

2. （ 1 ） 0020H （ 2 ） 1166H （ 3 ） 1256H （ 4 ） 0058H （ 5 ） 1257H

3. （ 1 ）（ 354  ） 10 = （ 162.A ） 16

 （ 2 ）（ 354  ） 10 = （ 101100010.1010 ） 2

 （ 3 ）（ 354  ） 10 = （ 542.5 ） 8

 （ 4 ）（ 354  ） 10 = （ 001101010100.011000100101 ） BCD

4. 最小值 2 -111111 × 0.00000001

最大值 2 111111 × 0.11111111

5. 设地址线 x 根，数据线 y 根，则

2 x · y=64K × 2

若 y=1 x=17

y=2 x=16

y=4 x=15

y=8 x=14

因此，当数据线为 1 或 2 时，引脚之和为 18

共有 2 种解答

6. 每个字符格式包含十个位，因此字符传送速率

4800 波特 /10=480 字符 / 秒

每个数据位时间长度 T=1/4800=0.208ms

数据位传送速率 8 × 480=3840 位 / 秒

7. (2 18 × 8 ） / （ 32k × 8 ） =8 ，故需 8 个模块

(32k × 8 ） / （ 4k × 4 ） =16 ，故需 16 片芯片

共需 8 × 16=128 片芯片

为了选择各模块，需使用 3:8 译码器

即 3 根地址线选择模条。

8 ．中断处理过程流程图如图 C2.1 所示。





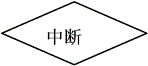








 否



 是





 中

 断

 周

 期







 中

 断

 服

 务

子

 程

 序





图 C2.1

计算机组成原理试题（五）

一、选择题 （每小题选出一个最合适的答案，每小题 2 分，共 20 分）

1 、若十进制数为 37.25 ，则相应的二进制数是（ ）。

（ A ） 100110.01 （ B ） 110101.01 （ C ） 100101.1 （ D ） 100101.01

2 、若 [x] 反 =1.1011 ，则 x=

（ A ） -0.0101 （ B ） -0.0100 （ C ） 0.1011 （ D ） -0.1011

3 、某机器字长 16 位，含一位数符，用补码表示，则定点小数所能表示的最小正数是（ ）。

（ A ） 2-15 （ B ） 216 （ C ） 2-1 （ D ） 1-2-15

4 、若采用双符号位补码运算，运算结果的符号位为 10 ，则（）。

（ A ）产生了负溢出（下溢） （ B ）产生了正溢出（上溢）

（ C ）运算结果正确，为负数 （ D ）运算结果正确，为正数

5 、在用比较法进行补码一位乘法时，若相邻两位乘数 yiyi+1 为 01 时，完成的操作是（ ）。

（ A ）无 （ B ）原部分积 +[X] 补 ，右移一位

（ C ）原部分积 +[-X] 补 ，右移一位 （ D ）原部分积 +[Y] 补 ，右移一位

6 、堆栈指针 SP 的内容是（ ）。

（ A ）栈顶地址 （ B ）栈底地址 （ C ）栈顶内容 （ D ）栈底内容

7 、在寄存器间接寻址方式中，操作数是从（ ）。

（ A ）主存储器中读出 （ B ）寄存器中读出

（ C ）磁盘中读出 （ D ） CPU 中读出

8 、在微程序控制器中，一条机器指令的功能通常由（ ）。

（ A ）一条微指令实现 （ B ）一段微程序实现

（ C ）一个指令码实现 （ D ）一个条件码实现

9 、在串行传输时，被传输的数据（ ）

（ A ） 在发送设备和接受设备中都是进行串行到并行的变换

（ B ） 在发送设备和接受设备中都是进行并行到串行的变换

（ C ） 发送设备进行串行到并行的变换，在接受设备中都是进行并行到串行的变换

（ D ） 发送设备进行并行到串行的变换，在接受设备中都是进行串行到并行的变换

10 、系统总线是指（ ）。

（ A ） 运算器、控制器和寄存器之间的信息传送线

（ B ） 运算器、寄存器和主存之间的信息传送线

（ C ） 运算器、寄存器和外围设备之间的信息传送线

（ D ） CPU 、主存和外围设备之间的信息传送线

二、名词解释（每小题 4 分，共 20 分）

1 ． 全相联映像

2 ． 指令系统

3 ． 指令周期、 CPU 周期

4 ． 向量中断

5 ． 微指令

三、改错题（在下列各小题的表述中均有错误，请改正。每小题 3 分，共 12 分）

1 、在中央处理器中，运算器可以向控制器发出命令进行运算操作。

2 、在单处理机总线中，相对 CPU 而言，地址线和数据线一般都为双向信号线

3 、多重中断方式，是指 CPU 同时处理多个中断请求

4 、在“半互锁”异步通信方式中，“请求”信号的撤消取决于“回答”信号的来到，而“请求”信号的撤消又导致“回答”信号的撤消

四、简答题（每小题 5 分，共 15 分）

1 、某机指令字长 12 位，每个地址段 3 位，试提出一种字段分配方案，使该机指令系统能有 6 条三地址指令和 8 条二地址指令。

2 、分别用 NRZ-1 、 PE 及 FE 制记录方式记录数据序列 11001 ，画出写电流波形。

3 、简述通道控制方式和 DMA 方式的异同。

五、计算题（ 10 分）

用补码加减交替一位除法进行 6 ÷ 2 运算，要求写出运算过程和运算结果

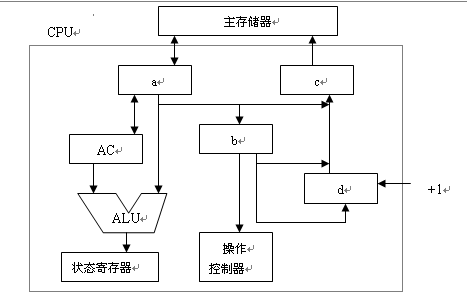
六、设计题（第一小题 12 分，第二小题 11 分，共 23 分）

1 、 CPU 结构如下图所示，其中有一个累加寄存器 AC 、一个状态条件寄存器和其他 4 个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。

（ 1 ） 标明 4 个寄存器的名称。

（ 2 ） 简述指令从主存取出送到控制器的数据通路。

（ 3 ） 简述数据在运算器和主存之间进行存取访问的数据通路



2 、 用 2K 4 位 / 片的 RAM 存储器芯片设计一个 8KB 的存储器，设 CPU 的地址总线为 A12~A0 （低），数据总线为 D7~D0 （低），由 线控制读写。

（ 1 ） 该存储器需要多少片 2K 4 位 / 片的存储器芯片。

（ 2 ） 请设计并画出该存储器的逻辑图。

计算机组成原理试题（五）答案

一、选择题 （每小题选出一个最合适的答案，每小题 2 分，共 20 分）

1 、 D 2 、 B 3 、 A 4 、 A 5 、 B 6 、 A 7 、 B 8 、 B 9 、 D 10 、 D

二、名词解释（每小题 4 分，共 20 分）

1 ． 全相联映像：就是让主存中的任何一个块均可以映像装入到 Cache 中任何一个块的位置上。

2 ． 指令系统：是指一台计算机的所有指令的集合。

3 ． 指令周期：是指从取指令、分析取数到执行完该指令所需的全部时间。

CPU 周期：也叫机器周期，通常把一个指令周期划分为若干个机器周期，每个机器周期完成一个基本操作。

4 ． 向量中断：是指那些中断服务程序的入口地址是由中断事件自己提供的中断。

5 ． 微指令：是指控制存储器中的一个单元的内容，即控制字，是若干个微命令的集合。

三、改错题（在下列各小题的表述中均有错误，请改正。每小题 3 分，共 12 分）

1 、在中央处理器中，运算器可以向控制器发出命令进行运算操作。

改为：在中央处理器中，控制器可以向运算器发出命令进行运算操作。

2 、在单处理机总线中，相对 CPU 而言，地址线和数据线一般都为双向信号线

改为：在单处理机总线中，相对 CPU 而言，地址线为单向信号和数据线一般都为双向信号线

3 、多重中断方式，是指 CPU 同时处理多个中断请求

改为：多重中断是指具有中断嵌套的功能， CPU 在响应较低级别的中断请求时，如果有更高级别的中断请求， CPU 转去响应更高级别中断请求。

4 、在“半互锁”异步通信方式中，“请求”信号的撤消取决于“回答”信号的来到，而“请求”信号的撤消又导致“回答”信号的撤消

改为：在“半互锁”异步通信方式中，“请求”信号的撤消取决于“回答”信号的来到，而“回答”信号的撤消由从设备自己决定。

四、简答题（每小题 5 分，共 15 分）

1 ． 000 XXX YYY ZZZ

。。。

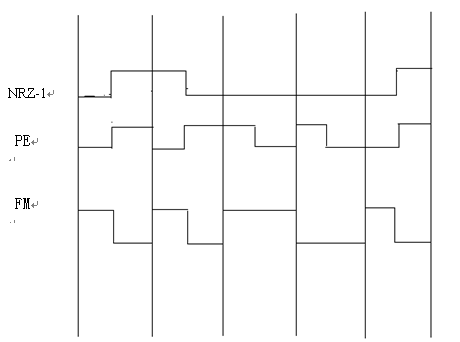
101 XXX YYY ZZZ

110 000 YYY ZZZ

。。。

110 111 YYY ZZZ

2 ．



3 ．相同点：都是能在不需要 CPU 干预下实现外设和内存间的数据交换（ 2 分）

不同点： 1 ） DMA 控制器是通过专门设计的硬件控制逻辑来实现对数据传递的控制，而通道具有自己的指令和程序，是一个有特殊功能的处理器 2 ） DMA 仅能控制一台或几台同类设备，而通道能控制多台同类或不同类设备

五、计算题（ 10 分）

解题要领：首先要转化为 ，然后进行列算式计算。没有转化，但会列算式，且最后结果正确给 7 分。

六、设计题（第一小题 12 分，第二小题 11 分，共 23 分）

1 、（ 1 ） a 为 MDR,b 为 IR,c 为 MAR,d 为 PC

(2) 取指令的数据通路： PC → MAR → MM → MDR → IR

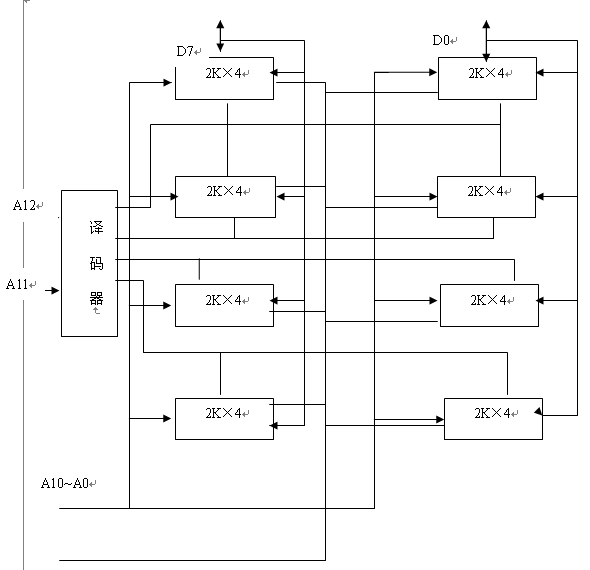
(3) 数据从主存取出的数据通路（设数据地址为 X ） X → MAR → MM → MDR → ALU → AC

数据存入主存的数据通路（设数据地址为 Y ） Y → MAR,AC → MDR → MM

2 、每小题 4 分，共 12 分

（ 1 ）共需 8 片（ 5 分）

（ 2 ）如下逻辑图（ 6 分）



计算机组成原理试题二

一、选择题（共 20 分，每题 1 分）

1 ． CPU 响应中断的时间是 \_ C \_\_\_\_\_ 。

A ．中断源提出请求；　　 B ．取指周期结束；　 C ． 执行周期结束 ； D ．间址周期结束。

2 ．下列说法中 \_\_\_c\_\_\_ 是正确的。

A ．加法指令的执行周期一定要访存； B ．加法指令的执行周期一定不访存；

C ． 指令的地址码给出存储器地址的加法指令，在执行周期一定访存；

D ．指令的地址码给出存储器地址的加法指令，在执行周期不一定访存。

3 ．垂直型微指令的特点是 \_\_\_c\_\_\_ 。

A ．微指令格式垂直表示；　 B ．控制信号经过编码产生；

C ． 采用微操作码； 　　　　 D ．采用微指令码。

4 ．基址寻址方式中，操作数的有效地址是 \_\_\_A\_\_\_ 。

A ． 基址寄存器内容加上形式地址（位移量） ； B ．程序计数器内容加上形式地址；

C ．变址寄存器内容加上形式地址；　　　　　　 D ．寄存器内容加上形式地址。

5 ．常用的虚拟存储器寻址系统由 \_\_\_\_A\_\_ 两级存储器组成。

A ． 主存－辅存 ； B ． Cache －主存； C ． Cache －辅存； D ．主存 — 硬盘。

6 ． DMA 访问主存时，让 CPU 处于等待状态，等 DMA 的一批数据访问结束后， CPU 再恢复工作，这种情况称作 \_\_A\_\_\_\_ 。

A ． 停止 CPU 访问主存 ； B ．周期挪用； C ． DMA 与 CPU 交替访问； D ． DMA 。

7 ．在运算器中不包含 \_\_\_D\_\_\_ 。

A ．状态寄存器；　 B ．数据总线；　 C ． ALU ；　 D ．地址寄存器。

8 ．计算机操作的最小单位 时间 是 \_\_A\_\_\_\_ 。

A ．时钟周期 ；　　 B ．指令周期；　 C ． CPU 周期； D ．中断周期。

9 ． 用以指定待执行指令所在地址的是 \_C\_\_\_\_\_ 。

A ． 指令寄存器；　 B ． 数据计数器； C ． 程序计数器 ； pc D ． 累加器。

10 ． 下列描述中 \_\_\_\_B\_\_ 是正确的。

A ． 控制器能理解、解释并执行所有的指令及存储结果；

B ． 一台计算机包括输入、输出、控制、存储及算逻运算五个单元；

C ．所有的数据运算都在 CPU 的控制器中完成；

D ．以上答案都正确。

11 ．总线通信中的 同步控制 是 \_\_B\_\_\_\_ 。

A ．只适合于 CPU 控制的方式；　　 B ．由统一时序控制的方式 ；

C ．只适合于外围设备控制的方式；　 D ．只适合于主存。

12 ．一个 16K × 32 位的存储器，其地址线和数据线的总和是 B\_\_\_\_\_\_ 。 14+32=46

A ． 48 ；　 　 B ． 46 ；　 　　 C ． 36 ；　　　　 D ． 32 。

13 ．某计算机 字长 是 16 位 ，它的存储容量是 1MB ，按字编址，它的寻址范围是 A \_\_\_\_\_\_ 。 1mb/2b=1024kb/2b=512k

A ． 512K ；　 B ． 1M ；　　　 C ． 512KB ；　　 D ． 1MB 。

14 ．以下 \_\_B\_\_\_\_ 是错误的。（输入输出 4 ）

A ．中断服务程序可以是操作系统模块；　 B ．中断向量就是中断服务程序的入口地址；

C ．中断向量法可以提高识别中断源的速度；

D ．软件查询法和硬件法都能找到中断服务程序的入口地址。

15 ．浮点数的表示范围和精度取决于 \_\_C\_\_\_\_ 。

A ．阶码的位数和尾数的机器数形式； B ．阶码的机器数形式和尾数的位数；

C ．阶码的位数和尾数的位数； 　　　 D ．阶码的机器数形式和尾数的机器数形式。

16 ．响应中断请求的条件是 \_\_B\_\_\_\_ 。

A ．外设提出中断；　 B ． 外设工作完成和系统允许时；

C ．外设工作完成和中断标记触发器为“ 1 ” 时； D ． CPU 提出中断。

17 ．以下叙述中 \_\_\_B\_\_\_ 是错误的。

A ．取指令操作是控制器固有的功能，不需要在操作码控制下完成；

B ． 所有指令的取指令操作都是相同的 ；

C ．在指令长度相同的情况下，所有指令的取指操作都是相同的；

D ．一条指令包含取指、分析、执行三个阶段。

18 ．下列叙述中 \_\_A\_\_\_\_ 是错误的。

A ．采用微程序控制器的处理器称为微处理器； cpu

B ．在微指令编码中，编码效率最低的是直接编码方式；

C ．在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；

D ． CMAR 是控制器中存储地址寄存器。

19 ．中断向量可提供 \_\_ \_C\_ \_\_ 。

A ．被选中设备的地址； B ．传送数据的起始地址；

C ．中断服务程序入口地址； D ．主程序的断点地址。

20 ．在中断周期中，将允许中断触发器置“ 0 ” 的操作由 A \_ \_\_\_\_\_ 完成。

A ．硬件； 　 B ．关中断指令；　 C ．开中断指令；　 D ．软件。

二、填空题（共 20 分，每空 1 分）

1 ． 在 DMA 方式中， CPU 和 DMA 控制器通常采用三种方法来分时使用主存，它们是

停止 CPU 访问主 、 周期挪用 和 DMA 和 CPU 交替访问主存 。

2 ．设 n = 8 （不包括符号位），则原码一位乘需做 8 次移位和最多 8 次加法，补码 Booth 算法需做 8 次移位和最多 9 次加法。

3 ．设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制 补码浮点规格化数 对应的十进制真值范围是：最大正数为 2 127 (1 - 2 － 23 ) ，最小正数为 2 － 129 ，最大负数为 2 － 128 ( - 2 － 1 - 2 － 23 ) ，最小负数为 - 2 127 。

4 ． 一个总线 传输周期 包括 a ．申请分配阶段 B ．寻址阶段 C ．传输阶 D ．结束阶段

5 ． CPU 采用 同步 控制方式时 ，控制器使用 机器周 和 节拍 组成的多极时序系统。

6 ．在 组合逻辑控制器中，微操作控制信号由 指令操作码 、 时序 和

． 状态条件 决定。

三、名词解释（共 10 分，每题 2 分）

1 ．机器周期 2 ．周期挪用 3 ．双重分组跳跃进位 4 ． 水平型微指令 5 ． 超标量

四、计算题（ 5 分）

已知： A = ， B =  求： [A+B] 补

五、简答题（ 15 分）

1 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 97 种操作。操作码位数固定，且具有直接、间接、立即、相对、基址 五种寻址方式 。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ） 相对寻址的位移量（十进制表示） 。

2 ．控制器中常采用哪些控制方式，各有何特点？

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L4,L2,L3,L0,L1 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 | 1 1 0 0 0  0 1 0 0 0  1 1 1 1 0  1 1 o 1 0  1 1 1 1 1 |
|  |  |

六、问答题（ 20 分）

（ 1 ）画出主机框图（要求画到寄存器级）；

（ 2 ）若存储器容量为 64K×32 位，指出图中各寄存器的位数；

（ 3 ）写出组合逻辑控制器完成 STA X （ X 为主存地址）指令发出的全部微操作命令及节拍安排。

（ 4 ）若采用微程序控制，还需增加哪些微操作？

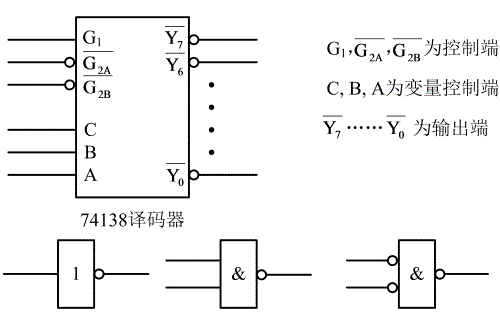
七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片： 1K × 4 位 RAM ， 4K × 8 位 RAM ， 2K × 8 位 ROM ，以及 74138 译码器和各种门电路，如图所示。画出 CPU 与存储器连接图，要求：

（ 1 ）主存地址空间分配： 8000H ～ 87FFH 为系统程序区； 8800H ～ 8BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑。



计算机组成原理试题三

一、选择题（共 20 分，每题 1 分）

1 ．冯·诺伊曼机工作方式的基本特点是 \_\_\_B\_\_\_ 。

A ． 多指令流单数据流； B ．按地址访问并顺序执行指令 ；

C ．堆栈操作； D ．存储器按内容选择地址。

2 ．程序控制类指令的功能是 \_\_\_C\_\_\_ 。

A ．进行主存和 CPU 之间的数据传送； B ．进行 CPU 和设备之间的数据传送；

C ．改变程序执行的顺序； D ．一定是自动加 +1 。

3 ．水平型微指令的特点是 \_\_A\_\_\_\_ 。

A ．一次可以完成多个操作 ； B ．微指令的操作控制字段不进行编码；

C ．微指令的格式简短； D ．微指令的格式较长。

4 ．存储字长是指 \_\_\_\_B\_\_ 。

A ．存放在一个存储单元中的二进制代码组合； B ． 存放在一个存储单元中的二进制代码位数；

C ．存储单元的个数； D ．机器指令的位数。

5 ． CPU 通过 \_\_ B\_\_ \_ 启动通道。

A ．执行通道命令； B ． 执行 I/O 指令 ； C ．发出中断请求； D ．程序查询。

6 ．对有关数据加以分类、统计、分析，这属于计算机在 \_\_\_C\_\_\_ 方面的应用。

A ．数值计算； B ．辅助设计； C ． 数据处理； D ．实时控制。

7 ．总线中地址线的作用是 \_C\_\_\_\_\_ 。

A ．只用于选择存储器单元； B ．由设备向主机提供地址；

C ． 用于选择指定存储器单元和 I/O 设备接口电路的地址 ； D ．即传送地址又传送数据。

8 ．总线的异步通信方式 \_A\_\_ \_ 。

A ． 不采用时钟信号，只采用握手信号 ； B ．既采用时钟信号，又采用握手信号；

C ．既不采用时钟信号，又不采用握手信号； D ．既采用时钟信号，又采用握手信号。

9 ．存储周期是指 \_\_\_C\_\_\_ 。

A ．存储器的写入时间； B ．存储器进行连续写操作允许的最短间隔时间；

C ． 存储器进行连续读或写操作所允许的最短间隔时间 ； D ．指令执行时间。

10 ．在程序的执行过程中， Cache 与主存的地址映射是由 \_\_ C\_\_ 。

A ．操作系统来管理的； B ．程序员调度的； C ． 由硬件自动完成的； D ．用户软件完成。

11 ．以下叙述 \_\_\_ C\_ 是正确的。

A ．外部设备一旦发出中断请求，便立即得到 CPU 的响应；

B ．外部设备一旦发出中断请求， CPU 应立即响应；

C ． 中断方式一般用于处理随机出现的服务请求 ； D ．程序查询用于键盘中断。

12 ．加法器采用先行进位的目的是 \_\_\_\_C\_\_ 。

A ．优化加法器的结构； B ．节省器材； C ． 加速传递进位信号 ； D ．增强加法器结构。

13 ．变址寻址方式中，操作数的有效地址是 \_\_C\_\_\_\_ 。

A ．基址寄存器内容加上形式地址（位移量）； B ．程序计数器内容加上形式地址；

C ． 变址寄存器内容加上形式地址 ； D ．寄存器内容加上形式地址。

14 ．指令寄存器的位数取决于 \_\_ B\_ \_ 。

A ．存储器的容量； B ． 指令字长； C ．机器字长； D ．存储字长。

15 ．在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于 A \_\_\_\_ 。

A ．同步控制 ； B ．异步控制； C ．联合控制； D ．人工控制。

16 ．下列叙述中 \_\_\_ B\_\_ \_ 是正确的。

A ．控制器产生的所有控制信号称为微指令； B ． 微程序控制器比硬连线控制器更加灵活；

C ．微处理器的程序称为微程序； D ．指令就是微指令。

17 ． CPU 中的译码器主要用于 \_\_\_B\_\_\_ 。

A ．地址译码； B ． 指令译码 ； C ．选择多路数据至 ALU ； D ．数据译码。

18 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 \_\_A\_\_\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ALU 。

19 ． DMA 方式的接口电路中有程序中断部件，其作用是 \_\_ \_C\_ 。

A ．实现数据传送； B ．向 CPU 提出总线使用权； C ． 向 CPU 提出传输结束 ； D ．发中断请求。

20 ．下列器件中存取速度最快的是 C 。

A ． Cache ； B ．主存； C ． 寄存器 ； D ．辅存。

二、填空题（共 20 分，每题 1 分）

1 ．完成一条指令一般分为 A 周期和 B 周期，前者完成 C 操作，后者完成 D 操作。

2 ． 设指令字长等于存储字长，均为 24 位，若某指令系统可完成 108 种操作，操作码长度固定，且具有直接、间接（一次间址）、变址、基址、相对、立即等寻址方式，则在保证最大范围内直接寻址的前提下，指令字中操作码占 A 位，寻址特征位占 B 位，可直接寻址的范围是 C ，一次间址的范围是 D 。

3 ．微指令格式可分为 A 型和 B 型两类，其中 C 型微指令用较长的微程序结构换取较短的微指令结构。

4 ．在写操作时，对 Cache 与主存单元同时修改的方法称作 A ，若每次只暂时写入 Cache ，直到替换时才写入主存的方法称作 B 。

5 ． I/O 与主机交换信息的方式中， 程序查询方式 和 中断方式 都需通过程序实现数据传送，其中 C 体现 CPU 与设备是串行工作的。

6 ．在小数定点机中，采用 1 位符号位，若寄存器内容为 10000000 ，当它分别表示为原码、补码和反码时，其对应的真值分别为 A 、 B 和 C （均用十进制表示）。

三、名词解释（共 10 分，每题 2 分）

1 ．时钟周期 2 ．向量地址 3 ．系统总线 4 ．机器指令 5 ． 超流水线

四、计算题（ 5 分）

设机器数字长为 8 位（含一位符号位在内），若 A = +15 ， B = +24 ，求 [A - B] 补 并还原成真值。

五、 简答题 （共 15 分）

1 ．指出零的表示是唯一形式的机器数，并写出其二进制代码（机器数字长自定）。（ 2 分）

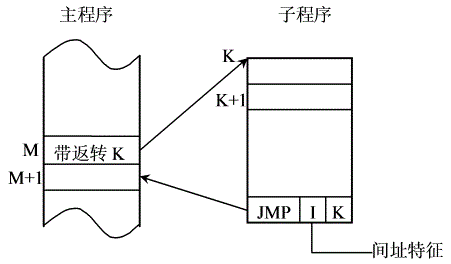
2 ．除了采用高速芯片外，分别指出存储器、运算器、控制器和 I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。（ 4 分）

3 ． 总线通信控制有几种方式，简要说明各自的特点 。（ 4 分）

4 ．以 I/O 设备的中断处理过程为例，说明一次程序中断的全过程。（ 5 分）

六、问答题（共 20 分）

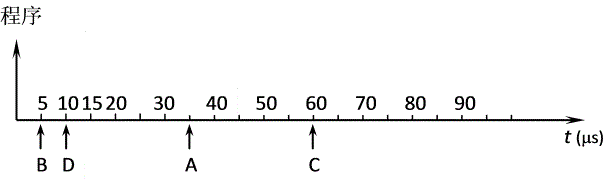
1 ． 已知带返转指令的含义如下图所示，写出机器在完成带返转指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。如果采用微程序控制，需增加哪些微操作命令？（ 8 分）



3 ．（ 6 分）设某机有四个中断源 A 、 B 、 C 、 D ，其硬件排队优先次序为 A > B > C > D ，现要求将中断处理次序改为 D > A > C > B 。

（ 1 ）写出每个中断源对应的屏蔽字。

（ 2 ）按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20 s 。



2 ．（ 6 分）一条双字长的取数指令（ LDA ）存于存储器的 100 和 101 单元，其中第一个字为操作码和寻址特征 M ，第二个字为形式地址。假设 PC 当前值为 100 ，变址寄存器 XR 的内容为 100 ，基址寄存器的内容为 200 ，存储器各单元的内容如下图所示。写出在下列寻址方式中，取数指令执行结束后，累加器 AC 的内容。

|  |  |
| --- | --- |
| LDA | M |
| 300 |  |
|  |  |
| ┇ |  |
| 800 |  |
| ┇ |  |
| 700 |  |
| 400 |  |
| 500 |  |
| ┇ |  |
| 200 |  |
| ┇ |  |
| 600 |  |
|  |  |

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 （低电平有效）作访存控制信号， 作读写命令信号（高电平为读，低电平为写）。现有下列存储芯片：

ROM （ 2K 8 位， 4K 4 位， 8K 8 位），

RAM （ 1K 4 位， 2K 8 位， 4K 8 位）

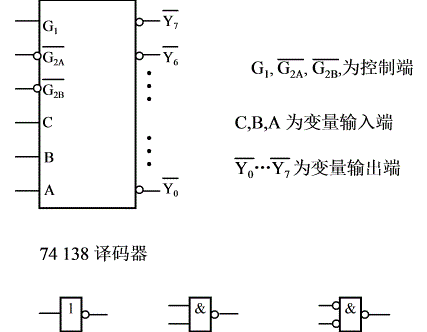
及 74138 译码器和其他门电路（门电路自定）。

试从上述规格中选用合适芯片，画出 CPU 和存储芯片的连接图。 要求：

（ 1 ）最小 4K 地址为系统程序区， 4096~16383 地址范围为用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。



计算机组成原理试题四

一、选择题（共 20 分，每题 1 分）

1 ．直接、间接、立即三种寻址方式指令的执行速度，由快至慢的排序是 \_\_\_C\_\_\_ 。

A ．直接、立即、间接； B ．直接、间接、立即；

C ．立即、直接、间接； D ．立即、间接、直接。

2 ．存放欲执行指令的寄存器是 \_\_\_D\_\_\_ 。

A ． MAR ； B ． PC ； C ． MDR ； D ． IR 。

3 ．在独立请求方式下，若有 N 个设备，则 \_\_\_\_B\_\_ 。

A ．有一个总线请求信号和一个总线响应信号； B ．有 N 个总线请求信号和 N 个总线响应信号；

C ．有一个总线请求信号和 N 个总线响应信号； D ．有 N 个总线请求信号和一个总线响应信号。

4 ．下述说法中 \_\_C\_\_\_\_ 是正确的。

A ．半导体 RAM 信息可读可写，且断电后仍能保持记忆；

B ．半导体 RAM 是易失性 RAM ，而静态 RAM 中的存储信息是不易失的；

C ．半导体 RAM 是易失性 RAM ，而静态 RAM 只有在电源不掉时，所存信息是不易失的。

5 ． DMA 访问主存时，向 CPU 发出请求，获得总线使用权时再进行访存，这种情况称作 \_B\_\_ \_ 。

A ．停止 CPU 访问主存； B ．周期挪用； C ． DMA 与 CPU 交替访问； D ． DMA 。

6 ．计算机中表示地址时，采用 \_ \_D\_\_ \_ 。

A ．原码； B ．补码； C ．反码； D ．无符号数。

7 ．采用变址寻址可扩大寻址范围，且 \_\_C\_\_\_\_ 。

A ．变址寄存器内容由用户确定，在程序执行过程中不可变；

B ．变址寄存器内容由操作系统确定，在程序执行过程中可变；

C ．变址寄存器内容由用户确定，在程序执行过程中可变；

D ．变址寄存器内容由操作系统确定，在程序执行过程不中可变；

8 ．由编译程序将多条指令组合成一条指令，这种技术称做 \_\_ C\_ \_\_\_ 。

A ．超标量技术； B ．超流水线技术； C ．超长指令字技术； D ．超字长。

9 ．计算机执行乘法指令时，由于其操作较复杂，需要更多的时间，通常采用 \_\_C\_\_\_\_ 控制方式。

A ．延长机器周期内节拍数的； B ．异步； C ．中央与局部控制相结合的； D ．同步；

10 ．微程序放在 \_B\_ \_\_ 中。

A ．存储器控制器； B ．控制存储器； C ．主存储器； D ． Cache 。

11 ．在 CPU 的寄存器中， B\_\_ \_\_\_ 对用户是完全透明的。

A ．程序计数器； B ．指令寄存器； C ．状态寄存器； D ．通用寄存器。

12 ．运算器由许多部件组成，其核心部分是 \_\_B\_\_\_\_ 。

A ．数据总线； B ．算术逻辑运算单元； C ．累加寄存器； D ．多路开关。

13 ． DMA 接口 \_\_ B\_ \_\_ 。

A ．可以用于主存与主存之间的数据交换； B ．内有中断机制；

C ．内有中断机制，可以处理异常情况； D ．内无中断机制

14 ． CPU 响应中断的时间是 \_\_\_C\_\_\_ 。

A ．中断源提出请求； B ．取指周期结束； C ．执行周期结束； D ．间址周期结束。

15 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 \_A\_\_\_\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ALU 。

16 ．三种集中式总线控制中， \_\_\_ A\_ \_ 方式对电路故障最敏感。

A ．链式查询； B ．计数器定时查询； C ．独立请求； D ．以上都不对。

17 ．一个 16K×32 位的存储器，其地址线和数据线的总和是 \_\_B\_\_\_\_ 。

A ． 48 ； B ． 46 ； C ． 36 ； D ． 32 ．

18 ．以下叙述中错误的是 \_\_ \_B \_\_\_ 。

A ．指令周期的第一个操作是取指令； B ．为了进行取指令操作，控制器需要得到相应的指令；

C ．取指令操作是控制器自动进行的； D ．指令第一字节含操作码。

19 ．主存和 CPU 之间增加高速缓冲存储器的目的是 \_\_\_A\_\_\_ 。

A ．解决 CPU 和主存之间的速度匹配问题； B ．扩大主存容量；

C ．既扩大主存容量，又提高了存取速度； D ．扩大辅存容量。

20 ．以下叙述 \_\_ A \_\_\_ 是错误的。

A ．一个更高级的中断请求一定可以中断另一个中断处理程序的执行；

B ． DMA 和 CPU 必须分时使用总线；

C ． DMA 的数据传送不需 CPU 控制； D ． DMA 中有中断机制。

二、填空（共 20 分，每空 1 分）

1 ． 设 24 位长的浮点数，其中阶符 1 位，阶码 5 位，数符 1 位，尾数 17 位，阶码和尾数均用补码表示，且尾数采用规格化形式，则它能表示最大正数真值是 A ，非零最小正数真值是 B ，绝对值最大的负数真值是 C ，绝对值最小的负数真值是 D （均用十进制表示）。

2 ．变址寻址和基址寻址的区别是：在基址寻址中，基址寄存器提供 A ， 指令提供 B ； 而在变址寻址中，变址寄存器提供 C ，指令提供 D 。

3 ．影响流水线性能的因素主要反映在 A 和 B 两个方面。

4 ． 运算器的技术指标一般用 A 和 B 表示。

5 ． 缓存是设在 A 和 B 之间的一种存储器，其速度 C 匹配 ，其容量与 D 有关。

6 ． CPU 响应中断时要保护现场，包括对 A 和 B 的保护，前者通过

C 实现，后者可通过 D 实现。

三、名词解释 ( 共 10 分，每题 2 分 )

1 ．微程序控制 2 ．存储器带宽 3 ． RISC 4 ．中断隐指令及功能 5 ．机器字长

四、计算题（ 5 分）

已知：两浮点数 x = 0.1101×2 10 ， y = 0.1011×2 01 求： x + y

五、简答题（共 20 分）

1 ．完整的总线传输周期包括哪几个阶段？简要叙述每个阶段的工作。（ 4 分）

2 ．除了采用高速芯片外，从计算机的各个子系统的角度分析，指出 6 种以上（含 6 种）提高整机速度的措施。（ 6 分）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优 先顺序改为 L3,L2,L4,L0,L1 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

4 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 120 种操作。操作码位数固定，且具有直接、间接、立即、相对四种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

六、问答题（共 15 分）

1 ．假设 CPU 在中断周期用堆栈保存程序断点，而且进栈时指针减 1 ，出栈时指针加 1 。分别写出组合逻辑控制和微程序控制在完成中断返回指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。（ 8 分）

2 ．画出 DMA 方式接口电路的基本组成框图，并说明其工作过程（以输入设备为例）。（ 7 分）

七、设计题（ 10 分）

设 CPU 有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效），用作读 / 写控制信号（高电平为读，低电平为写）。现有下列存储芯片： 1K × 4 位 RAM ； 4K × 8 位 RAM ； 8K × 8 位 RAM ； 2K × 8 位 ROM ； 4K × 8 位 ROM ； 8K × 8 位 ROM 及 74LS138 译码器和各种门电路，如图所示。画出 CPU 与存储器的连接图，要求

（ 1 ）主存地址空间分配：

6000H ～ 67FFH 为系统程序区；

6800H ～ 6BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑图。

计算机组成原理试题五

一、选择题（共 20 分，每题 1 分）

1 ．一条指令中包含的信息有 C 。

A ．操作码、控制码； B ．操作码、向量地址； C ．操作码、地址码。

2 ．在各种异步通信方式中， \_\_\_C\_\_\_ 速度最快。

A ．全互锁； B ．半互锁； C ．不互锁。

3 ．一个 512KB 的存储器，其地址线和数据线的总和是 \_C\_ \_ 。

A ． 17 ； B ． 19 ； C ． 27 。

4 ．在下列因素中，与 Cache 的命中率无关的是 　　 C 　 。）

A ． Cache 块的大小； B ． Cache 的容量； C ．主存的存取时间。

5 ．在计数器定时查询方式下，若计数从 0 开始，则 \_\_A\_\_\_\_ 。

A ．设备号小的优先级高； B ．每个设备使用总线的机会相等； C ．设备号大的优先级高。

6 ． Cache 的地址映象中，若主存中的任一块均可映射到 Cache 内的任一块的位置上，称作 　　 B 　 。

A ．直接映象； B ．全相联映象； C ．组相联映象。

7 ．中断服务程序的最后一条指令是 \_\_C\_\_\_\_ 。

A ．转移指令； B ．出栈指令； C ．中断返回指令。

8 ．微指令操作控制字段的每一位代表一个控制信号，这种微程序的控制（编码）方式是 \_\_B\_\_\_\_ 。

A ．字段直接编码； B ．直接编码； C ．混合编码。

9 ．在取指令操作之后，程序计数器中存放的是 \_\_ C\_\_ \_\_ 。

A ．当前指令的地址； B ．程序中指令的数量； C ．下一条指令的地址。

10 ．以下叙述中 \_\_A\_\_\_\_ 是正确的。

A ． RISC 机一定采用流水技术； B ．采用流水技术的机器一定是 RISC 机；

C ． CISC 机一定不采用流水技术。

11 ．在一地址格式的指令中，下列 B 是正确的。

A ．仅有一个操作数 , 其地址由指令的地址码提供； B ．可能有一个操作数 , 也可能有两个操作数；

C ．一定有两个操作数，另一个是隐含的。

12 ．在浮点机中，判断原码规格化形式的原则是 \_\_\_B\_\_\_ 。

A ．尾数的符号位与第一数位不同； B ．尾数的第一数位为 1 ，数符任意；

C ．尾数的符号位与第一数位相同； D ．阶符与数符不同。

13 ． I/O 采用不统一编址时，进行输入输出操作的指令是 \_\_\_ C\_ \_ 。

A ．控制指令； B ．访存指令； C ．输入输出指令。

14 ．设机器字长为 64 位，存储容量为 128MB ，若按字编址，它的寻址范围是 　 B 　　 。

A ． 16MB ； B ． 16M ； C ． 32M 。

15 ． B 寻址便于处理数组问题。

A ．间接寻址； B ．变址寻址； C ．相对寻址。

16 ．超标量技术是 \_\_\_B\_\_\_ 。

A ．缩短原来流水线的处理器周期； B ．在每个时钟周期内同时并发多条指令；

C ．把多条能并行操作的指令组合成一条具有多个操作码字段的指令。

17 ．以下叙述中 \_ \_B\_\_ \_\_ 是错误的。

A ．取指令操作是控制器固有的功能，不需要在操作码控制下完成；

B ．所有指令的取指令操作都是相同的；

C ．在指令长度相同的情况下，所有指令的取指操作都是相同的。

18 ． I/O 与主机交换信息的方式中，中断方式的特点是 \_\_ B\_\_ 。

A ． CPU 与设备串行工作，传送与主程序串行工作；

B ． CPU 与设备并行工作，传送与主程序串行工作；

C ． CPU 与设备并行工作，传送与主程序并行工作。

19 ．设寄存器内容为 11111111 ，若它等于 +127 ，则为 \_\_ \_D\_ \_\_ 。

A ．原码； B ．补码； C ．反码； D ．移码。

20 ．设机器数采用补码形式（含 l 位符号位），若寄存器内容为 9BH ，则对应的十进制数为 \_C\_ \_\_\_\_ 。

A ． - 27 ； B ． - 97 ； C ． - 101 ； D ． 155 。

二、填空题（共 20 分，每空 1 分）

1 ． DMA 的数据块传送可分为 A 、 B 和 C 阶段。

2 ．设 n = 16 （不包括符号位），机器完成一次加和移位各需 100ns ，则原码一位乘最多需 A ns, 补码 Booth 算法最多需 B ns 。

3 ．设相对寻址的转移指令占 2 个字节，第一字节为操作码，第二字节是位移量（用补码表示），每当 CPU 从存储器取出一个字节时，即自动完成（ pc ） + 1→ pc 。设当前指令地址为 3008H ，要求转移到 300FH ，则该转移指令第二字节的内容应为 A 。若当前指令地址为 300FH ，要求转移到 3004H ，则该转移指令第二字节的内容为 B 。

4 ．设浮点数阶码为 8 位（含 1 位阶符），用移码表示，尾数为 24 位（含 1 位数符），用补码规格化表示，则对应其最大正数的机器数形式为 A ，真值为 B （十进制表示）；对应其绝对值最小负数的机器数形式为 C ，真值为 D （十进制表示）。

5 ． I/O 的编址方式可分为 A 和 B 两大类，前者需有独立的 I/O 指令，后者可通过 C 指令和设备交换信息。

6 ． 动态 RAM 靠 A 的原理存储信息，因此一般在 B 时间内必须刷新一次，刷新与 C 址有关，该地址由 D 给出。

7 ． 在微程序控制器中，一条机器指令对应一个 A ，若某机有 35 条机器指令，通常可对应 B 。

三、解释下列概念（共 10 分，每题 2 分）

1 ． CMAR 2 ．总线 3 ．指令流水 4 ．单重分组跳跃进位 5 ．寻址方式

四、计算题（ 6 分）

设某机主频为 8MHz ，每个机器周期平均含 2 个时钟周期，每条指令平均有 2.5 个机器周期，试问该机的平均指令执行速度为多少 MIPS ？若机器主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 5 个机器周期，则该机的平均指令执行速度又是多少 MIPS ？

五、简答题（共 20 分）

1 ． CPU 包括哪几个工作周期？每个工作周期的作用是什么。（ 4 分）

2 ． 什么是指令周期、机器周期和时钟周期？三者有何关系 ? （ 6 分）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L3,L2,L4,L1,L0 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

4 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 56 种操作。操作码位数固定，且具有直接、间接、立即、相对、变址五种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

六、问答题（共 15 分）

1 ． 按序写出完成一条加法指令 ADD α ( α为主存地址 ) 两种控制器所发出的微操作命令及节拍安排。 （ 8 分）

2 ．假设磁盘采用 DMA 方式与主机交换信息，其传输速率为 2MB/s ，而且 DMA 的预处理需 1000 个时钟周期， DMA 完成传送后处理中断需 500 个时钟周期。如果平均传输的数据长度为 4KB ，试问在硬盘工作时， 50MHz 的处理器需用多少时间比率进行 DMA 辅助操作（预处理和后处理）。（ 7 分）（输入输出 4 ）

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。

画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为： 0 ～ 2047 为系统程序区； 2048 ～ 8191 为用户程序区。

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。

计算机组成原理试题六

一、选择题（共 5 分，每题 1 分）

1 ．设寄存器内容为 80H ，若它对应的真值是 – 127 ，则该机器数是

A ．原码； B ．补码； C ．反码； D ．移码。

2 ．下列叙述中 是正确的。

A ．程序中断方式中有中断请求， DMA 方式中没有中断请求；

B ．程序中断方式和 DMA 方式中实现数据传送都需中断请求；

C ．程序中断方式和 DMA 方式中都有中断请求，但目的不同；

D ． DMA 要等到指令周期结束时才进行周期窃取。

3 ．设机器数字长为 32 位，一个容量为 16MB 的存储器， CPU 按半字寻址，其寻址范围是 。

A ． 2 24 ； B ． 2 23 ； C ． 2 22 ； D ． 2 21 。

4 ．在中断接口电路中，向量地址可通过 B 送至 CPU 。

A ．地址线； B ．数据线； C ．控制线； D ．状态线。

5 ．在程序的执行过程中， Cache 与主存的地址映象是由 D 。

A ．程序员调度的； B ．操作系统管理的； C ．由程序员和操作系统共同协调完成的；

D ．硬件自动完成的。

6 ．总线复用方式可以 \_\_\_\_\_\_ 。

A ．提高总线传输带宽； B ．增加总线功能； C ．减少总线中信号线数量； D ．提高 CUP 利用率。

7 ．下列说法中正确的是 　　　 。

A ． Cache 与主存统一编址， Cache 的地址空间是主存地址空间的一部分；

B ．主存储器只由易失性的随机读写存储器构成；

C ．单体多字存储器主要解决访存速度的问题；

D ． Cache 不与主存统一编址， Cache 的地址空间不是主存地址空间的一部分。

8 ．在采用增量计数器法的微指令中，下一条微指令的地址 \_\_\_\_\_\_ 。

A ．在当前的微指令中； B ．在微指令地址计数器中； C ．在程序计数器； D ．在 CPU 中。

9 ．由于 CPU 内部操作的速度较快，而 CPU 访问一次存储器的时间较长，因此机器周期通常由 \_\_\_\_\_\_ 来确定。

A ．指令周期； B ．存取周期； C ．间址周期； D ．执行周期。

10 ． RISC 机器 \_\_\_\_\_\_ 。

A ．不一定采用流水技术； B ．一定采用流水技术；

C ． CPU 配备很少的通用寄存器； D ． CPU 配备很多的通用寄存器。

11 ．在下列寻址方式中， 寻址方式需要先计算，再访问主存。

A ．立即； B ．变址； C ．间接； D ．直接。

12 ．在浮点机中，判断补码规格化形式的原则是 \_\_\_\_\_\_ 。

A ．尾数的第一数位为 1 ，数符任意； B ．尾数的符号位与第一数位相同；

C ．尾数的符号位与第一数位不同； D ．阶符与数符不同。

13 ． I/O 采用统一编址时，进行输入输出操作的指令是 \_\_\_\_\_\_ 。

A ．控制指令； B ．访存指令； C ．输入输出指令； D ．程序指令。

14 ．设机器字长为 32 位，存储容量为 16MB ，若按双字编址，其寻址范围是 　　　 。

A ． 8MB ； B ． 2M ； C ． 4M ； D ． 16M 。

15 ． 寻址对于实现程序浮动提供了较好的支持。

A ．间接寻址； B ．变址寻址； C ．相对寻址； D ．直接寻址。

16 ．超流水线技术是 \_\_\_\_\_\_ 。

A ．缩短原来流水线的处理器周期； B ．在每个时钟周期内同时并发多条指令；

C ．把多条能并行操作的指令组合成一条具有多个操作码字段的指令； D ．以上都不对。

17 ．以下叙述中错误的是 \_\_\_\_\_\_ 。

A ．指令周期的第一个操作是取指令； B ．为了进行取指令操作，控制器需要得到相应的指令；

C ．取指令操作是控制器自动进行的； D ．指令周期的第一个操作是取数据。

18 ． I/O 与主主机交换信息的方式中， DMA 方式的特点是 \_\_\_\_\_\_ 。

A ． CPU 与设备串行工作，传送与主程序串行工作；

B ． CPU 与设备并行工作，传送与主程序串行工作；

C ． CPU 与设备并行工作，传送与主程序并行工作；

D ． CPU 与设备串行工作，传送与主程序并行工作。

19 ．若 9BH 表示移码（含 1 位符号位）．其对应的十进制数是 \_\_\_\_\_\_ 。

A ． 27 ； B ． - 27 ； C ． - 101 ； D ． 101 。

20 ．在二地址指令中 是正确的。

A ．指令的地址码字段存放的一定是操作数； B ．指令的地址码字段存放的一定是操作数地址；

C ．运算结果通常存放在其中一个地址码所提供的地址中；

D ．指令的地址码字段存放的一定是操作码。

二、填空题（共 20 分，每空 1 分）

1 ． 32 位字长的浮点数，其中阶码 8 位（含 1 位阶符），基值为 2 ，尾数 24 位（含 1 位数符），则其对应的最大正数是 A ，最小的绝对值是 B ；若机器数采用补码表示，且尾数为规格化形式，则对应的最小正数是 C ，最小负数是 D 。（均用十进制表示）

2 ． CPU 从主存取出一条指令并执行该指令的时间叫 A ，它通常包含若干个 B ，而后者又包含若干个 C 。 D 和

E 组成多级时序系统。

3 ．假设微指令的操作控制字段共 18 位，若采用直接控制，则一条微指令最多可同时启动 A 个微操作命令。若采用字段直接编码控制，并要求一条微指令能同时启动 3 个微操作，则微指令的操作控制字段应分 B 段，若每个字段的微操作数相同，这样的微指令格式最多可包含 C 个微操作命令。

4 ．一个 8 体低位交叉的存储器，假设存取周期为 T ， CPU 每隔 （ T = 8 ）时间启动一个存储体，则依次从存储器中取出 16 个字共需 A 存取周期。

5 ． I/O 与主机交换信息的控制方式中， A 方式 CPU 和设备是串行工作的。 B 和 C 方式 CPU 和设备是并行工作的，前者传送与主程序是并行的，后者传送和主机是串行的。

6 ．设 n =16 位（不包括符号位在内），原码两位乘需做 A 次移位，最多做

B 次加法；补码 Booth 算法需做 C 次移位，最多做 D 次加法。

三、名词解释（共 10 分，每题 2 分）

1 ． 同步控制方式 2 ．周期窃取 3 ．双重分组跳跃进位 4 ．直接编码 5 ． 硬件向 量法

四、计算题（ 5 分）

设 x = + ， y = + ，试用变形补码计算 x + y 。

五、简答题（ 15 分）

1 ．某机主存容量为 4M ×32 位，且存储字长等于指令字长，若该机的指令系统具备 129 种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

2 ． 能不能说机器的主频越快，机器的速度就越快，为什么？

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L3,L2,L4,L1,L0 ，写出各中断源的屏蔽字。（ 5 分）

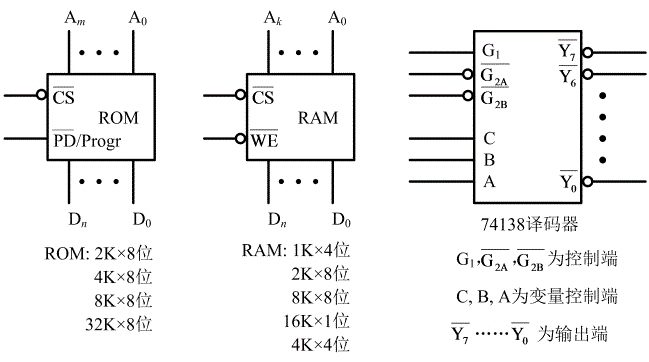
|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

六、问答题（ 20 分）

（ 1 ）画出主机框图（要求画到寄存器级）；（ 2 ）若存储器容量为 64K×32 位，指出图中各寄存器的位数；（ 3 ）写出组合逻辑控制器完成 LDA X （ X 为主存地址）指令发出的全部微操作命令及节拍安排。（ 4 ）若采用微程序控制，还需增加哪些微操作？

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：



（ 1 ）存储芯片地址空间分配为：最小 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，与系统程序工作区相邻的是 24K 用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。

计算机组成原理试题七

一、选择题（共 5 分，每题 1 分）

1 ．某机字长 8 位，采用补码形式（其中 1 位为符号位），则机器数所能表示的范围是 \_\_C\_\_\_\_ 。

A ． - 127 ～ 127 ； B ． - 128 ～ +128 ； C ． - 128 ～ +127 ； D ． - 128 ～ +128 。

2 ．在 \_\_ C\_ \_ 的计算机系统中，外设可以和主存储器单元统一编址，因此可以不使用 I/O 指令。

A ．单总线； B ．双总线； C ．三总线； D ．以上三种总线。

3 ．某计算机字长是 32 位，它的存储容量是 64KB ．按字编址，它的寻址范围是 \_B\_\_\_\_\_ 。

A ． 16KB ； B ． 16K ； C ． 32K ； D ． 32KB 。

4 ．中断向量可提供 \_\_C\_\_\_\_ 。

A. 被选中设备的地址； B. 传送数据的起始地址； C. 中断服务程序入口地址； D. 主程序的断点地址

5 ． Cache 的地址映象中 B 　 　　 比较多的采用“按内容寻址”的相联存储器来实现。

A ．直接映象； B ．全相联映象； C ．组相联映象； D ．以上都有。

6 ．总线的异步通信方式 \_\_\_A\_\_\_ 。

A ．不采用时钟信号，只采用握手信号； B ．既采用时钟信号，又采用握手信号；

C ．既不采用时钟信号，又不采用握手信号； D ．采用时钟信号，不采用握手信号。

7 ．在磁盘存储器中，查找时间是 \_\_\_ A\_ \_\_ 。

A ．使磁头移动到要找的柱面上所需的时间； B ．在磁道上找到要找的扇区所需的时间；

C ．在扇区中找到要找的数据所需的时间。 D ．以上都不对。

8 ．在控制器的控制信号中，相容的信号是 \_\_C\_\_\_\_ 的信号。

A ．可以相互替代； B ．可以相继出现； C ．可以同时出现； D ．不可以同时出现。

9 ．计算机操作的最小单位时间是 \_\_A\_\_\_\_ 。

A ．时钟周期； B ．指令周期； C ． CPU 周期； D ．执行周期。

10 ． CPU 不包括 \_\_\_A\_\_\_ 。

A ．地址寄存器； B ．指令寄存器 IR ； C ．地址译码器； D ．通用寄存器。

11 ． B 寻址便于处理 数组问 题。

A ．间接寻址； B ．变址寻址； C ．相对寻址； D ．立即寻址。

12 ．设寄存器内容为 10000000 ，若它等于 0 ，则为 \_\_D\_\_\_\_ 。

A ．原码； B ．补码； C ．反码； D ．移码。

13 ．若一个 8 比特组成的字符至少需 10 个比特来传送，这是 \_\_\_\_ B\_ \_ 传送方式。

A ．同步； B ．异步； C ．并联； D ．混合。

14 ．设机器字长为 32 位，存储容量为 16MB ，若按双字编址，其寻址范围是 　　 B 　 。（存储器 4 ）

A ． 8MB ； B ． 2M ； C ． 4M ； D ． 16M 。

15 ． C 寻址对于 实现程序浮 动提供了较好的支持。

A ．间接寻址； B ．变址寻址； C ．相对寻址； D ．直接寻址。

16 ．超标量技术是 \_\_\_\_B\_\_ 。

A ．缩短原来流水线的处理器周期； B ．在每个时钟周期内同时并发多条指令；

C ．把多条能并行操作的指令组合成一条具有多个操作码字段的指令； D ．以上都不对。

17 ．在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于 \_\_ \_A\_ \_\_ 。

A ．同步控制； B ．异步控制； C ．联合控制； D ．局部控制。

18 ． I/O 与主机交换信息的方式中，中断方式的特点是 \_\_B\_\_\_\_ 。

A ． CPU 与设备串行工作 , 传送与主程序串行工作； B ． CPU 与设备并行工作 , 传送与主程序串行工作

C ． CPU 与设备并行工作 , 传送与主程序并行工作； D ． CPU 与设备串行工作 , 传送与主程序并行工作

19 ． 当 定点 运算发生溢出时，应 \_\_\_\_ C\_ \_ 。

A ．向左规格化； B ．向右规格化； C ．发出出错信息； D ．舍入处理。

20 ．在一地址格式的指令中，下列 B 是正确的。

A ．仅有一个操作数，其地址由指令的地址码提供； B ．可能有一个操作数，也可能有两个操作数；

C ．一定有两个操作数，另一个是隐含的； D ．指令的地址码字段存放的一定是操作码。

二、填空题（共 20 分，每空 1 分）

1 ． 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 A ，最小正数为 B ，最大负数为 C ，最小负数为 D 。

2 ． 在总线复用的 CPU 中， A 和 B 共用一组总线，必须采用 C 控制的方法，先给 D 信号，并用 E 信号将其保存。

3 ． 微指令格式可分为 A 型和 B 型两类，其中 C 型微指令用较长的微程序结构换取较短的微指令结构。

4 ． 如果 Cache 的容量为 128 块，在直接映象下，主存中第 i 块映象到缓存第 A 块。

5 ． I/O 和 CPU 之间不论是采用串行传送还是并行传送，它们之间的联络方式（定时方

式）可分为 A 、 B 、 C 三种。

6 ．设 n = 4 位（不包括符号位在内），原码两位乘需做 A 次移位，最多做

B 次加法；补码 Booth 算法需做 C 次移位，最多做 D 次加法。

三、名词解释（共 10 分，每题 2 分）

1 ． 异步控制方式 2 ．向量地址 3 ．直接寻址 4 ．字段直接编码 5 ．多重中断

四、计算题（ 5 分）

设浮点数字长为 32 位，欲表示± 6 万的十进制数，在保证数的最大精度条件下，除阶符、数符各取 1 位外，阶码和尾数各取几位？按这样分配，该浮点数溢出的条件是什么？

五、简答题（ 15 分）

1 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 85 种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

2 ． 程序查询方式和程序中断方式都要由程序实现外围设备的输入 / 输出，它们有何不

同？（ 5 分）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L4,L3,L2,L1,L0 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

六、问答题（ 20 分）

（ 1 ）画出主机框图（要求画到寄存器级）；

（ 2 ）若存储器容量为 64K×32 位，指出图中各寄存器的位数；

（ 3 ）写出组合逻辑控制器完成 ADD X （ X 为主存地址）指令发出的全部微操作命令及节拍安排。

（ 4 ）若采用微程序控制，还需增加哪些微操作？

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效）用作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片： 1K × 4 位 RAM ， 4K × 8 位 RAM ， 2K × 8 位 ROM ，以及 74138 译码器和各种门电路，如图所示。画出 CPU 与存储器连接图，要求：

（ 1 ）主存地址空间分配： A000H ～ A7FFH 为系统程序区； A800H ～ AFFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片，并写出每片存储芯片的二进制地址范围。

（ 3 ）详细画出存储芯片的片选逻辑。

计算机组成原理试题八

一、选择题（共 20 分，每题 1 分）

1 ．指令系统中采用不同寻址方式的目的主要是 \_ \_C\_ \_\_ 。

A ．可降低指令译码难度； B ．缩短指令字长，扩大寻址空间，提高编程灵活性；

C ．实现程序控制； D ．寻找操作数。

2 ．计算机使用总线结构的主要优点是便于实现积木化，缺点是 \_\_C\_\_\_\_ 。

A ．地址信息、数据信息和控制信息不能同时出现； B ．地址信息与数据信息不能同时出现；

C ．两种信息源的代码在总线中不能同时传送； D ．地址信息与数据信息能同时出现。

3 ．一个 16K × 32 位的存储器，其地址线和数据线的总和是 \_B\_\_ 。

A ． 48 ； B ． 46 ； C ． 36 ； D ． 38 。

4 ．下列叙述中 \_\_\_A\_\_\_ 是正确的 。

A ．主存可由 RAM 和 ROM 组成； B ．主存只能由 ROM 组成；

C ．主存只能由 RAM 组成； D ．主存只能由 SRAM 组成。

5 ．在三种集中式总线控制中， C \_\_\_\_\_\_ 方式响应时间最快。

A ．链式查询； B ．计数器定时查询； C ．独立请求； D ．以上都不是。

6 ．可编程的只读存储器 \_\_\_ A\_ \_ 。

A ．不一定是可改写的； B ．一定是可改写的； C ．一定是不可改写的； D ．以上都不对。

7 ．下述 \_ \_B\_ \_\_ 种情况会提出中断请求。

A ．产生存储周期“窃取”； B ．在键盘输入过程中，每按一次键；

C ．两数相加结果为零； D ．结果溢出。

8 ． 下列叙述中 \_\_\_A\_\_\_ 是错误的。

A ．采用微程序控制器的处理器称为微处理器；

B ．在微指令编码中，编码效率最低的是直接编码方式；

C ．在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；

D ．以上都是错的。

9 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 A \_\_\_\_\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ACC 。

10 ．响应中断请求的条件是 \_\_B\_\_\_\_ 。

A ．外设提出中断； B ．外设工作完成和系统允许时；

C ．外设工作完成和中断标记触发器为“ 1 ” 时。 D ． CPU 提出中断。

11 ．变址寻址和基址寻址的有效地址形成方式类似，但是 \_\_\_C\_\_\_ 。

A ．变址寄存器的内容在程序执行过程中是不可变的；

B ．在程序执行过程中，变址寄存器和基址寄存器和内容都可变的；

C ．在程序执行过程中，基址寄存器的内容不可变，变址寄存器中的内容可变；

D ．变址寄存器的内容在程序执行过程中是可变的。

12 ．在原码加减交替除法中，符号位单独处理，参加操作的数是 \_\_\_ C \_ 。

A ．原码； B ．绝对值； C ．绝对值的补码； D ．补码。

13 ． DMA 方式 \_\_\_ \_B\_ 。

A ．既然能用于高速外围设备的信息传送，也就能代替中断方式；

B ．不能取代中断方式； C ．也能向 CPU 请求中断处理数据传送； D ．能取代中断方式。

14 ．设机器字长为 32 位，存储容量为 16MB ，若按双字编址，其寻址范围是 　 B 　　 。

A ． 8MB ； B ． 2M ； C ． 4M ； D ． 16M 。

15 ．设变址寄存器为 X ，形式地址为 D ，某机具有先间址后变址的寻址方式，则这种寻址方式的有效地址为 \_\_\_ B \_\_\_ 。

A ． EA = (X) +D B ． EA = (X) + (D) ； C ． EA = ((X) +D) ； D ． EA = X +D 。

16 ．程序计数器 PC 属于 B\_\_\_\_\_\_ 。

A ．运算器； B ．控制器； C ．存储器； D ． I/O 设备。

17 ．计算机执行乘法指令时，由于其操作较复杂，需要更多的时间，通常采用 \_\_\_C\_\_\_ 控制方式。

A ．延长机器周期内节拍数的； B ．异步； C ．中央与局部控制相结合的； D ．同步。

18 ．目前在小型和微型计算机里最普遍采用的字母与字符编码是 \_ C \_\_\_\_ 。

A ． BCD 码； B ．十六进制代码； C ． ASCII 码； D ．海明码。

19 ．设寄存器内容为 10000000 ，若它等于 - 0 ，则为 \_\_ A \_\_\_ 。

A ．原码； B ．补码； C ．反码； D ．移码。

20 ．在下述有关不恢复余数法何时需恢复余数的说法中 D ， \_\_ B\_ \_\_\_ 是正确的。

A ．最后一次余数为正时，要恢复一次余数； B ．最后一次余数为负时，要恢复一次余数；

C ．最后一次余数为 0 时，要恢复一次余数； D ．任何时候都不恢复余数。

二、填空题（共 20 分，每空 1 分）

1 ． I/O 与主机交换信息的方式中， A 和 B 都需通过程序实现数据传送，其中

C 体现 CPU 与设备是串行工作的。

2 ．设 n = 8 （不包括符号位），机器完成一次加和移位各需 100ns ，则原码一位乘最多需 A ns, 补码 Booth 算法最多需 B ns 。

3 ． 对于一条隐含寻址的算术运算指令，其指令字中不明确给出 A ，其中一个操作数通常隐含在 B 中 。

4 ．设浮点数阶码为 4 位（含 1 位阶符），用移码表示，尾数为 16 位（含 1 位数符），用补码规格化表示，则对应其最大正数的机器数形式为 A ，真值为 B （十进制表示）；对应其绝对值最小负数的机器数形式为 C ，真值为 D （十进制表示）。

5 ． 在总线的异步通信方式中，通信的双方可以通过 A 、 B 和 C 三种类型联络。

6 ． 磁表面存储器的记录方式总的可分为 A 和 B 两大类，前者的特点是 C ，后者的特点是 D 。

7 ． 在微程序控制器中，一条机器指令对应一个 A ，若某机有 38 条机器指令，通常可对应 B 。

三、解释下列概念（共 10 分，每题 2 分）

1 ． CMDR 2 ．总线判优 3 ．系统的并行性 4 ．进位链 5 ．间接寻址

四、计算题（ 6 分）

设机器 A 的主频为 8MHz ，机器周期含 4 个时钟周期，且该机的平均指令执行速度是 0.4MIPS ，试求该机的平均指令周期和机器周期。每个指令周期包含几个机器周期？如果机器 B 的主频为 12MHz ，且机器周期也含 4 个时钟周期，试问 B 机的平均指令执行速度为多少 MIPS ？

五、简答题（共 20 分）

1 ． 说明微程序控制器中微指令的地址有几种形成方式。 （ 6 分）

2 ． 什么是计算机的主频，主频和机器周期有什么关系？ （ 4 分）（ CU 4 ）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L3,L2,L0,L4,L1 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

4 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 65 种操作。操作码位数固定，且具有直接、间接、立即、相对、变址五种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

六、问答题（共 15 分）

1 ． 按序写出完成一条加法指令 SUB α ( α为主存地址 ) 两种控制器所发出的微操作命令及节拍安排。 （ 8 分）

2 ．假设磁盘采用 DMA 方式与主机交换信息，其传输速率为 2MB/s ，而且 DMA 的预处理需 1000 个时钟周期， DMA 完成传送后处理中断需 500 个时钟周期。如果平均传输的数据长度为 4KB ，试问在硬盘工作时， 50MHz 的处理器需用多少时间比率进行 DMA 辅助操作（预处理和后处理）。（ 7 分）

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为： 0 ～ 8191 为系统程序区； 8192 ～ 32767 为用户程序区。

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。

计算机组成原理试题九

一、选择题（共 20 分，每题 1 分）

1 ．零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 \_\_C\_\_\_\_ 。

A ．立即数和栈顶； B ．暂存器； C ．栈顶和次栈顶； D ．累加器。

2 ． \_ C\_ \_ 可区分存储单元中存放的是指令还是数据。

A ．存储器； B ．运算器； C ．控制器； D ．用户。

3 ．所谓三总线结构的计算机是指 \_\_ B\_ \_ 。

A ．地址线、数据线和控制线三组传输线。 B ． I/O 总线、主存总统和 DMA 总线三组传输线；

C ． I/O 总线、主存总线和系统总线三组传输线； D ．设备总线、主存总线和控制总线三组传输线．。

4 ．某计算机字长是 32 位，它的存储容量是 256KB ，按字编址，它的寻址范围是 \_ B\_ \_\_ 。

A ． 128K ； B ． 64K ； C ． 64KB ； D ． 128KB 。

5 ．主机与设备传送数据时，采用 \_A\_\_\_\_\_ ，主机与设备是串行工作的。

A ．程序查询方式； B ．中断方式； C ． DMA 方式； D ．通道。

6 ． 在整数定点机中，下述第 \_\_\_ B\_\_ 种说法是正确的 。

A ．原码和反码不能表示 - 1 ，补码可以表示 - 1 ； B ．三种机器数均可表示 - 1 ；

C ．三种机器数均可表示 - 1 ，且三种机器数的表示范围相同； D ． 三种机器数均不可表示 - 1 。

7 ．变址寻址方式中，操作数的有效地址是 \_\_\_C\_\_\_ 。

A ．基址寄存器内容加上形式地址（位移量）； B ．程序计数器内容加上形式地址；

C ．变址寄存器内容加上形式地址； D ．以上都不对。

8 ．向量中断是 \_\_C\_\_\_\_ 。

A ．外设提出中断； B ．由硬件形成中断服务程序入口地址；

C ．由硬件形成向量地址，再由向量地址找到中断服务程序入口地址 D ．以上都不对。

9 ．一个节拍信号的宽度是指 \_\_C\_\_\_\_ 。

A ．指令周期； B ．机器周期； C ．时钟周期； D ．存储周期。

10 ．将微程序存储在 EPROM 中的控制器是 \_\_A\_\_\_\_ 控制器。

A ．静态微程序； B ．毫微程序； C ．动态微程序； D ．微程序。

11 ．隐指令是指 \_ \_D 。

A ．操作数隐含在操作码中的指令； B ．在一个机器周期里完成全部操作的指令；

C ．指令系统中已有的指令； D ．指令系统中没有的指令。

12 ．当用一个 16 位的二进制数表示浮点数时，下列方案中第 \_\_ B\_ \_ 种最好。

A ．阶码取 4 位（含阶符 1 位），尾数取 12 位（含数符 1 位）；

B ．阶码取 5 位（含阶符 1 位），尾数取 11 位（含数符 1 位）；

C ．阶码取 8 位（含阶符 1 位），尾数取 8 位（含数符 1 位）；

D ．阶码取 6 位（含阶符 1 位），尾数取 12 位（含数符 1 位）。

13 ． DMA 方式 \_\_ B \_\_ 。

A ．既然能用于高速外围设备的信息传送，也就能代替中断方式； B ．不能取代中断方式；

C ．也能向 CPU 请求中断处理数据传送； D ．内无中断机制。

14 ．在中断周期中，由 \_\_ D\_ \_\_ 将允许中断触发器置“ 0 ” 。

A ．关中断指令； B ．机器指令； C ．开中断指令； D ．中断隐指令。

15 ．在单总线结构的 CPU 中，连接在总线上的多个部件 \_\_\_B\_\_\_ 。

A ．某一时刻只有一个可以向总线发送数据，并且只有一个可以从总线接收数据；

B ．某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据；

C ．可以有多个同时向总线发送数据，并且可以有多个同时从总线接收数据；

D ．可以有多个同时向总线发送数据，但可以有一个同时从总线接收数据。

16 ．三种集中式总线控制中， \_A\_\_\_\_\_ 方式对电路故障最敏感。

A ．链式查询； B ．计数器定时查询； C ．独立请求； D ．以上都不对。

17 ．一个 16K×8 位的存储器，其地址线和数据线的总和是 \_\_\_D\_\_\_ 。

A ． 48 ； B ． 46 ； C ． 17 ； D ． 22 ．

18 ．在间址周期中， \_\_\_\_C\_\_ 。

A ．所有指令的间址操作都是相同的； B ．凡是存储器间接寻址的指令，它们的操作都是相同的；

C ．对于存储器间接寻址或寄存器间接寻址的指令，它们的操作是不同的； D ．以上都不对。

19 ．下述说法中 \_\_ B \_\_ 是正确的。

A ． EPROM 是可改写的，因而也是随机存储器的一种；

B ． EPROM 是可改写的，但它不能用作为随机存储器用；

C ． EPROM 只能改写一次，故不能作为随机存储器用；

D ． EPROM 是可改写的，但它能用作为随机存储器用。

20 ．打印机的分类方法很多，若按能否打印汉字来区分，可分为 \_\_ \_C \_\_ 。

A ．并行式打印机和串行式打印机； B ．击打式打印机和非击打式打印机；

C ．点阵式打印机和活字式打印机； D ．激光打印机和喷墨打印机。

二、填空（共 20 分，每空 1 分）

1 ． 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 A ，最小正数为

B ，最大负数为 C ，最小负数为 D 。

2 ． 指令寻址的基本方式有两种，一种是 A 寻址方式，其指令地址由 B 给出，另一种是 C 寻址方式，其指令地址由 D 给出。

3 ． 在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是 T 1 = 60ns ﹑ T 2 = 50ns ﹑ T 3 = 90ns ﹑ T 4 = 80ns 。则加法器流水线的时钟周期至少为 A 。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 B 。

4 ． 一个浮点数，当其尾数右移时，欲使其值不变，阶码必须 A 。尾数右移 1 位，阶码 B 。

5 ．存储器由 m （ m ＝ 1 ， 2 ， 4 ， 8 …）个模块组成，每个模块有自己的 A 和

B 寄存器，若存储器采用 C 编址，存储器带宽可增加到原来的 D 倍。

6 ． 按序写出多重中断的中断服务程序包括 A 、 B 、 C 、

D 和中断返回几部分。

三、名词解释 ( 共 10 分，每题 2 分 )

1 ．微操作命令和微操作 2 ． 快速缓冲存储器 3 ．基址寻址 4 ． 流水线中的多发技术 5 ．指令字长

四、计算题（ 5 分）

设机器数字长为 8 位（含 1 位符号位），设 A ＝ ， B ＝ ，计算 [ A B ] 补 ，并还原成真值。

五、简答题（共 20 分）

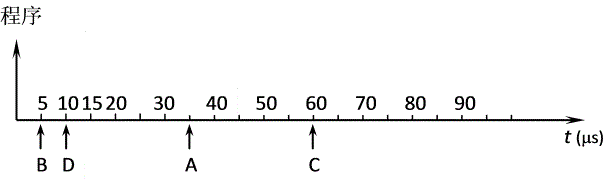
1 ．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（ 4 分）

2 ． 为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？ （ 6 分）

3 ． 设某机有四个中断源 A 、 B 、 C 、 D ，其硬件排队优先次序为 A > B > C > D ，现要求将中断处理次序改为 D > A > C > B 。 （ 5 分）

（ 1 ）写出每个中断源对应的屏蔽字。

（ 2 ）按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20 s 。



4 ． 某机器采用一地址格式的指令系统，允许直接和间接寻址。机器配备有如下硬件： ACC 、 MAR 、 MDR 、 PC 、 X 、 MQ 、 IR 以及变址寄存器 R X 和基址寄存器 R B ，均为 16 位。 （ 5 分）

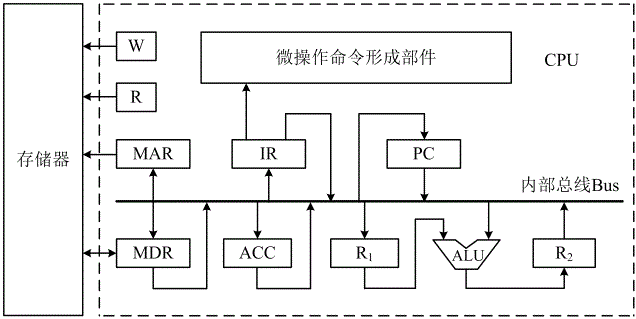
（1） 若采用单字长指令，共能完成 105 种操作，则指令可直接寻址的范围是多少？一次间址的寻址范围是多少？画出其指令格式并说明各字段的含义。

（2） 若采用双字长指令，操作码位数及寻址方式不变，则指令可直接寻址的范围又是多少？画出其指令格式并说明各字段的含义。

（3） 若存储字长不变，可采用什么方法访问容量为 8MB 的主存？需增设那些硬件？

六、问答题（共 15 分）

1 ．设 CPU 中各部件及其相互连接关系如下图所示。图中 W 是写控制标志， R 是读控制标志， R 1 和 R 2 是暂存器。（ 8 分）



（ 1 ）假设要求在取指周期由 ALU 完成 (PC) + 1 → PC 的操作（即 ALU 可以对它的一个源操作数完成加 1 的运算）。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

（ 2 ）写出指令 ADD # α （ # 为立即寻址特征，隐含的操作数在 ACC 中）在执行阶段所需的微操作命令及节拍安排。

2 ． DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA 工作过程的流程图（不包括预处理和后处理）

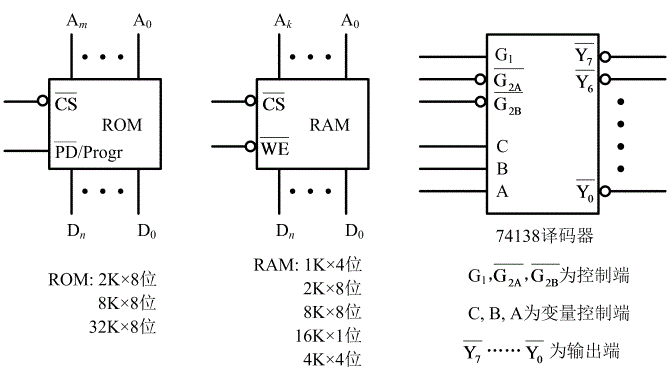
七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为：最大 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，最小 16K 地址空间为用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。



（ 1 ）主存地址空间分配： 6000H ～ 67FFH 为系统程序区； 6800H ～ 6BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑图。

计算机组成原理试题十

一、选择题（共 20 分，每题 1 分）

1 ．用户与计算机通信的界面是 \_\_\_B\_\_\_ 。

A ． CPU ； B ．外围设备； C ． 应用程序； D ． 系统程序。

2 ． 零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 \_C\_\_\_\_\_ 。

A ．立即数和栈顶； B ．暂存器； C ．栈顶和次栈顶； D ．程序计数器自动加 +1 。

3 ．水平型微指令的特点是 \_\_A\_\_\_\_ 。

A ．一次可以完成多个操作； B ．微指令的操作控制字段不进行编码；

C ．微指令的格式简短； D ．微指令的格式较长。

4 ． 有些计算机将一部分软件永恒地存于只读存储器中，称之为 \_\_\_C\_\_\_ 。

A ．硬件； B ．软件； C ．固件； D ．辅助存储器。

5 ． 主机与设备传送数据时，采用 \_\_\_A\_\_\_ ，主机与设备是串行工作的。

A ．程序查询方式； B ．中断方式； C ． DMA 方式； D ．通道。

6 ． 计算机中有关 ALU 的描述， \_\_ D\_ \_\_ 是正确的。

A ． 只做算术运算，不做逻辑运算； B ． 只做加法； C ． 能存放运算结果； D ． 以上答案都不对。

7 ． 所谓三总线结构的计算机是指 \_\_\_\_B\_\_ 。

A ．地址线、数据线和控制线三组传输线。 B ． I/O 总线、主存总统和 DMA 总线三组传输线；

C ． I/O 总线、主存总线和系统总线三组传输线； D ．以上都不对。

8 ． 集中式总线控制中， \_\_A\_\_\_\_ 方式对电路故障最敏感。

A ．链式查询； B ．计数器定时查询； C ．独立请求； D ．总线式。

9 ． 某一 RAM 芯片，其容量为 512 × 8 位，除电源和接地端外，该芯片引出线的最少数目是 \_\_\_C\_\_\_ 。

A ． 21 ； B ． 17 ； C ． 19 ； D ． 20 。

10 ． 活动头磁盘存储中，信息写入或读出磁盘是 \_\_B\_\_\_\_ 进行的。

A ．并行方式； B ．串行方式； C ．串并方式； D ．并串方式。

11 ．以下叙述 \_\_C\_\_\_\_ 是正确的。

A ．外部设备一旦发出中断请求，便立即得到 CPU 的响应；

B ．外部设备一旦发出中断请求， CPU 应立即响应；

C ．中断方式一般用于处理随机出现的服务请求； D ．程序查询用于键盘中断。

12 ． 下列 \_\_\_\_\_ D\_ 种说法有误差。

A ．任何二进制整数都可用十进制表示； B ．任何二进制小数都可用十进制表示；

C ．任何十进制整数都可用二进制表示； D ．任何十进制小数都可用二进制表示。

13 ． 堆栈寻址方式中，设 A 为累加器， SP 为堆栈指示器， M SP 为 SP 指示的栈顶单元，如果进栈操作的动作顺序是 (SP – 1) → SP ， (A) → M SP ，那么出栈操作的动作顺序应为 \_ \_A \_\_\_ 。

A ． (M SP ) → A ， (SP) + 1 → SP ； B ． (SP) + l → SP ， (M SP ) → A ；

C ． (SP) – 1 → SP ， (M SP ) → A ； D ．以上都不对。

14 ．指令寄存器的位数取决于 \_\_\_B\_\_\_ 。

A ．存储器的容量； B ．指令字长； C ．机器字长； D ．存储字长。

15 ．在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于 \_\_A\_\_\_\_ 。

A ．同步控制； B ．异步控制； C ．联合控制； D ．人工控制。

16 ．下列叙述中 \_\_\_B\_\_\_ 是正确的。

A ．控制器产生的所有控制信号称为微指令； B ．微程序控制器比硬连线控制器更加灵活；

C ．微处理器的程序称为微程序； D ．指令就是微指令。

17 ． CPU 中的译码器主要用于 \_B\_\_\_\_\_ 。

A ．地址译码； B ．指令译码； C ．选择多路数据至 ALU ； D ．数据译码。

18 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 \_\_\_\_A\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ALU 。

19 ． 通道程序是由 \_\_B\_\_\_\_ 组成。

A ． I/O 指令； B ．通道控制字（或称通道指令）； C ．通道状态字； D ．微程序。

20 ． 在磁盘和磁带两种磁表面存储器中，存取时间与存储单元的物理位置有关，按存储方式分， \_\_B\_ \_\_ 。

A ．二者都是串行存取； B ．磁盘是部分串行存取，磁带是串行存取；

C ．磁带是部分串行存取，磁盘是串行存取； D ． 二者都是并行存取 。

二、填空题（共 20 分，每题 1 分）

1 ．完成一条指令一般分为 A 周期和 B 周期，前者完成 C 操作，后者完成 D 操作。

2 ． 常见的数据传送类指令的功能可实现 A 和 B 之间，或 C 和 D 之间的数据传送。

3 ．微指令格式可分为 A 型和 B 型两类，其中 C 型微指令用较长的微程序结构换取较短的微指令结构。

4 ． 在 Cache －主存的地址映象中， A 灵活性强， B 成本最高。

5 ． 若采用硬件向量法形成中断服务程序的入口地址，则 CPU 在中断周期需完成 A 、

B 和 C 操作。

6 ． 某小数定点机，字长 8 位（含 1 位符号位），当机器数分别采用原码、补码和反码时，其对应的真值范围分别是 A 、 B 、 C （均用十进制表示）。

三、名词解释（共 10 分，每题 2 分）

1 ．时钟周期 2 ．刷新 3 ． 总线仲裁 4 ．机器指令 5 ． 超流水线

四、计算题（ 5 分）

设浮点数字长为 32 位，欲表示± 6 万的十进制数，在保证数的最大精度条件下，除阶符、数符各取 1 位外，阶码和尾数各取几位？按这样分配，该浮点数溢出的条件是什么？

五、 简答题 （共 15 分）

1 ．“在计算机中，原码和反码不能表示 - 1 。”这种说法是否正确，为什么？（ 2 分）

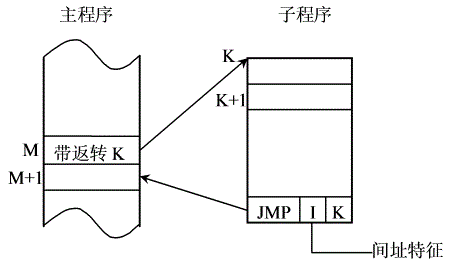
2 ．除了采用高速芯片外，分别指出存储器、运算器、控制器和 I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。（ 4 分）

3 ．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（ 4 分）

4 ． 在 DMA 方式中， CPU 和 DMA 接口分时使用主存有几种方法？简要说明之。 （ 5 分）

六、问答题（共 20 分）

1 ． 已知带返转指令的含义如下图所示，写出机器在完成带返转指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。如果采用微程序控制，需增加哪些微操作命令？（ 8 分）



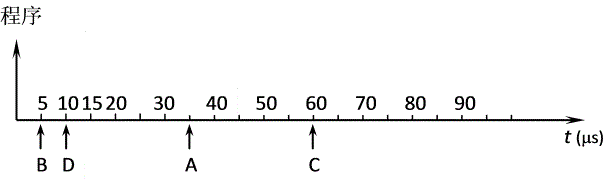
2 ．（ 6 分）（指令系统 3 ）一条双字长的取数指令（ LDA ）存于存储器的 100 和 101 单元，其中第一个字为操作码和寻址特征 M ，第二个字为形式地址。假设 PC 当前值为 100 ，变址寄存器 XR 的内容为 100 ，基址寄存器的内容为 200 ，存储器各单元的内容如下图所示。写出在下列寻址方式中，取数指令执行结束后，累加器 AC 的内容。

|  |  |
| --- | --- |
| LDA | M |
| 300 |  |
|  |  |
| ┇ |  |
| 800 |  |
| ┇ |  |
| 700 |  |
| 400 |  |
| 500 |  |
| ┇ |  |
| 200 |  |
| ┇ |  |
| 600 |  |
|  |  |

3 ．（ 6 分）设某机有四个中断源 A 、 B 、 C 、 D ，其硬件排队优先次序为 A > B > C > D ，现要求将中断处理次序改为 D > A > C > B 。

（ 1 ）写出每个中断源对应的屏蔽字。

（ 2 ）按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20 s 。

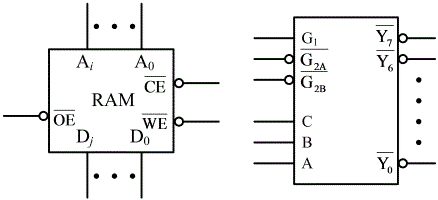


七、设计题（ 10 分）

设 CPU 共有 16 根地址线和 8 根数据线，并用 作访存控制信号， 作读写命令信号（高电平读，低电平写）。设计一个容量为 32KB ，地址范围为 0000H~7FFFH ，且采用低位交叉编址的四体并行存储器。要求：

（ 1 ）采用下图所列芯片，详细画出 CPU 和存储芯片的连接图。

（ 2 ）指出图中每个存储芯片的容量及地址范围（用十六进制表示）。



计算机组成原理试题十一

一 、选择题（共 20 分，每题 1 分）

1 ． 零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 \_\_\_\_\_\_ 。

A ． 立即数和栈顶；

B ． 暂存器；

C ．栈顶和次栈顶；

D ．累加器。

2 ． \_\_\_\_\_\_ 可区分存储单元中存放的是指令还是数据。

A ． 存储器 ；

B ． 运算器 ；

C ．控制器；

D ． 用户 。

3 ． 所谓三总线结构的计算机是指 \_\_\_\_\_\_ 。

A ．地址线、数据线和控制线三组传输线。

B ． I/O 总线、主存总统和 DMA 总线三组传输线；

C ． I/O 总线、主存总线和系统总线三组传输线；

D ．设备总线、主存总线和控制总线三组传输线．。

4 ． 某计算机字长是 32 位，它的存储容量是 256KB ，按字编址，它的寻址范围是 \_\_\_\_\_\_ 。

A ． 128K ；

B ． 64K ；

C ． 64KB ；

D ． 128KB 。

5 ． 主机与设备传送数据时，采用 \_\_\_\_\_\_ ，主机与设备是串行工作的。

A ．程序查询方式；

B ．中断方式；

C ． DMA 方式；

D ．通道。

6 ． 在整数定点机中，下述第 \_\_\_\_\_\_ 种说法是正确的 。

A ．原码和反码不能表示 - 1 ，补码可以表示 - 1 ；

B ．三种机器数均可表示 - 1 ；

C ．三种机器数均可表示 - 1 ，且三种机器数的表示范围相同；

D ． 三种机器数均不可表示 - 1 。

7 ． 变址寻址方式中，操作数的有效地址是 \_\_\_\_\_\_ 。

A ． 基址寄存器内容加上形式地址（位移量）；

B ． 程序计数器内容加上形式地址；

C ． 变 址寄存器内容加上形式地址；

D ．以上都不对。

8 ． 向量中断是 \_\_\_\_\_\_ 。

A ．外设提出中断；

B ．由硬件形成中断服务程序入口地址；

C ．由硬件形成向量地址，再由向量地址找到中断服务程序入口地址

D ．以上都不对。

9 ． 一个节拍信号的宽度是指 \_\_\_\_\_\_ 。

A ．指令周期；

B ．机器周期；

C ．时钟周期；

D ．存储周期。

10 ． 将微程序存储在 EPROM 中的控制器是 \_\_\_\_\_\_ 控制器。

A ． 静态微程序；

B ． 毫微程序；

C ． 动态微程序 ；

D ． 微程序 。

11 ． 隐指令是指 \_\_\_\_\_\_ 。

A ．操作数隐含在操作码中的指令；

B ．在一个机器周期里完成全部操作的指令；

C ．指令系统中已有的指令；

D ． 指令系统中没有的指令 。

12 ． 当用一个 16 位的二进制数表示浮点数时，下列方案中第 \_\_\_\_\_ 种最好。

A ．阶码取 4 位（含阶符 1 位），尾数取 12 位（含数符 1 位）；

B ．阶码取 5 位（含阶符 1 位），尾数取 11 位（含数符 1 位）；

C ．阶码取 8 位（含阶符 1 位），尾数取 8 位（含数符 1 位）；

D ． 阶码取 6 位（含阶符 1 位），尾数取 12 位（含数符 1 位） 。

13 ． DMA 方式 \_\_\_\_\_\_ 。

A ．既然能用于高速外围设备的信息传送，也就能代替中断方式；

B ．不能取代中断方式；

C ．也能向 CPU 请求中断处理数据传送；

D ．内无中断机制。

14 ． 在中断周期中，由 \_\_\_\_\_\_ 将允许中断触发器置“ 0 ” 。

A ．关中断指令；

B ．机器指令；

C ．开中断指令；

D ． 中断隐指令 。

15 ． 在单总线结构的 CPU 中，连接在总线上的多个部件 \_\_\_\_\_\_ 。

A ．某一时刻只有一个可以向总线发送数据，并且只有一个可以从总线接收数据；

B ．某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据；

C ．可以有多个同时向总线发送数据，并且可以有多个同时从总线接收数据；

D ．可以有多个同时向总线发送数据，但可以有一个同时从总线接收数据。

16 ．三种集中式总线控制中， \_\_\_\_\_\_ 方式对电路故障最敏感。

A ．链式查询；

B ．计数器定时查询；

C ．独立请求；

D ．以上都不对。

17 ．一个 16K× 8 位的存储器，其地址线和数据线的总和是 \_\_\_\_\_\_ 。

A ． 48 ；

B ． 46 ；

C ． 17 ；

D ． 22 ．

18 ． 在间址周期中， \_\_\_\_\_\_ 。

A ．所有指令的间址操作都是相同的；

B ．凡是存储器间接寻址的指令，它们的操作都是相同的；

C ．对于存储器间接寻址或寄存器间接寻址的指令，它们的操作是不同的；

D ．以上都不对。

19 ． 下述说法中 \_\_\_\_\_\_ 是正确的。

A ． EPROM 是可改写的，因而也是随机存储器的一种；

B ． EPROM 是可改写的，但它不能用作为随机存储器用；

C ． EPROM 只能改写一次，故不能作为随机存储器用；

D ． EPROM 是可改写的，但它能用作为随机存储器用。

20 ． 打印机的分类方法很多，若按能否打印汉字来区分，可分为 \_\_\_\_\_\_ 。

A ．并行式打印机和串行式打印机；

B ．击打式打印机和非击打式打印机；

C ．点阵式打印机和活字式打印机；

D ．激光打印机和喷墨打印机。

二 、填空（共 20 分，每空 1 分）

1 ． 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 A ，最小正数为

B ，最大负数为 C ，最小负数为 D 。

2 ． 指令寻址的基本方式有两种，一种是 A 寻址方式，其指令地址由 B 给出，另一种是 C 寻址方式，其指令地址由 D 给出。

3 ． 在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是 T 1 = 60ns ﹑ T 2 = 50ns ﹑ T 3 = 90ns ﹑ T 4 = 80ns 。则加法器流水线的时钟周期至少为 A 。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 B 。

4 ． 一个浮点数，当其尾数右移时，欲使其值不变，阶码必须 A 。尾数右移 1 位，阶码 B 。

5 ． 存储器由 m （ m ＝ 1 ， 2 ， 4 ， 8 …）个模块组成，每个模块有自己的 A 和

B 寄存器，若存储器采用 C 编址，存储器带宽可增加到原来的 D 倍。

6 ． 按序写出多重中断的中断服务程序包括 A 、 B 、 C 、

D 和中断返回几部分。

三、名词解释 ( 共 10 分，每题 2 分 )

1 ． 微操作命令和微操作

2 ． 快速缓冲存储器

3 ． 基址寻址

4 ． 流水线中的多发技术

5 ． 指令 字长

四 、计算题（ 5 分）

设机器数字长为 8 位（含 1 位符号位），设 A ＝ ， B ＝ ，计算 [ A B ] 补 ，并还原成真值。

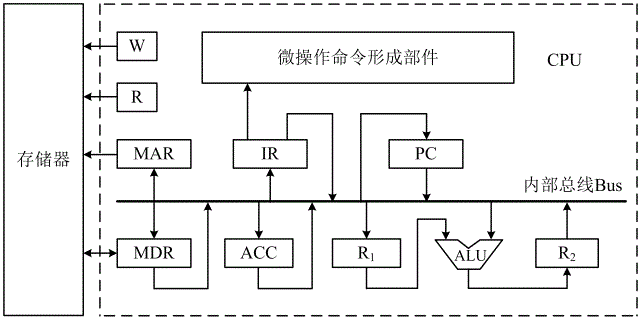
五 、简答题（共 20 分）

1 ． 异步通信与同步通信的主要区别是什么， 说明通信双方如何联络。 （ 4 分）

2 ． 为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？ （ 6 分）

六、问答题（共 1 5 分）

1 ． 设 CPU 中各部件及其相互连接关系如 下图 所示。图中 W 是写控制标志， R 是读控制标志， R 1 和 R 2 是暂存器。 （ 8 分）



（ 1 ）假设要求在取指周期由 ALU 完成 (PC) + 1 → PC 的操作（即 ALU 可以对它的一个源操作数完成加 1 的运算）。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

（ 2 ）写出指令 ADD # α （ # 为立即寻址特征，隐含的操作数在 ACC 中）在执行阶段所需的微操作命令及节拍安排。

2 ． DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA 工作过程的流程图（不包括预处理和后处理）

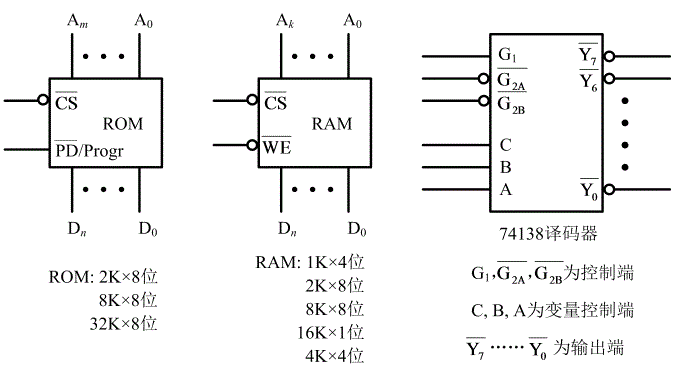
七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为：最大 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，最小 16K 地址空间为用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。



（ 1 ）主存地址空间分配：

6000H ～ 67FFH 为系统程序区；

6800H ～ 6BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑图。

答案：

一 、选择题（共 20 分，每题 1 分）

1 ． C 2 ． C 3 ． B 4 ． B 5 ． A 6 ． B 7 ． C

8 ． C 9 ． C 10 ． A 11 ． D 12 ． B 13 ． B 14 ． D

15 ． B 16 ． A 17 ． D 18 ． C 19 ． B 20 ． C

二 、填空（共 20 分，每空 1 分）

1 ． A ． A ． 2 127 (1 - 2 － 23 ) B ． 2 － 129 C ． 2 － 128 ( - 2 － 1 - 2 － 23 ) D ． - 2 127

2 ． A ． 顺序 B ．程序计数器 C ．跳跃 D ． 指令本身

3 ． A ． 90ns B ． 280ns

4 ． A ． A ．增加 B ．加 1

5 ． A ．地址 B ．数据 C ．模 m D ． m

6 ． A ．保护现场 B ．开中断 C ．设备服务 D ．恢复现场

三、名词解释 ( 共 10 分，每题 2 分 )

1 ． 微操作命令 和 微操作

答： 微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

2 ． 快速缓冲存储器

答： 快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

3 ． 基址寻址

答： 基址寻址有效地址等于形式地址加上基址寄存器的内容。

4 ． 流水线中的多发技术

答： 为了提高流水线的性能，设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果，这就是流水线中的多发技术 。

5 ． 指令 字长

答： 指令字长是指机器指令中二进制代码的总位数 。

四 、 （共 5 分）

计算题 答： [ A + B ] 补 ＝ 1.1011110 ， A + B ＝（ - 17/64 ）

[ A - B ] 补 ＝ 1.1000110 ， A - B ＝（ 35/64 ）

五 、简答 题 （共 20 分）

1 ． （ 4 分） 答：

同步通信和异步通信的主要区别是前者有公共 时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。 后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约 关系 ；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

2 ．（ 6 分，每写出一种给 1 分，最多 6 分 ）

答 ： 外围设备要通过接口与 CPU 相连的原因主要有：

（ 1 ）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。

（ 2 ） I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

（ 3 ） I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

（ 4 ） I/O 设备的入 / 出电平可能与 CPU 的入 / 出电平不同，通过接口可实现电平转换。

（ 5 ） CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

（ 6 ） I/O 设备需将其工作状况（“忙”、“就绪”、“错误”、“中断请求”等）及时报告 CPU ，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。

4 ． （ 5 分） 答：

（1） 根据 IR 和 MDR 均为 16 位，且采用单字长指令，得出指令字长 16 位。根据 105 种操作，取操作码 7 位。因允许直接寻址和间接寻址，且有变址寄存器和基址寄存器，因此取 2 位寻址特征，能反映四种寻址方式。最后得指令格式为：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD |
|  |  |  |

其中 OP 操作码，可完成 105 种操作；

M 寻址特征，可反映四种寻址方式；

AD 形式地址。

这种格式指令可直接寻址 2 7 = 128 ，一次间址的寻址范围是 2 16 = 65536 。

（2） 双字长指令格式如下：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD 1 |
| AD 2 |  |  |
|  |  |  |

其中 OP 、 M 的含义同上；

AD 1 ∥ AD 2 为 23 位形式地址。

这种格式指令可直接寻址的范围为 2 23 = 8M 。

（3） 容量为 8MB 的存储器， MDR 为 16 位，即对应 4M ×16 位的存储器。可采用双字长指令，直接访问 4M 存储空间，此时 MAR 取 22 位；也可采用单字长指令，但 R X 和 R B 取 22 位，用变址或基址寻址访问 4M 存储空间。

六、 （共 15 分）问答题

1 ． （ 8 分） 答：

（ 1 ）由于 (PC) + 1→PC 需由 ALU 完成，因此 PC 的值 可作为 ALU 的一个源操作数，靠控制 ALU 做＋ 1 运算得到 (PC) + 1 ，结果送至 与 ALU 输出端 相连 的 R 2 ，然后再送至 PC 。

此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

T 0 PC→MAR ， 1→R

T 1 M (MAR)→MDR ， (PC) + 1→R 2

T 2 MDR→IR ， OP(IR)→ 微操作命令形成部件

T 3 R 2 →PC

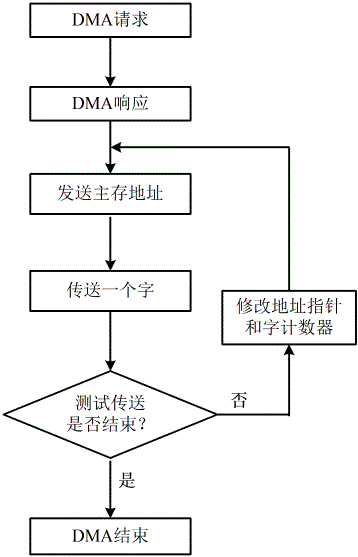
（ 2 ） 立即寻址的加法指令执行周期的微操作命令及节拍安排如下 ：

T 0 Ad(IR)→R 1 ； 立即数 →R 1

T 1 (R 1 ) + (ACC)→R 2 ； ACC 通过总线送 ALU

T 2 R 2 →ACC ；结果 → ACC

2 ． （ 7 分） 答： DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中， DMA 接口的功能有：（ 1 ）向 CPU 提出总线请求信号；（ 2 ）当 CPU 发出总线响应信号后，接管对总线的控制；（ 3 ）向存储器发地址信号（并能自动修改地址指针）；（ 4 ）向存储器发读 / 写等控制信号，进行数据传送；（ 5 ）修改字计数器，并根据传送字数，判断 DMA 传送是否结束；（ 6 ）发 DMA 结束信号，向 CPU 申请程序中断，报告一组数据传送完毕。 DMA 工作过程流程如图所示。

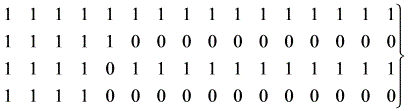


七、 设计题 （ 共 10 分）

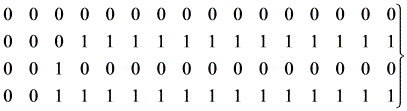
答：

（ 1 ） 主存地址空间分配 。 （ 2 分 ）

A 15 … A 11 … A 7 … … A 0

最大 4K 2K × 8 位 ROM 2 片

相邻 4K 4K × 4 位 RAM 2 片

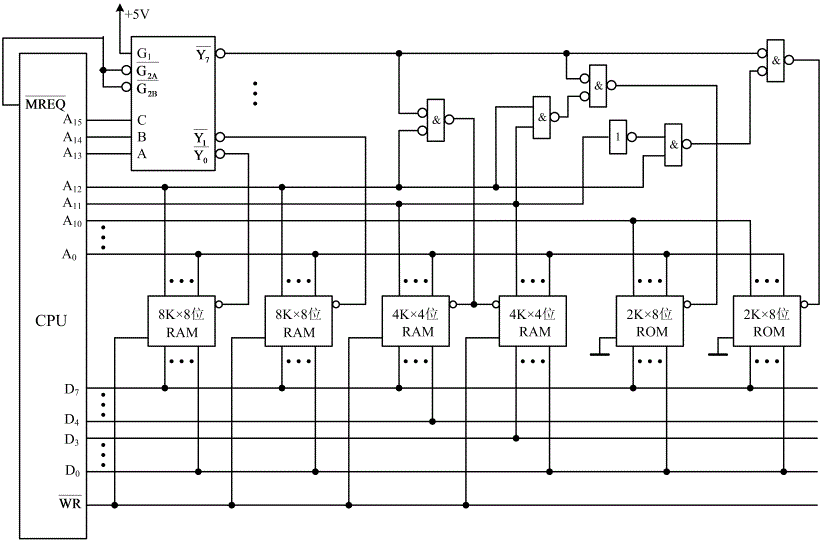
最小 16K 8K × 8 位 RAM 2 片 （ 2 ） 根据主存地址空间分配

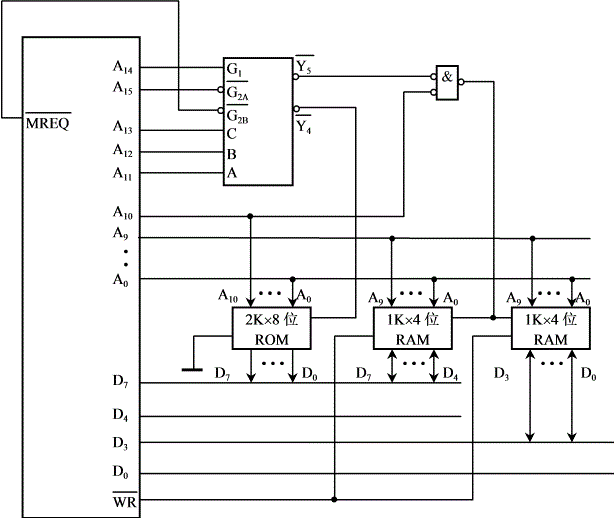
最大 4K 地址空间为系统程序区，选用 2 片 2K × 8 位 ROM 芯片；（ 1 分）

相邻的 4K 地址空间为系统程序工作区，选用 2 片 4K × 4 位 RAM 芯片；（ 1 分）

最小 16K 地址空间为用户程序区，选用 2 片 8K × 8 位 RAM 芯片。（ 1 分）

（ 3 ）存储芯片的片选逻辑图（ 5 分）





计算机组成原理试题十二

一、选择题（共 20 分，每题 1 分）

1 ． CPU 响应中断的时间是 \_ C \_\_\_\_\_ 。

A ．中断源提出请求；　　 B ．取指周期结束；　 C ． 执行周期结束 ； D ．间址周期结束。

2 ．下列说法中 \_\_\_c\_\_\_ 是正确的。

A ．加法指令的执行周期一定要访存； B ．加法指令的执行周期一定不访存；

C ． 指令的地址码给出存储器地址的加法指令，在执行周期一定访存；

D ．指令的地址码给出存储器地址的加法指令，在执行周期不一定访存。

3 ．垂直型微指令的特点是 \_\_\_c\_\_\_ 。

A ．微指令格式垂直表示；　 B ．控制信号经过编码产生；

C ． 采用微操作码； 　　　　 D ．采用微指令码。

4 ．基址寻址方式中，操作数的有效地址是 \_\_\_A\_\_\_ 。

A ． 基址寄存器内容加上形式地址（位移量） ； B ．程序计数器内容加上形式地址；

C ．变址寄存器内容加上形式地址；　　　　　　 D ．寄存器内容加上形式地址。

5 ．常用的虚拟存储器寻址系统由 \_\_\_\_A\_\_ 两级存储器组成。

A ． 主存－辅存 ； B ． Cache －主存； C ． Cache －辅存； D ．主存 — 硬盘。

6 ． DMA 访问主存时，让 CPU 处于等待状态，等 DMA 的一批数据访问结束后， CPU 再恢复工作，这种情况称作 \_\_A\_\_\_\_ 。

A ． 停止 CPU 访问主存 ； B ．周期挪用； C ． DMA 与 CPU 交替访问； D ． DMA 。

7 ．在运算器中不包含 \_\_\_D\_\_\_ 。

A ．状态寄存器；　 B ．数据总线；　 C ． ALU ；　 D ．地址寄存器。

8 ．计算机操作的最小单位 时间 是 \_\_A\_\_\_\_ 。

A ．时钟周期 ；　　 B ．指令周期；　 C ． CPU 周期； D ．中断周期。

9 ． 用以指定待执行指令所在地址的是 \_C\_\_\_\_\_ 。

A ． 指令寄存器；　 B ． 数据计数器； C ． 程序计数器 ； pc D ． 累加器。

10 ． 下列描述中 \_\_\_\_B\_\_ 是正确的。

A ． 控制器能理解、解释并执行所有的指令及存储结果；

B ． 一台计算机包括输入、输出、控制、存储及算逻运算五个单元；

C ．所有的数据运算都在 CPU 的控制器中完成；

D ．以上答案都正确。

11 ．总线通信中的 同步控制 是 \_\_B\_\_\_\_ 。

A ．只适合于 CPU 控制的方式；　　 B ．由统一时序控制的方式 ；

C ．只适合于外围设备控制的方式；　 D ．只适合于主存。

12 ．一个 16K × 32 位的存储器，其地址线和数据线的总和是 B\_\_\_\_\_\_ 。 14+32=46

A ． 48 ；　 　 B ． 46 ；　 　　 C ． 36 ；　　　　 D ． 32 。

13 ．某计算机 字长 是 16 位 ，它的存储容量是 1MB ，按字编址，它的寻址范围是 A \_\_\_\_\_\_ 。 1mb/2b=1024kb/2b=512k

A ． 512K ；　 B ． 1M ；　　　 C ． 512KB ；　　 D ． 1MB 。

14 ．以下 \_\_B\_\_\_\_ 是错误的。（输入输出 4 ）

A ．中断服务程序可以是操作系统模块； 　 B ．中断向量就是中断服务程序的入口地址；

C ．中断向量法可以提高识别中断源的速度；

D ．软件查询法和硬件法都能找到中断服务程序的入口地址。

15 ．浮点数的表示范围和精度取决于 \_\_C\_\_\_\_ 。

A ．阶码的位数和尾数的机器数形式； B ．阶码的机器数形式和尾数的位数；

C ．阶码的位数和尾数的位数； 　　　 D ．阶码的机器数形式和尾数的机器数形式。

16 ．响应中断请求的条件是 \_\_B\_\_\_\_ 。

A ．外设提出中断；　 B ． 外设工作完成和系统允许时；

C ．外设工作完成和中断标记触发器为“ 1 ” 时； D ． CPU 提出中断。

17 ．以下叙述中 \_\_\_B\_\_\_ 是错误的。

A ．取指令操作是控制器固有的功能，不需要在操作码控制下完成；

B ． 所有指令的取指令操作都是相同的 ；

C ．在指令长度相同的情况下，所有指令的取指操作都是相同的；

D ．一条指令包含取指、分析、执行三个阶段。

18 ．下列叙述中 \_\_A\_\_\_\_ 是错误的。

A ．采用微程序控制器的处理器称为微处理器； cpu

B ．在微指令编码中，编码效率最低的是直接编码方式；

C ．在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；

D ． CMAR 是控制器中存储地址寄存器。

19 ．中断向量可提供 \_\_ \_C\_ \_\_ 。

A ．被选中设备的地址； B ．传送数据的起始地址；

C ．中断服务程序入口地址； D ．主程序的断点地址。

20 ．在中断周期中，将允许中断触发器置“ 0 ” 的操作由 A \_ \_\_\_\_\_ 完成。

A ．硬件； 　 B ．关中断指令；　 C ．开中断指令；　 D ．软件。

二、填空题（共 20 分，每空 1 分）

1 ． 在 DMA 方式中， CPU 和 DMA 控制器通常采用三种方法来分时使用主存，它们是

停止 CPU 访问主 、 周期挪用 和 DMA 和 CPU 交替访问主存 。

2 ．设 n = 8 （不包括符号位），则原码一位乘需做 8 次移位和最多 8 次加法，补码 Booth 算法需做 8 次移位和最多 9 次加法。

3 ．设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制 补码浮点规格化数 对应的十进制真值范围是：最大正数为 2 127 (1 - 2 － 23 ) ，最小正数为 2 － 129 ，最大负数为 2 － 128 ( - 2 － 1 - 2 － 23 ) ，最小负数为 - 2 127 。

4 ． 一个总线 传输周期 包括 a ．申请分配阶段 B ．寻址阶段 C ．传输阶 D ．结束阶段

5 ． CPU 采用 同步 控制方式时 ，控制器使用 机器周 和 节拍 组成的多极时序系统。

6 ．在 组合逻辑控制器中，微操作控制信号由 指令操作码 、 时序 和

． 状态条件 决定。

三、名词解释（共 10 分，每题 2 分）

1 ．机器周期 2 ．周期挪用 3 ．双重分组跳跃进位 4 ． 水平型微指令 5 ． 超标量

四、计算题（ 5 分）

已知： A = ， B =  求： [A+B] 补

五、简答题（ 15 分）

1 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 97 种操作。操作码位数固定，且具有直接、间接、立即、相对、基址 五种寻址方式 。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ） 相对寻址的位移量（十进制表示） 。

2 ．控制器中常采用哪些控制方式，各有何特点？

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L4,L2,L3,L0,L1 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 | 1 1 0 0 0  0 1 0 0 0  1 1 1 1 0  1 1 o 1 0  1 1 1 1 1 |
|  |  |

六、问答题（ 20 分）

（ 1 ）画出主机框图（要求画到寄存器级）；

（ 2 ）若存储器容量为 64K×32 位，指出图中各寄存器的位数；

（ 3 ）写出组合逻辑控制器完成 STA X （ X 为主存地址）指令发出的全部微操作命令及节拍安排。

（ 4 ）若采用微程序控制，还需增加哪些微操作？

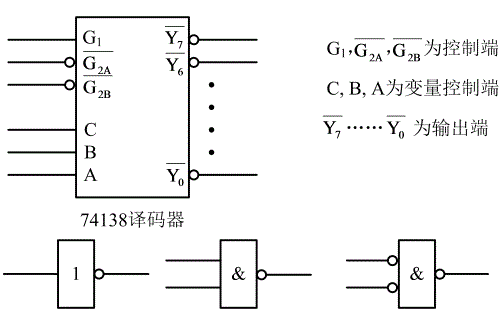
七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片： 1K × 4 位 RAM ， 4K × 8 位 RAM ， 2K × 8 位 ROM ，以及 74138 译码器和各种门电路，如图所示。画出 CPU 与存储器连接图，要求：

（ 1 ）主存地址空间分配： 8000H ～ 87FFH 为系统程序区； 8800H ～ 8BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑。



计算机组成原理试题十三

一、选择题（共 20 分，每题 1 分）

1 ．冯·诺伊曼机工作方式的基本特点是 \_\_\_B\_\_\_ 。

A ． 多指令流单数据流； B ．按地址访问并顺序执行指令 ；

C ．堆栈操作； D ．存储器按内容选择地址。

2 ．程序控制类指令的功能是 \_\_\_C\_\_\_ 。

A ．进行主存和 CPU 之间的数据传送； B ．进行 CPU 和设备之间的数据传送；

C ．改变程序执行的顺序； D ．一定是自动加 +1 。

3 ．水平型微指令的特点是 \_\_A\_\_\_\_ 。

A ．一次可以完成多个操作 ； B ．微指令的操作控制字段不进行编码；

C ．微指令的格式简短； D ．微指令的格式较长。

4 ．存储字长是指 \_\_\_\_B\_\_ 。

A ．存放在一个存储单元中的二进制代码组合； B ． 存放在一个存储单元中的二进制代码位数；

C ．存储单元的个数； D ．机器指令的位数。

5 ． CPU 通过 \_\_ B\_\_ \_ 启动通道。

A ．执行通道命令； B ． 执行 I/O 指令 ； C ．发出中断请求； D ．程序查询。

6 ．对有关数据加以分类、统计、分析，这属于计算机在 \_\_\_C\_\_\_ 方面的应用。

A ．数值计算； B ．辅助设计； C ． 数据处理； D ．实时控制。

7 ．总线中地址线的作用是 \_C\_\_\_\_\_ 。

A ．只用于选择存储器单元； B ．由设备向主机提供地址；

C ． 用于选择指定存储器单元和 I/O 设备接口电路的地址 ； D ．即传送地址又传送数据。

8 ．总线的异步通信方式 \_A\_\_ \_ 。

A ． 不采用时钟信号，只采用握手信号 ； B ．既采用时钟信号，又采用握手信号；

C ．既不采用时钟信号，又不采用握手信号； D ．既采用时钟信号，又采用握手信号。

9 ．存储周期是指 \_\_\_C\_\_\_ 。

A ．存储器的写入时间； B ．存储器进行连续写操作允许的最短间隔时间；

C ． 存储器进行连续读或写操作所允许的最短间隔时间 ； D ．指令执行时间。

10 ．在程序的执行过程中， Cache 与主存的地址映射是由 \_\_ C\_\_ 。

A ．操作系统来管理的； B ．程序员调度的； C ． 由硬件自动完成的； D ．用户软件完成。

11 ．以下叙述 \_\_\_ C\_ 是正确的。

A ．外部设备一旦发出中断请求，便立即得到 CPU 的响应；

B ．外部设备一旦发出中断请求， CPU 应立即响应；

C ． 中断方式一般用于处理随机出现的服务请求 ； D ．程序查询用于键盘中断。

12 ．加法器采用先行进位的目的是 \_\_\_\_C\_\_ 。

A ．优化加法器的结构； B ．节省器材； C ． 加速传递进位信号 ； D ．增强加法器结构。

13 ．变址寻址方式中，操作数的有效地址是 \_\_C\_\_\_\_ 。

A ．基址寄存器内容加上形式地址（位移量）； B ．程序计数器内容加上形式地址；

C ． 变址寄存器内容加上形式地址 ； D ．寄存器内容加上形式地址。

14 ．指令寄存器的位数取决于 \_\_ B\_ \_ 。

A ．存储器的容量； B ． 指令字长； C ．机器字长； D ．存储字长。

15 ．在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于 A \_\_\_\_ 。

A ．同步控制 ； B ．异步控制； C ．联合控制； D ．人工控制。

16 ．下列叙述中 \_\_\_ B\_\_ \_ 是正确的。

A ．控制器产生的所有控制信号称为微指令； B ． 微程序控制器比硬连线控制器更加灵活；

C ．微处理器的程序称为微程序； D ．指令就是微指令。

17 ． CPU 中的译码器主要用于 \_\_\_B\_\_\_ 。

A ．地址译码； B ． 指令译码 ； C ．选择多路数据至 ALU ； D ．数据译码。

18 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 \_\_A\_\_\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ALU 。

19 ． DMA 方式的接口电路中有程序中断部件，其作用是 \_\_ \_C\_ 。

A ．实现数据传送； B ．向 CPU 提出总线使用权； C ． 向 CPU 提出传输结束 ； D ．发中断请求。

20 ．下列器件中存取速度最快的是 C 。

A ． Cache ； B ．主存； C ． 寄存器 ； D ．辅存。

二、填空题（共 20 分，每题 1 分）

1 ．完成一条指令一般分为 A 周期和 B 周期，前者完成 C 操作，后者完成 D 操作。

2 ． 设指令字长等于存储字长，均为 24 位，若某指令系统可完成 108 种操作，操作码长度固定，且具有直接、间接（一次间址）、变址、基址、相对、立即等寻址方式，则在保证最大范围内直接寻址的前提下，指令字中操作码占 A 位，寻址特征位占 B 位，可直接寻址的范围是 C ，一次间址的范围是 D 。

3 ．微指令格式可分为 A 型和 B 型两类，其中 C 型微指令用较长的微程序结构换取较短的微指令结构。

4 ．在写操作时，对 Cache 与主存单元同时修改的方法称作 A ，若每次只暂时写入 Cache ，直到替换时才写入主存的方法称作 B 。

5 ． I/O 与主机交换信息的方式中， 程序查询方式 和 中断方式 都需通过程序实现数据传送，其中 C 体现 CPU 与设备是串行工作的。

6 ．在小数定点机中，采用 1 位符号位，若寄存器内容为 10000000 ，当它分别表示为原码、补码和反码时，其对应的真值分别为 A 、 B 和 C （均用十进制表示）。

三、名词解释（共 10 分，每题 2 分）

1 ．时钟周期 2 ．向量地址 3 ．系统总线 4 ．机器指令 5 ． 超流水线

四、计算题（ 5 分）

设机器数字长为 8 位（含一位符号位在内），若 A = +15 ， B = +24 ，求 [A - B] 补 并还原成真值。

五、 简答题 （共 15 分）

1 ．指出零的表示是唯一形式的机器数，并写出其二进制代码（机器数字长自定）。（ 2 分）

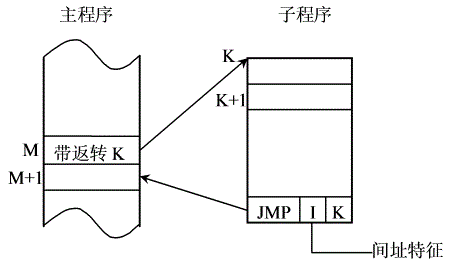
2 ．除了采用高速芯片外，分别指出存储器、运算器、控制器和 I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。（ 4 分）

3 ． 总线通信控制有几种方式，简要说明各自的特点 。（ 4 分）

4 ．以 I/O 设备的中断处理过程为例，说明一次程序中断的全过程。（ 5 分）

六、问答题（共 20 分）

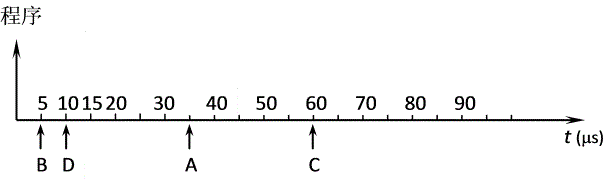
1 ． 已知带返转指令的含义如下图所示，写出机器在完成带返转指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。如果采用微程序控制，需增加哪些微操作命令？（ 8 分）



3 ．（ 6 分）设某机有四个中断源 A 、 B 、 C 、 D ，其硬件排队优先次序为 A > B > C > D ，现要求将中断处理次序改为 D > A > C > B 。

（ 1 ）写出每个中断源对应的屏蔽字。

（ 2 ）按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20 s 。



2 ．（ 6 分）一条双字长的取数指令（ LDA ）存于存储器的 100 和 101 单元，其中第一个字为操作码和寻址特征 M ，第二个字为形式地址。假设 PC 当前值为 100 ，变址寄存器 XR 的内容为 100 ，基址寄存器的内容为 200 ，存储器各单元的内容如下图所示。写出在下列寻址方式中，取数指令执行结束后，累加器 AC 的内容。

|  |  |
| --- | --- |
| LDA | M |
| 300 |  |
|  |  |
| ┇ |  |
| 800 |  |
| ┇ |  |
| 700 |  |
| 400 |  |
| 500 |  |
| ┇ |  |
| 200 |  |
| ┇ |  |
| 600 |  |
|  |  |

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 （低电平有效）作访存控制信号， 作读写命令信号（高电平为读，低电平为写）。现有下列存储芯片：

ROM （ 2K 8 位， 4K 4 位， 8K 8 位），

RAM （ 1K 4 位， 2K 8 位， 4K 8 位）

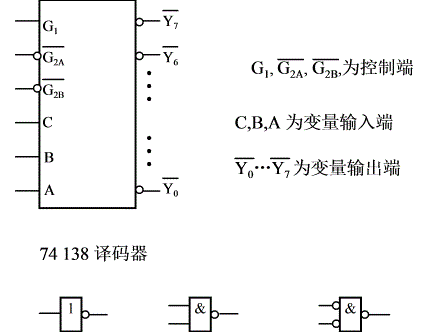
及 74138 译码器和其他门电路（门电路自定）。

试从上述规格中选用合适芯片，画出 CPU 和存储芯片的连接图。 要求：

（ 1 ）最小 4K 地址为系统程序区， 4096~16383 地址范围为用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。



计算机组成原理试题十四

一、选择题（共 20 分，每题 1 分）

1 ．直接、间接、立即三种寻址方式指令的执行速度，由快至慢的排序是 \_\_\_C\_\_\_ 。

A ．直接、立即、间接； B ．直接、间接、立即；

C ．立即、直接、间接； D ．立即、间接、直接。

2 ．存放欲执行指令的寄存器是 \_\_\_D\_\_\_ 。

A ． MAR ； B ． PC ； C ． MDR ； D ． IR 。

3 ．在独立请求方式下，若有 N 个设备，则 \_\_\_\_B\_\_ 。

A ．有一个总线请求信号和一个总线响应信号； B ．有 N 个总线请求信号和 N 个总线响应信号 ；

C ．有一个总线请求信号和 N 个总线响应信号； D ．有 N 个总线请求信号和一个总线响应信号。

4 ．下述说法中 \_\_C\_\_\_\_ 是正确的。

A ．半导体 RAM 信息可读可写，且断电后仍能保持记忆；

B ．半导体 RAM 是易失性 RAM ，而静态 RAM 中的存储信息是不易失的；

C ．半导体 RAM 是易失性 RAM ，而静态 RAM 只有在电源不掉时，所存信息是不易失的。

5 ． DMA 访问主存时，向 CPU 发出请求，获得总线使用权时再进行访存，这种情况称作 \_B\_\_ \_ 。

A ．停止 CPU 访问主存； B ．周期挪用 ； C ． DMA 与 CPU 交替访问； D ． DMA 。

6 ．计算机中表示地址时，采用 \_ \_D\_\_ \_ 。

A ．原码； B ．补码； C ．反码； D ．无符号数 。

7 ．采用变址寻址可扩大寻址范围，且 \_\_C\_\_\_\_ 。

A ．变址寄存器内容由用户确定，在程序执行过程中不可变；

B ．变址寄存器内容由操作系统确定，在程序执行过程中可变；

C ．变址寄存器内容由用户确定，在程序执行过程中可变；

D ．变址寄存器内容由操作系统确定，在程序执行过程不中可变；

8 ．由编译程序将多条指令组合成一条指令，这种技术称做 \_\_ C\_ \_\_\_ 。

A ．超标量技术； B ．超流水线技术； C ．超长指令字技术 ； D ．超字长。

9 ．计算机执行乘法指令时，由于其操作较复杂，需要更多的时间，通常采用 \_\_C\_\_\_\_ 控制方式。

A ．延长机器周期内节拍数的； B ．异步； C ．中央与局部控制相结合的 ； D ．同步；

10 ．微程序放在 \_B\_ \_\_ 中。

A ．存储器控制器； B ．控制存储器； C ．主存储器； D ． Cache 。

11 ．在 CPU 的寄存器中， B\_\_ \_\_\_ 对用户是完全透明的。

A ．程序计数器； B ．指令寄存器； C ．状态寄存器； D ．通用寄存器。

12 ．运算器由许多部件组成，其核心部分是 \_\_B\_\_\_\_ 。

A ．数据总线； B ．算术逻辑运算单元； C ．累加寄存器； D ．多路开关。

13 ． DMA 接口 \_\_ B\_ \_\_ 。

A ．可以用于主存与主存之间的数据交换； B ．内有中断机制；

C ．内有中断机制，可以处理异常情况； D ．内无中断机制

14 ． CPU 响应中断的时间是 \_\_\_C\_\_\_ 。

A ．中断源提出请求； B ．取指周期结束； C ．执行周期结束 ； D ．间址周期结束。

15 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 \_A\_\_\_\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ALU 。

16 ．三种集中式总线控制中， \_\_\_ A\_ \_ 方式对电路故障最敏感。

A ．链式查询 ； B ．计数器定时查询； C ．独立请求； D ．以上都不对。

17 ．一个 16K×32 位的存储器，其地址线和数据线的总和是 \_\_B\_\_\_\_ 。

A ． 48 ； B ． 46 ； C ． 36 ； D ． 32 ．

18 ．以下叙述中错误的是 \_\_ \_B \_\_\_ 。

A ．指令周期的第一个操作是取指令； B ．为了进行取指令操作，控制器需要得到相应的指令；

C ．取指令操作是控制器自动进行的； D ．指令第一字节含操作码。

19 ．主存和 CPU 之间增加高速缓冲存储器的目的是 \_\_\_A\_\_\_ 。

A ．解决 CPU 和主存之间的速度匹配问题 ； B ．扩大主存容量；

C ．既扩大主存容量，又提高了存取速度； D ．扩大辅存容量。

20 ．以下叙述 \_\_ A \_\_\_ 是错误的。

A ．一个更高级的中断请求一定可以中断另一个中断处理程序的执行；

B ． DMA 和 CPU 必须分时使用总线；

C ． DMA 的数据传送不需 CPU 控制； D ． DMA 中有中断机制。

二、填空（共 20 分，每空 1 分）

1 ． 设 24 位长的浮点数，其中阶符 1 位，阶码 5 位，数符 1 位，尾数 17 位，阶码和尾数均用补码表示，且尾数采用规格化形式，则它能表示最大正数真值是 A ，非零最小正数真值是 B ，绝对值最大的负数真值是 C ，绝对值最小的负数真值是 D （均用十进制表示）。

2 ．变址寻址和基址寻址的区别是：在基址寻址中，基址寄存器提供 A ， 指令提供 B ； 而在变址寻址中，变址寄存器提供 C ，指令提供 D 。

3 ．影响流水线性能的因素主要反映在 A 和 B 两个方面。

4 ． 运算器的技术指标一般用 A 和 B 表示。

5 ． 缓存是设在 A 和 B 之间的一种存储器，其速度 C 匹配 ，其容量与 D 有关。

6 ． CPU 响应中断时要保护现场，包括对 A 和 B 的保护，前者通过

C 实现，后者可通过 D 实现。

三、名词解释 ( 共 10 分，每题 2 分 )

1 ．微程序控制 2 ．存储器带宽 3 ． RISC 4 ．中断隐指令及功能 5 ．机器字长

四、计算题（ 5 分）

已知：两浮点数 x = 0.1101×2 10 ， y = 0.1011×2 01 求： x + y

五、简答题（共 20 分）

1 ．完整的总线传输周期包括哪几个阶段？简要叙述每个阶段的工作。（ 4 分）

2 ．除了采用高速芯片外，从计算机的各个子系统的角度分析，指出 6 种以上（含 6 种）提高整机速度的措施。（ 6 分）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L3,L2,L4,L0,L1 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

4 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 120 种操作。操作码位数固定，且具有直接、间接、立即、相对四种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

六、问答题（共 15 分）

1 ．假设 CPU 在中断周期用堆栈保存程序断点，而且进栈时指针减 1 ，出栈时指针加 1 。分别写出组合逻辑控制和微程序控制在完成中断返回指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。（ 8 分）

2 ．画出 DMA 方式接口电路的基本组成框图，并说明其工作过程（以输入设备为例）。（ 7 分）

七、设计题（ 10 分）

设 CPU 有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效），用作读 / 写控制信号（高电平为读，低电平为写）。现有下列存储芯片： 1K × 4 位 RAM ； 4K × 8 位 RAM ； 8K × 8 位 RAM ； 2K × 8 位 ROM ； 4K × 8 位 ROM ； 8K × 8 位 ROM 及 74LS138 译码器和各种门电路，如图所示。画出 CPU 与存储器的连接图，要求

（ 1 ）主存地址空间分配：

6000H ～ 67FFH 为系统程序区；

6800H ～ 6BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑图。

计算机组成原理试题十五

一、选择题（共 20 分，每题 1 分）

1 ．一条指令中包含的信息有 C 。

A ．操作码、控制码； B ．操作码、向量地址； C ．操作码、地址码。

2 ．在各种异步通信方式中， \_\_\_C\_\_\_ 速度最快。

A ．全互锁； B ．半互锁； C ．不互锁。

3 ．一个 512KB 的存储器，其地址线和数据线的总和是 \_C\_ \_ 。

A ． 17 ； B ． 19 ； C ． 27 。

4 ．在下列因素中，与 Cache 的命中率无关的是 　　 C 　 。）

A ． Cache 块的大小； B ． Cache 的容量； C ．主存的存取时间。

5 ．在计数器定时查询方式下，若计数从 0 开始，则 \_\_A\_\_\_\_ 。

A ．设备号小的优先级高； B ．每个设备使用总线的机会相等； C ．设备号大的优先级高。

6 ． Cache 的地址映象中，若主存中的任一块均可映射到 Cache 内的任一块的位置上，称作 　　 B 　 。

A ．直接映象； B ．全相联映象； C ．组相联映象。

7 ．中断服务程序的最后一条指令是 \_\_C\_\_\_\_ 。

A ．转移指令； B ．出栈指令； C ．中断返回指令。

8 ．微指令操作控制字段的每一位代表一个控制信号，这种微程序的控制（编码）方式是 \_\_B\_\_\_\_ 。

A ．字段直接编码； B ．直接编码； C ．混合编码。

9 ．在取指令操作之后，程序计数器中存放的是 \_\_ C\_\_ \_\_ 。

A ．当前指令的地址； B ．程序中指令的数量； C ．下一条指令的地址。

10 ．以下叙述中 \_\_A\_\_\_\_ 是正确的。

A ． RISC 机一定采用流水技术； B ．采用流水技术的机器一定是 RISC 机；

C ． CISC 机一定不采用流水技术。

11 ．在一地址格式的指令中，下列 B 是正确的。

A ．仅有一个操作数 , 其地址由指令的地址码提供； B ．可能有一个操作数 , 也可能有两个操作数；

C ．一定有两个操作数，另一个是隐含的。

12 ．在浮点机中，判断原码规格化形式的原则是 \_\_\_B\_\_\_ 。

A ．尾数的符号位与第一数位不同； B ．尾数的第一数位为 1 ，数符任意；

C ．尾数的符号位与第一数位相同； D ．阶符与数符不同。

13 ． I/O 采用不统一编址时，进行输入输出操作的指令是 \_\_\_ C\_ \_ 。

A ．控制指令； B ．访存指令； C ．输入输出指令。

14 ．设机器字长为 64 位，存储容量为 128MB ，若按字编址，它的寻址范围是 　 B 　　 。

A ． 16MB ； B ． 16M ； C ． 32M 。

15 ． B 寻址便于处理数组问题。

A ．间接寻址； B ．变址寻址； C ．相对寻址。

16 ．超标量技术是 \_\_\_B\_\_\_ 。

A ．缩短原来流水线的处理器周期； B ．在每个时钟周期内同时并发多条指令；

C ．把多条能并行操作的指令组合成一条具有多个操作码字段的指令。

17 ．以下叙述中 \_ \_B\_\_ \_\_ 是错误的。

A ．取指令操作是控制器固有的功能，不需要在操作码控制下完成；

B ．所有指令的取指令操作都是相同的；

C ．在指令长度相同的情况下，所有指令的取指操作都是相同的。

18 ． I/O 与主机交换信息的方式中，中断方式的特点是 \_\_ B\_\_ 。

A ． CPU 与设备串行工作，传送与主程序串行工作；

B ． CPU 与设备并行工作，传送与主程序串行工作；

C ． CPU 与设备并行工作，传送与主程序并行工作。

19 ．设寄存器内容为 11111111 ，若它等于 +127 ，则为 \_\_ \_D\_ \_\_ 。

A ．原码； B ．补码； C ．反码； D ．移码。

20 ．设机器数采用补码形式（含 l 位符号位），若寄存器内容为 9BH ，则对应的十进制数为 \_C\_ \_\_\_\_ 。

A ． - 27 ； B ． - 97 ； C ． - 101 ； D ． 155 。

二、填空题（共 20 分，每空 1 分）

1 ． DMA 的数据块传送可分为 A 、 B 和 C 阶段。

2 ．设 n = 16 （不包括符号位），机器完成一次加和移位各需 100ns ，则原码一位乘最多需 A ns, 补码 Booth 算法最多需 B ns 。

3 ．设相对寻址的转移指令占 2 个字节，第一字节为操作码，第二字节是位移量（用补码表示），每当 CPU 从存储器取出一个字节时，即自动完成（ pc ） + 1→ pc 。设当前指令地址为 3008H ，要求转移到 300FH ，则该转移指令第二字节的内容应为 A 。若当前指令地址为 300FH ，要求转移到 3004H ，则该转移指令第二字节的内容为 B 。

4 ．设浮点数阶码为 8 位（含 1 位阶符），用移码表示，尾数为 24 位（含 1 位数符），用补码规格化表示，则对应其最大正数的机器数形式为 A ，真值为 B （十进制表示）；对应其绝对值最小负数的机器数形式为 C ，真值为 D （十进制表示）。

5 ． I/O 的编址方式可分为 A 和 B 两大类，前者需有独立的 I/O 指令，后者可通过 C 指令和设备交换信息。

6 ． 动态 RAM 靠 A 的原理存储信息，因此一般在 B 时间内必须刷新一次，刷新与 C 址有关，该地址由 D 给出。

7 ． 在微程序控制器中，一条机器指令对应一个 A ，若某机有 35 条机器指令，通常可对应 B 。

三、解释下列概念（共 10 分，每题 2 分）

1 ． CMAR 2 ．总线 3 ．指令流水 4 ．单重分组跳跃进位 5 ．寻址方式

四、计算题（ 6 分）

设某机主频为 8MHz ，每个机器周期平均含 2 个时钟周期，每条指令平均有 2.5 个机器周期，试问该机的平均指令执行速度为多少 MIPS ？若机器主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 5 个机器周期，则该机的平均指令执行速度又是多少 MIPS ？

五、简答题（共 20 分）

1 ． CPU 包括哪几个工作周期？每个工作周期的作用是什么。（ 4 分）

2 ． 什么是指令周期、机器周期和时钟周期？三者有何关系 ? （ 6 分）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L3,L2,L4,L1,L0 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

4 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 56 种操作。操作码位数固定，且具有直接、间接、立即、相对、变址五种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

六、问答题（共 15 分）

1 ． 按序写出完成一条加法指令 ADD α ( α为主存地址 ) 两种控制器所发出的微操作命令及节拍安排。 （ 8 分）

2 ．假设磁盘采用 DMA 方式与主机交换信息，其传输速率为 2MB/s ，而且 DMA 的预处理需 1000 个时钟周期， DMA 完成传送后处理中断需 500 个时钟周期。如果平均传输的数据长度为 4KB ，试问在硬盘工作时， 50MHz 的处理器需用多少时间比率进行 DMA 辅助操作（预处理和后处理）。（ 7 分）（输入输出 4 ）

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。

画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为： 0 ～ 2047 为系统程序区； 2048 ～ 8191 为用户程序区。

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。

计算机组成原理试题十六

一、选择题（共 5 分，每题 1 分）

1 ．设寄存器内容为 80H ，若它对应的真值是 – 127 ，则该机器数是

A ．原码； B ．补码； C ．反码； D ．移码。

2 ．下列叙述中 是正确的。

A ．程序中断方式中有中断请求， DMA 方式中没有中断请求；

B ．程序中断方式和 DMA 方式中实现数据传送都需中断请求；

C ．程序中断方式和 DMA 方式中都有中断请求，但目的不同；

D ． DMA 要等到指令周期结束时才进行周期窃取。

3 ．设机器数字长为 32 位，一个容量为 16MB 的存储器， CPU 按半字寻址，其寻址范围是 。

A ． 2 24 ； B ． 2 23 ； C ． 2 22 ； D ． 2 21 。

4 ．在中断接口电路中，向量地址可通过 B 送至 CPU 。

A ．地址线； B ．数据线； C ．控制线； D ．状态线。

5 ．在程序的执行过程中， Cache 与主存的地址映象是由 D 。

A ．程序员调度的； B ．操作系统管理的； C ．由程序员和操作系统共同协调完成的；

D ．硬件自动完成的。

6 ．总线复用方式可以 \_\_\_\_\_\_ 。

A ．提高总线传输带宽； B ．增加总线功能； C ．减少总线中信号线数量； D ．提高 CUP 利用率。

7 ．下列说法中正确的是 　　　 。

A ． Cache 与主存统一编址， Cache 的地址空间是主存地址空间的一部分；

B ．主存储器只由易失性的随机读写存储器构成；

C ．单体多字存储器主要解决访存速度的问题；

D ． Cache 不与主存统一编址， Cache 的地址空间不是主存地址空间的一部分。

8 ．在采用增量计数器法的微指令中，下一条微指令的地址 \_\_\_\_\_\_ 。

A ．在当前的微指令中； B ．在微指令地址计数器中； C ．在程序计数器； D ．在 CPU 中。

9 ．由于 CPU 内部操作的速度较快，而 CPU 访问一次存储器的时间较长，因此机器周期通常由 \_\_\_\_\_\_ 来确定。

A ．指令周期； B ．存取周期； C ．间址周期； D ．执行周期。

10 ． RISC 机器 \_\_\_\_\_\_ 。

A ．不一定采用流水技术； B ．一定采用流水技术；

C ． CPU 配备很少的通用寄存器； D ． CPU 配备很多的通用寄存器。

11 ．在下列寻址方式中， 寻址方式需要先计算，再访问主存。

A ．立即； B ．变址； C ．间接； D ．直接。

12 ．在浮点机中，判断补码规格化形式的原则是 \_\_\_\_\_\_ 。

A ．尾数的第一数位为 1 ，数符任意； B ．尾数的符号位与第一数位相同；

C ．尾数的符号位与第一数位不同； D ．阶符与数符不同。

13 ． I/O 采用统一编址时，进行输入输出操作的指令是 \_\_\_\_\_\_ 。

A ．控制指令； B ．访存指令； C ．输入输出指令； D ．程序指令。

14 ．设机器字长为 32 位，存储容量为 16MB ，若按双字编址，其寻址范围是 　　　 。

A ． 8MB ； B ． 2M ； C ． 4M ； D ． 16M 。

15 ． 寻址对于实现程序浮动提供了较好的支持。

A ．间接寻址； B ．变址寻址； C ．相对寻址； D ．直接寻址。

16 ．超流水线技术是 \_\_\_\_\_\_ 。

A ．缩短原来流水线的处理器周期； B ．在每个时钟周期内同时并发多条指令；

C ．把多条能并行操作的指令组合成一条具有多个操作码字段的指令； D ．以上都不对。

17 ．以下叙述中错误的是 \_\_\_\_\_\_ 。

A ．指令周期的第一个操作是取指令； B ．为了进行取指令操作，控制器需要得到相应的指令；

C ．取指令操作是控制器自动进行的； D ．指令周期的第一个操作是取数据。

18 ． I/O 与主主机交换信息的方式中， DMA 方式的特点是 \_\_\_\_\_\_ 。

A ． CPU 与设备串行工作，传送与主程序串行工作；

B ． CPU 与设备并行工作，传送与主程序串行工作；

C ． CPU 与设备并行工作，传送与主程序并行工作；

D ． CPU 与设备串行工作，传送与主程序并行工作。

19 ．若 9BH 表示移码（含 1 位符号位）．其对应的十进制数是 \_\_\_\_\_\_ 。

A ． 27 ； B ． - 27 ； C ． - 101 ； D ． 101 。

20 ．在二地址指令中 是正确的。

A ．指令的地址码字段存放的一定是操作数； B ．指令的地址码字段存放的一定是操作数地址；

C ．运算结果通常存放在其中一个地址码所提供的地址中；

D ．指令的地址码字段存放的一定是操作码。

二、填空题（共 20 分，每空 1 分）

1 ． 32 位字长的浮点数，其中阶码 8 位（含 1 位阶符），基值为 2 ，尾数 24 位（含 1 位数符），则其对应的最大正数是 A ，最小的绝对值是 B ；若机器数采用补码表示，且尾数为规格化形式，则对应的最小正数是 C ，最小负数是 D 。（均用十进制表示）

2 ． CPU 从主存取出一条指令并执行该指令的时间叫 A ，它通常包含若干个 B ，而后者又包含若干个 C 。 D 和

E 组成多级时序系统。

3 ．假设微指令的操作控制字段共 18 位，若采用直接控制，则一条微指令最多可同时启动 A 个微操作命令。若采用字段直接编码控制，并要求一条微指令能同时启动 3 个微操作，则微指令的操作控制字段应分 B 段，若每个字段的微操作数相同，这样的微指令格式最多可包含 C 个微操作命令。

4 ．一个 8 体低位交叉的存储器，假设存取周期为 T ， CPU 每隔 （ T = 8 ）时间启动一个存储体，则依次从存储器中取出 16 个字共需 A 存取周期。

5 ． I/O 与主机交换信息的控制方式中， A 方式 CPU 和设备是串行工作的。 B 和 C 方式 CPU 和设备是并行工作的，前者传送与主程序是并行的，后者传送和主机是串行的。

6 ．设 n =16 位（不包括符号位在内），原码两位乘需做 A 次移位，最多做

B 次加法；补码 Booth 算法需做 C 次移位，最多做 D 次加法。

三、名词解释（共 10 分，每题 2 分）

1 ． 同步控制方式 2 ．周期窃取 3 ．双重分组跳跃进位 4 ．直接编码 5 ． 硬件向 量法

四、计算题（ 5 分）

设 x = + ， y = + ，试用变形补码计算 x + y 。

五、简答题（ 15 分）

1 ．某机主存容量为 4M ×32 位，且存储字长等于指令字长，若该机的指令系统具备 129 种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

2 ． 能不能说机器的主频越快，机器的速度就越快，为什么？

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L3,L2,L4,L1,L0 ，写出各中断源的屏蔽字。（ 5 分）

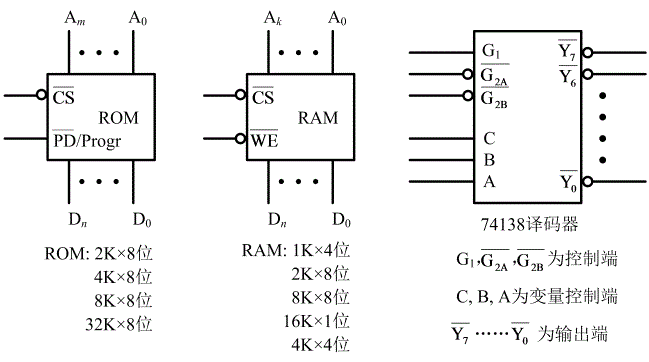
|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

六、问答题（ 20 分）

（ 1 ）画出主机框图（要求画到寄存器级）；（ 2 ）若存储器容量为 64K×32 位，指出图中各寄存器的位数；（ 3 ）写出组合逻辑控制器完成 LDA X （ X 为主存地址）指令发出的全部微操作命令及节拍安排。（ 4 ）若采用微程序控制，还需增加哪些微操作？

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：



（ 1 ）存储芯片地址空间分配为：最小 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，与系统程序工作区相邻的是 24K 用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。

计算机组成原理试题十七

一、选择题（共 5 分，每题 1 分）

1 ．某机字长 8 位，采用补码形式（其中 1 位为符号位），则机器数所能表示的范围是 \_\_C\_\_\_\_ 。

A ． - 127 ～ 127 ； B ． - 128 ～ +128 ； C ． - 128 ～ +127 ； D ． - 128 ～ +128 。

2 ．在 \_\_ C\_ \_ 的计算机系统中，外设可以和主存储器单元统一编址，因此可以不使用 I/O 指令。

A ．单总线； B ．双总线； C ．三总线； D ．以上三种总线。

3 ．某计算机字长是 32 位，它的存储容量是 64KB ．按字编址，它的寻址范围是 \_B\_\_\_\_\_ 。

A ． 16KB ； B ． 16K ； C ． 32K ； D ． 32KB 。

4 ．中断向量可提供 \_\_C\_\_\_\_ 。

A. 被选中设备的地址； B. 传送数据的起始地址； C. 中断服务程序入口地址 ； D. 主程序的断点地址

5 ． Cache 的地址映象中 B 　 　　 比较多的采用“按内容寻址”的相联存储器来实现。

A ．直接映象； B ．全相联映象 ； C ．组相联映象； D ．以上都有。

6 ．总线的异步通信方式 \_\_\_A\_\_\_ 。

A ．不采用时钟信号，只采用握手信号 ； B ．既采用时钟信号，又采用握手信号；

C ．既不采用时钟信号，又不采用握手信号； D ．采用时钟信号，不采用握手信号。

7 ．在磁盘存储器中，查找时间是 \_\_\_ A\_ \_\_ 。

A ．使磁头移动到要找的柱面上所需的时间 ； B ．在磁道上找到要找的扇区所需的时间；

C ．在扇区中找到要找的数据所需的时间。 D ．以上都不对。

8 ．在控制器的控制信号中，相容的信号是 \_\_C\_\_\_\_ 的信号。

A ．可以相互替代； B ．可以相继出现； C ．可以同时出现 ； D ．不可以同时出现。

9 ．计算机操作的最小单位时间是 \_\_A\_\_\_\_ 。

A ．时钟周期 ； B ．指令周期； C ． CPU 周期； D ．执行周期。

10 ． CPU 不包括 \_\_\_A\_\_\_ 。

A ．地址寄存器 ； B ．指令寄存器 IR ； C ．地址译码器； D ．通用寄存器。

11 ． B 寻址便于处理 数组问 题。

A ．间接寻址； B ．变址寻址 ； C ．相对寻址； D ．立即寻址。

12 ．设寄存器内容为 10000000 ，若它等于 0 ，则为 \_\_D\_\_\_\_ 。

A ．原码； B ．补码； C ．反码； D ．移码。

13 ．若一个 8 比特组成的字符至少需 10 个比特来传送，这是 \_\_\_\_ B\_ \_ 传送方式。

A ．同步； B ．异步； C ．并联； D ．混合。

14 ．设机器字长为 32 位，存储容量为 16MB ，若按双字编址，其寻址范围是 　　 B 　 。（存储器 4 ）

A ． 8MB ； B ． 2M ； C ． 4M ； D ． 16M 。

15 ． C 寻址对于 实现程序浮 动提供了较好的支持。

A ．间接寻址； B ．变址寻址； C ．相对寻址 ； D ．直接寻址。

16 ． 超标量技术是 \_\_\_\_B\_\_ 。

A ．缩短原来流水线的处理器周期； B ．在每个时钟周期内同时并发多条指令；

C ．把多条能并行操作的指令组合成一条具有多个操作码字段的指令； D ．以上都不对。

17 ．在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于 \_\_ \_A\_ \_\_ 。

A ．同步控制； B ．异步控制； C ．联合控制； D ．局部控制。

18 ． I/O 与主机交换信息的方式中，中断方式的特点是 \_\_B\_\_\_\_ 。

A ． CPU 与设备串行工作 , 传送与主程序串行工作； B ． CPU 与设备并行工作 , 传送与主程序串行工作

C ． CPU 与设备并行工作 , 传送与主程序并行工作； D ． CPU 与设备串行工作 , 传送与主程序并行工作

19 ． 当 定点 运算发生溢出时，应 \_\_\_\_ C\_ \_ 。

A ．向左规格化； B ．向右规格化； C ．发出出错信息 ； D ．舍入处理。

20 ．在一地址格式的指令中，下列 B 是正确的。

A ．仅有一个操作数，其地址由指令的地址码提供； B ．可能有一个操作数，也可能有两个操作数；

C ．一定有两个操作数，另一个是隐含的； D ．指令的地址码字段存放的一定是操作码。

二、填空题（共 20 分，每空 1 分）

1 ． 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 A ，最小正数为 B ，最大负数为 C ，最小负数为 D 。

2 ． 在总线复用的 CPU 中， A 和 B 共用一组总线，必须采用 C 控制的方法，先给 D 信号，并用 E 信号将其保存。

3 ． 微指令格式可分为 A 型和 B 型两类，其中 C 型微指令用较长的微程序结构换取较短的微指令结构。

4 ． 如果 Cache 的容量为 128 块，在直接映象下，主存中第 i 块映象到缓存第 A 块。

5 ． I/O 和 CPU 之间不论是采用串行传送还是并行传送，它们之间的联络方式（定时方

式）可分为 A 、 B 、 C 三种。

6 ．设 n = 4 位（不包括符号位在内），原码两位乘需做 A 次移位，最多做

B 次加法；补码 Booth 算法需做 C 次移位，最多做 D 次加法。

三、名词解释（共 10 分，每题 2 分）

1 ． 异步控制方式 2 ．向量地址 3 ．直接寻址 4 ．字段直接编码 5 ．多重中断

四、计算题（ 5 分）

设浮点数字长为 32 位，欲表示± 6 万的十进制数，在保证数的最大精度条件下，除阶符、数符各取 1 位外，阶码和尾数各取几位？按这样分配，该浮点数溢出的条件是什么？

五、简答题（ 15 分）

1 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 85 种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

2 ． 程序查询方式和程序中断方式都要由程序实现外围设备的输入 / 输出，它们有何不

同？（ 5 分）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L4,L3,L2,L1,L0 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

六、问答题（ 20 分）

（ 1 ）画出主机框图（要求画到寄存器级）；

（ 2 ）若存储器容量为 64K×32 位，指出图中各寄存器的位数；

（ 3 ）写出组合逻辑控制器完成 ADD X （ X 为主存地址）指令发出的全部微操作命令及节拍安排。

（ 4 ）若采用微程序控制，还需增加哪些微操作？

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效）用作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片： 1K × 4 位 RAM ， 4K × 8 位 RAM ， 2K × 8 位 ROM ，以及 74138 译码器和各种门电路，如图所示。画出 CPU 与存储器连接图，要求：

（ 1 ）主存地址空间分配： A000H ～ A7FFH 为系统程序区； A800H ～ AFFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片，并写出每片存储芯片的二进制地址范围。

（ 3 ）详细画出存储芯片的片选逻辑。

计算机组成原理试题十八

一、选择题（共 20 分，每题 1 分）

1 ．指令系统中采用不同寻址方式的目的主要是 \_ \_C\_ \_\_ 。

A ．可降低指令译码难度； B ．缩短指令字长，扩大寻址空间，提高编程灵活性；

C ．实现程序控制； D ．寻找操作数。

2 ．计算机使用总线结构的主要优点是便于实现积木化，缺点是 \_\_C\_\_\_\_ 。

A ．地址信息、数据信息和控制信息不能同时出现； B ．地址信息与数据信息不能同时出现；

C ．两种信息源的代码在总线中不能同时传送； D ．地址信息与数据信息能同时出现。

3 ．一个 16K × 32 位的存储器，其地址线和数据线的总和是 \_B\_\_ 。

A ． 48 ； B ． 46 ； C ． 36 ； D ． 38 。

4 ．下列叙述中 \_\_\_A\_\_\_ 是正确的 。

A ．主存可由 RAM 和 ROM 组成； B ．主存只能由 ROM 组成；

C ．主存只能由 RAM 组成； D ．主存只能由 SRAM 组成。

5 ．在三种集中式总线控制中， C \_\_\_\_\_\_ 方式响应时间最快。

A ．链式查询； B ．计数器定时查询； C ．独立请求； D ．以上都不是。

6 ．可编程的只读存储器 \_\_\_ A\_ \_ 。

A ．不一定是可改写的 ； B ．一定是可改写的； C ．一定是不可改写的； D ．以上都不对。

7 ．下述 \_ \_B\_ \_\_ 种情况会提出中断请求。

A ．产生存储周期“窃取”； B ．在键盘输入过程中，每按一次键；

C ．两数相加结果为零； D ．结果溢出。

8 ． 下列叙述中 \_\_\_A\_\_\_ 是错误的。

A ．采用微程序控制器的处理器称为微处理器；

B ．在微指令编码中，编码效率最低的是直接编码方式；

C ．在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；

D ．以上都是错的。

9 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 A \_\_\_\_\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ACC 。

10 ．响应中断请求的条件是 \_\_B\_\_\_\_ 。

A ．外设提出中断； B ．外设工作完成和系统允许时；

C ．外设工作完成和中断标记触发器为“ 1 ” 时。 D ． CPU 提出中断。

11 ．变址寻址和基址寻址的有效地址形成方式类似，但是 \_\_\_C\_\_\_ 。

A ．变址寄存器的内容在程序执行过程中是不可变的；

B ．在程序执行过程中，变址寄存器和基址寄存器和内容都可变的；

C ．在程序执行过程中，基址寄存器的内容不可变，变址寄存器中的内容可变；

D ．变址寄存器的内容在程序执行过程中是可变的。

12 ．在原码加减交替除法中，符号位单独处理，参加操作的数是 \_\_\_ C \_ 。

A ．原码； B ．绝对值； C ．绝对值的补码； D ．补码。

13 ． DMA 方式 \_\_\_ \_B\_ 。

A ．既然能用于高速外围设备的信息传送，也就能代替中断方式；

B ．不能取代中断方式； C ．也能向 CPU 请求中断处理数据传送； D ．能取代中断方 式。

14 ．设机器字长为 32 位，存储容量为 16MB ，若按双字编址，其寻址范围是 　 B 　　 。

A ． 8MB ； B ． 2M ； C ． 4M ； D ． 16M 。

15 ．设变址寄存器为 X ，形式地址为 D ，某机具有先间址后变址的寻址方式，则这种寻址方式的有效地址为 \_\_\_ B \_\_\_ 。

A ． EA = (X) +D B ． EA = (X) + (D) ； C ． EA = ((X) +D) ； D ． EA = X +D 。

16 ．程序计数器 PC 属于 B\_\_\_\_\_\_ 。

A ．运算器； B ．控制器； C ．存储器； D ． I/O 设备。

17 ．计算机执行乘法指令时，由于其操作较复杂，需要更多的时间，通常采用 \_\_\_C\_\_\_ 控制方式。

A ．延长机器周期内节拍数的； B ．异步； C ．中央与局部控制相结合的 ； D ．同步。

18 ．目前在小型和微型计算机里最普遍采用的字母与字符编码是 \_ C \_\_\_\_ 。

A ． BCD 码； B ．十六进制代码； C ． ASCII 码； D ．海明码。

19 ．设寄存器内容为 10000000 ，若它等于 - 0 ，则为 \_\_ A \_\_\_ 。

A ．原码； B ．补码； C ．反码； D ．移码。

20 ．在下述有关不恢复余数法何时需恢复余数的说法中 D ， \_\_ B\_ \_\_\_ 是正确的。

A ．最后一次余数为正时，要恢复一次余数； B ．最后一次余数为负时，要恢复一次余数；

C ．最后一次余数为 0 时，要恢复一次余数； D ．任何时候都不恢复余数。

二、填空题（共 20 分，每空 1 分）

1 ． I/O 与主机交换信息的方式中， A 和 B 都需通过程序实现数据传送，其中

C 体现 CPU 与设备是串行工作的。

2 ．设 n = 8 （不包括符号位），机器完成一次加和移位各需 100ns ，则原码一位乘最多需 A ns, 补码 Booth 算法最多需 B ns 。

3 ． 对于一条隐含寻址的算术运算指令，其指令字中不明确给出 A ，其中一个操作数通常隐含在 B 中 。

4 ．设浮点数阶码为 4 位（含 1 位阶符），用移码表示，尾数为 16 位（含 1 位数符），用补码规格化表示，则对应其最大正数的机器数形式为 A ，真值为 B （十进制表示）；对应其绝对值最小负数的机器数形式为 C ，真值为 D （十进制表示）。

5 ． 在总线的异步通信方式中，通信的双方可以通过 A 、 B 和 C 三种类型联络。

6 ． 磁表面存储器的记录方式总的可分为 A 和 B 两大类，前者的特点是 C ，后者的特点是 D 。

7 ． 在微程序控制器中，一条机器指令对应一个 A ，若某机有 38 条机器指令，通常可对应 B 。

三、解释下列概念（共 10 分，每题 2 分）

1 ． CMDR 2 ．总线判优 3 ．系统的并行性 4 ．进位链 5 ．间接寻址

四、计算题（ 6 分）

设机器 A 的主频为 8MHz ，机器周期含 4 个时钟周期，且该机的平均指令执行速度是 0.4MIPS ，试求该机的平均指令周期和机器周期。每个指令周期包含几个机器周期？如果机器 B 的主频为 12MHz ，且机器周期也含 4 个时钟周期，试问 B 机的平均指令执行速度为多少 MIPS ？

五、简答题（共 20 分）

1 ． 说明微程序控制器中微指令的地址有几种形成方式。 （ 6 分）

2 ． 什么是计算机的主频，主频和机器周期有什么关系？ （ 4 分）（ CU 4 ）

3 ．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4 ，现要求优先顺序改为 L3,L2,L0,L4,L1 ，写出各中断源的屏蔽字。（ 5 分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  0 1 2 3 4 |
| L0  L1  L2  L3  L4 |  |
|  |  |

4 ．某机主存容量为 4M ×16 位，且存储字长等于指令字长，若该机的指令系统具备 65 种操作。操作码位数固定，且具有直接、间接、立即、相对、变址五种寻址方式。（ 5 分）

（ 1 ）画出一地址指令格式并指出各字段的作用；

（ 2 ）该指令直接寻址的最大范围（十进制表示）；

（ 3 ）一次间址的寻址范围（十进制表示）；

（ 4 ）相对寻址的位移量（十进制表示）。

六、问答题（共 15 分）

1 ． 按序写出完成一条加法指令 SUB α ( α为主存地址 ) 两种控制器所发出的微操作命令及节拍安排。 （ 8 分）

2 ．假设磁盘采用 DMA 方式与主机交换信息，其传输速率为 2MB/s ，而且 DMA 的预处理需 1000 个时钟周期， DMA 完成传送后处理中断需 500 个时钟周期。如果平均传输的数据长度为 4KB ，试问在硬盘工作时， 50MHz 的处理器需用多少时间比率进行 DMA 辅助操作（预处理和后处理）。（ 7 分）

七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为： 0 ～ 8191 为系统程序区； 8192 ～ 32767 为用户程序区。

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。

计算机组成原理试题十九

一、选择题（共 20 分，每题 1 分）

1 ．零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 \_\_C\_\_\_\_ 。

A ．立即数和栈顶； B ．暂存器； C ．栈顶和次栈顶； D ．累加器。

2 ． \_ C\_ \_ 可区分存储单元中存放的是指令还是数据。

A ．存储器； B ．运算器； C ．控制器 ； D ．用户。

3 ．所谓三总线结构的计算机是指 \_\_ B\_ \_ 。

A ．地址线、数据线和控制线三组传输线。 B ． I/O 总线、主存总统和 DMA 总线三组传输线 ；

C ． I/O 总线、主存总线和系统总线三组传输线； D ．设备总线、主存总线和控制总线三组传输线．。

4 ．某计算机字长是 32 位，它的存储容量是 256KB ，按字编址，它的寻址范围是 \_ B\_ \_\_ 。

A ． 128K ； B ． 64K ； C ． 64KB ； D ． 128KB 。

5 ．主机与设备传送数据时，采用 \_A\_\_\_\_\_ ，主机与设备是串行工作的。

A ．程序查询方式 ； B ．中断方式； C ． DMA 方式； D ．通道。

6 ． 在整数定点机中，下述第 \_\_\_ B\_\_ 种说法是正确的 。

A ．原码和反码不能表示 - 1 ，补码可以表示 - 1 ； B ．三种机器数均可表示 - 1 ；

C ．三种机器数均可表示 - 1 ，且三种机器数的表示范围相同； D ． 三种机器数均不可表示 - 1 。

7 ．变址寻址方式中，操作数的有效地址是 \_\_\_C\_\_\_ 。

A ．基址寄存器内容加上形式地址（位移量）； B ．程序计数器内容加上形式地址；

C ．变址寄存器内容加上形式地址； D ．以上都不对。

8 ．向量中断是 \_\_C\_\_\_\_ 。

A ．外设提出中断； B ．由硬件形成中断服务程序入口地址；

C ．由硬件形成向量地址，再由向量地址找到中断服务程序入口地址 D ．以上都不对。

9 ．一个节拍信号的宽度是指 \_\_C\_\_\_\_ 。

A ．指令周期； B ．机器周期； C ．时钟周期； D ．存储周期。

10 ．将微程序存储在 EPROM 中的控制器是 \_\_A\_\_\_\_ 控制器。

A ．静态微程序 ； B ．毫微程序； C ．动态微程序； D ．微程序。

11 ．隐指令是指 \_ \_D 。

A ．操作数隐含在操作码中的指令； B ．在一个机器周期里完成全部操作的指令；

C ．指令系统中已有的指令； D ．指令系统中没有的指令。

12 ．当用一个 16 位的二进制数表示浮点数时，下列方案中第 \_\_ B\_ \_ 种最好。

A ．阶码取 4 位（含阶符 1 位），尾数取 12 位（含数符 1 位）；

B ．阶码取 5 位（含阶符 1 位），尾数取 11 位（含数符 1 位）；

C ．阶码取 8 位（含阶符 1 位），尾数取 8 位（含数符 1 位）；

D ．阶码取 6 位（含阶符 1 位），尾数取 12 位（含数符 1 位）。

13 ． DMA 方式 \_\_ B \_\_ 。

A ．既然能用于高速外围设备的信息传送，也就能代替中断方式； B ．不能取代中断方式 ；

C ．也能向 CPU 请求中断处理数据传送； D ．内无中断机制。

14 ．在中断周期中，由 \_\_ D\_ \_\_ 将允许中断触发器置“ 0 ” 。

A ．关中断指令； B ．机器指令； C ．开中断指令； D ．中断隐指令。

15 ．在单总线结构的 CPU 中，连接在总线上的多个部件 \_\_\_B\_\_\_ 。

A ．某一时刻只有一个可以向总线发送数据，并且只有一个可以从总线接收数据；

B ．某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据；

C ．可以有多个同时向总线发送数据，并且可以有多个同时从总线接收数据；

D ．可以有多个同时向总线发送数据，但可以有一个同时从总线接收数据。

16 ．三种集中式总线控制中， \_A\_\_\_\_\_ 方式对电路故障最敏感。

A ．链式查询； B ．计数器定时查询； C ．独立请求； D ．以上都不对。

17 ．一个 16K×8 位的存储器，其地址线和数据线的总和是 \_\_\_D\_\_\_ 。

A ． 48 ； B ． 46 ； C ． 17 ； D ． 22 ．

18 ．在间址周期中， \_\_\_\_C\_\_ 。

A ．所有指令的间址操作都是相同的； B ．凡是存储器间接寻址的指令，它们的操作都是相同的；

C ．对于存储器间接寻址或寄存器间接寻址的指令，它们的操作是不同的； D ．以上都不对。

19 ．下述说法中 \_\_ B \_\_ 是正确的。

A ． EPROM 是可改写的，因而也是随机存储器的一种；

B ． EPROM 是可改写的，但它不能用作为随机存储器用；

C ． EPROM 只能改写一次，故不能作为随机存储器用；

D ． EPROM 是可改写的，但它能用作为随机存储器用。

20 ．打印机的分类方法很多，若按能否打印汉字来区分，可分为 \_\_ \_C \_\_ 。

A ．并行式打印机和串行式打印机； B ．击打式打印机和非击打式打印机；

C ．点阵式打印机和活字式打印机； D ．激光打印机和喷墨打印机。

二、填空（共 20 分，每空 1 分）

1 ． 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 A ，最小正数为

B ，最大负数为 C ，最小负数为 D 。

2 ． 指令寻址的基本方式有两种，一种是 A 寻址方式，其指令地址由 B 给出，另一种是 C 寻址方式，其指令地址由 D 给出。

3 ． 在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是 T 1 = 60ns ﹑ T 2 = 50ns ﹑ T 3 = 90ns ﹑ T 4 = 80ns 。则加法器流水线的时钟周期至少为 A 。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 B 。

4 ． 一个浮点数，当其尾数右移时，欲使其值不变，阶码必须 A 。尾数右移 1 位，阶码 B 。

5 ．存储器由 m （ m ＝ 1 ， 2 ， 4 ， 8 …）个模块组成，每个模块有自己的 A 和

B 寄存器，若存储器采用 C 编址，存储器带宽可增加到原来的 D 倍。

6 ． 按序写出多重中断的中断服务程序包括 A 、 B 、 C 、

D 和中断返回几部分。

三、名词解释 ( 共 10 分，每题 2 分 )

1 ．微操作命令和微操作 2 ． 快速缓冲存储器 3 ．基址寻址 4 ． 流水线中的多发技术 5 ．指令字长

四、计算题（ 5 分）

设机器数字长为 8 位（含 1 位符号位），设 A ＝ ， B ＝ ，计算 [ A B ] 补 ，并还原成真值。

五、简答题（共 20 分）

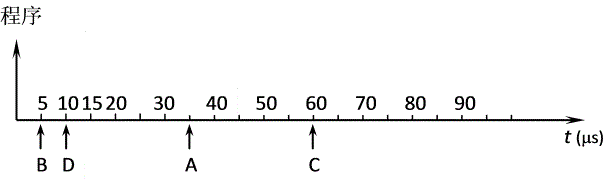
1 ．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（ 4 分）

2 ． 为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？ （ 6 分）

3 ． 设某机有四个中断源 A 、 B 、 C 、 D ，其硬件排队优先次序为 A > B > C > D ，现要求将中断处理次序改为 D > A > C > B 。 （ 5 分）

（ 1 ）写出每个中断源对应的屏蔽字。

（ 2 ）按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20 s 。



4 ． 某机器采用一地址格式的指令系统，允许直接和间接寻址。机器配备有如下硬件： ACC 、 MAR 、 MDR 、 PC 、 X 、 MQ 、 IR 以及变址寄存器 R X 和基址寄存器 R B ，均为 16 位。 （ 5 分）

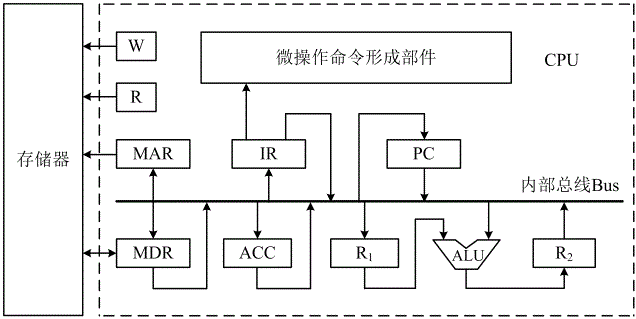
（2） 若采用单字长指令，共能完成 105 种操作，则指令可直接寻址的范围是多少？一次间址的寻址范围是多少？画出其指令格式并说明各字段的含义。

（3） 若采用双字长指令，操作码位数及寻址方式不变，则指令可直接寻址的范围又是多少？画出其指令格式并说明各字段的含义。

（4） 若存储字长不变，可采用什么方法访问容量为 8MB 的主存？需增设那些硬件？

六、问答题（共 15 分）

1 ．设 CPU 中各部件及其相互连接关系如下图所示。图中 W 是写控制标志， R 是读控制标志， R 1 和 R 2 是暂存器。（ 8 分）



（ 1 ）假设要求在取指周期由 ALU 完成 (PC) + 1 → PC 的操作（即 ALU 可以对它的一个源操作数完成加 1 的运算）。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。

（ 2 ）写出指令 ADD # α （ # 为立即寻址特征，隐含的操作数在 ACC 中）在执行阶段所需的微操作命令及节拍安排。

2 ． DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA 工作过程的流程图（不包括预处理和后处理）

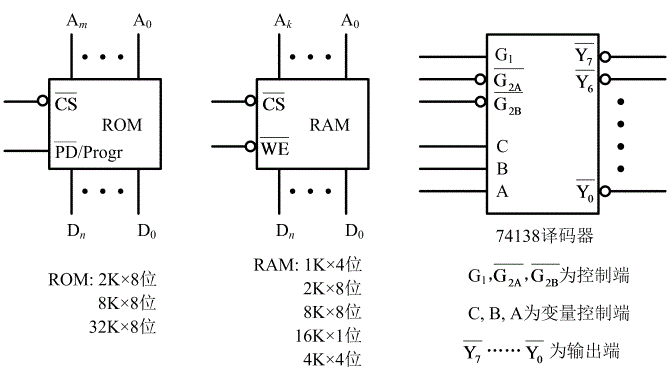
七、设计题（ 10 分）

设 CPU 共有 16 根地址线， 8 根数据线，并用 作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器的连接图，要求：

（ 1 ）存储芯片地址空间分配为：最大 4K 地址空间为系统程序区，相邻的 4K 地址空间为系统程序工作区，最小 16K 地址空间为用户程序区；

（ 2 ）指出选用的存储芯片类型及数量；

（ 3 ）详细画出片选逻辑。



（ 1 ）主存地址空间分配： 6000H ～ 67FFH 为系统程序区； 6800H ～ 6BFFH 为用户程序区。

（ 2 ）合理选用上述存储芯片，说明各选几片？

（ 3 ）详细画出存储芯片的片选逻辑图。

计算机组成原理试题二十

一、选择题（共 20 分，每题 1 分）

1 ．用户与计算机通信的界面是 \_\_\_B\_\_\_ 。

A ． CPU ； B ．外围设备 ； C ． 应用程序； D ． 系统程序。

2 ． 零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 \_C\_\_\_\_\_ 。

A ．立即数和栈顶； B ．暂存器； C ．栈顶和次栈顶； D ．程序计数器自动加 +1 。

3 ．水平型微指令的特点是 \_\_A\_\_\_\_ 。

A ．一次可以完成多个操作； B ．微指令的操作控制字段不进行编码；

C ．微指令的格式简短； D ．微指令的格式较长。

4 ． 有些计算机将一部分软件永恒地存于只读存储器中，称之为 \_\_\_C\_\_\_ 。

A ．硬件； B ．软件； C ．固件； D ．辅助存储器。

5 ． 主机与设备传送数据时，采用 \_\_\_A\_\_\_ ，主机与设备是串行工作的。

A ．程序查询方式； B ．中断方式； C ． DMA 方式； D ．通道。

6 ． 计算机中有关 ALU 的描述， \_\_ D\_ \_\_ 是正确的。

A ． 只做算术运算，不做逻辑运算； B ． 只做加法； C ． 能存放运算结果； D ． 以上答案都不对。

7 ． 所谓三总线结构的计算机是指 \_\_\_\_B\_\_ 。

A ．地址线、数据线和控制线三组传输线。 B ． I/O 总线、主存总统和 DMA 总线三组传输线；

C ． I/O 总线、主存总线和系统总线三组传输线； D ．以上都不对。

8 ． 集中式总线控制中， \_\_A\_\_\_\_ 方式对电路故障最敏感。

A ．链式查询 ； B ．计数器定时查询； C ．独立请求； D ．总线式。

9 ． 某一 RAM 芯片，其容量为 512 × 8 位，除电源和接地端外，该芯片引出线的最少数目是 \_\_\_C\_\_\_ 。

A ． 21 ； B ． 17 ； C ． 19 ； D ． 20 。

10 ． 活动头磁盘存储中，信息写入或读出磁盘是 \_\_B\_\_\_\_ 进行 的。

A ．并行方式； B ．串行方式 ； C ．串并方式； D ．并串方式。

11 ．以下叙述 \_\_C\_\_\_\_ 是正确的。

A ．外部设备一旦发出中断请求，便立即得到 CPU 的响应；

B ．外部设备一旦发出中断请求， CPU 应立即响应；

C ．中断方式一般用于处理随机出现的服务请求； D ．程序查询用于键盘中断。

12 ． 下列 \_\_\_\_\_ D\_ 种说法有误差。

A ．任何二进制整数都可用十进制表示； B ．任何二进制小数都可用十进制表示；

C ．任何十进制整数都可用二进制表示； D ．任何十进制小数都可用二进制表示。

13 ． 堆栈寻址方式中，设 A 为累加器， SP 为堆栈指示器， M SP 为 SP 指示的栈顶单元，如果进栈操作的动作顺序是 (SP – 1) → SP ， (A) → M SP ，那么出栈操作的动作顺序应为 \_ \_A \_\_\_ 。

A ． (M SP ) → A ， (SP) + 1 → SP ； B ． (SP) + l → SP ， (M SP ) → A ；

C ． (SP) – 1 → SP ， (M SP ) → A ； D ．以上都不对。

14 ．指令寄存器的位数取决于 \_\_\_B\_\_\_ 。

A ．存储器的容量； B ．指令字长； C ． 机器字长； D ．存储字长。

15 ．在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于 \_\_A\_\_\_\_ 。

A ．同步控制； B ．异步控制； C ．联合控制； D ．人工控制。

16 ．下列叙述中 \_\_\_B\_\_\_ 是正确的。

A ．控制器产生的所有控制信号称为微指令； B ．微程序控制器比硬连线控制器更加灵活；

C ．微处理器的程序称为微程序； D ．指令就是微指令。

17 ． CPU 中的译码器主要用于 \_B\_\_\_\_\_ 。

A ．地址译码； B ．指令译码； C ．选择多路数据至 ALU ； D ．数据译码。

18 ．直接寻址的无条件转移指令功能是将指令中的地址码送入 \_\_\_\_A\_\_ 。

A ． PC ； B ．地址寄存器； C ．累加器； D ． ALU 。

19 ． 通道程序是由 \_\_B\_\_\_\_ 组成。

A ． I/O 指令； B ．通道控制字 （或称通道指令）； C ．通道状态字； D ．微程序。

20 ． 在磁盘和磁带两种磁表面存储器中，存取时间与存储单元的物理位置有关，按存储方式分， \_\_B\_ \_\_ 。

A ．二者都是串行存取； B ．磁盘是部分串行存取，磁带是串行存取；

C ．磁带是部分串行存取，磁盘是串行存取； D ． 二者都是并行存取 。

二、填空题（共 20 分，每题 1 分）

1 ．完成一条指令一般分为 A 周期和 B 周期，前者完成 C 操作，后者完成 D 操作。

2 ． 常见的数据传送类指令的功能可实现 A 和 B 之间，或 C 和 D 之间的数据传送。

3 ．微指令格式可分为 A 型和 B 型两类，其中 C 型微指令用较长的微程序结构换取较短的微指令结构。

4 ． 在 Cache －主存的地址映象中， A 灵活性强， B 成本最高。

5 ． 若采用硬件向量法形成中断服务程序的入口地址，则 CPU 在中断周期需完成 A 、

B 和 C 操作。

6 ． 某小数定点机，字长 8 位（含 1 位符号位），当机器数分别采用原码、补码和反码时，其对应的真值范围分别是 A 、 B 、 C （均用十进制表示）。

三、名词解释（共 10 分，每题 2 分）

1 ．时钟周期 2 ．刷新 3 ． 总线仲裁 4 ．机器指令 5 ． 超流水线

四、计算题（ 5 分）

设浮点数字长为 32 位，欲表示± 6 万的十进制数，在保证数的最大精度条件下，除阶符、数符各取 1 位外，阶码和尾数各取几位？按这样分配，该浮点数溢出的条件是什么？

五、 简答题 （共 15 分）

1 ．“在计算机中，原码和反码不能表示 - 1 。”这种说法是否正确，为什么？（ 2 分）

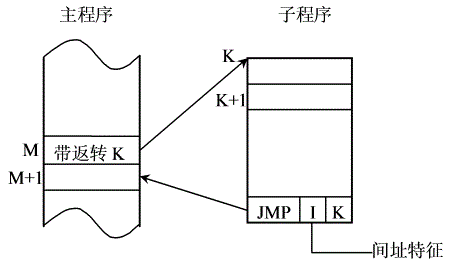
2 ．除了采用高速芯片外，分别指出存储器、运算器、控制器和 I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。（ 4 分）

3 ．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（ 4 分）

4 ． 在 DMA 方式中， CPU 和 DMA 接口分时使用主存有几种方法？简要说明之。 （ 5 分）

六、问答题（共 20 分）

1 ． 已知带返转指令的含义如下图所示，写出机器在完成带返转指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。如果采用微程序控制，需增加哪些微操作命令？ （ 8 分）



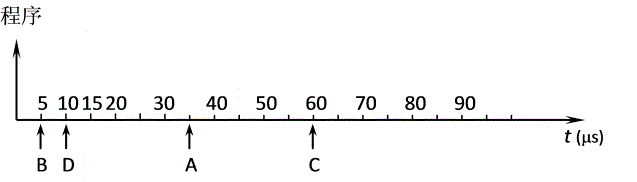
2 ．（ 6 分）（指令系统 3 ）一条双字长的取数指令（ LDA ）存于存储器的 100 和 101 单元，其中第一个字为操作码和寻址特征 M ，第二个字为形式地址。假设 PC 当前值为 100 ，变址寄存器 XR 的内容为 100 ，基址寄存器的内容为 200 ，存储器各单元的内容如下图所示。写出在下列寻址方式中，取数指令执行结束后，累加器 AC 的内容。

|  |  |
| --- | --- |
| LDA | M |
| 300 |  |
|  |  |
| ┇ |  |
| 800 |  |
| ┇ |  |
| 700 |  |
| 400 |  |
| 500 |  |
| ┇ |  |
| 200 |  |
| ┇ |  |
| 600 |  |
|  |  |

3 ．（ 6 分）设某机有四个中断源 A 、 B 、 C 、 D ，其硬件排队优先次序为 A > B > C > D ，现要求将中断处理次序改为 D > A > C > B 。

（ 1 ）写出每个中断源对应的屏蔽字。

（ 2 ）按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20 s 。

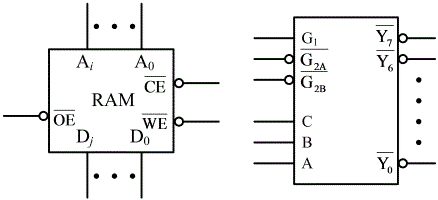


七、设计题（ 10 分）

设 CPU 共有 16 根地址线和 8 根数据线，并用 作访存控制信号， 作读写命令信号（高电平读，低电平写）。设计一个容量为 32KB ，地址范围为 0000H~7FFFH ，且采用低位交叉编址的四体并行存储器。要求：

（ 1 ）采用下图所列芯片，详细画出 CPU 和存储芯片的连接图。

（ 2 ）指出图中每个存储芯片的容量及地址范围（用十六进制表示）。



点击加载更多

加载失败，请重试

打开百度APP阅读全文

VIP全新升级 买1得3

本文立即免费保存

赠百度阅读VIP精品版

100W文档免费下载

5100W文档VIP专享

立即升级

开通VIP，免费获得本文 新客立减2元

本文立即免费保存

赠百度阅读VIP精品版

100W文档免费下载

5100W文档VIP专享

试读结束  
文章已购买，您可以发送到邮箱查看剩余内容

发送到邮箱

试读结束，剩余内容购买后可下载查看

本文仅一页，购买后可获取全文

试读结束，购买后可阅读全文或下载

试读结束，购买后可阅读全文

原价购买

原价购买

已优惠${Math.floor((offPrice / 100) \* 10) / 10}元，立即购买 您已享8折优惠，立即购买

立即购买

VIP免费下载

VIP立减${Math.floor((offPrice / 100) \* 10) / 10}元 VIP 8折购买

百度APP${guideText}

购买后可发送文档到邮箱

PC/APP端随时阅读下载

使用文库App可享受

免费下载此文档

多端同步便捷下载

发送个人邮箱

用App免费下载

您的共享文档下载特权**已用尽剩余${renewalVipInfo.normal\_download\_ticket\_total}个**

续费年会员立赠12个共享文档下载特权

立即续费VIP

续费升级年会员立赠12个共享文档下载特权

立即续费升级VIP

您的VIP专享文档下载特权**已用尽剩余${renewalVipInfo.pro\_download\_ticket\_total}个**

续费年会员立赠4个VIP专享文档下载特权

立即续费VIP

续费升级年会员立赠4个VIP专享文档下载特权

立即续费升级VIP

您的下载特权**已用尽剩余${renewalVipInfo.pro\_download\_ticket\_total + renewalVipInfo.normal\_download\_ticket\_total}个**

续费年会员立赠2种下载特权各8个

立即续费VIP

升级年会员立赠2种下载特权各8个

立即升级VIP

您的百度教育VIP**${renewalVipInfo.jiaoyu\_vip\_info.lastDays}天后到期**

续费后剩余${renewalVipInfo.jiaoyu\_vip\_info.normal\_download\_ticket + renewalVipInfo.jiaoyu\_vip\_info.pro\_download\_ticket}个下载特权可延期30天

立即续费VIP

您的文库VIP**${renewalVipInfo.vip\_info.lastDays}天后到期**

升级后剩余${renewalVipInfo.vip\_info.normal\_download\_ticket + renewalVipInfo.vip\_info.pro\_download\_ticket}个下载特权可延期30天

立即升级VIP

您的百度教育VIP**已过期**

续费后剩余${renewalVipInfo.jiaoyu\_vip\_info.pro\_download\_ticket + renewalVipInfo.jiaoyu\_vip\_info.normal\_download\_ticket}个下载特权可延期30天

续费VIP，获取下载特权

立即续费VIP

您的文库VIP**已过期**

升级后剩余${renewalVipInfo.vip\_info.pro\_download\_ticket + renewalVipInfo.vip\_info.normal\_download\_ticket}个下载特权可延期30天

续费升级VIP，获取下载特权

立即续费升级VIP

获取文档后可享受

试读结束，获取后可阅读全文

购买后可发送文档到邮箱

PC/APP端随时阅读下载

文库App随时阅读

VIP免券获取

立即获取

VIP免费获取 新客立减2元

分享

收藏

下载

分享

收藏

下载

转存

下载文库客户端，离线文档随时查看

超出复制上限

现在开通VIP，还可获得

免费下载文档

付费文档8折

点亮专属身份

开通VIP，享无限制复制特权



立即领取

VIP教育大礼包

热门小说免费读

相关推荐文档

* ${searchSpecial.title}
* ${v.docTitle}
* *推荐* *热门* *好评*
* 用App查看
* 打开百度APP

返回百度搜索

下载原文档，方便随时阅读

下载文档

## 2亿文档资料库

涵盖各行课件、资料、模板、题库、报告等

## 多种记录存储好工具

提供图转文字、拍照翻译、语音速记等

## APP端内容永久保存

随时阅读，多端同步

立即下载

购买文档

看视频广告，获取20元代金券礼包

看视频，立领券 视频大小约3.7M

您是老用户，送您2张代金券

* 5元
* 适用除连续包月外的其他VIP
* 24小时内有效
* 10元
* 限百度文库VIP-12个月适用
* 24小时内有效

领取优惠券

您已成功领取老用户福利

已转存到百度网盘

存储在文件夹【来自：百度文库】

去看看