一、选择题（共 20 分，每题 1 分）

1 ． C 2 ． C 3 ． B 4 ． B 5 ． A 6 ． B 7 ． C

8 ． C 9 ． C 10 ． A 11 ． D 12 ． B 13 ． B 14 ． D

15 ． B 16 ． A 17 ． D 18 ． C 19 ． B 20 ． C

二、填空（共 20 分，每空 1 分）

1 ． A ． A ． 2 127 (1 - 2 － 23 ) B ． 2 － 129 C ． 2 － 128 ( - 2 － 1 - 2 － 23 ) D ． - 2 127

2 ． A ． 顺序 B ．程序计数器 C ．跳跃 D ． 指令本身

3 ． A ． 90ns B ． 280ns

4 ． A ． A ．增加 B ．加 1

5 ． A ．地址 B ．数据 C ．模 m D ． m

6 ． A ．保护现场 B ．开中断 C ．设备服务 D ．恢复现场

三、名词解释 ( 共 10 分，每题 2 分 )

1 ．微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

2 ． 快速缓冲存储器

答： 快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

3 ． 基址寻址

答： 基址寻址有效地址等于形式地址加上基址寄存器的内容。

4 ． 流水线中的多发技术

答： 为了提高流水线的性能，设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果，这就是流水线中的多发技术。

5 ．指令字长

答： 指令字长是指机器指令中二进制代码的总位数 。

四、（共 5 分）

计算题 答： [ A + B ] 补 ＝ 1.1011110 ， A + B ＝（ - 17/64 ）

[ A - B ] 补 ＝ 1.1000110 ， A - B ＝（ 35/64 ）

五、简答题（共 20 分）

1 ．（ 4 分）答：

同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

2 ．（ 6 分，每写出一种给 1 分，最多 6 分 ）

答 ： 外围设备要通过接口与 CPU 相连的原因主要有：

（ 1 ）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。

（ 2 ） I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。

（ 3 ） I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。

（ 4 ） I/O 设备的入 / 出电平可能与 CPU 的入 / 出电平不同，通过接口可实现电平转换。

（ 5 ） CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。

（ 6 ） I/O 设备需将其工作状况（“忙”、“就绪”、“错误”、“中断请求”等）及时报告 CPU ，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。

可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。

4 ．（ 5 分）答：

（1） 根据 IR 和 MDR 均为 16 位，且采用单字长指令，得出指令字长 16 位。根据 105 种操作，取操作码 7 位。因允许直接寻址和间接寻址，且有变址寄存器和基址寄存器，因此取 2 位寻址特征，能反映四种寻址方式。最后得指令格式为：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD |
|  |  |  |

其中 OP 操作码，可完成 105 种操作；

M 寻址特征，可反映四种寻址方式；

AD 形式地址。

这种格式指令可直接寻址 2 7 = 128 ，一次间址的寻址范围是 2 16 = 65536 。

（2） 双字长指令格式如下：

|  |  |  |
| --- | --- | --- |
| 7 | 2 | 7 |
| OP | M | AD 1 |
| AD 2 |  |  |
|  |  |  |

其中 OP 、 M 的含义同上；

AD 1 ∥ AD 2 为 23 位形式地址。

这种格式指令可直接寻址的范围为 2 23 = 8M 。

（3） 容量为 8MB 的存储器， MDR 为 16 位，即对应 4M ×16 位的存储器。可采用双字长指令，直接访问 4M 存储空间，此时 MAR 取 22 位；也可采用单字长指令，但 R X 和 R B 取 22 位，用变址或基址寻址访问 4M 存储空间。

六、 （共 15 分）问答题

1 ．（ 8 分）答：

（ 1 ）由于 (PC) + 1→PC 需由 ALU 完成，因此 PC 的值可作为 ALU 的一个源操作数，靠控制 ALU 做＋ 1 运算得到 (PC) + 1 ，结果送至与 ALU 输出端相连的 R 2 ，然后再送至 PC 。

此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：

T 0 PC→MAR ， 1→R

T 1 M (MAR)→MDR ， (PC) + 1→R 2

T 2 MDR→IR ， OP(IR)→ 微操作命令形成部件

T 3 R 2 →PC

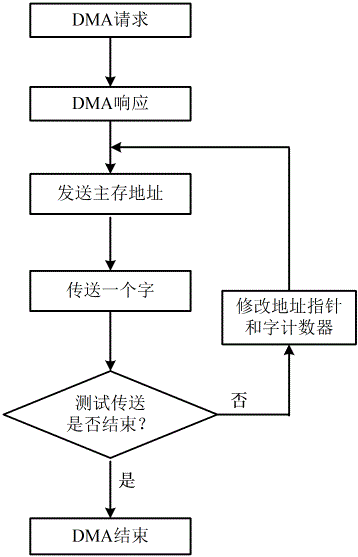
（ 2 ）立即寻址的加法指令执行周期的微操作命令及节拍安排如下：

T 0 Ad(IR)→R 1 ；立即数 →R 1

T 1 (R 1 ) + (ACC)→R 2 ； ACC 通过总线送 ALU

T 2 R 2 →ACC ；结果 →ACC

2 ．（ 7 分）答： DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。在数据交换过程中， DMA 接口的功能有：（ 1 ）向 CPU 提出总线请求信号；（ 2 ）当 CPU 发出总线响应信号后，接管对总线的控制；（ 3 ）向存储器发地址信号（并能自动修改地址指针）；（ 4 ）向存储器发读 / 写等控制信号，进行数据传送；（ 5 ）修改字计数器，并根据传送字数，判断 DMA 传送是否结束；（ 6 ）发 DMA 结束信号，向 CPU 申请程序中断，报告一组数据传送完毕。 DMA 工作过程流程如图所示。

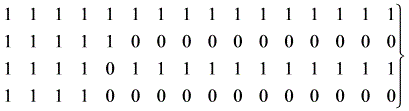


七、设计题（共 10 分）

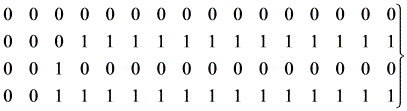
答：

（ 1 ）主存地址空间分配。（ 2 分）

A 15 … A 11 … A 7 … … A 0

最大 4K 2K × 8 位 ROM 2 片

相邻 4K 4K × 4 位 RAM 2 片

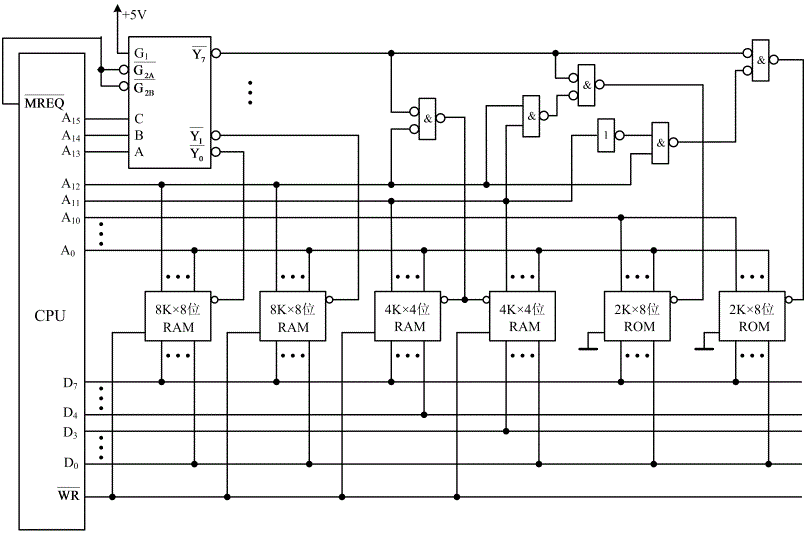
最小 16K 8K × 8 位 RAM 2 片（ 2 ）根据主存地址空间分配

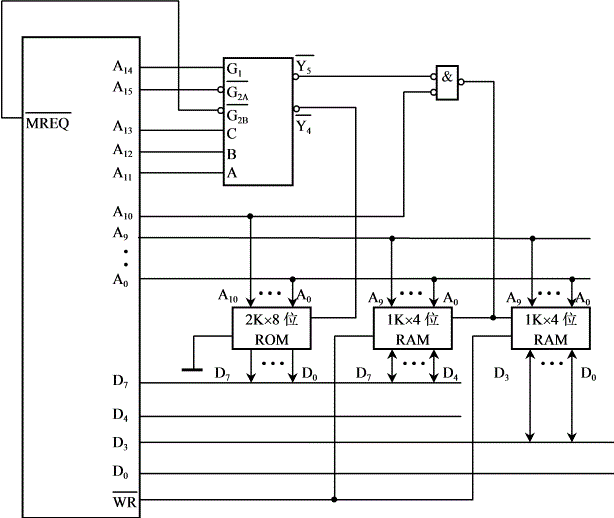
最大 4K 地址空间为系统程序区，选用 2 片 2K × 8 位 ROM 芯片；（ 1 分）

相邻的 4K 地址空间为系统程序工作区，选用 2 片 4K × 4 位 RAM 芯片；（ 1 分）

最小 16K 地址空间为用户程序区，选用 2 片 8K × 8 位 RAM 芯片。（ 1 分）

（ 3 ）存储芯片的片选逻辑图（ 5 分）





计算机组成原理试题（二）答案

一、选择题

1.  B   2. B   3. D   4. B  5. A    6. C  7. C  8. C   9. B  10. D   11. C   12. C  13. C  14. B 15. C  16. D  17. B 18. C 19. A  20. B

二、填空题

1. 硬件   系统软件     应用软件 2 数据   地址控制  3  +15 -16   4. 触发器    电容  5 集中   分散   异步   6 间址   执行   中断    结构   数据   控制  7 直接映射   全相连   组相连

三、简答题

1 指令是计算机执行某种操作的命令，也就是常说的机器指令。一台机器中所有机器指令的集合，称这台计算机的指令系统。

2 答：一次程序中断大致可分为五个阶段。中断请求（ 1 分）中断判优（ 1 分）中断响应（ 1 分）中断服务（ 1 分）中断返回（ 1 分）

  四、应用题

1 解：先通过主频求出时钟周期，再求出机器周期和平均指令周期，最后通过平均指令周期的倒数求出平均指令执行速度。计算如下：

时钟周期 =1/8MHz=0.125 × 10-6 =125ns  机器周期 =125ns × 2=250ns

平均指令周期 =250ns × 2.5=625ns

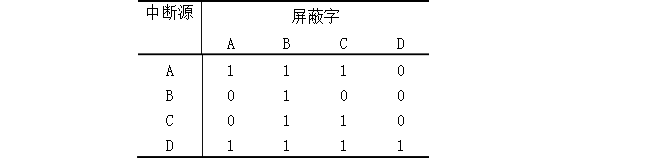
平均指令执行速度 =1/625ns=1.6MIPS

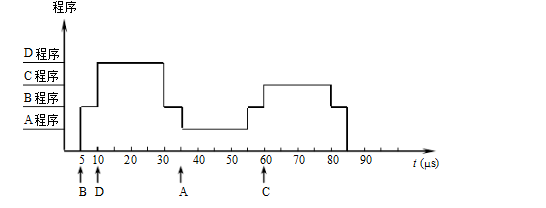
         当参数改变后：机器周期 = 125ns × 4=500ns=0.5µs   平均指令周期 =0.5µs × 5=2.5µs

平均指令执行速度 =1/2.5µs=0.4MIPS

  结论：两个主频相同的机器，执行速度不一定一样。

2  （ 1 ）在中断处理次序改为 D > A > C > B 后，每个中断源新的屏蔽字如表所示。（ 5 分）

（ 2 ）根据新的处理次序， CPU 执行程序的轨迹如图所示（ 5 分）



3 解：∵  A = +15 = +0001111 ， B = +24 = +0011000                    ∴  [A] 补  = 0,0001111 ， [B] 补  = 0,0011000 ， [-B] 补  = 1,1101000

则 [A-B] 补  = [A] 补  + [-B] 补  = 0,0001111                     +1,1101000                       1,1110111

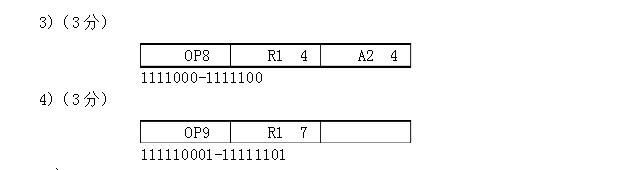
     ∴  [A-B] 补  = 1,1110111                                       故   A-B = -0001001 = -9

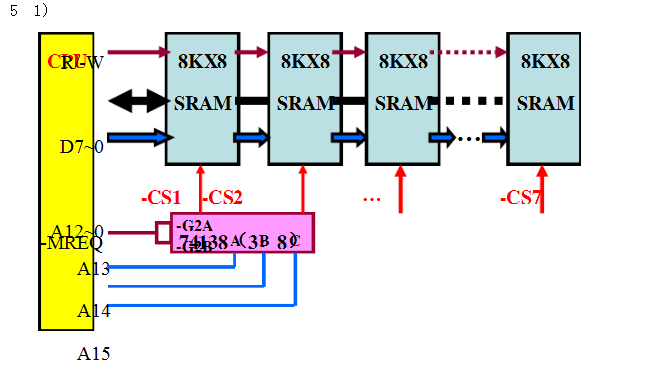
4   1) 地址指令格式为（ 2 分）



2) （ 2 分）







2) 0~8191  8192~16383  16384~24575  24576~32767  32768~40959  40960~49151 49152~57343  57344~65535

3 ）如果地址线 A13 与 CPU 断线，并搭接到高电平上，将会出现 A13 恒为“ 1 ” 的情况。此时存储器只能寻址 A13=1 的地址空间， A13=0 的另一半地址空间将永远访问不到。若对 A13=0 的地址空间进行访问，只能错误地访问到 A13=1 的对应空间中去。