






CLZ 的 Verilog 实现
2014011065 微电 41 程荆磊

1. 完成 CLZ 指令的电路设计，给出实现的方法或架构
分析：CLZ 指令是计算出 32 位输入操作数第一个一之前的 0 的个数，因此可以采用二分法思想，首先看高 16 位是否为全零，若为全零则只需考虑低 16 位，否则只需考虑高 16 位，然后再看这 16 位中的高 8 位，依此类推。
2. 给出电路的综合的延时，面积和功耗报告。

文件列表：

 HOMEWORK2.v
 HOMEWORK2.v.bak
 HOMEWORK2_area.rpt
 HOMEWORK2_power.rpt
 HOMEWORK2_timing.rpt

时延报告：

| Point | Incr | Path |
|-----------------------|------|--------|
| ----- | | |
| input external delay | 0.00 | 0.00 f |
| A[25] (in) | 0.00 | 0.00 f |
| U72/Y (NOR2X4) | 0.10 | 0.10 r |
| U52/Y (NAND2X4) | 0.10 | 0.19 f |
| U53/Y (NOR2X4) | 0.12 | 0.31 r |
| U57/Y (AND3X4) | 0.24 | 0.55 r |
| U60/Y (INVSX4) | 0.06 | 0.60 f |
| U63/Y (NAND3X1) | 0.10 | 0.70 r |
| U66/Y (NAND4X1) | 0.14 | 0.84 f |
| U68/Y (NAND4X1) | 0.15 | 0.98 r |
| U69/Y (NAND4X1) | 0.11 | 1.09 f |
| U71/Y (OAI2BB1XL) | 0.08 | 1.17 r |
| CLZ_A[0] (out) | 0.00 | 1.17 r |
| data arrival time | | 1.17 |
| | | |
| max_delay | 1.00 | 1.00 |
| output external delay | 0.00 | 1.00 |
| data required time | | 1.00 |
| ----- | | |
| data required time | | 1.00 |
| data arrival time | | -1.17 |
| ----- | | |
| slack (VIOLATED) | | -0.17 |

面积报告:

```
Number of ports:          64
Number of nets:           153
Number of cells:          120
Number of references:      42

Combinational area:       2065.694428
Noncombinational area:    0.000000
```

功耗报告:

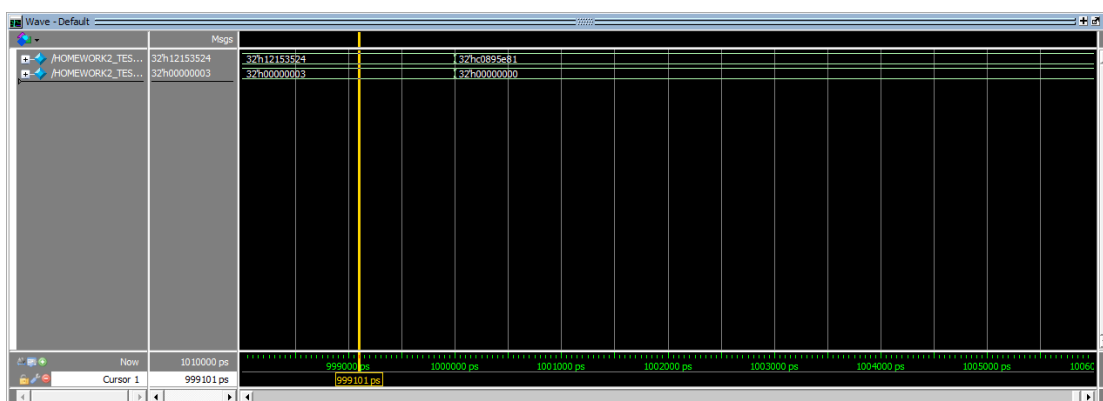
```
Global Operating Voltage = 1.62
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1.000000pf
  Time Units = 1ns
  Dynamic Power Units = 1mW      (derived from V,C,T units)
  Leakage Power Units = 1pW

  Cell Internal Power   = 105.4385 uW   (57%)
  Net Switching Power   =  80.2241 uW   (43%)
  -----
Total Dynamic Power     = 185.6626 uW   (100%)

Cell Leakage Power      = 160.2072 nW
```

3. 给出电路的 Verilog 的 source code。

附件中给出了源代码



- 4.

图中为仿真结果，输入为 0001——————的时候输出为 3