

NCTU-EE DCS-2019

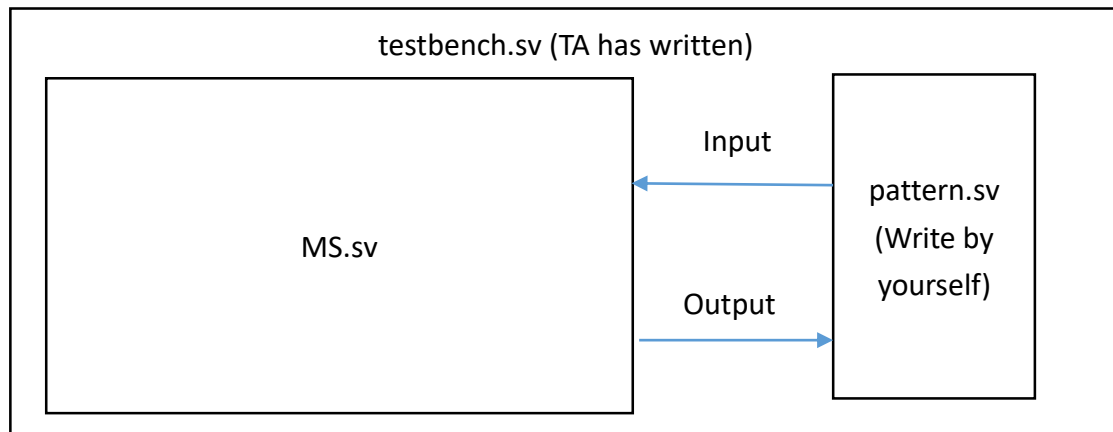
Final Project

Design: MS

資料準備

1. 從 TA 目錄資料夾解壓縮
% tar -xvf ~dcsta01/MS.tar
2. 解壓縮資料夾 OT 包含以下：
 - A. 00_TESTBED/
 - B. 01_RTL/
 - C. 02_SYN/

Block Diagram

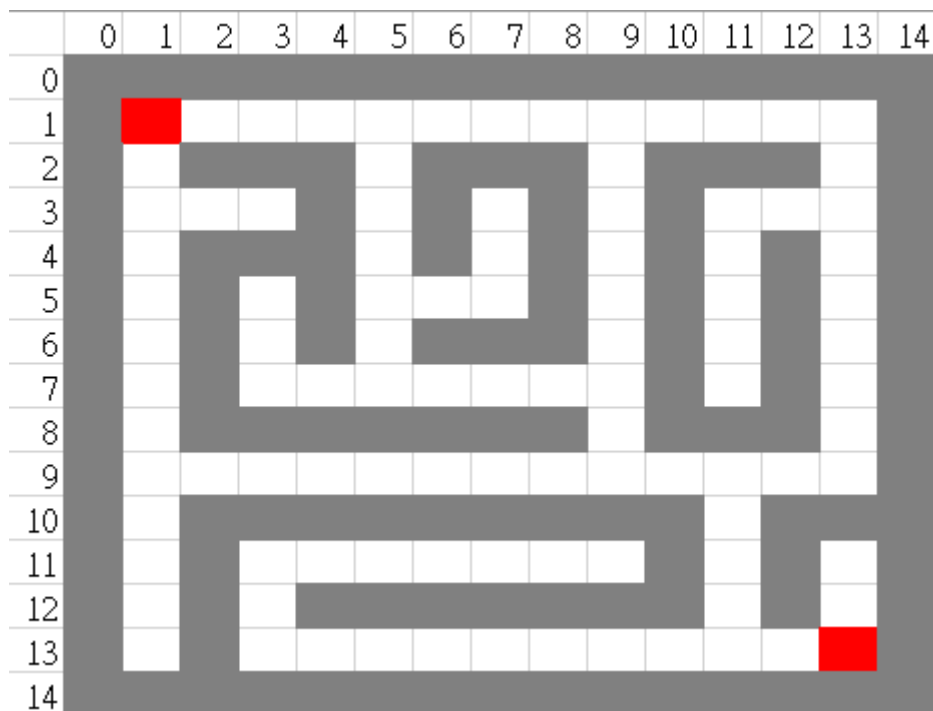


設計描述

Final Project 主要是實作走迷宮，將「廣度優先」Breadth-First Search (BFS) 實作在 system verilog 上，以下會粗略介紹此次作業使用的 BFS 與規則，相關演算法可以再上網搜尋。

這次實作部分，一開始會吐 15*15 的資料，總共 225 個數字，分別用 1 代表牆壁、0 代表可走的路，並且迷宮的起始點都在(1,1)終點則在(13,13)，如下圖所示。紅色的區域就是起點與終點。pattern 給值的順序與 HW04 相同，由上而下由左至右。

注意，最外圍的牆壁一定會有，不用考慮為 0 的情況。

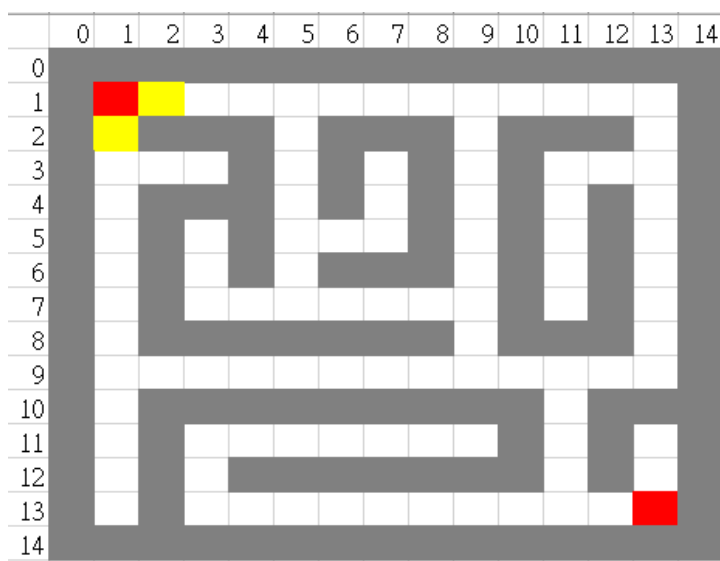


BFS:

1. 從起點開始，遇到岔路時會同時向岔路擴展開來。
2. 如果岔路走到死路，則不會再擴展
3. 擴展到終點後，由終點往回走尋找路徑(走剛剛走過的路)，尋找的優先順序為”上”→”左”→”下”→”右”。

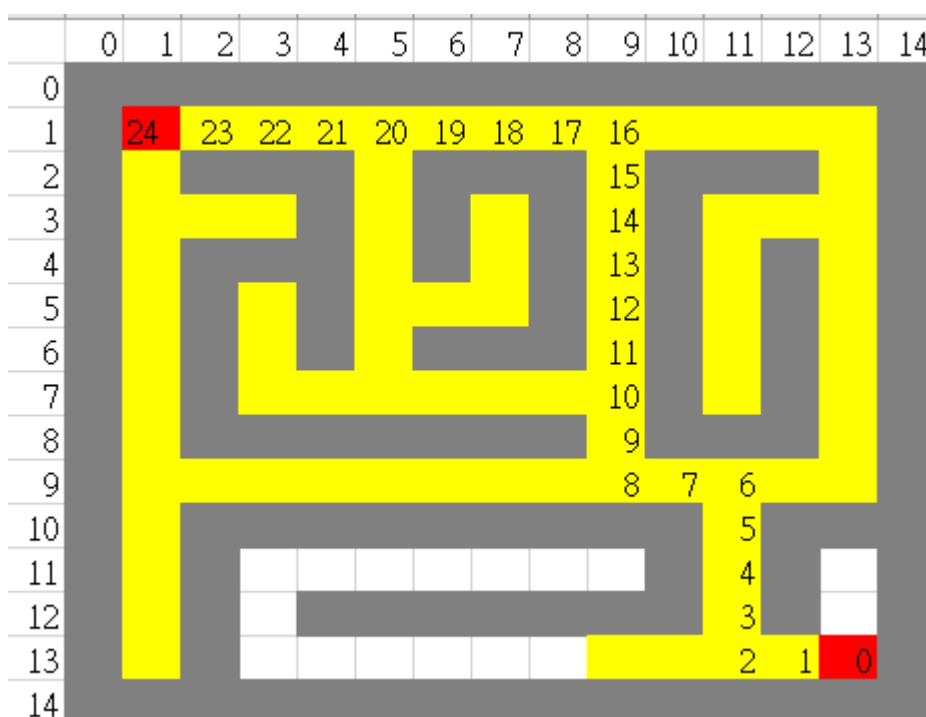
以上圖為例，黃色代表搜尋到的區域

1. 第一步



2. 第二步

5. 由終點往回走，依照上左下右規則



6. 由 5. 找到路徑，依照 0~24 吐出路徑值，分別將 X 軸 Y 軸給 out_x, out_y，如下

out_x = [13,12,11,11,11,11,11,11,10,9,9,9,9,9,9,9,8,7,6,5,4,3,2,1]

out_y = [13,13,13,12,11,10,9,9,9,8,7,6,5,4,3,2,1,1,1,1,1,1,1,1]

動畫可參考下網址，但尋找路徑的規則與這次作業不全相同!

<http://bryukh.com/labyrinth-algorithms/>

注意，可能會找不到終點，則需代表 fail 將 maze_not_valid pull high。

Input

Signal name	Number of bit	Description
clk	1 bit	Clock 5ns
rst_n	1 bit	Asynchronous active-low reset
in_valid	1 bit	為 1 時代表給 maze 資料，連續給滿 225 cycle
maze	1 bit	地圖資料，依序給滿 225 個，由上至下由左至右

Output

Signal name	Number of	Description
out_valid	1 bit	為 1 時代表 output out_x,out_y, maze_not_valid 等值，若路徑無效則 1cycle。in_valid 後 3000cycle 內要吐值。
maze_not_valid	1 bit	如果找不到路徑，則 output 1，相反則為 0。路徑無效時，1 維持 1cycle。
out_x	4 bit	依序吐路徑的 X 值，由終點開始。路徑無效時為 0。吐完值後須歸 0。
out_y	4 bit	依序吐路徑的 Y 值，由終點開始。路徑無效時為 0。吐完值後須歸 0。

本次提供一組迷宮 pattern，為前幾頁的圖，請自行使用讀檔方式讀進去，並且自行創造 pattern。

Input.txt: 與 HW4 相同，值的順序為由上而下由左至右

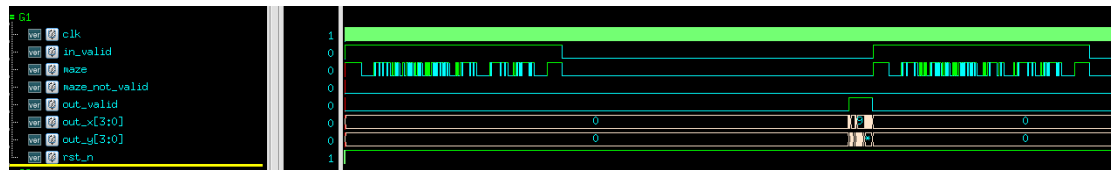
out_x.txt & out_y.txt: 第一個值為答案的長度，之後的數值為 XY 的答案

≡ out_x.txt ×	...	≡ out_y.txt ×
1 25		1 25
2 13		2 13
3 12		3 13
4 11		4 13
5 11		5 12
6 11		6 11
7 11		7 10
8 11		8 9
9 10		9 9
10 9		10 9
11 9		11 8
12 9		12 7
13 9		13 6
14 9		14 5
15 9		15 4
16 9		16 3
17 9		17 2
18 9		18 1
19 8		19 1
20 7		20 1
21 6		21 1
22 5		22 1
23 4		23 1
24 3		24 1
25 2		25 1
26 1		26 1
27		27

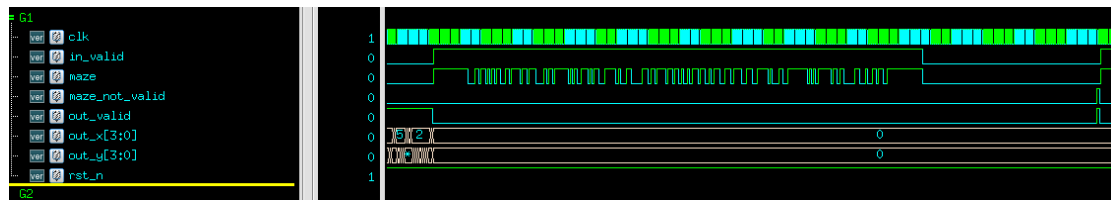
答案的長度

Example Waveform

有路徑



無路徑



Specification

1. Top module name : MS(File name: MS.sv)
2. 所有 output 必須為 0，在非同步負準位 reset。
3. 02_SYN result 不行有 error 且不能有 latches。
4. Clock period 5ns。
5. Input delay = 0.5 * clock period; output delay = 0.5* clock period;

上傳檔案

1. Code 使用 09_upload 上傳。
2. 請 6/15 AM 00:00 之前上傳

Grading Policy

1. Pass the RTL & Synthesis simulation.50%
2. Performance(A*T) 40%
3. Report. 10%

Note

Template folders and reference commands:

1. 01_RTL/ (RTL simulation) ./01_run
2. 02_SYN/ (Synthesis) ./01_run_dc