



# 2019 DCS Lab 5

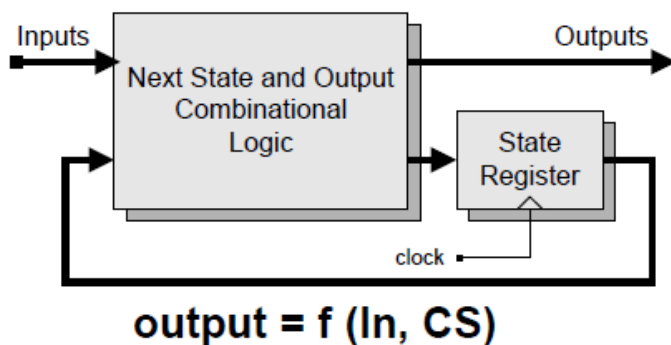
---

Finite state machine

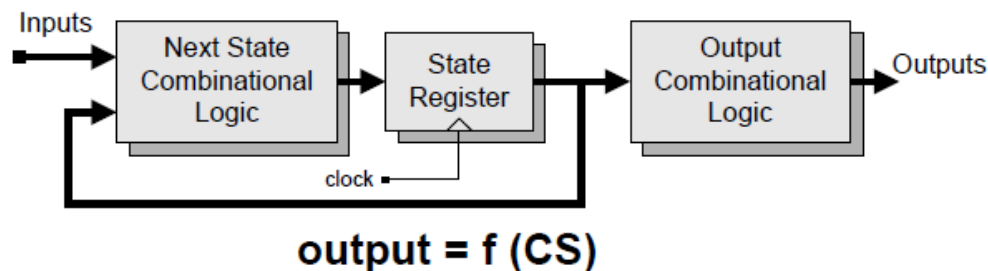
# Mealy and Moore Machine

- Mealy machine
  - The outputs depend on the current state and inputs
- Moore machine
  - The outputs depend on the current state only

**Mealy machine**



**Moore machine**



# FSM coding style(example)

- 參考上課講義 4-2 33頁之後

```
//parameter state declaration
parameter          IDLE = 2'b00,
                   READ  = 2'b01,
                   DLY   = 2'b11,
                   DONE  = 2'b10;

logic [1:0] state, next;

//State Register
always_ff@(posedge clk, negedge rst_n)
    if (!rst_n) state <= IDLE;
    else state <= next;
```

```
//next state and output logic
always_comb begin next = 'bx;
    rd = 1'b0;
    ds = 1'b0;
    case (state)
        IDLE : if (go)      next = READ;
                else        next = IDLE;
        READ : begin
                    rd = 1'b1;
                    next = DLY;
                end
        DLY  : begin
                    rd = 1'b1;
                    if (!ws) next = DONE;
                    else    next = READ;
                end
        DONE : begin
                    ds = 1'b1;
                    next = IDLE;
                end
    endcase

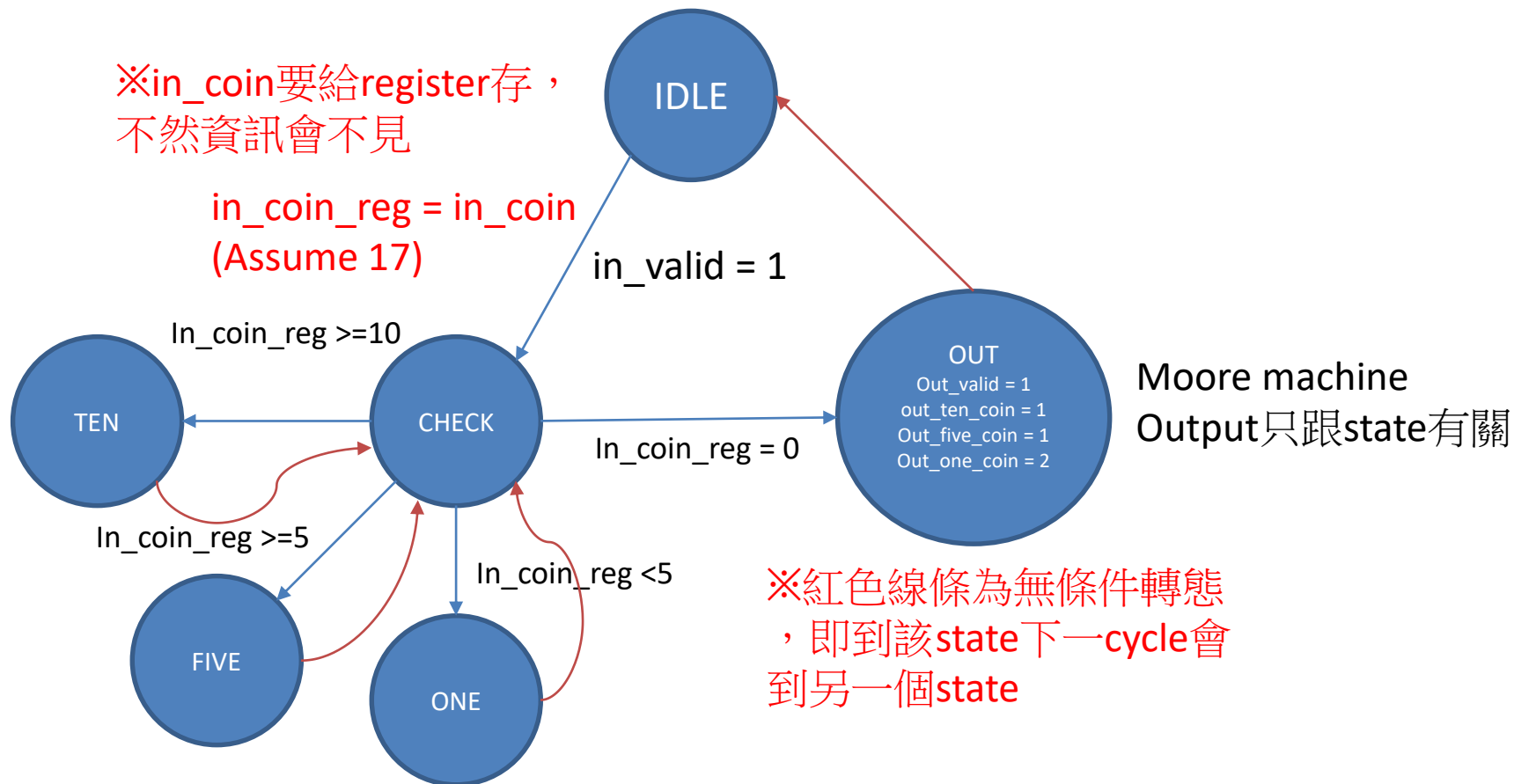
end
endmodule
```

# 販賣機找錢的設計

- For example
  - 17 元，有1個10元、1個5元、2個1元。
    - $17 = 17 / 10 = 1 \dots 7$ ;  $7/5 = 1 \dots 2$
  - 49元，有4個10元、1個5元、4個1元。
    - $49 = 49 / 10 = 4 \dots 9$ ;  $9/5 = 1 \dots 4$
- 但是你們不能使用除法(/)與餘數(%)在設計中。
- 請使用FSM設計。

# 參考FSM diagram

此Diagram僅供參考、這個時間會比較長、但是也比較簡單，  
由於此lab不看時間，所以不要害羞的使用。



TEN, FIVE, ONE 可以做“甚麼事、甚麼運算”使電路達到其要求功能。

# Coin.sv

Input Signal	Bit Width	Definition
clk	1	Clock
rst_n	1	Asynchronous active-low reset
in_coin	6	在negative clock時且in_valid = 1時，in_coin給予一個值。
in_valid	1	當此訊號拉起時，代表in_coin有意義

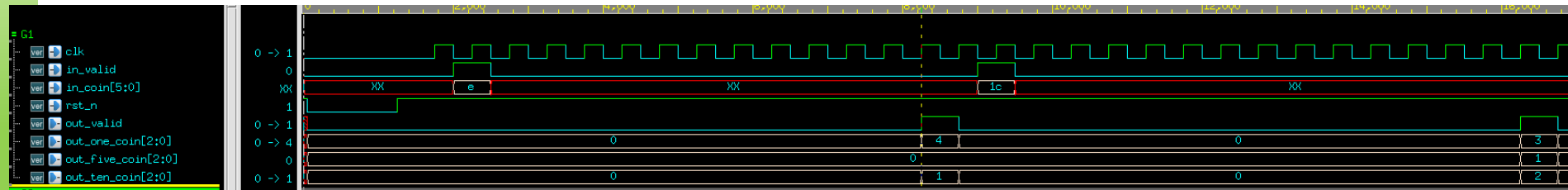
Output Signal	Bit Width	Definition
out_valid	1	當此訊號拉起時，testbench開始檢查。Out_valid必須在in_valid降下之後的100cycle之前拉起。
out_ten_coin	3	找錢找10元的數量
out_five_coin	3	找錢找5元的數量
out_one_coin	3	找錢找1元的數量

# Spec

- 禁止使用 / 與 % ，助教們會檢查。
- 請使用FSM完成此次LAB，可參考pg 3的範例。
- 所有output必須非同步負準位reset。
- 01\_RTL 需要PASS。
- 02\_SYN不能有error跟latches。
- 02\_SYN時間timing slack必須為MET。

# Output & Waveform

- Waveform





# Command

- `tar -xvf ~dcsta01/Lab05.tar`
- Upload
  - `cd 09_upload`
  - `./01_upload`
  - `./02_download demoX`