

NCTU-EE DCS-2019

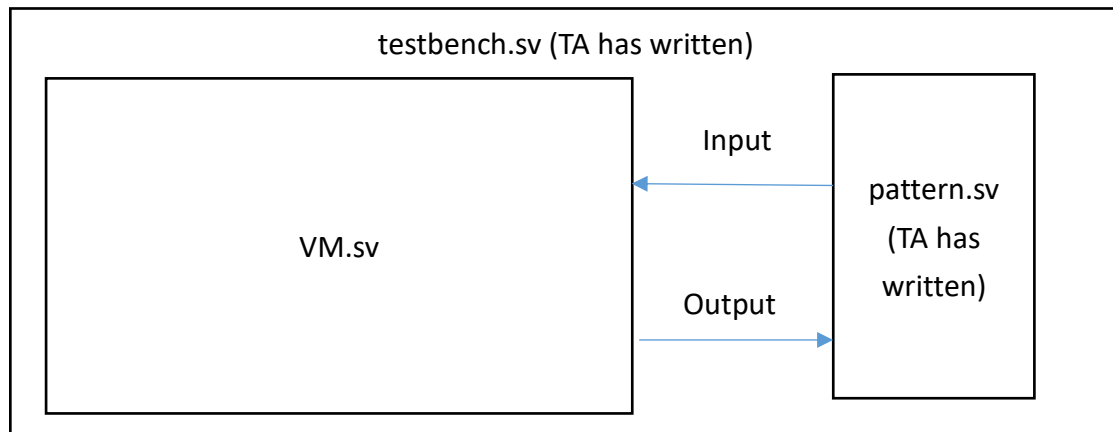
HW03

Design: Vending Machine (FSM)

資料準備

1. 從 TA 目錄資料夾解壓縮
% tar -xvf ~dcsta01/hw03.tar
2. 解壓縮資料夾 hw01 包含以下：
 - A. 00_TESTBED/
 - B. 01_RTL/
 - C. 02_SYN/

Block Diagram



設計描述

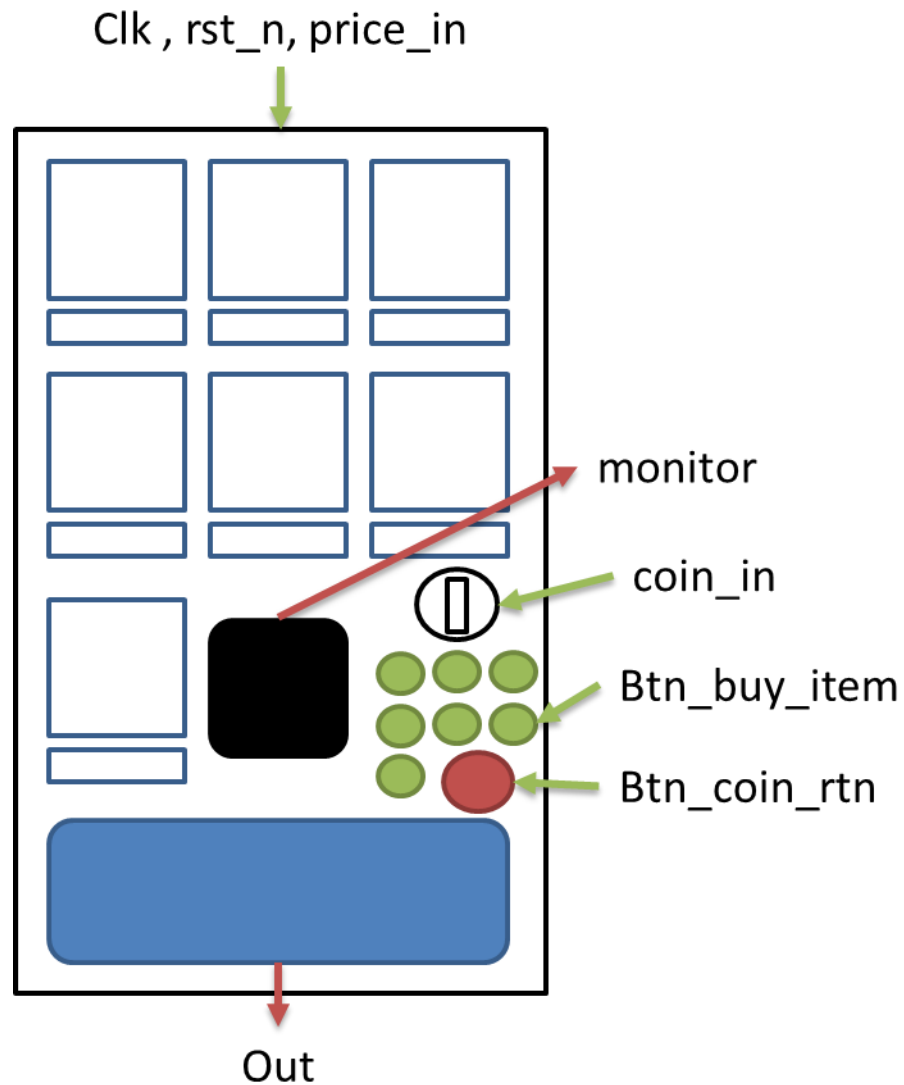
這次作業要求設計一台販賣機。

這台販賣機販售 7 種不同商品，Pattern 在 price_in_valid 為 1 時，依序輸入 price_in 將商品 0-6 定價，price_in_valid 降下時，即代表定價完成。

定價之後，Pattern 在 in_coin_valid 為 1 時，依序輸入 Coin_in 代表投幣，並且會在 monitor 上顯示目前金額。In_coin_valid 降下時，即代表投幣完成。

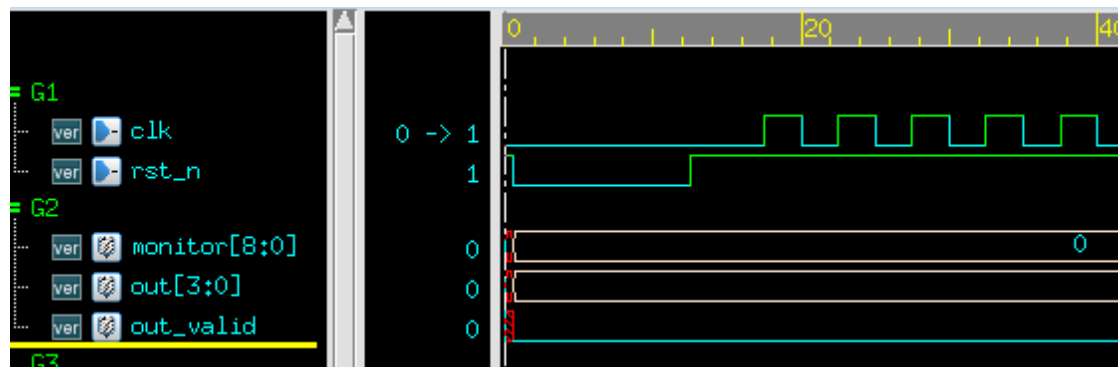
投幣後，Pattern 會給予欲購買的物品編號(btn_buy_item)或選擇退幣(btn_coin_rtn)，最後商品與退幣由 out 表示，依次序輸出商品 0-6 的代表號、50 元的數量、20 元的數量、10 元的數量、5 元的數量、1 元的數量。

示意圖如下，綠色箭頭為 pattern 給予 design 的 input、紅色箭頭為 design 的 output。

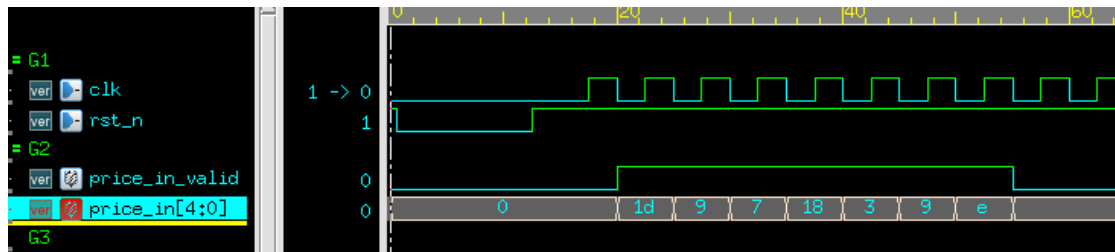


本次販賣機有以下規則：

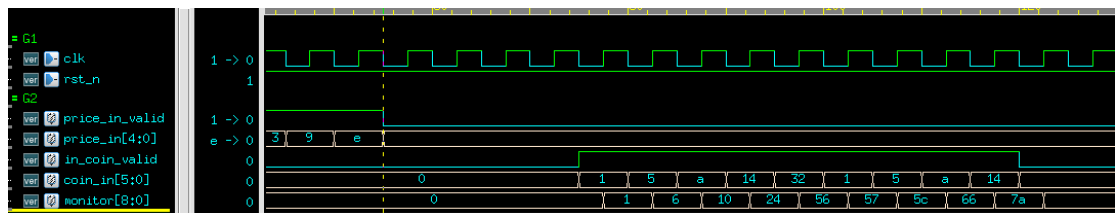
1. 在 rst_n 之後，所有 output signal 必須為 0。



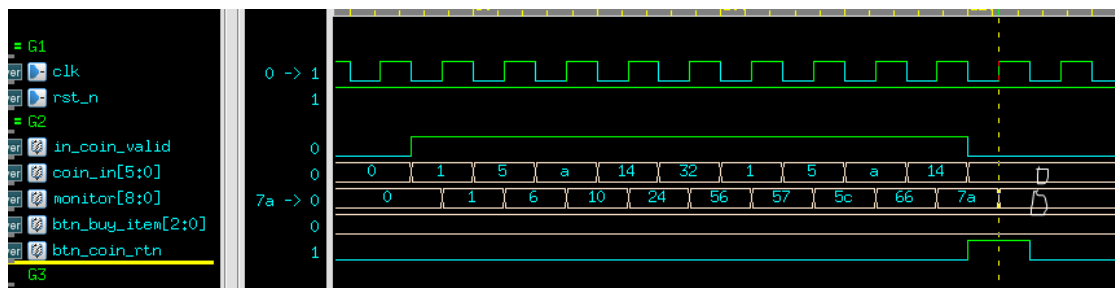
2. 在 price_in_valid 為 1 時，Pattern 依序輸入 price_in，代表為商品 0-6 定價。



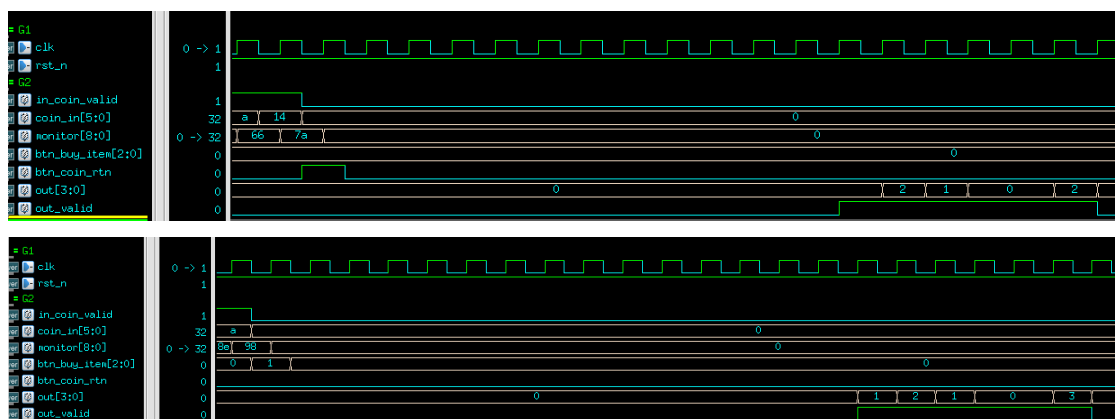
3. 在 in_coin_valid 為 1 時，Pattern 輸入 coin_in，代表投幣，in_coin_valid 最多 9 cycle，代表投幣最少 1 次，最多 9 次。
4. 每次投幣後，Monitor 立即顯示累加金額。 (pattern 不會使其 overflow)



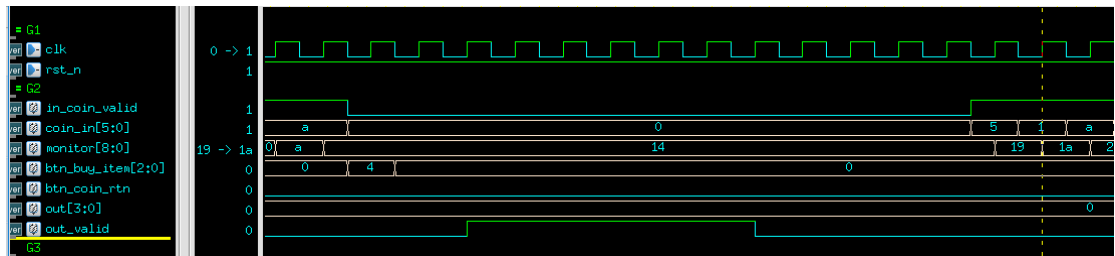
5. 在 in_coin_valid 落下後，pattern 會立即給予買商品(btn_buy_item) 或 退幣(btn_coin_rtn)。
6. 選擇買商品或退幣後，Monitor 會歸零。



7. 當按下的商品號碼(btn_buy_item)，且金額足夠，out 輸出選擇的商品號碼，退回剩下錢幣。當按下退幣(btn_coin_rtn)，out 輸出商品號碼為 0，退回所有錢幣。
8. 機器必須在 out_valid 拉起輸出給 pattern 檢查 out，依序第一個 cycle 為商品號碼(0-7，參照備註)、第二個至第五個 cycle 為退幣 50 元的數量、20 元的數量、10 元的數量、5 元的數量。



9. 特殊狀況：投幣結束後，目前金額低於選擇商品(btn_buy_item)的價格，代表無法購買，故當 out_valid 為 1 時輸出 out 為六個 cycle 為 0。Monitor 顯示會維持到下一次投幣 in_coin_valid 為 1 時的 coin_in，且會繼續累加其金額。



10. 舉例：投幣投了 155 元、購買商品 0 (item_0)為 18 元、剩餘 137、找 2 個 50 元、1 個 20 元、1 個 10 元、1 個 5 元、2 個 1 元，所以輸出依序為 1,2,1,1,1,2。

11. 備註：

Btn_buy_item	定義
0	沒有買到
1	商品 0
2	商品 1
3	商品 2
4	商品 3
5	商品 4
6	商品 5
7	商品 6

Coin 只有 5 種 50 元、20 元、10 元、5 元、1 元。

Input

Signal name	Number of bit	Description
clk	1 bit	clock
rst_n	1 bit	Asynchronous active-low reset
price_in_valid	1-bit	When getting high means state price_in
in_coin_valid	1 bit	When getting high means start coin in

coin_in	6 bits	投幣訊號，為連續 1-9 cycle 的訊號
btn_coin_rtn	1 bit	退幣訊號
btn_buy_item	3 bits	購買商品訊號，1-7 代表商品 0 到商品 6，參照備註
price_in	5 bits	定價訊號，為連續 7cycle 的訊號，依序為商品 0 到商品 6 定價。

Output

Signal name	Number of	Description
monitor	9 bits	顯示金額，每次 coin_in 後變化，按下商品或退幣之後顯示 0、但如果低於選擇商品價格，則保持訊號至下一次 coin_in。
out_valid	1 bit	必須在 in_coin_valid 落下後 100cycle 內拉起，out_valid 持續 6 個 cycle。
out	4 bits	依序輸出、商品號碼(參照附錄)、50 元數量、20 元數量、10 元數量、5 元數量、1 元數量，共 6 個 cycle，6 筆資料。

Specification

1. Top module name : VM (File name: VM.sv)
2. 所有 output 必須為 0，在非同步負準位 reset。
3. 02_SYN result 不行有 error 且不能有 latches。
4. Clock period 5ns。
5. Input delay = 0.2 * clock period; output delay = 0.2* clock period;
6. 請使用 FSM 完成作業。

上傳檔案

1. Code 使用 09_upload 上傳。
2. report_dcsxx.pdf, **xx is your server account.** 上傳至 new e3。
3. 請 **4/26 9:00 am** 之前上傳

Grading Policy

1. Pass the RTL & Synthesis simulation. 70%
2. Area 10%
3. Latency 10% (clock period 5ns * total cycle)
4. Report. 10%

Note

Template folders and reference commands:

1. 01_RTL/ (RTL simulation) ./01_run
2. 02_SYN/ (Synthesis) ./01_run_dc

報告請簡單且重點撰寫，不超過兩頁 **A4**，並包括以下內容

1. 描述你的設計方法，包含但不限於如何加速(減少 **critical path**)或降低面積。
2. 基於以上，畫出你的架構圖(**Block diagram**)與 **FSM diagram**。
3. 心得報告，不侷限於此次作業，對於作業或上課內容都可以寫下。
4. 遇到的困難與如何解決。