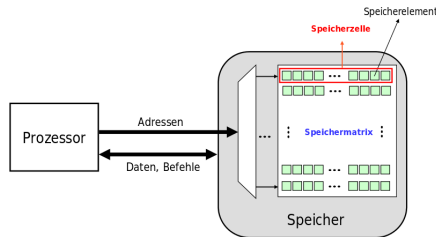


I. SPEICHER

Begriffe:

Hauptspeicher: „Gedächtnis“ des Rechners. Beinhaltet Programme und Daten, die jederzeit und sofort (*random access*) zur Verfügung stehen müssen



Speicherelement: 1 Bit Speicher

Speicherzelle: feste Anzahl von Speicherelementen, auswählbar durch eindeutige Adresse. 8, 16, 32, ... Bit

Speicherwort: maximale Anzahl an Speicherelementen, die in einem Buszyklus zwischen Mikroprozessor und Speicher übertragen werden können \leadsto Speicherwortbreite = *Datenbusbreite*

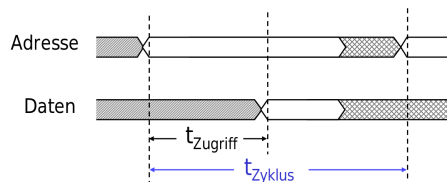
Wahlfreier Zugriff: Jede Speicherzelle kann direkt angesprochen werden (ohne andere Zellen ansprechen zu müssen), Selektion über Adressdecoder

Speicherorganisation: Definition über Anzahl n der Zeilen und Anzahl m der Speicherelemente pro Zeile, z.B. 16-MBit-DRAM mit Organisation 4Mx4/2Mx8/1Mx16

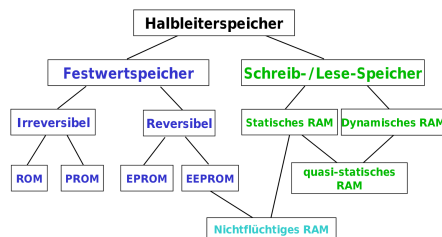
Kapazität: Informationsmenge, die im Speicher untergebracht werden kann ($n * m$ Bit)

Arbeitsgeschwindigkeit:

1. **Zugriffszeit** (access time): maximale Zeit zwischen Anlegen einer Speicheradresse und Ausgabe der gewünschten Daten
2. **Zykluszeit** (cycle time): minimale nötige Zeit zwischen zwei hintereinanderfolgenden Adressenaufschaltungen an den Speicher



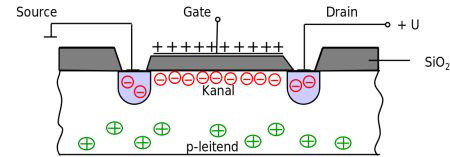
Speicherklassifizierung:



Transistor (MOSFET):

Eine Spannung an einem *Gate* regelt, ob Strom zwischen *Source* und *Drain* fließt.

n-MOS-MOSFET: Kanal sperrt, wenn keine Spannung anliegt (*selbstsperrend*)



Speicherzelle – statisch (SRAM):

Aufgebaut aus zwei kreuzweise rückgekoppelten Invertern und zwei Transistoren zur Ankopplung an Bitleitungen \leadsto 6-Transistor-Zelle

Vorteile: Strom fließt nur zum Umschaltzeitpunkt \leadsto kein Refresh nötig

Nachteile: Hoher Platzverbrauch

Speicherzelle – dynamisch (DRAM):

Aufgebaut aus einer Transistorzelle und einem Kondensator (vergrößerte Drain-Zone, von Drain-Kontakt durch dünne Isolierschicht getrennt) \leadsto Platzverbrauch viertel so groß wie bei SRAM

Vorteile: Geringer Platzverbrauch

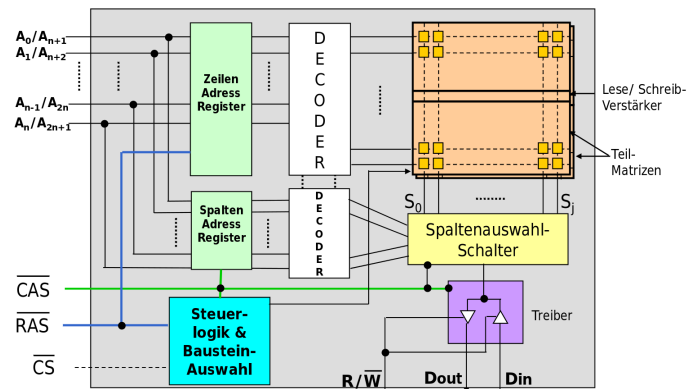
Nachteile: Information geht beim Lesen verloren und muss neu gespeichert werden (*destructive read*), Ladung geht nach einiger Zeit durch Leckströme verloren \leadsto periodische Auffrischung (*refresh*) nötig

Lesen:

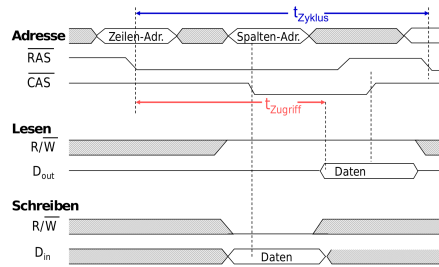
1. Leistungskapazität wird vorgeladen (*precharge*)
2. Positive Spannung wird an Gate des Speichertransistors angelegt
3. Leseverstärker misst Strom am Ende der Bitleitung

Schreiben:

1. Speichertransistor wird durch Spannung U_{GS} leitend
2. Bitleitung auf Masse \leadsto Elektronen werden auf Drain-Zone aufgebracht, Kondensator lädt
3. Bitleitung auf U_B \leadsto Elektronen von Drain-Zone abgesaugt, Kondensator entlädt



DRAM – Adressierung



DRAM – Auffrischung

Zeilenweise, jede Zeile alle 2 msec

Nur Zeilenadresse wird an Baustein angelegt, RAS=0, CAS=1

Zugriffsbeschleunigung – Techniken

Prinzip: Übertragung von benachbarten Bytes (Blöcken) anstatt einzelnen Bytes

→ **beschleunigter Zugriff** auf Speicherbaustein, falls alle zu lesenden/schreibenden Speicherzellen in einer Zeile liegen
 Zeilenadresse wird auch bei wiederholtem Zugriff auf Zeile (auch *page* genannt) nur einmal angelegt (und im Register gespeichert). Dann werden in schneller Folge die Spaltenadressen angelegt (*fast page mode: FPM-DRAM*)
 → **erheblich beschleunigter Zugriff**

FPM-DRAM

aufeinanderfolgende Speicherzugriffe oft in selber Zeile
 → ausnutzen

Initialisieren: Wie normaler DRAM

Nach 1. Lesezyklus: Speichersteuerung RAS-Signal bleibt aktiv
 → Zeile bleibt aktiv

Bei folgenden Lesezugriffen: Speichersteuerung übergibt nur noch jeweils eine neue Spaltenadresse an DRAM

→ RAS-precharge-Zeit und RAS-CAS-Delay entfallen bei Folgezugriffen

EDO-RAM

= *extended data output* RAM

Datenausgabe wird bei Lesen von CAS-Signal durch **interne Pufferung** entkoppelt

→ Daten stehen länger am Ausgang bereit

→ bessere Verschachtelungsmöglichkeiten beim Lesen

Prozessor kann Daten auslesen, während Speichersteuerung neue Spaltenadresse an DRAM übergibt

SDRAM

= *synchrone dynamische* RAMs

beherrscht heute Speichermarkt

Alle Ein-/Ausgangssignale synchron zum Systemtakt

Prozessor, Chipsatz, Speicher kommunizieren über ein Bussystem (mit einer Frequenz getaktet)

Intern 2 bis 4 Speicherbänke

Nach Anlegen von Zeilen-/Spaltenadresse:

1. Speichersteuerung generiert nachfolgende Adressen
2. Speichersteuerung führt alternierenden, überlappenden Zugriff auf die Speicherbänke aus

DDR-SDRAM

Nächste Stufe SDRAM (SRAM II)

Vier Speicherbänke, die parallel arbeiten

Prinzip:

- Bandbreitenerweiterung durch Nutzung beider Taktflanken
 - Daten werden bei steigender + fallender Taktflanke übertragen
- doppelter Datendurchsatz

Laufzeitverzögerungen sehr kritisch

→ Verwendung von bidirektionalem Strobe-Signal (DQS) zusätzlich zu Systemtakt

SLDRAM

= *sync link* SDRAM

Weiterentwicklung SDRAM

Höhere erlaubte Busfrequenzen → höhere Leistung

Organisation – Hauptspeicher

lineare Liste von Speicherworten

Aufbau: Speicherbausteine

Zugriffszeit: Abhängig von verwendeten Speicherbausteinen

Breite: IdR Breite des Datenbus

Maximale Kapazität: Gegeben durch Breite des Adressbus

Memory Map

= Speicher-Belegungsplan

Gibt an, welche Speicherbausteine auf welchen Bereichen des Hauptspeichers liegen

