I. CACHE-SPEICHER

Hintergrund

Lücke zwischen Verarbeitungs- (CPU) und Zugriffsgeschwindigkeit (DRAM) immer größer

Lösung: Hierarchische Anordnung verschiedener Speicher

Ausgleich der unterschiedlichen Zugriffszeiten

Strategien:

- 1. Cache-Speicher: Kurze Zugriffszeiten \leadsto Beschleunigung Prozessorzugriff
- Virtueller Speicher: Vergrößerung des tatsählich vorhandenen Hauptspeichers (z.B. bei gleichzeitiger Bearbeitung mehrerer Prozesse)

Leistung abhängig von Eigenschaften der Speichertechnologien, Adressierung und Organisation



CPU-Cache

kleiner, schneller Pufferspeicher

speichert Kopien von Hauptspeicherteilen, auf die mit hoher Wahrscheinlichkeit als nächstes zugegriffen wird

Effizienz durch $Lokalit\"{a}tseigenschaft$ von Programmen:

- zeitliche Lokalität: zukünftig angesprochene Information mit hoher Wahrscheinlichkeit schon einmal angesprochen worden (z.B. Schleifen)
- örtliche Lokalität: zukünftig angesprochene Information mit hoher Wahrscheinlichkeit in Nähe des bisherigen Zugriffs (z.B. Arrays)

Cache-Controller lädt alle Daten in Cache, auf die Prozessor zugreift

Daten werden aus Cache verdrängt, wenn sie nicht mehr benötigt werden

${\bf Cache-Funktions we ise}$

Lesezugriff: μP überprüft davor ob Datum in Cache steht

- read hit: Datum wird ohne Wartezyklen aus Cache geladen
- ${\bf -}$ read ${\bf miss}:$ Datum wird mit Wartezyklen aus Arbeitsspeicher geladen und in Cache eingefügt

${\bf Schreibzugriff:}$

- write miss: Datum wird in DRAM und Cache geschrieben
- write hit: verschiedene Verfahren möglich

${\bf Schreibzugriff-Durch schreibver fahren}$

Datum wird von CPU immer gleichzeitig in Cache- und Arbeitsspeicher geschrieben

 $\underline{\text{Vorteil}}\textsc{:}$ Konsistenz
garantie zwischen Cache und DRAM

 $\underline{\text{Nachteil:}}$ Schreibzugriffe benötigen immer langsame Zykluszeit von Hauptspeicher, belasten Systembus

${\bf Schreibzugriff-gepuffertes\ Durchschreibverfahren}$

Verwendung von Schreib-Puffer, der zu schreibende Daten temporär aufnimmt

Daten werden dann automatisch von Cache-Controller in Hauptspeicher übertragen

${\bf Schreibzugriff-R\"{u}ckschreibverfahren}$

Datum wird von CPU nur in Cachespeicher geschrieben und durch spezielles Bit $(dirty\ bit)$ gekennzeichnet

Arbeitsspeicher wird nur geändert, wenn dirty-Datum aus Cache verdrängt wird

 $\underline{\text{Vorteil}}$: Alle Schreibzugriffe mit schneller Cache-Zykluszeit abwickelbar

Nachteil: Konsistenzprobleme zwischen Cache- und Hauptspeicher

Konsistenzprobleme

Andere Systemkomponenten (z.B. DMA-Controller) finden ggf "veraltete Daten" in DRAM vor, die von CPU längst geändert wurden

Andere Systemkomponenten können Daten in Hauptspeicher ändern, während CPU noch mit alten Daten aus Cache arbeitet

 \leadsto aufwendige Verfahren bei Cache-Steuerung zur Inkonsistenzvermeidung erforderlich

Begriffe

$$\begin{split} & \underline{\text{Hit-Rate}} := \text{Anzahl Treffer pro Anzahl Zugriffe} \\ & \underline{\text{Mittlere Zugriffszeit:}} \\ & \underline{t_{\text{access}}} = (\text{Hit-Rate})t_{\text{hit}} + (1 - \text{Hit-Rate})t_{\text{miss}} \end{split}$$

vaccess (III reace) offit (1 III reace) of

${\bf Cache\hbox{-}Speicher-Aufbau}$

Besteht aus drei Teilen:

- 1. Datenspeicher: im Cache abgelegte Daten
- 2. Adressspeicher: Adresse dieses Datums im RAM
- 3. Statusbits: Geben an, ob Informationen gültig sind

Zusammen: cache-line