Střední průmyslová škola a Vyšší odborná škola, Liberec, příspěvková organizace

Systém na čipu odvozený od architektury RISC-V

Maturitní práce

Autor **Jiří Černohorský**

Obor **Informační technologie**

Vedoucí práce **Ing. Petr Socha Ph.D.**

Školní rok **2025/2026**

Počet stran **17**

Počet slov **1117**



Anotace

Cílem je práce je návrh syntetizovatelného systému na čipu (SoC) s RISCovým jádrem v jazyce VHDL. Obsažené výpočetní jádro bude implementovat omezenou architekturu instrukční sady RISC-V a bude spouštět kód nahraný prostřednictvím externího programátoru. Dále bude SoC obsahovat řadiče vstupně/výstupních periferií (GPIO, UART, volitelně VGA, PS/2) a případně další komponenty, mapované do společného adresního prostoru. SoC bude navrženo s ohledem na budoucí rozšiřitelnost, včetně možného pipeliningu. Maturitní práce bude rozšířením předchozí ročníkové práce žáka.

Summary

The aim of the work is to design a synthesizable system on chip (SoC) with a RISC core in VHDL. The included computing core will implement a limited RISC-V instruction set architecture and will run code loaded via an external programmer. Furthermore, the SoC will contain input/output peripheral controllers (GPIO, UART, optionally VGA, PS/2) and possibly other components mapped to a common address space. The SoC will be designed with future expandability in mind, including possible pipelining. The graduation thesis will be an extension of the student's previous year's thesis.

Čestné prohlášení

Prohlašuji, že jsem předkládanou maturitní práci vypracoval sám a uvedl jsem veškerou použitou literaturu a bibliografické citace.

V Liberci dne

Jiří Černohorský

Obsah

[Úvod 1](#_Toc86062807)

[1 První kapitola 2](#_Toc86062808)

[1.1 Podkapitola první kapitoly 2](#_Toc86062809)

[1.1.1 Podkapitola první kapitoly uvnitř první kapitoly 2](#_Toc86062810)

[1.2 Seznamy 4](#_Toc86062811)

[1.2.1 Číslovaný seznam 4](#_Toc86062812)

[1.2.2 Odrážkový seznam 4](#_Toc86062813)

[1.3 Dlouhá citace 4](#_Toc86062814)

[1.4 Zdrojový kód 5](#_Toc86062815)

[2 Druhá kapitola 7](#_Toc86062816)

[2.1 Podkapitola druhé kapitoly 7](#_Toc86062817)

[2.1.1 Podkapitola první kapitoly uvnitř první kapitoly 7](#_Toc86062818)

[Závěr 8](#_Toc86062819)

[Seznam zkratek a odborných výrazů 9](#_Toc86062820)

[Seznam obrázků 10](#_Toc86062821)

[Použité zdroje 11](#_Toc86062822)

[A. Seznam přiložených souborů I](#_Toc86062823)

Úvod

Proč já vlastně tuto práci píšu …

Nastavte **název** dokumentu a **autora** v nabídce Soubor/Informace.

Pro vkládání zdrojů použijte Reference/Spravovat prameny.

# Analýza

## Stav projektu k ukončení ročníkové práce

Tato práce je pokračováním mé ročníkové práce z předchozího roku (1), na kterou dále navazuji. Níže je uvedeno krátké shrnutí dosavadních schopností procesoru.

Procesor je jednocyklový a je založen na open-source instrukční sadě RISC-V (2). Instrukční sada byla zjednodušena na jedenáct základních instrukcí podle vzoru přednášky Ing. Michala Štěpanovského, Ph.D. (3) Tyto instrukce zahrnují:

* Čtení a zápis (lw, sw)
* Aritmeticko-logické instrukce (add, addi, sub, and, or, slt)
* skoky (jal, jalr)
* Podmíněný skok (beq)

Procesor využívá jako vstupně-výstupní porty DIP přepínače a LED diody; jiný způsob komunikace s ním není možný.

Paměť je Harvardského typu, což znamená, že paměť dat a paměť programu jsou oddělené. Do paměti programu procesor nemůže zapisovat, pouze z ní číst. Programový kód je do paměti zapsán ručně ještě před syntézou. Procesor má jednoduchý kombinační řadič a 32bitové pole univerzálních registrů. Na obrázku níže můžete vidět schéma procesoru z minulého roku.

Obsah obrázku text, diagram, Plán, schématické

Obsah vygenerovaný umělou inteligencí může být nesprávný.

Obrázek 1 Diagram procesoru

## Funkční požadavky

Moje ročníková práce obsahovala několik zásadních problémů, které budu řešit v letošní maturitní práci. V této kapitole se zaměřím na jejich identifikaci a popíšu, jak budou letos vyřešeny, aby procesor dosáhl stavu, kdy bude použitelný jako SoC (System on Chip).

### Vstupní a výstupní porty

V předchozí ročníkové práci byly vstupní a výstupní porty řešeny jednotlivě a bez jasně definovaného systému. V letošní práci je proto potřeba tento přístup upravit tak, aby bylo možné jednoduše přidávat další porty. Porty budou mít společný, definovaný adresní prostor. Současně plánuji rozšířit procesor o nové porty, konkrétně GPIO, UART, VGA a PS/2.

### Zápis do paměti programu

Největším problémem řešení z minulého roku bylo, že při každé změně programu bylo nutné celý procesor znovu syntetizovat, což u mého procesoru trvalo přibližně 40 minut. Tento postup není vhodný pro efektivní úpravy programů. V letošní práci se proto zaměřím na možnost nahrávání programu pomocí externího programátoru přes UART. Preferoval bych standardizovaný způsob, například JTAG (4), nicméně pravděpodobně použiji zjednodušenou proprietární verzi.

Aby se obsah paměti při každém odpojení od napájení neztrácel, bude také nutné upravit paměť z ROM na flash paměť integrovanou na FPGA.

## Nefunkční požadavky

Pro realizaci práce budu potřebovat FPGA desku s flash pamětí a všemi porty, které plánuji letos implementovat. K tomuto účelu by měla bohatě stačit stejná deska jako minulý rok, SPARTAN-3E Starter Kit (5). S touto deskou je kompatibilní programátor v Xilinx ISE (6), který obsahuje i simulační nástroj ISIM, který používám pro simulace. Pro samotné psaní kódu ve VHDL používám Sigasi Visual HDL rozšíření do VS Code (7), protože na rozdíl od editoru v Xilinx ISE dokáže opravovat některé logické chyby, díky čemuž se mohu více soustředit na řešení složitějších problémů místo drobných překlepů.

## Analýza stávajících řešení, trhu

Na trhu již existují řešení vyvíjená týmy odborníků, která fungují lépe, než co je možné realizovat v rámci maturitní práce. Jedním z příkladů je NERVO32 (8), což je customizovatelný mikrokontrolér implementující RISC-V ve VHDL. Podařilo se mi rovněž najít prezentaci od pana Corrada Santoro (9), kde implementuje jednocyklový procesor v VHDL, porovnatelný s mým řešením z minulého roku. Pan Santoro přistupuje k návrhu procesoru z pohledu stavového automatu, zatímco já na něj pohlížím jako na strukturovaný program. Nepovažuji žádné z těchto řešení za od základu špatné a jeho přístup mi pomohl nahlédnout na problematiku z jiného úhlu pohledu.

Závěr

Tak jsem se dostal až na konec.

Seznam zkratek a odborných výrazů

HTML

HyperText Markup Language – značkovací jazyk používaný pro tvorbu webových stránek.

Seznam obrázků

[Obrázek 1 Úplně bez legrace, mě tohle kotě docela děsí. 3](#_Toc86059903)

[Obrázek 2 Modré borůvky 3](#_Toc86059904)

Použité zdroje

1. **Černohorský, Jiří.** *Implementace procesoru.* Liberec : Střední průmyslová škola Liberec, 2025.

2. **Scheel, Jeff.** RISC-V Technical Specification. *RISC-V.* [Online] RISC-V International, 9. 10 2025. [Citace: 15. 10 2025.] https://riscv.atlassian.net/wiki/spaces/HOME/pages/16154769/RISC-V+Technical+Specifications.

3. **Ph.D., Ing. Michal Štěpanovký.** *Architektura počítačových systémů (BI-APS), Přednáška č.3 Návrh jednocyklové RISC mikroarchitektury.* Faculty of Information Technology, Czech Technical University in Prague. Praha : autor neznámý, 2022. str. 57.

4. **Technologies, JTAG.** what is jtag. *Jtag.* [Online] JTAG Technologies. [Citace: 15. 10 2025.] https://www.jtag.com/what-is-jtag-testing-of-electronics-tutorial/#.

5. **AMD.** Spartan-3E FPGA Starter Kit Board User Guide (UG230). *amd.* [Online] AMD, 19. 1 2011. [Citace: 15. 10 2025.] https://docs.amd.com/v/u/en-US/ug230.

6. **contributors, Wikipedia.** Xilinx ISE. *Wikipedia.* [Online] Wikipedia, The Free Encyclopedia., 19. 7 2025. [Citace: 15. 10 2025.] https://en.wikipedia.org/w/index.php?title=Xilinx\_ISE&oldid=1301303388. 1301303388.

7. **Sigasi.** Sigasi Visual HDL. [Online] Sigasi. [Citace: 15. 10 2025.] https://www.sigasi.com/manual/vscode/.

8. **stnolting.** github. *mervo32.* [Online] 14. 10 2025. [Citace: 15. 10 2025.] https://github.com/stnolting/neorv32.

9. **santoro, corrado.** Implementing a System-on-Chip using VHDL. [Online] [Citace: 15. 10 2025.] https://www.dmi.unict.it/santoro/teaching/sdl/slides/Soc.pdf.

1. Seznam přiložených souborů

Na přiloženém datovém nosiči se nacházejí následující soubory a složky:

* **MP2010-Novák-Jan-L4-Tepelné\_čerpadlo.docx** – editovatelná verze dokumentace maturitní práce
* **MP2010-Novák-Jan-L4-Tepelné\_čerpadlo.pdf** – tisknutelná verze dokumentace maturitní práce
* **Výkresy** – kompletní výkresová dokumentace
* **Aplikace** – zdrojové kódy