

Předmět	MLOS - LLOS - Logické systémy	
Ústav	ÚAMT	
Úloha č. 4	Návrh číslicového komparátoru, návrh základních aritmetických operací, kombinační logika, strukturální popis	
Student		

Cíle

- Návrh číslicového komparátoru.
- Návrh základních aritmetických operací – sčítání a odčítání.
- Implementace návrhů do cílového obvodu FGPA Spartan6 na vývojové desce NEXYS3.

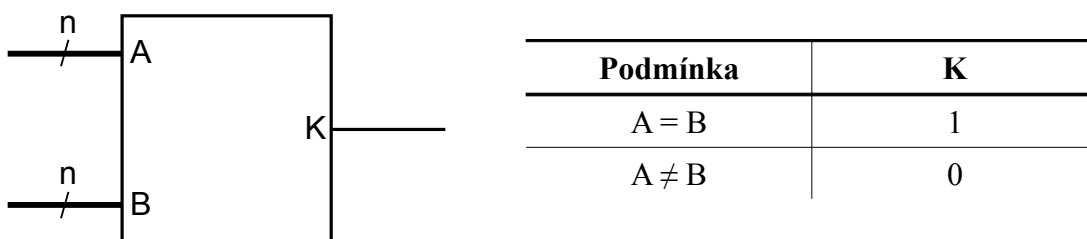
Teoretický úvod

Číslicový komparátor

Číslicový komparátor porovnává velikost dvou n-bitových čísel v binárním kódu. Nejčastěji je využívána informace o shodě dvou čísel. Výsledek získáme jednoduše, porovnájí se dvojice bitů na stejné pozici. Výsledný vztah je uveden v (1).

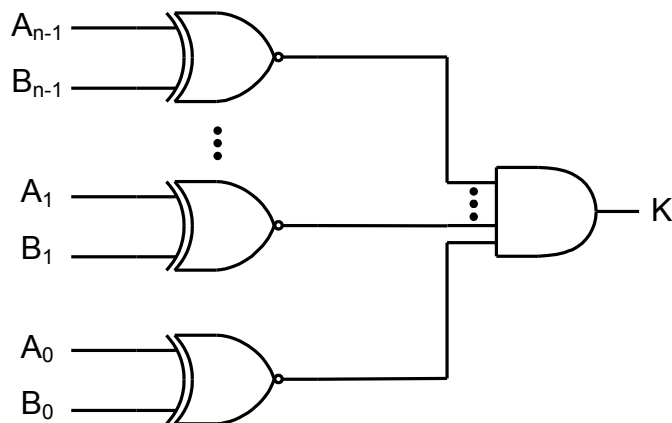
$$K = (A_{n-1} = B_{n-1})(A_{n-2} = B_{n-2}) \dots (A_0 = B_0) \quad (1)$$

Schematická značka n-bitového číslicového komparátoru může vypadat například jak na obrázku 1.



Obr. 1: Schematická značka a pravdivostní tabulka n-bitového číslicového komparátoru

Výsledné koncepční schéma n-bitového číslicového komparátoru na hradlové úrovni vycházející ze vztahu (1) je na obrázku 2.



Obr. 2: Koncepční schéma n-bitového číslicového komparátoru na hradlové úrovni

Schéma n-bitového číslicového komparátoru na hradlové úrovni bude vždy obsahovat n logických hradel XNOR a jedno n -vstupové hradlo AND. Toto je samozřejmě teoretická myšlenka a je potřeba si uvědomit, že výsledná struktura bude záviset na použité technologii a dostupné technologické knihovně. Například v případě 16-bitového číslicového komparátoru nebude součástí technologické knihovny 16-vstupové hradlo AND. Nicméně není vyloučeno, že se 16-vstupové hradlo AND nemůže objevit v knihovně použitelných symbolů. Fyzická realizace může být pak složena z několika logických hradel AND.

Popis 4-bitového číslicového komparátoru v jazyce VHDL:

```

entity comp is
  Port (A,B : in  STD_LOGIC_VECTOR (3 downto 0);
        K   : out STD_LOGIC);
end comp;

architecture Behavioral of comp is
begin
  K <= '1' when A=B else '0';
end Behavioral;

```

Aritmetické operace

Sčítačky mají mezi aritmetickými obvody výsadní postavení. Je to dáno jejich častým využitím jak při implementaci sčítání a odčítání, tak při realizaci složitějších obvodových struktur. Jako příklad poslouží násobičky nebo děličky, které jsou ve velké míře využívány pro zpracování digitálních signálů, např. v digitálních FIR(Finite Impulse Response) filtrech.

1-bitová úplná sčítačka (Full Adder)

Obvodová struktura je složitější než v případě neúplné sčítačky (half adder). Jedná se o kaskádní zapojení dvou neúplných jednobitových sčítaček doplněné o hradlo AND sloužící pro výpočet přenosu do vyššího řádu. Na rozdíl od neúplné sčítačky uvažuje tato struktura přenos z nižšího řádu, což je základní podmínka pro kaskádní realizaci vícebitové sčítačky. Pravdivostní tabulka 1-bitové úplné sčítačky je uvedena v tabulce 1.

Tab. 1: Pravdivostní tabulka 1-bitové úplné sčítačky

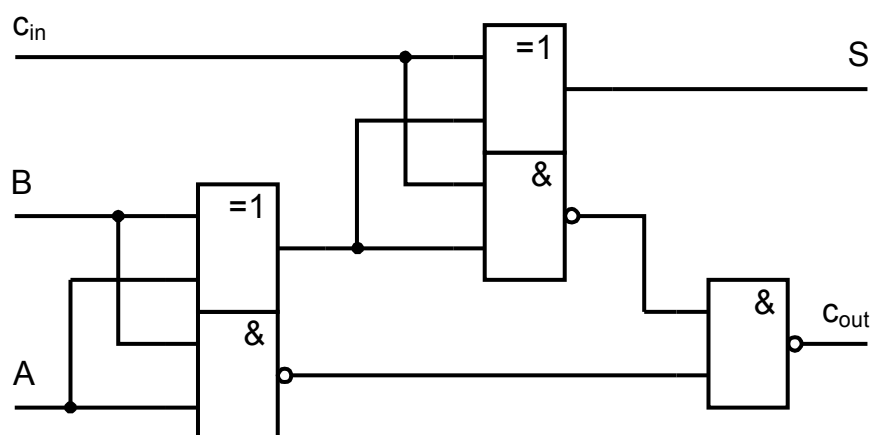
c_{in}	A	B	c_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Z pravdivostní tabulky lze vyjádřit funkce popisující výstupní signály S (2) a c_{out} (3).

$$S_n = A \oplus B \oplus c_{in} \quad (2)$$

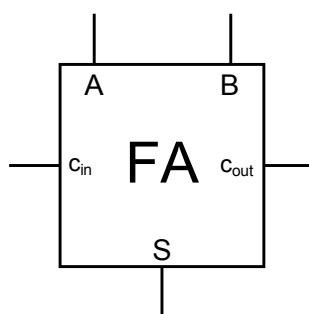
$$c_{out} = AB + c_{in}(A \oplus B) \quad (3)$$

Schéma 1-bitové úplné sčítačky na hradlové úrovni je na obrázku 3.



Obr. 3: 1-bitová úplná sčítačka na hradlové úrovni

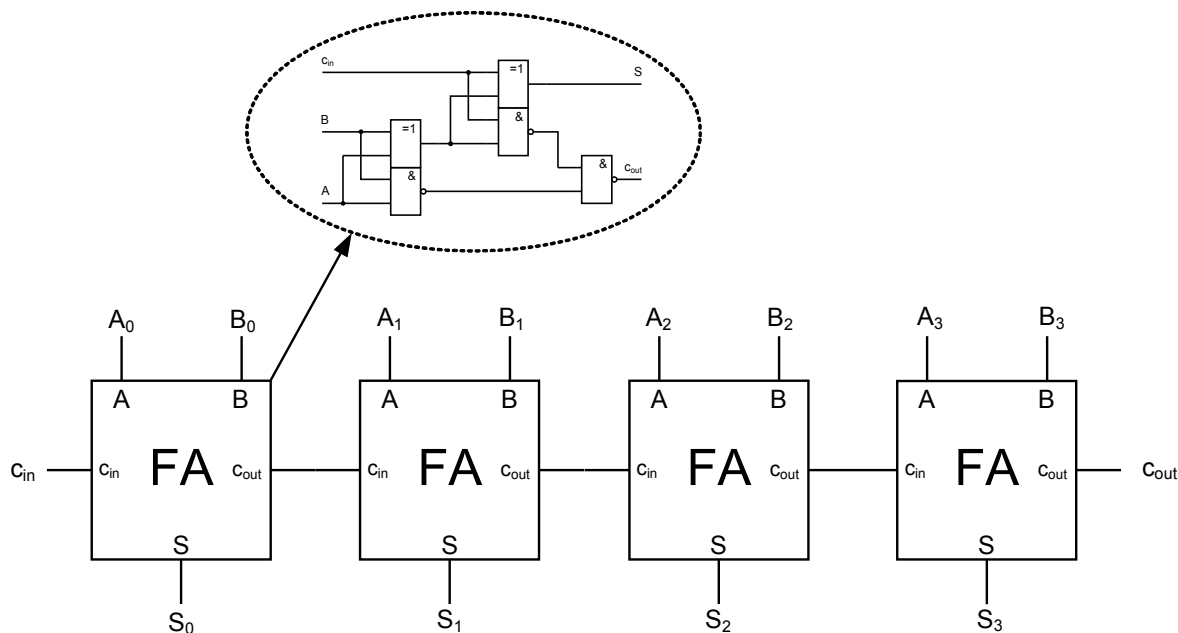
Jeden z možných symbolů 1-bitové úplné sčítačky je na obrázku 4.



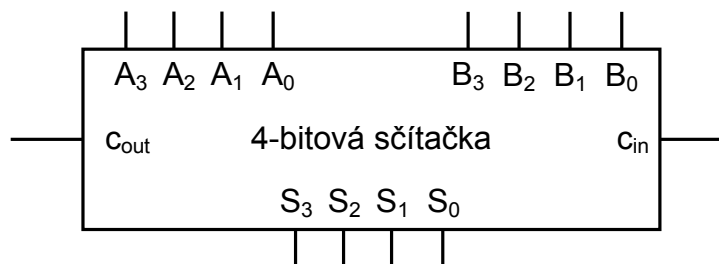
Obr. 4: Symbol 1-bitové úplné sčítačky

n-bitová úplná sčítačka s postupným přenosem (Ripple-Carry Adder)

V nejjednodušší možné realizaci se jedná o kaskádní zapojení n 1-bitových úplných sčítaček. Zapojení 4-bitové úplné sčítačky je na obrázku 5.



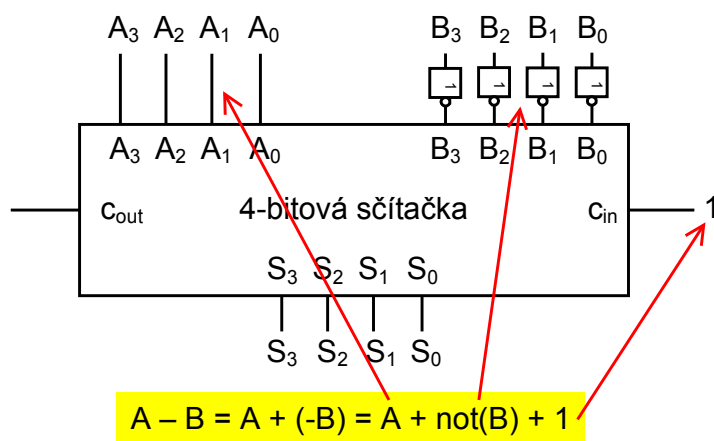
Obr. 5: 4-bitová úplná sčítačka s postupným přenosem



Obr. 6: Symbol 4-bitové úplné sčítačky s postupným přenosem

n-bitová úplná odčítačka s postupným přenosem

Operace odečítání se řeší jako přičítání čísla s opačným znaménkem ve dvojkovém doplňku. Pro vyjádření záporného čísla v dvojkovém doplňku je potřeba provést negaci všech bitů a přičíst jedničku. Obvodové řešení 4-bitové úplné odčítačky je zobrazeno na obrázku 7.



$$A - B = A + (-B) = A + \text{not}(B) + 1$$

Obr. 7: Obvodové řešení 4-bitové úplné odčítačky

Vypracování laboratorní úlohy

Úkol č. 1 (0,5 bodu)

Vypočítejte, jaké bude největší zpoždění u 4-bitové úplné sčítačky ze vstupu A_0 na výstup c_{out} .

Každé hradlo má konstantní zpoždění 1 ns!

Úkol č. 2 (0,5 bodu)

Doplňte následující tabulku

Dekadické číslo	Binární číslo v dvojkovém doplňku		
+3			
+2			
+1			
0			
-1			
-2			
-3			
-4			

Úkol č. 3 (1,0 bodu)

Proveďte následující operace odčítání (respektujte zadané bitové šířky), uveďte celý postup:

$$5(0101) - 2(0010) =$$

$$4(0100) - 5(0101) =$$

Úkol č. 4 (1,5 bodu)

V prostředí Xilinx ISE WebPack vytvořte nový projekt s názvem **comparator**. Navrhněte VHDL popis 4-bitového číslicového komparátoru podle tabulky. Výsledek komparace zobrazte na **pravém** 7-segmentovém displeji. Přepínače zapojte podle obrázku. Výsledný návrh implementujte a otestujte na vývojové desce.

Podmínka	7-segmentový displej
$A = B$	—
$A > B$	⌒
$A < B$	⌞



A(3) A(2) A(1) A(0) B(3) B(2) B(1) B(0)

Úkol č. 5 (1.5 bodu)

V prostředí Xilinx ISE WebPack vytvořte nový projekt s názvem **adder**. Navrhněte VHDL popis 2-bitové úplné sčítačky. Sčítačku popište pomocí **strukturálního popisu**. Základem návrhu bude komponenta 1-bitové úplné sčítačky. Výsledek sčítání zobrazte na pravém 7-segmentovém displeji. Přepínače zapojte podle obrázku. Výsledný návrh implementujte a otestujte na vývojové desce.



cin A(1) A(0) B(1) B(0)

Bonusový úkol č. 6 (1,0 bodu)

V prostředí Xilinx ISE WebPack vytvořte nový projekt s názvem **add_sub**. Navrhněte VHDL popis 2-bitové úplné sčítačky/odčítačky. Sčítačku/odčítačku popište pomocí strukturálního popisu, základem návrhu bude komponenta 1-bitové úplné sčítačky. Výsledek sčítání/odčítání zobrazte na pravém 7-segmentovém displeji. Přepínače zapojte podle obrázku. Výsledný návrh implementujte a otestujte na vývojové desce.



set A(1) A(0) B(1) B(0)