

Předmět	MLOS - LLOS - Logické systémy	
Ústav	ÚAMT	
Úloha č. 1	Základní logická hradla, Booleova algebra, De Morganovy zákony	
Student		

Cíle

- Porozumění základním logickým hradlům NAND, NOR a dalším, které jsou základními bloky všech digitálních systémů.
- Schematický návrh v návrhovém prostředí Xilinx ISE WebPack.
- Návrh s využitím jazyka VHDL v návrhovém prostředí Xilinx ISE WebPack.
- Implementace návrhu do cílového obvodu FGPA Spartan6 na vývojové desce NEXYS3.

Teoretický úvod

Digitální obvody pracují s diskrétní veličinou: logická 0 (log. 0) a logická 1 (log. 1). Tuto diskrétní veličinu můžeme také chápat jako přiřazení ANO a NE, případně TRUE a FALSE. V digitálních obvodech se vyskytuje pozitivní a negativní logika.

Pozitivní logika

- log. 1 je vyjádřena nejvyšším napětím
- log. 0 je vyjádřena nejnižším napětím

Negativní logika:

- log. 1 je vyjádřena nejnižším napětím
- log. 0 je vyjádřena nejvyšším napětím

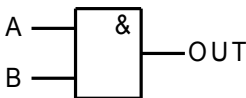
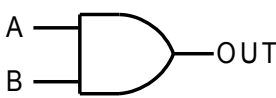
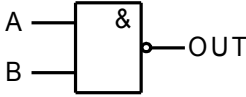
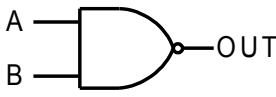
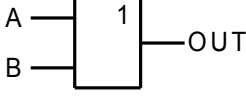
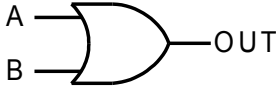
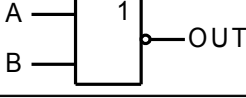
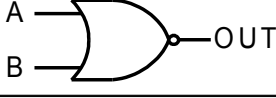
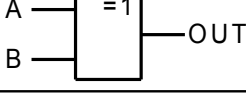
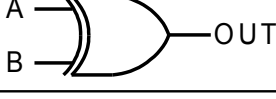
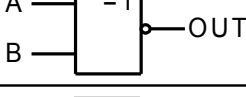
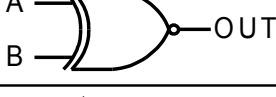
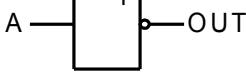
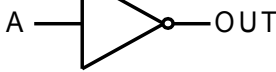
V praxi se častěji využívá pozitivní logika. Negativní logika se využívá v málo případech a může se zdát trochu nepřehledná. Ve cvičeních se budeme zabývat pouze pozitivní logikou.

Každou logickou úlohu lze popsat logickou funkcí, kterou lze vyjádřit pomocí základních logických hradel. K minimalizaci logické funkce a případné úpravě slouží Booleova algebra, De Morganovy zákony, Karnaughova mapa a pod.

Symbolika základních logických hradel

Existují dva způsoby značení logických členů (oba definované ANSI/IEEE Std 91-1984 a jeho dodatkem ANSI/IEEE Std 91a-1991). Prvním jsou obdélníkové (čtvercové) značky (IEC, DIN). Druhým způsobem jsou značky složené z křivek (ANSI), které jsou rozšířeny v profesionálních systémech pro návrh logických obvodů.

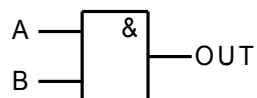
Tab. 1: Základní logická hradla

logické hradlo	označení (norma IEC, DIN)	označení (norma ANSI)
AND		
NAND		
OR		
NOR		
XOR		
XNOR		
INV		

Jednoduchý příklad

Mějme systém, který bude monitorovat dvě imaginární veličiny. Tyto dvě sledované veličiny označme písmeny A a B. Systém má fungovat tak, že na výstupu OUT se objeví log. 1 pouze v případě, že obě sledované veličiny A a B budou v log. 1. Výslednou logickou funkcí toho systému bude logické hradlo AND.

A	B	OUT
0	0	0
0	1	0
1	0	0
1	1	1



Vypracování laboratorní úlohy

Úkol č. 1 (1,0 bodu)

Do tabulky rozepište jednotlivé výrazy zákonů Booleovy algebry.

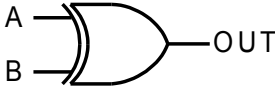
zákon	výraz
komutativnost	$A * B =$ $A + B =$
asociativnost	$A + (B + C) =$ $A (BC) =$
distributivnost	$(A + B) C =$ $AB + C =$
zákon o vyloučení třetího stavu	$A + \overline{A} =$ $A \overline{A} =$
zákon o neutrálnosti 0 a 1	$A + 0 =$ $A * 1 =$
zákon absorpce	$A + A =$ $AA =$
zákon agresivity	$A * 0 =$ $A + 1 =$
zákon absorpce pro složený výraz	$A + AB =$ $A (A + B) =$
zákon absorpce negace	$A + (\overline{A} B) =$ $A (\overline{A} + B) =$
zákon dvojité negace	$\overline{\overline{A}} =$
De Morganovy zákony	$\overline{A + B} =$ $\overline{A * B} =$

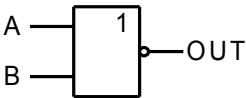
Upravte následující výraz

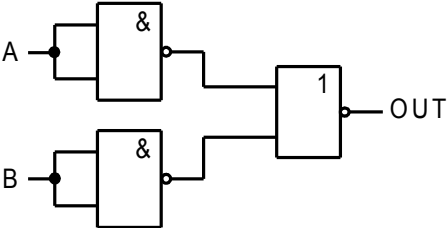
$$A + B + \overline{A} B + A \overline{B} =$$

Úkol č. 2 (1,0 bodu)

Doplňte jednotlivé pravdivostní tabulky vybraných logických hradel a kombinací zapojení logických hradel.

	A	B	OUT
	0	0	
	0	1	
	1	0	
	1	1	

	A	B	OUT
	0	0	
	0	1	
	1	0	
	1	1	

	A	B	OUT
	0	0	
	0	1	
	1	0	
	1	1	

Úkol č. 3 (1,0 bodu)

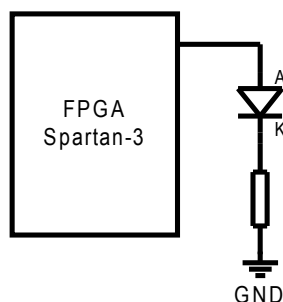
Dle uživatelské příručky k vývojové desce doplňte jednotlivé tabulky zapojení přepínačů a LED.

Přepínač	SW7	SW6	SW5	SW4	SW3	SW2	SW1	SW0
FPGA pin								

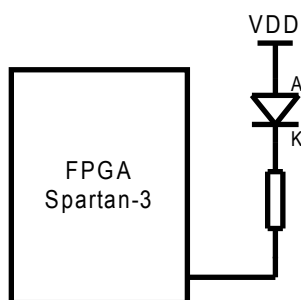
LED	LED7	LED6	LED5	LED4	LED3	LED2	LED1	LED0
FPGA pin								

Z uživatelské příručky zjistíte, jak jsou zapojeny LED na vývojové desce:

a) katoda LED je připojena přes odpor k zemi a anoda k pinu obvodu FPGA



b) anoda LED je připojena k napájení a katoda přes odpor k pinu obvodu FPGA



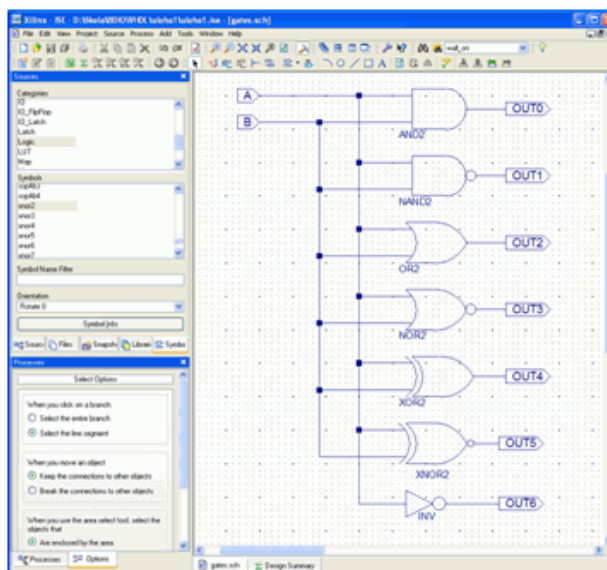
Jaká logická úroveň musí být na výstupním pinu obvodu FPGA, aby LED svítila:

a) log. 1

b) log. 0

Úkol č. 4 (1,0 bodu)

Vytvořte nový projekt s názvem **uloha1** a vytvořte schematický návrh (název **gates**), kde použijte všechny hradla z Tab.1, jak je vidět na následujícím obrázku. Použijte manuál pro práci v návrhovém prostředí Xilinx ISE WebPack. Vytvořte UCF (User Constraint File) soubor pro definici vstupů a výstupu. Následně vygenerujte programovací soubor a implementujte do paměti PROM.



Vstupy a výstupy v UCF souboru přiřaďte správným pinům obvodu FPGA podle následujících tabulek.

Vstupy	A	B
Přepínač	SW0	SW1

Výstupy	OUT6	OUT5	OUT4	OUT3	OUT2	OUT1	OUT0
LED	LED6	LED5	LED4	LED3	LED2	LED1	LED0

Úkol č. 5 (1,0 bodu)

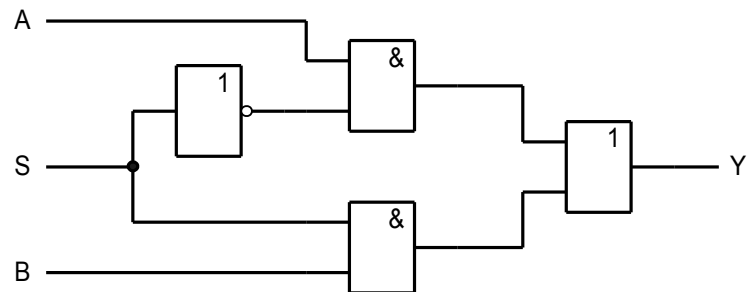
Doplňte následující VHDL popis, který bude reprezentovat schematické zapojení z úkolu č. 4. Místo schematického návrhu nyní vytvořte nový VHDL popis (Create New Source → VHDL Module). Tento VHDL popis následně zvolte jako vrcholovou jednotku (Top Module) místo schematického návrhu. Opět využijte manuál pro práci s návrhovým prostředím ISE WebPack.

```
-----
entity gates is                                -- nazev entity
Port ( A, B : in  STD_LOGIC;                  -- deklarace vstupu
      OUT0, OUT1, OUT2,
      OUT3, OUT4, OUT5,
      OUT6 : out STD_LOGIC);                  -- deklarace vystupu
end gates;

architecture Behavioral of gates is            -- nazev architektury
begin
    OUT0 <=                                     ; -- logicky soucin signalu A a B
    OUT1 <=                                     ; -- negace logickeho soucinu signalu A a B
    OUT2 <=                                     ; -- logicky soucet signalu A a B
    OUT3 <=                                     ; -- negace logickeho souctu signalu A a B
    OUT4 <=                                     ; -- exklusivni logicky soucet signalu A a B
    OUT5 <=                                     ; -- negace exklusivniho log. souctu signalu A a B
    OUT6 <=                                     ; -- negace signalu A
end Behavioral;
-----
```

Bonusový úkol č. 6 (1,0 bodu)

- 1) Vytvořte ve vašem projektu nový VHDL návrh, který by měl popisovat následující logické schéma. Implementujte tento návrh do FPGA na vývojové desce a ověřte funkci s využitím tří přepínačů a LED.



- 2) Doplňte pravdivostní tabulku.

S	A	B	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

- 3) Podle pravdivostní tabulky zjistěte, o jaký obvod se jedná.

Odpověď: