

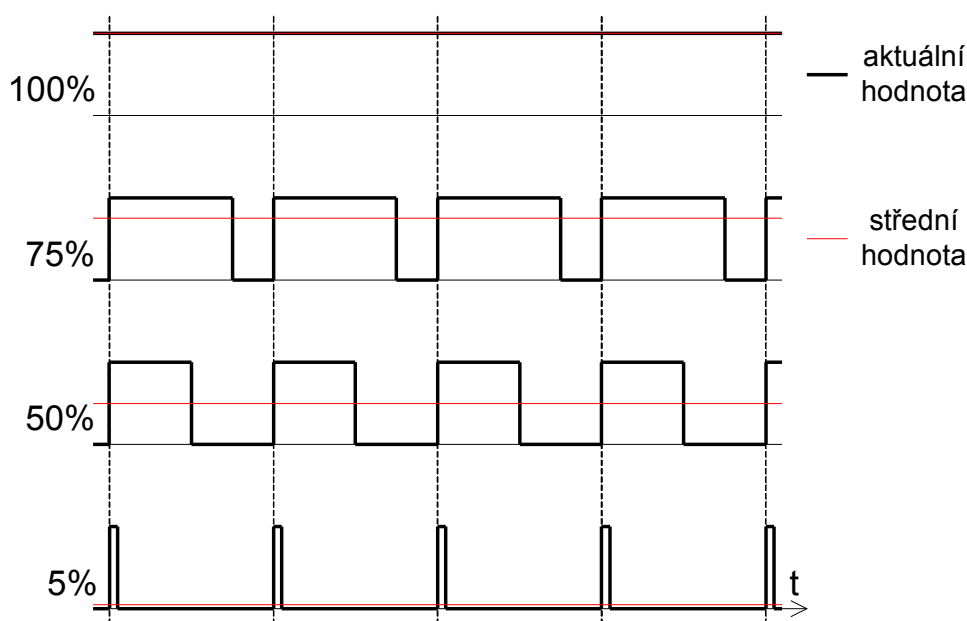
|                   |   |  |
|-------------------|---|--|
| <b>Předmět</b>    | MLOS - LLOS - Logické systémy   |  |
| <b>Ústav</b>      | ÚAMT  |  |
| <b>Úloha č. 7</b> | Návrh 4-bitového pulsně šířkového modulátoru, návrh sekvenčního obvodu, pulsně šířková modulace |  |
| <b>Student</b>    |   |  |

## Cíle

- Pochopení principu pulsně-šířkové modulace.
- Návrh kombinační a sekvenční logiky, popis obvodu v jazyce VHDL.
- Implementace návrhu do cílového obvodu FPGA Spartan6 na vývojové desce NEXYS

## Teoretický úvod

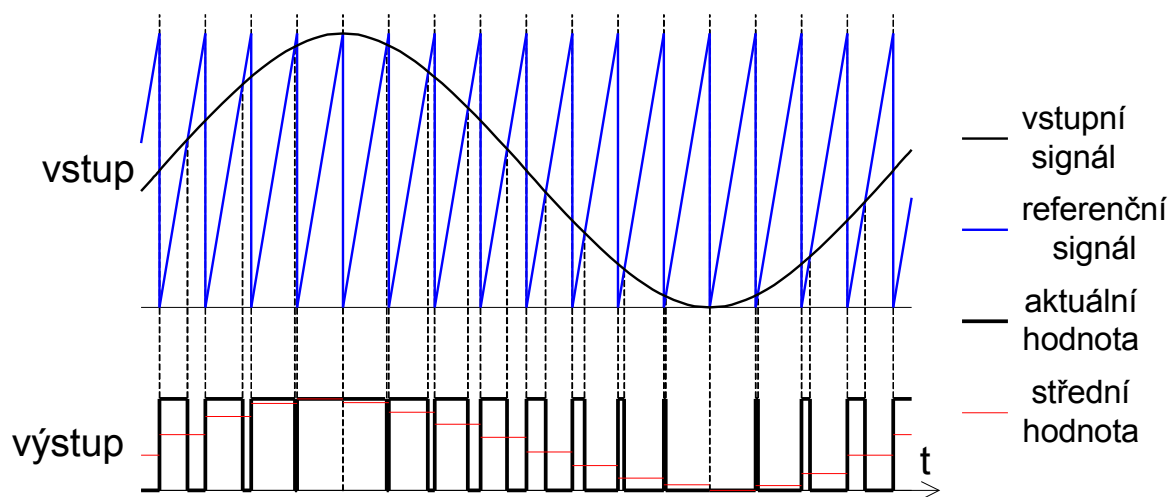
Pulsně šířková modulace (anglicky Pulse Width Modulation - PWM) je způsob kódování nebo modulování signálu kde šířka impulsu je funkcí amplitudy vstupního signálu. Střední hodnota výstupního modulovaného signálu představuje úroveň vstupního signálu.



Obr. 1: Průběh pulsně šířkově modulovaného signálu

Na obrázku 1 je ukázka pulsně šířkově modulovaného konstantního signálu s různou střední hodnotou. Střední hodnota je dána poměrem periody modulace a střídy (aktivní úroveň signálu, anglicky duty cycle) signálu. Modulovaný výstupní signál je obvykle dvouhodnotový a nabývá hodnot log. 0 a log. 1 respektive nabývá napěťové úrovně těmto hodnotám přiřazené. Pulsně šířková modulace může být realizována i bipolárně. V takovém případě je výstupní signál třístavový a třetímu stavu se obvykle přiřazuje záporná napěťová úroveň.

Na obrázku 2 je znázorněn způsob generování pulsně šířkově modulovaného signálu. Vstupní signál, který je modulován je porovnáván s referenčním pilovým signálem. Pokud je úroveň vstupního signálu vyšší, než úroveň referenčního signálu, výstup je v log. 1, jinak je výstup v log. 0. Frekvence výstupního signálu se rovná frekvenci referenčního pilového signálu.

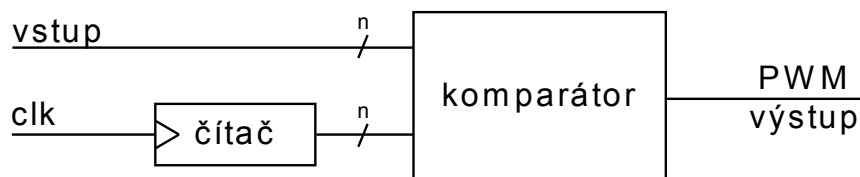


Obr. 2: Princip generování pulsně šířkově modulovaného signálu

Pulsně šířkový modulátor lze realizovat pomocí analogových obvodů, digitálních obvodů nebo jako softwarovou implementaci.

Analogový modulátor by obsahoval analogový vstup, generátor referenčního pilového signálu a komparátor.

Při digitální implementaci (obrázek 3) pulsně šířkového modulátoru se místo generátoru pilového signálu použije volně běžící binární čítač. Jeho výstup má pilový průběh. Počet bitů čítače se rovná šířce slova vstupního modulovaného signálu. Pulsně šířkový modulátor v obvodu FPGA dosahuje vysoké modulační rychlosti. Např. při hodinové frekvenci 120MHz a 5 bitovém referenčním signálu je výstupní frekvence 3,75 MHz.



Obr. 3: Blokové schéma digitálního pulsně šířkového modulátoru

Implementace pulsně šířkového modulátoru pomocí software se využívá v nenáročných aplikacích. Rychlost takového modulátoru je velmi nízká (desítky kHz) a implementace není efektivní. Obvykle se realizuje pomocí mikrokontroléru.

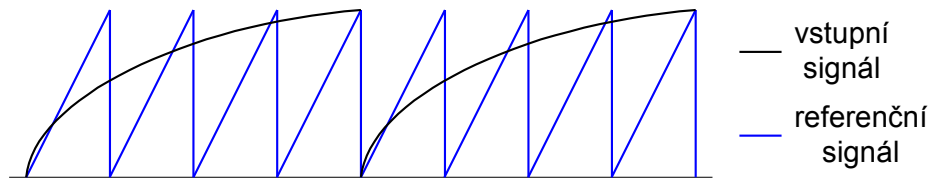
Existuje široké spektrum aplikací, kde lze využít pulsně šířkovou modulaci například:

- D/A převod
- měření pomalu se měnících veličin
- výkonové audio zesilovače
- řízení topných těles
- stmívače
- řízení motorů
- spínané zdroje a měniče
- přenos dat

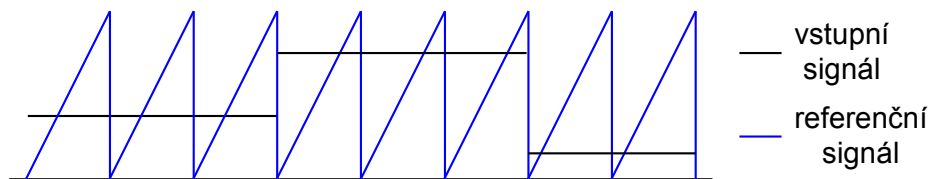
# Vypracování laboratorní úlohy

## Úkol č. 1 (1 bod)

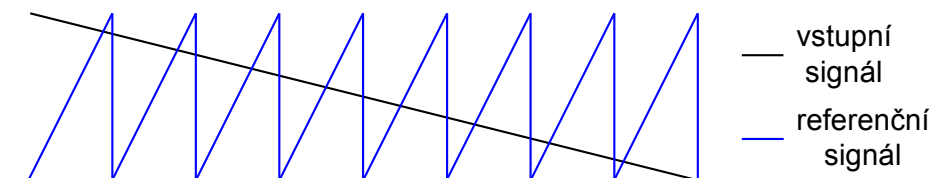
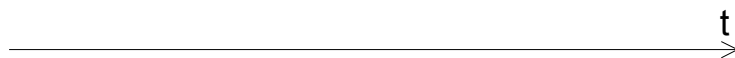
Na obrázku jsou průběhy vstupního a referenčního signálu PWM modulátoru. Namalujte průběh výstupního signálu, vyznačte periodu a aktivní úroveň signálu, alespoň ve dvou periodách každého průběhu naznačte také střední hodnotu výstupního signálu.



výstup



výstup

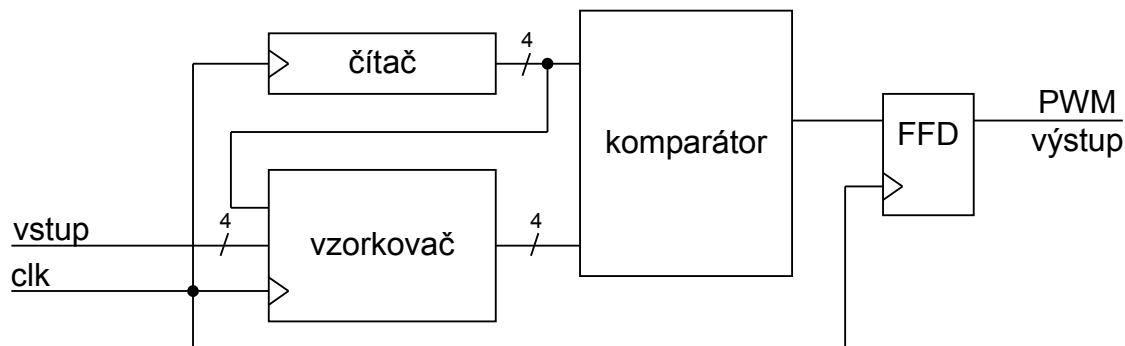


výstup



## Úkol č. 2 (2 body)

Ve vývojovém prostředí Xilinx ISE WebPack s použitím jazyka VHDL navrhnete pulsně šířkový modulátor dle následujícího blokového schématu. Použijte strukturální styl zápisu. Výsledný návrh implementujte a otestujte na vývojové desce NEXYS3.



Modulátor bude pracovat se šířkou slova 4 bity.

Vstupní 4-bitový signál bude připojen k přepínačům SW3 .. SW0. Výstup bude připojen k LED LD0. Při vstupní kombinaci 0000 bude na výstupu modulátoru konstantní log. 0.

Vstupní signál bude vzorkován vzorkovačem, tak bude zabezpečeno, že bude konstantní po dobu celé periody referenčního signálu. Vzorkovač je nutné navrhnut tak, aby bylo zabezpečeno, že vstupní signál bude navzorkován a vystaven na začátku periody referenčního signálu.

Výstup modulátoru je vzorkován klopným obvodem D.

Namalujte blokové schéma vzorkovače:

## Bonusový úkol č. 3 (0,5 bodu)

Navrhnete obvod s pulsně šířkovým modulátorem, který bude plynule rozsvěcovat a zhasínat LED s periodou přibližně 1 s. Namalujte blokové schéma obvodu. Obvod popište v jazyce VHDL, výsledný návrh otestujte na vývojové desce.