Předmět	MLOS – Logické systémy	
Ústav	ÚAMT	
Úloha č. 5	Stavový automat, použití komponent, použití funkcí realizace hry elektronická kostka	
Student		

Cíle

- Vyřešení slovně zadaného úkolu.
- Návrh stavového automatu.
- Implementace návrhu do cílového obvodu FGPA Spartan6 na vývojové desce NEXYS3

Teoretický úvod

V technické praxi je často zadání úkolů slovní. V tomto cvičení budete řešit právě takový úkol.

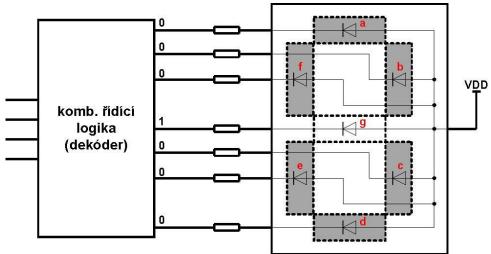
Slovní popis systému:

Navrhněte logiku pro realizaci elektronické hrací kostky. Úkolem logiky je realizovat elektronickou hrací kostku, kterou je možné náhodně házet. Výsledkem hodu je zobrazení hodnoty hozené kostky ve formě číslice v rozsahu 1 až 6 na 7 segmentovém displeji . Elektronická kostka bude realizovaná pomocí Johnsonova čítače a dekodéru **DISP** pro zobrazení

stavů Johnsonova čítače na 7segmentové zobrazovací jednotce. Funkce hození kostkou bude realizované tak, že bude povoleno rychlé čítání čítače .

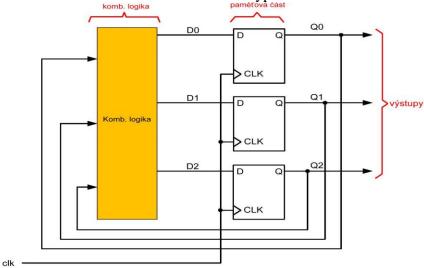
Zastavení kostky bude realizované zakázáním čítání čítače.

Pro povolení a zakázání čítání čítače je určen signál **CE** – Clock Enable Čítač bude taktován hodinovým signálem **HOD**, který získáte podělením základního hodinového signálu děličkou kmitočtu s dělícím poměrem nastaveným tak, aby taktovací hodinový signál měl kmitočet cca 100 Hz.



Obr. 1: Zobrazení číslic na 7-segmentovém displeji se společnou anodou.

Příklad realizace 3-bitového binárního čítače s KO typu D ve VHDL



```
D(1) \le (\text{not } Q(2) \text{ and not } Q(1) \text{ and } Q(0)) \text{ or }
                   (not Q(2) and Q(1) and not Q(0)) or
                   (Q(2)) and not Q(1) and Q(0)) or
                  (Q(2) \text{ and } Q(1) \text{ and not } Q(0));
         D(0) \le (\text{not } Q(2) \text{ and not } Q(1) \text{ and not } Q(0)) \text{ or }
                   (not Q(2) and Q(1) and not Q(0)) or
                   (Q(2) and not Q(1) and not Q(0)) or
                   (Q(2)) and Q(1) and not Q(0);
         -- sekvencni cast
         process (clk)
         begin
                  if (clk'event and clk='1') then
                           Q <= D;
                  end if;
         end process;
end Behavioral;
```

Vypracování laboratorní úlohy

Úkol č. 1 (0,5 bodu)

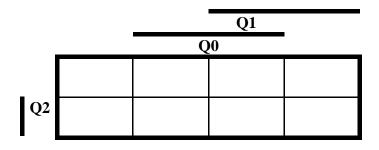
Doplňte nepracovní stavy do pravdivostní tabulky 3-bitového Johnsonova čítače:

a4a	sou	časný sta	av Q	následující stav D			
stav	\mathbf{Q}_2	\mathbf{Q}_1	\mathbf{Q}_0	\mathbf{D}_2	\mathbf{D}_1	\mathbf{D}_0	
S0	0	0	0	0	0	1	
S 1	0	0	1	0	1	1	
S3	0	1	1	1	1	1	
S 7	1	1	1	1	1	0	
S6	1	1	0	1	0	0	
S4	1	0	0	0	0	0	

Tab. 1: Pravdivostní tabulka 3-bitového Johnsonova čítače

Odvoď te minimalizované funkce pro budicí signály D0, D1 a D2 pro realizaci Johnsonova čítače. Při minimalizaci vhodně využijte nepracovní stavy čítače.

Minimalizovaná funkce pro D0:



Minimalizovaná funkce pro D1:

		Q1	
-	Q	0	
Q2			

Minimalizovaná funkce pro D2:

	Q1								
	Q0								
Q2									

Nakreslete schéma zapojení Johnsonova 3-bitového čítače. Pro realizaci použijte klopné obvody typu D s asynchronním nulováním a CE (clock enable) FDCE

Úkol č. 2 (1 bod)

Vytvořte nový projekt s názvem **KOSTKA1**. Johnsonův čítač realizujte ve schématickém prostředí v návrhovém prostředí **Xilinx ISE WebPack**. Pro realizaci Johnsonova čítače použijte klopné obvody **FDCE**, které mají povolovací vstup **CE**.

Dekodér pro převod výstupu z Johnsonova čítače realizujte jako vloženou komponentu pomocí symbolu pro **DISP**.

Čítač bude taktován hodinovým signálem **HOD**, který získáte podělením základního hodinového signálu děličkou kmitočtu s dělícím poměrem nastaveným tak, aby taktovací hodinový signál měl kmitočet cca **100 Hz**.

Děličku kmitočtu realizujte pomocí vhodného binárního čítače z knihovny.

Umístění řídicích signálů:

Doplňte umístění pinů k řídicím signálům do spodního řádku tabulky

			CE	Název signálu
				Pin na FPGA

Úkol č. 3 (1bod)

Vytvořte nový projekt s názvem **KOSTKA2**. Johnsonův čítač realizujte ve pomocí strukturálního popisu ve VHDL prostředí v návrhovém prostředí **Xilinx ISE WebPack**.

Děličku kmitočtu, Johnsonův čítač i dekodér realizujte jako samostatné komponenty. Johnsonův čítač realizujte s řídicím vstupem CE, pro zastavení chodu čítače

Čítač bude taktován hodinovým signálem **HOD**, který získáte podělením základního hodinového signálu děličkou kmitočtu s dělícím poměrem nastaveným tak, aby taktovací hodinový signál měl kmitočet cca 100 Hz.

Umístění řídicích signálů:

Doplňte umístění pinů k řídicím signálům do spodního řádku tabulky

			CE	Název signálu
				Pin na FPGA

Bonusový úkol (1 bod)

Založte nový projekt **KOSTKA3**. V projektu použijte komponenty z projektu **KOSTKA2**. Komponenty si překopírujte pro možnost jejich modifikace.

Projekt doplňte o další tři děličky kmitočtu a čtyř-vstupový multiplexer ovládaný řídicími signály **S1** a **S0**. Dělící poměr na děličkách nastavte tak, aby bylo možné kostkou házet rychlostí, odpovídající přibližně kmitočtům **100 Hz, 5 Hz, 2 Hz a 1 Hz.**

Úkol vypracujte tak, aby byl celý návrh plně synchronní a pracoval pouze se základní frekvencí 100 MHz.

Umístění řídicích signálů:

Doplňte umístění pinů k řídicím signálům do spodního řádku tabulky

S1	S0			CE	Název signálu
					Pin na FPGA