

Předmět	MLOS – Logické systémy	
Ústav	ÚAMT	
Úloha č. 5	Stavový automat, použití komponent, použití funkcí realizace hry elektronická kostka	
Student		

Cíle

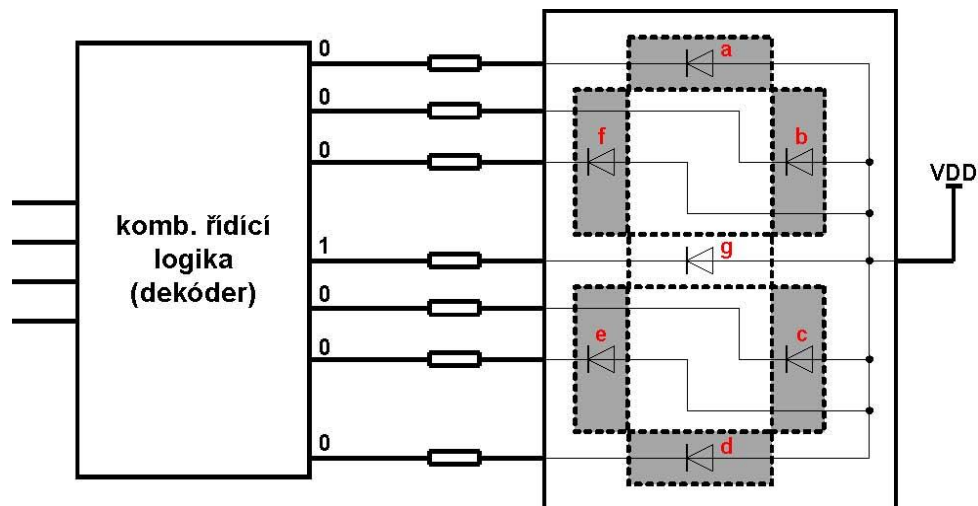
- Vyřešení slovně zadaného úkolu.
- Návrh stavového automatu.
- Implementace návrhu do cílového obvodu FGPA Spartan6 na vývojové desce NEXYS3

Teoretický úvod

V technické praxi je často zadání úkolů slovní. V tomto cvičení budete řešit právě takový úkol.

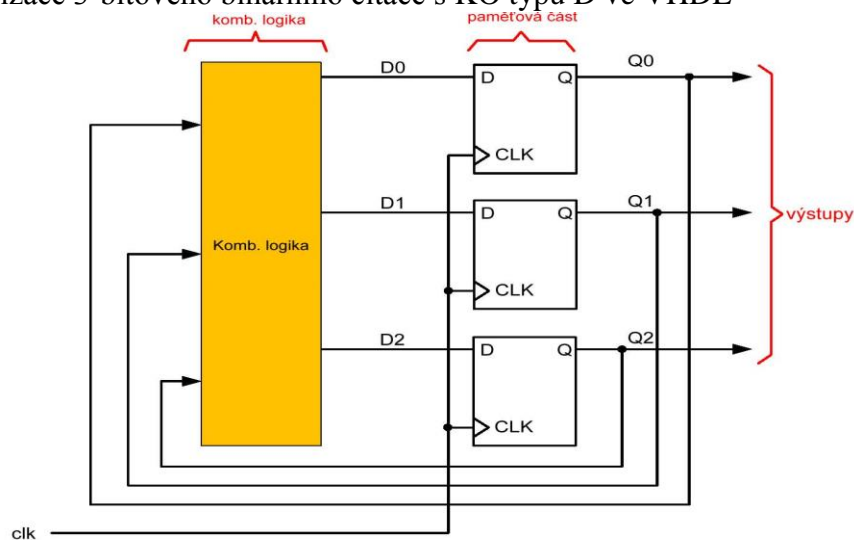
Slovní popis systému:

Navrhněte logiku pro realizaci elektronické hrací kostky. Úkolem logiky je realizovat elektronickou hrací kostku, kterou je možné náhodně házet. Výsledkem hodu je zobrazení hodnoty hozené kostky ve formě číslice v rozsahu 1 až 6 na 7 segmentovém displeji . Elektronická kostka bude realizovaná pomocí Johnsonova čítače a dekodéru **DISP** pro zobrazení stavů Johnsonova čítače na 7segmentové zobrazovací jednotce. Funkce hození kostkou bude realizované tak, že bude povoleno rychlé čítání čítače . Zastavení kostky bude realizované zakázáním čítání čítače. Pro povolení a zakázání čítání čítače je určen signál **CE** – Clock Enable Čítač bude taktován hodinovým signálem **HOD**, který získáte podělením základního hodinového signálu děličkou kmitočtu s dělicím poměrem nastaveným tak, aby taktovací hodinový signál měl kmitočet cca 100 Hz.



Obr. 1: Zobrazení číslic na 7-segmentovém displeji se společnou anodou.

Příklad realizace 3-bitového binárního čítače s KO typu D ve VHDL



```
entity counter is
    Port ( clk : in  STD_LOGIC;
          Q : inout STD_LOGIC_VECTOR (2 downto 0));
end counter;

architecture Behavioral of counter is
    signal D : STD_LOGIC_VECTOR (2 downto 0); -- vnitřní
                                              -- signal pro buzení sekvencní části
begin
    -- kombinacní část
    D(2) <= (not Q(2) and Q(1) and Q(0)) or
            (Q(2) and not Q(1) and not Q(0)) or
            (Q(2) and not Q(1) and Q(0)) or
            (Q(2) and Q(1) and not Q(0));
```

```

D(1) <= (not Q(2) and not Q(1) and Q(0)) or
        (not Q(2) and Q(1) and not Q(0)) or
        (Q(2) and not Q(1) and Q(0)) or
        (Q(2) and Q(1) and not Q(0));

D(0) <= (not Q(2) and not Q(1) and not Q(0)) or
        (not Q(2) and Q(1) and not Q(0)) or
        (Q(2) and not Q(1) and not Q(0)) or
        (Q(2) and Q(1) and not Q(0));

-- sekvenční cast
process (clk)
begin
    if (clk'event and clk='1') then
        Q <= D;
    end if;
end process;
end Behavioral;

```

Vypracování laboratorní úlohy

Úkol č. 1 (0,5 bodu)

Doplňte nepracovní stavy do pravdivostní tabulky 3-bitového Johnsonova čítače:

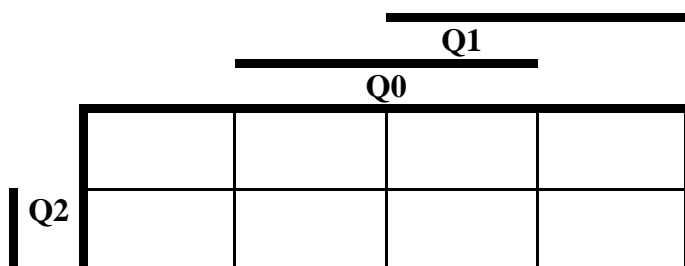
Tab. 1: Pravdivostní tabulka 3-bitového Johnsonova čítače

stav	současný stav Q			následující stav D		
	Q ₂	Q ₁	Q ₀	D ₂	D ₁	D ₀
S0	0	0	0	0	0	1
S1	0	0	1	0	1	1
S3	0	1	1	1	1	1
S7	1	1	1	1	1	0
S6	1	1	0	1	0	0
S4	1	0	0	0	0	0
...						
...						

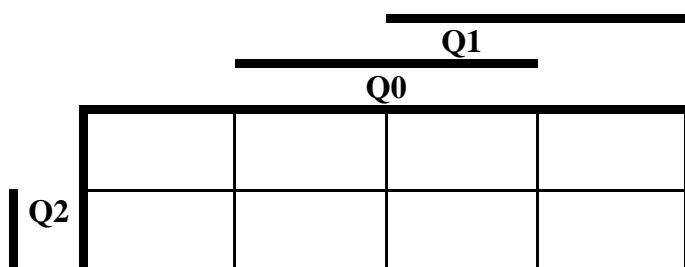
Odvoďte minimalizované funkce pro budicí signály D0, D1 a D2 pro realizaci Johnsonova čítače. Při minimalizaci vhodně využijte nepracovní stavy čítače.

Minimalizovaná funkce pro D0:

Minimalizovaná funkce pro D1:



Minimalizovaná funkce pro D2:



Nakreslete schéma zapojení Johnsonova 3-bitového čítače. Pro realizaci použijte klopné obvody typu D s asynchronním nulováním a CE (clock enable) FDCE

