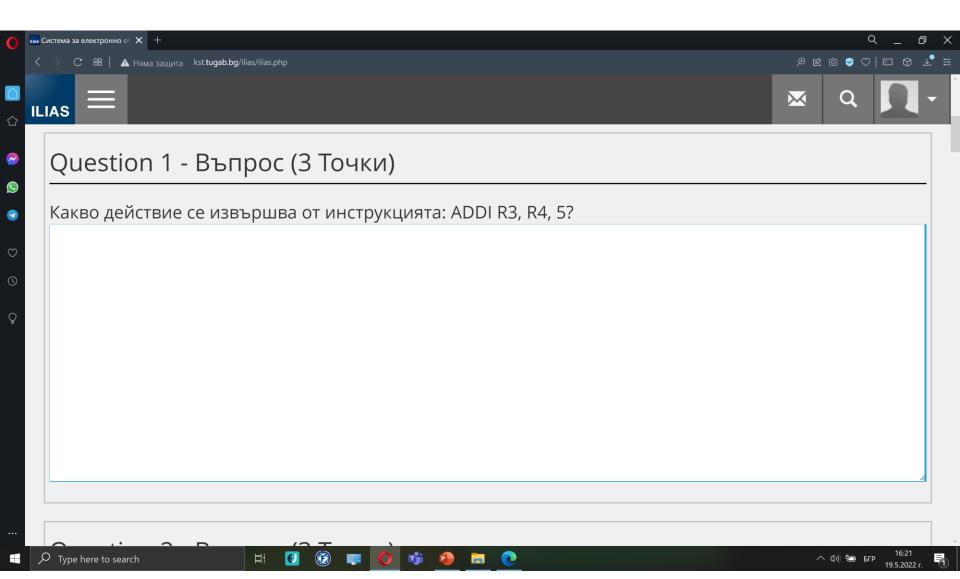
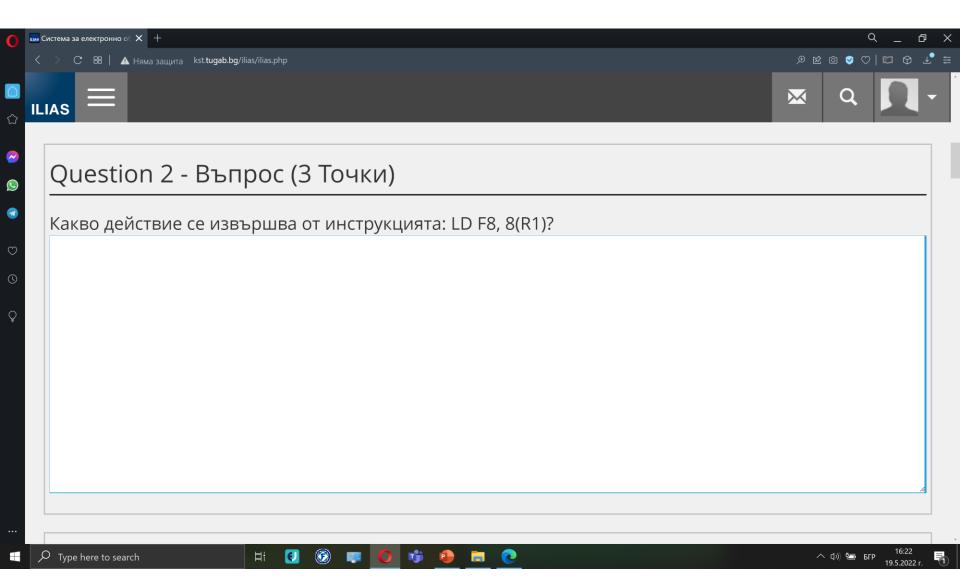
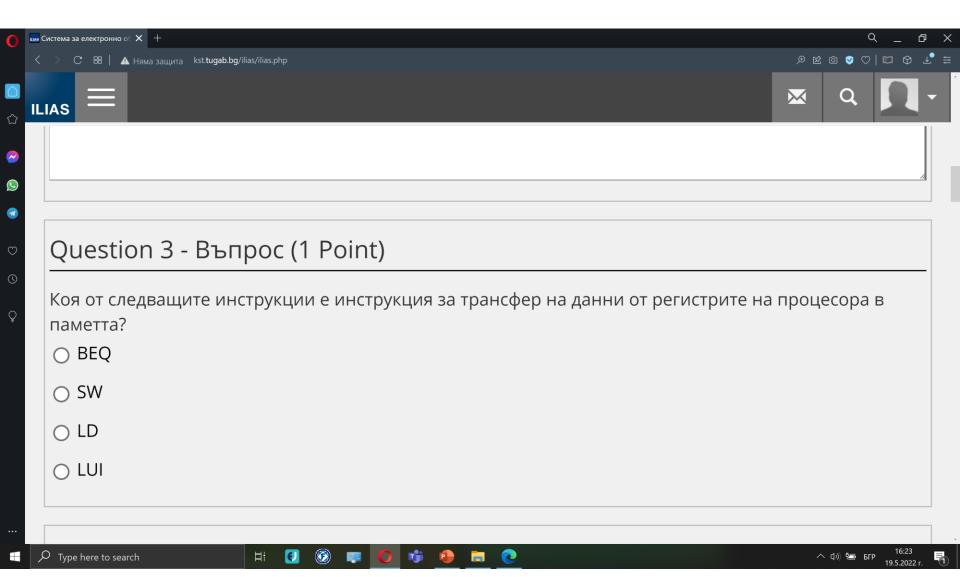
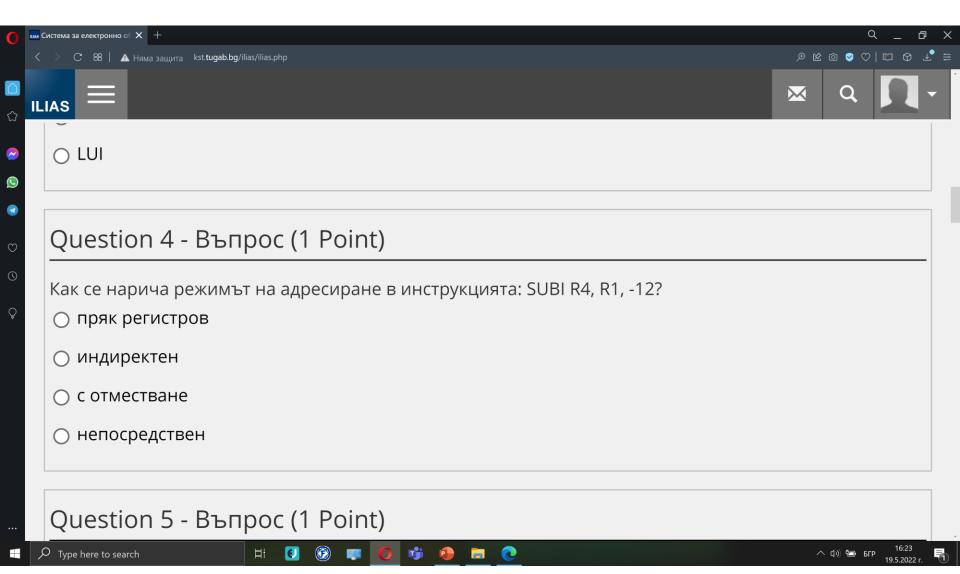
# Изпит по Компютърни архитектури

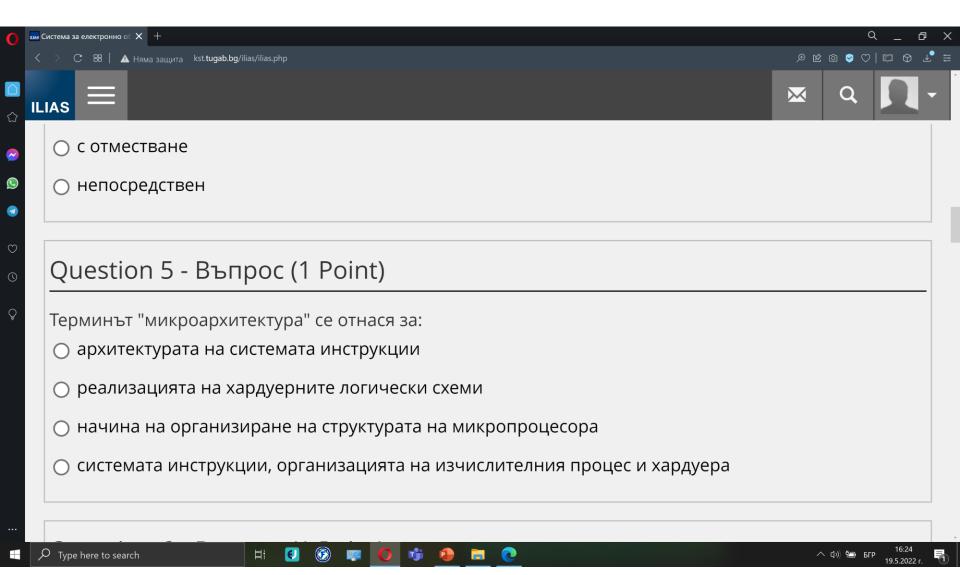
Примери за въпроси и задачи

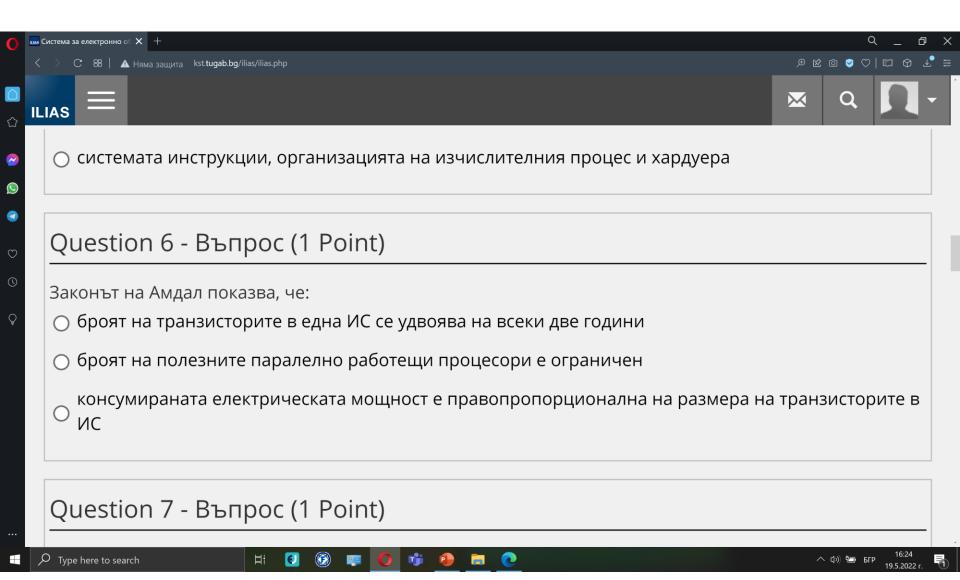


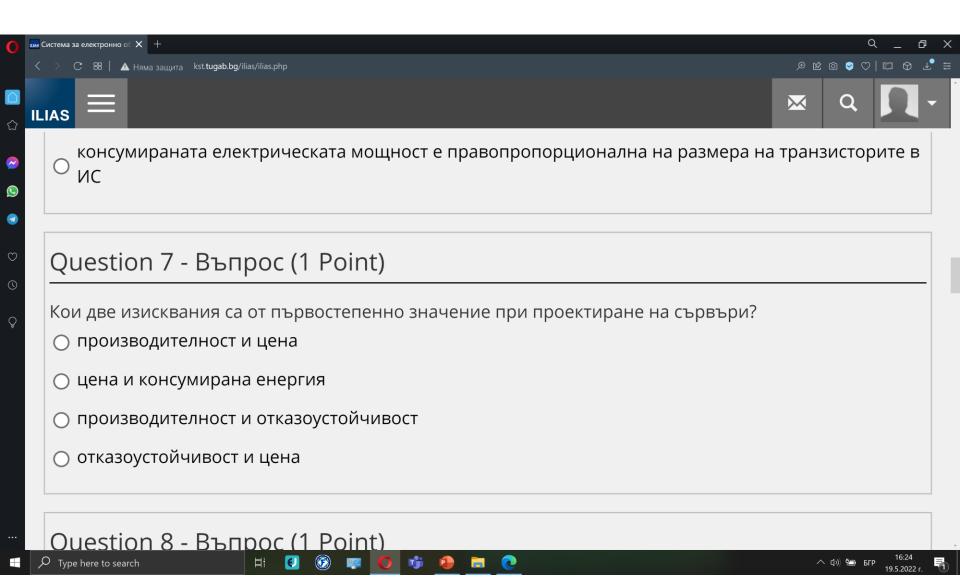


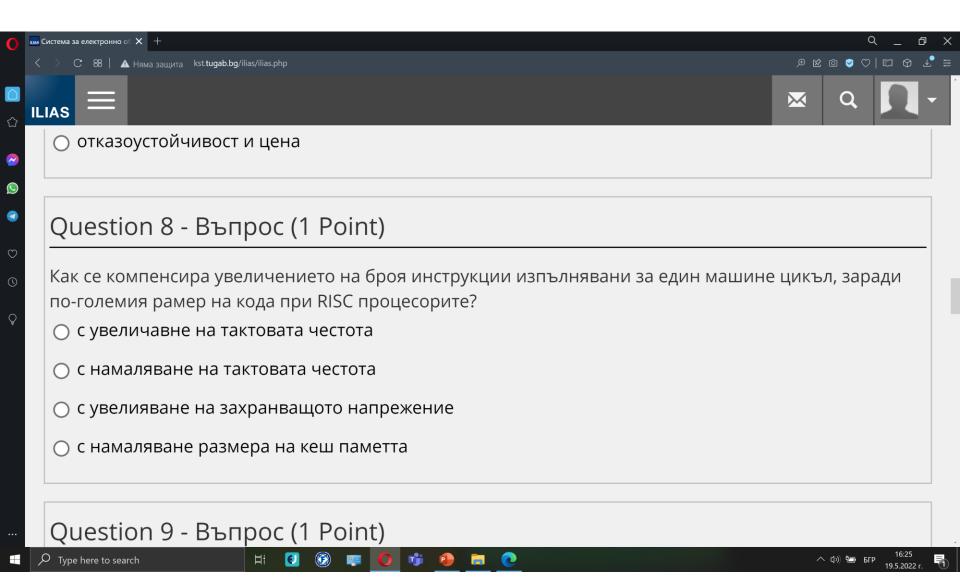


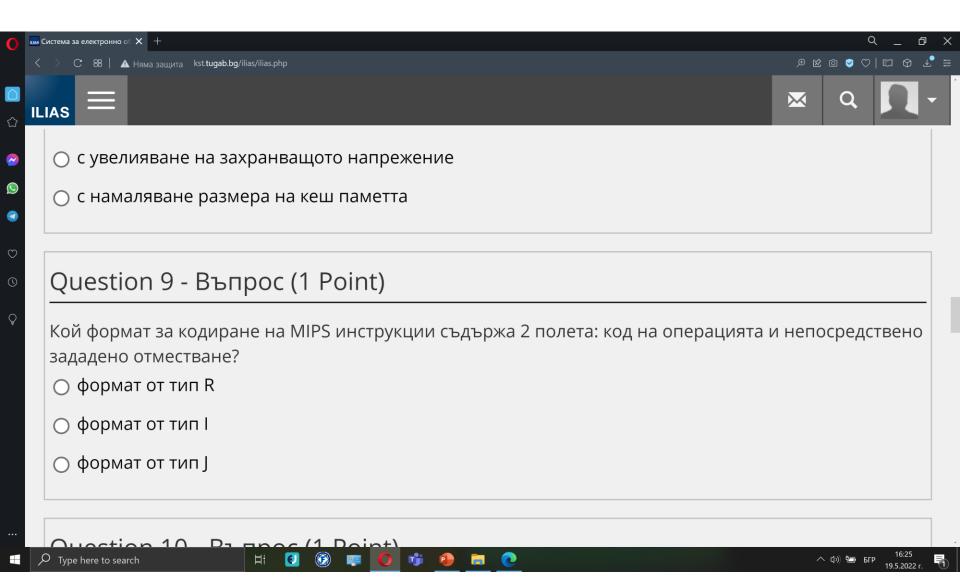


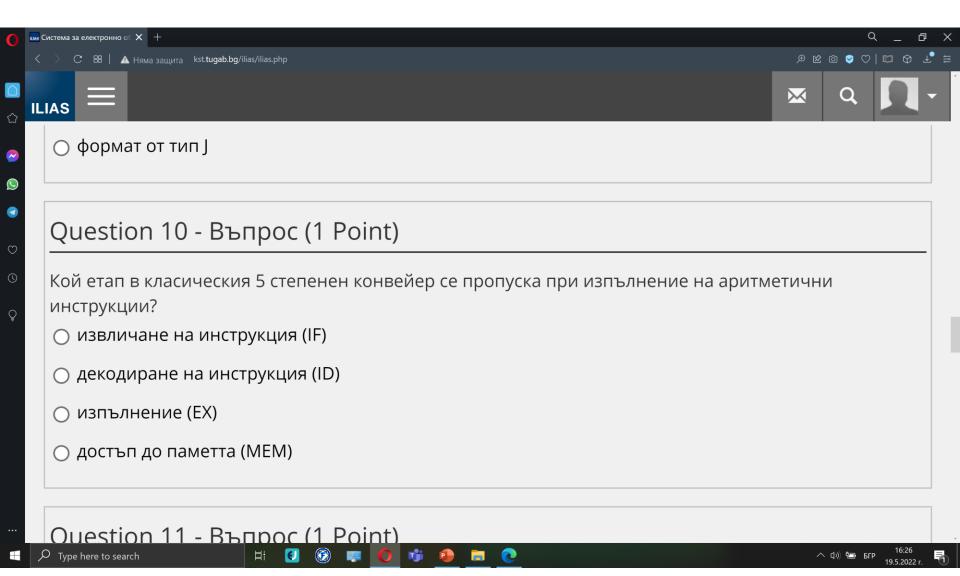


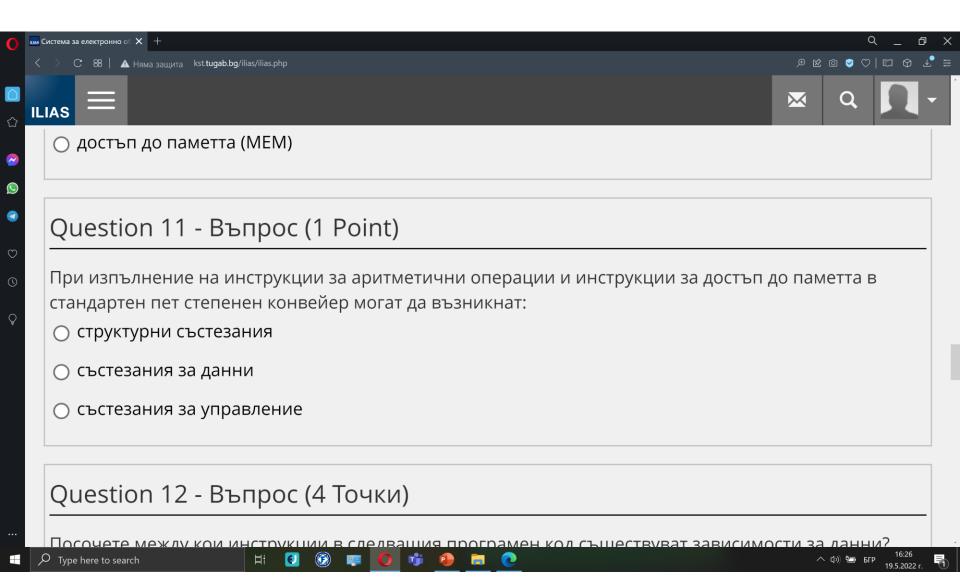


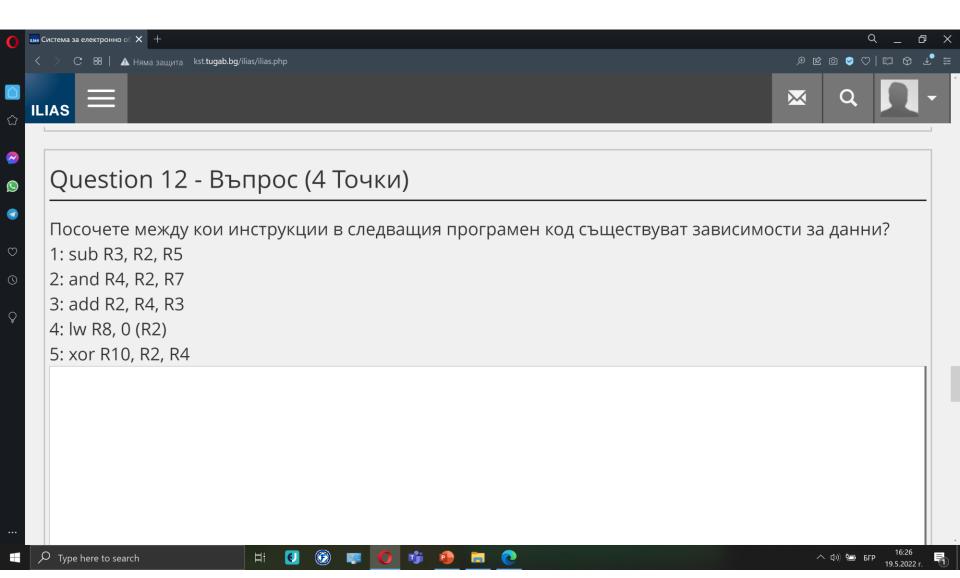


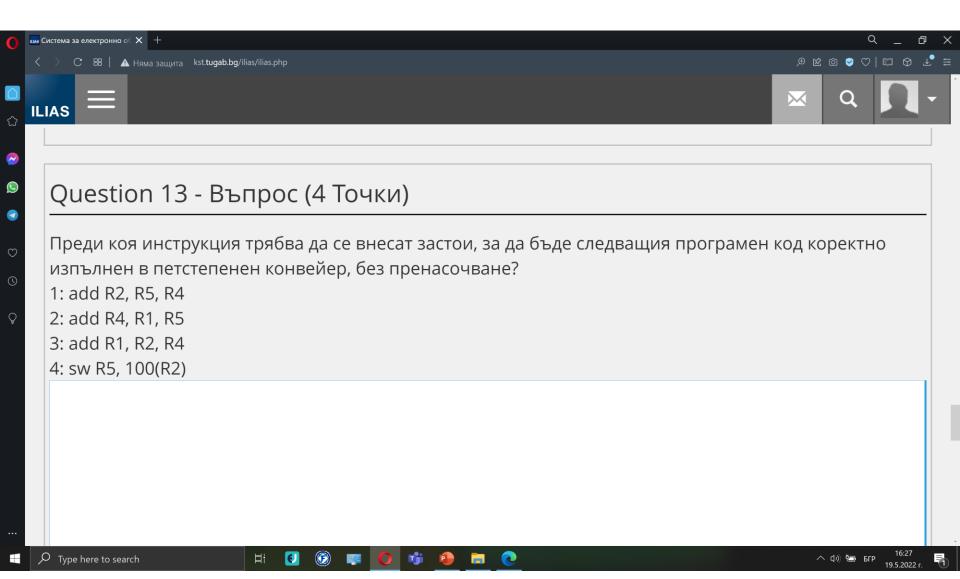


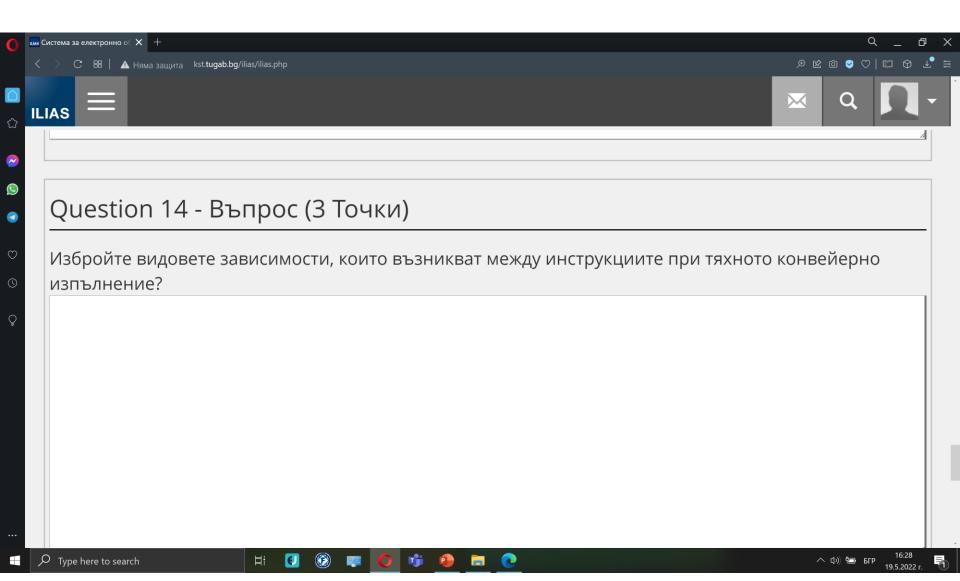


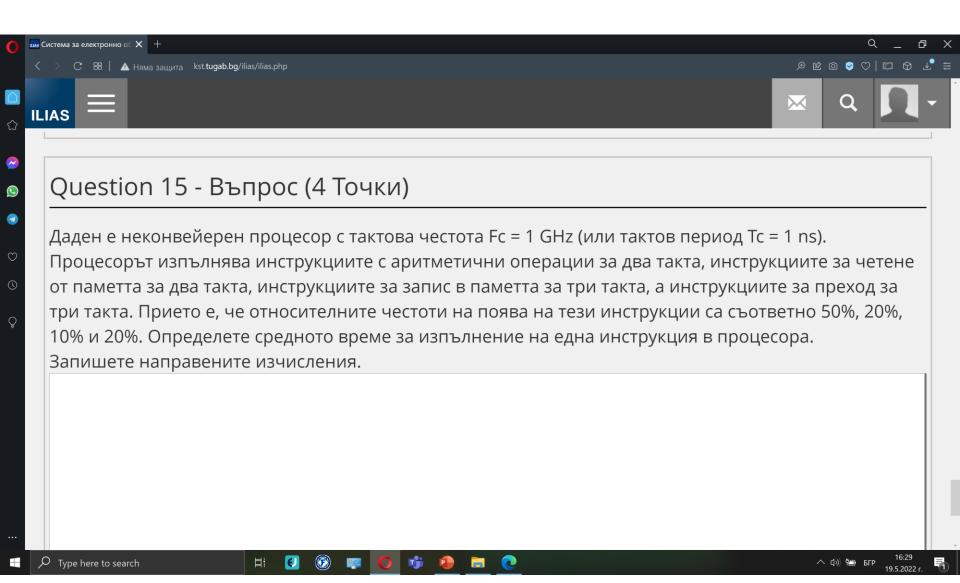












#### Други примерни въпроси

• Запишете значението на всеки термин, като на всяка цифра от колона I съпоставите по една буква от колона II

- 1. WAR
- 2. Little-endian
- 3. ROB
- 4. WAW
- 5. Изключение

- А) Зависимост по изход
- Б) Анти-зависимост
- В) Най-младшият байт на най-малкия адрес в паметта
- Г) Шина за извеждане и предаване на резултата към очакващите го устройства
- Д) Непланирано събитие
- Е) Разпределяне/диспечиране на повече от една инструкция за едновременното им изпълнение
- Ж) Буфер за окончателно "in-order" завършване на инструкциите
- 3) Оптимизиране на системата на паметта
- И) Подобряване на производителността при изпълнение на инструкции за преход
- Й) Преименуване на регистри

# Други примерни въпроси

- Опишете с до три изречения всяка от изброените концепции от гледна точка на компютърните архитектури (където е подходящо дайте пример).
  - а) Алгоритъм на Томасуло
  - б) Прецизна обработка на изключения
  - в) Спекулативно изпълнение

# Други примерни въпроси

- а) Защо обработката на изключение при изпълнение на инструкции в конвейер с Томасуло алгоритъм е непрецизна? Важи ли същото при спекулативно изпълнение на инструкции, които завършват окончателно в "in-order" ред?
- б) Каква е основната разлика между Scoreboarding и Tomasulo при преодоляването на състезанията за данни? Аргументирайте се.
- в) Има ли други събития, освен инструкциите за преход, които могат да променят нормалното последователно изпълнение на инструкциите? Аргументирайте се.

Предложени са три подобрения, които ускоряват една компютърна архитектура както следва:

Подобрение А: Ускорение = 30;

Подобрение В: Ускорение = 20;

Подобрение С: Ускорение = 15.

В даден момент може да се използва само едно от подобренията.

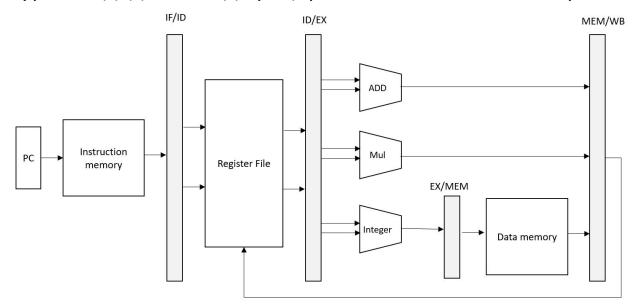
Как може да се приложи законът на Амдал за да се оцени ефекта от няколко подобрения?

1. Ако всяко от подобренията A и B се използва в 25% от времето за изпълнение, което може да се намали, то какъв трябва да бъде процентът от време в което да се използва подобрение C, за да се постигне 10 кратно ускорение на архитектурата?

Приема се, че подобренията А, В и С могат да се използват съответно в 25%, 35% и 10% от времето за изпълнение, което може да се намали.

2. В каква част от намаленото време за изпълнение на програмата не се използват подобрения?

• На фигурата е даден е модифициран 5-степенен конвейер.



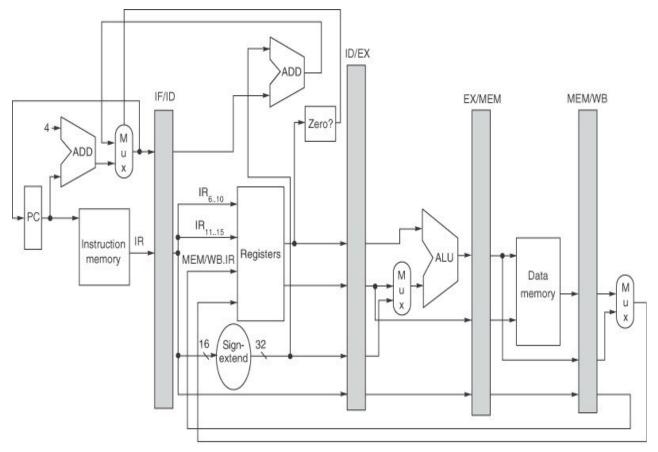
- Разликата се състои в това, че има 3 функционални устройства: ADD (извършва операциите за 2 процесорни цикъла); устройство за умножение Mul (4 цикъла) и устройство Integer (1 цикъл) за изчисляване на адреса за достъп до паметта. Устройствата Add и Mul са конвейеризирани, така че позволяват застъпено изпълнение на инструкции от един и същи тип.
- Освен това, аритметичните инструкции пропускат етапа MEM и се предават направо в етапа WB.
- Липсва хардуер за препредаване (forwarding) и осигуряване на застои.

• Като имате предвид представения конвейер попълнете следващата таблица. Какви проблеми възникват при изпълнение на програмата в така описания конвейер? Защо?

		Номер на процесорен цикъл												
Инструкция		1	2	3	4	5	6	7	8	9	10	11	12	13
ADDI	RO, RO, 4													
LD	R1, O(RO)													
MUL	R2, R1, R1													
ADD	R2, R1, R2													
ADD	R2, R2, R3													
SD	R2, 0(R0)													

• Дадената е следната последователност от MIPS инструкции, които се изпълняват в стандартен 5-степенен конвейер (на следващата фигура):

```
1. LD
         R1, 0(R3)
                     ; R1 = Mem[R3]
         R2, 8(R3)
                      ; R2 = Mem[R3+8]
2. LD
         R3, R1, R2; R3 = R1 + R2
3. ADD
         R4, R1, R2; R4 = R1 - R2
4. SUB
         R4, R3, R4
                      ; R4 = R3 * R4
5. MUL
         R4, 0(R3)
                      ; Mem[R3] = R4
6. SD
```



За преодоляване на състезанията се използва внасяне в кода на празни инструкции *пор*. Приема се, че в конвейера не са реализирни хардуерните механизми пренасочване и задържане/замръзване на изпълнението.

#### Отговорете на следните въпроси:

- а) Установете всички зависимости в показания по-горе програмен фрагмент (включително тези, които възникват през достъпа до паметта). Кои от зависимостите водят до състезания?
- б) Колко процесорни цикъла са необходими, за да завършат всички инструкции в кода? Представете изпълнението на инструкциите във времето като използвате таблица: всяка колона се обозначава с номер на процесорния цикъл, а всеки ред с номера на инструкцията, в клетките се записват имената на конвейерните етапи.
- в) Повторете табличното представяне на изпълнението на инструкциите, като приемете, че в конвейера е реализиран механизъм за пренасочване и задържане, с цел преодоляване на състезанията. Колко процесорни цикъла ще са необходими за да завърши изпълнението на всички инструкции в този случай?

а) Какви и колко битови ще бъдат полетата в адреса издаван от процесора за следната система на паметта:

Размер на основната памет = 1GB

Размер на кеш паметта = 512 КВ

Размер на блока = 32 Bytes

Множествено асоциативна кеш памет с 4 блока в множество.

- б) Избройте (запишете) микрооперациите (4 стъпки във следващата фигура) извършвани по време на успешен достъп до кеш паметта.
- в) Как ще бъде разделен адресът в предходния пример (а), ако кеш паметта не е множествено асоциативна, а с директна съпоставка (direct-mapped)? Как ще се направи разделянето при напълно асоциативна кеш паметт?

