错误提示:

ERROR(SPCODD-433):

Error at line 515 in file E:\NUMERICSIGN\ALLEGRO/pstxnet.dat. Error in syntax.

在如下博文找到类似问题，发现果然是“'”pin脚定义引起的。PCB Editor, Allegro不识别。修改器件pin脚定义后okey! 感谢!

幻翼的百度空间

Cadence网表错误

2009-02-08 13:49

原理图过了DRC检查，到了生成网表的时候，突然出现以下错误：

#38 DDB\_ERROR: Terminating character ''''='''' not found on line 20740.

DDB\_INFO: File E:\laoyao\2205\SCH\allegro/pstxnet.dat not loaded

打开pstxnet.dat文件，找到20740行，按照里面的描述找到相应元件的管脚，发现这是一个空管脚，标上了叉。仔细检查发现没什么问题，重新调用该元件。再次生成网表，出现了同样的错误，只是到了另外一个元件的空管脚。不管了，再次重新调用……这时一直以为只要将有空脚的元件重新调用就可以了。终于错误到了文件的最后一行，可是却出现了下面的错误：

Error: Line 20926 in file E:\laoyao\2205\SCH\allegro/pstxnet.dat:

Error in Syntax

Detected in function: pstParseSubscript

这时的pstxnet.dat已到了最后一行，是空白行，晕，空白行居然会有错误！百思不得其解，把空白行上面那行描述的元件再替换一次，这时又出现了第一次显示的错误。再次重新调用替换，一直到替换到ARM这个元件，狂晕，重新调用也不行！

后来发现开始已经调用过的元件空脚还会出现问题，难道是盗版Cadence大BUG？只要是元件的空管脚都会出现这个错误。晕，难道是建的工程有问题，重新建工程？只能一页一页的拷过去。拷了第一页，生成网没问题，惊喜！再加第二页也没问题……拷到第五页的时候终于出现了同样问题了，一个一个模块的试。源头终于露出马脚了，一切问题原来出自74HC595D这个SYMBOL，其9管脚用了特殊符号“ ’ ”命名。重新命名后，一切问题解决。

74HC595D这个SIMBOL的9脚在图中是打叉悬空的，导致Cadence将错误转移到其它元件的悬空管脚。