

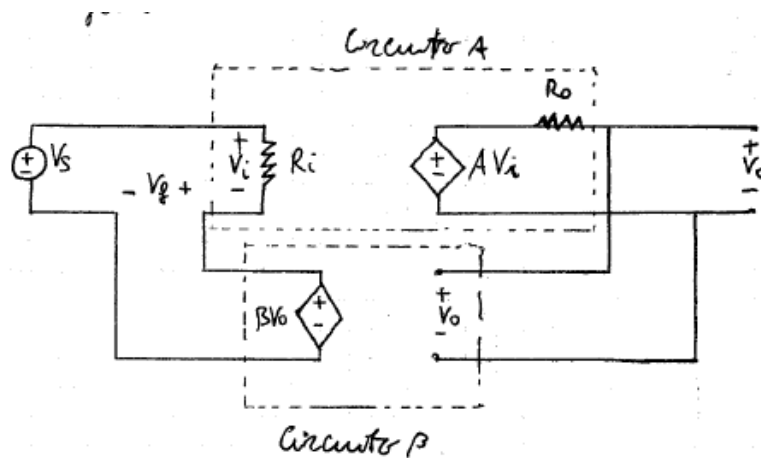
Risposte domande d'esame

A.1) Quale tra i quattro tipi fondamentali della controeazione è utilizzato nella progettazione di amplificatori di tensione? Come si modificano i valori delle impedenze d'ingresso e d'uscita dell'amplificatore controeazionato.

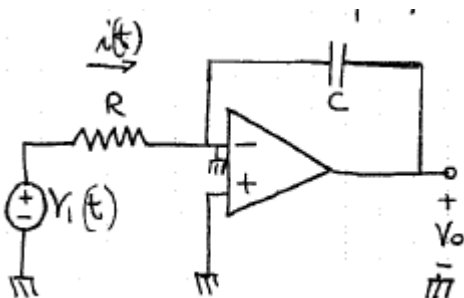
Per misurare una tensione si inserisce il nodo di controeazione in parallelo all'uscita mentre per modificarla si inserisce in serie all'ingresso.

La controeazione utilizzata per l'amplificatore di tensione risulta essere quindi del tipo serie - parallelo; come effetto questa scelta produce l'aumento della resistenza di ingresso di un fattore $(1 + BA)$ diminuendo allo stesso tempo la resistenza di uscita dello stesso fattore.

Quindi risulta $R_{if} = R_i (1 + BA)$ mentre $R_{of} = R_o \left(\frac{1}{1 + BA} \right)$. Con A = guadagno ad anello aperto e B = fattore di controeazione.



A.2) Circuito e funzionamento dell'integratore invertente con amplificatore operazionale.



Come conseguenza del cortocircuito virtuale V_o è uguale a V_c invertito di segno $V_o = -V_c$

Sulla resistenza R scorre una corrente $i(t)$ e data la presenza del cortocircuito virtuale

$$i(t) = \frac{V_i(t) - 0}{R}$$

La corrente che entra nel morsetto invertente dell'op. amp. è nulla quindi $i(t)$ scorre integralmente sul

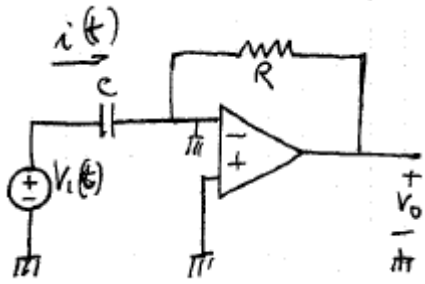
condensatore. Si nota che la differenza di potenziale ai capi del condensatore è:

$$V_c = V_o + \frac{1}{C} \int_0^t i(t) dt = V_o + \frac{1}{CR} \int_0^t V_i(t) dt$$

con V_0 tensione iniziale del condensatore e CR costante di tempo dell'integratore.

Volendo ottenere un integratore reale dovrei rendere finito il guadagno ad anello chiuso, quindi aggiungendo in parallelo al condensatore una resistenza elevata. Il processo sopra descritto è dunque corrispondente all'integrazione di $V_o(t) = \int_0^t V_i(t) dt$.

A.3) Schema e funzionamento di un circuito derivatore come amplificatore operazionale.



Considerando il cortocircuito virtuale, $V_0 = -V_R$.

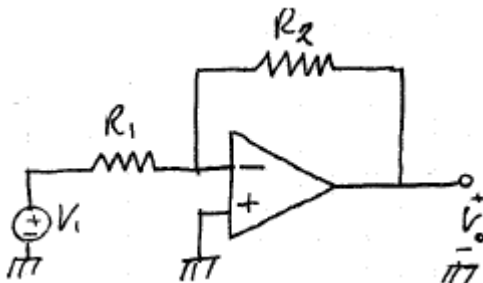
la corrente che scorre sul condensatore $i(t) = \frac{dV_1}{dt}$ e siccome nel morsetto invertente non entra corrente allora $i(t)$ scorre interamente sulla resistenza, ne consegue che:

$$V_R(t) = i(t)R = CR \frac{dV_1}{dt} \text{ inoltre } V_0(t) = -RC \frac{dV_1}{dt}$$

RC viene definita come costante di tempo del derivatore, in questa configurazione il derivatore è un amplificatore di rumore, per evitare questa amplificazione si inserisce in serie

al condensatore una piccola resistenza, allontanando però il derivatore dal comportamento ideale.

A.4) Quale delle due configurazioni dell'amplificatore operazionale (invertente / non invertente) è la più adatta per un amplificatore di tensione? Perché?



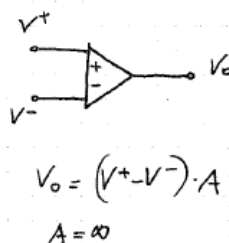
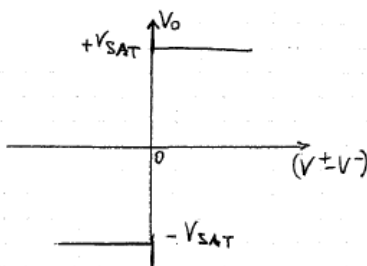
Dal punto di vista del guadagno entrambe le configurazioni andrebbero bene in quanto si regolerebbero R_2 ed R_1 scegliendo il guadagno voluto:

- Conf. Invertente: $V_0 = -\frac{R_2}{R_1} V_1$
- Conf. Non invertente: $V_0 = \left(1 + \frac{R_2}{R_1}\right) V_1$

Ad un amplificatore di tensione si richiede però una resistenza molto alta (infinita idealmente), per questa ragione prendendo in esame la configurazione invertente qui riportata R_1 dev'essere molto grande, se si volesse un'amplificazione elevata allora R_2 dovrebbe essere maggiore di R_1 condizione quindi non ottimale per realizzazione fisica.

La struttura migliore è dunque quella non invertente infatti la resistenza di ingresso in questo caso è la resistenza dell'amplificatore operazionale (idealmente infinita). Il guadagno rimane dipendente dal rapporto di R_2 su R_1 ma non è necessario che queste siano molto grandi.

A.5) Spiegare perché si definisce "corto circuito virtuale" l'ingresso di un amplificatore operazionale, descriverne i limiti di validità.

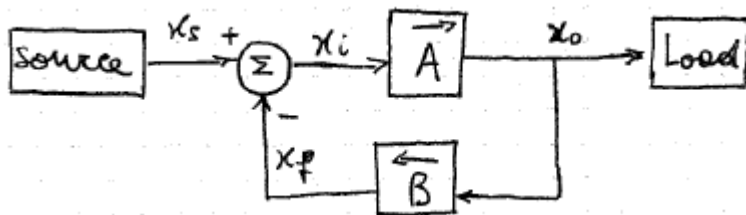


Prendendo ad esempio un amplificatore operazionale ideale si nota che questo è saturo per tutti i valori di V^+ e V^- ad eccezione di quando questi sono uguali.

Nell'analisi circuitale si dice che i due morsetti sono in corto circuito

virtuale perché l'amplificatore se non è saturo allora $V^+ = V^-$

A.6) Dimostrare che il prodotto Banda - Guadagno di un amplificatore controeazionato è costante.



B rete resistiva indipendente dalla frequenza.

Come si modifica il guadagno:

$$x_o = A x_i, \quad x_f = \beta x_o$$

$$x_i = x_s - x_f = x_s - \beta x_o = x_s - A\beta x_i$$

$$x_s = x_i + A\beta x_i = x_i (1 + A\beta)$$

$$A_f = \frac{x_o}{x_s} = \frac{A x_i}{x_i (1 + A\beta)} = \frac{A}{1 + A\beta}$$

Come si modifica la banda:

$$A(s) = \frac{A_m}{1 + s/\omega_H} \quad \text{Pasta basso, taglio a } \omega_H$$

$A_m = \text{guadagno nominale}$

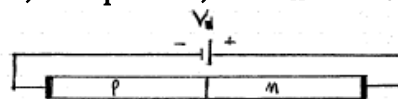
$$A_f(s) = \frac{A(s)}{1 + \beta A(s)} = \frac{A_m / (1 + A_m \beta)}{1 + s / [\omega_H (1 + A_m \beta)]}$$

$$\text{cioè } \omega_{Hf} = \omega_H (1 + A_m \beta)$$

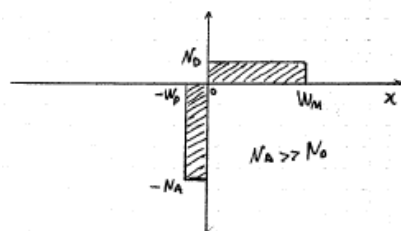
Risulta dall'analisi qui riportata che il prodotto banda per guadagno è costante:

$$A_f * W_H = \frac{A}{1 + \beta A} * W_H (1 + \beta A) = A * W_H$$

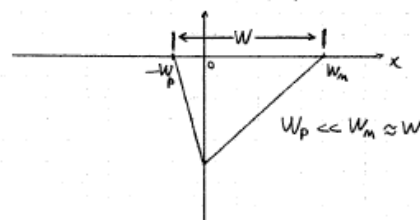
D.1) Disegnare l'andamento di densità di carica, portatori liberi, campo elettrico e potenziale per una giunzione brusca asimmetrica, all'equilibrio, con $N_A \gg N_D$



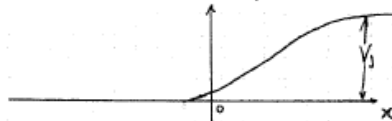
Densità di carica, ρ



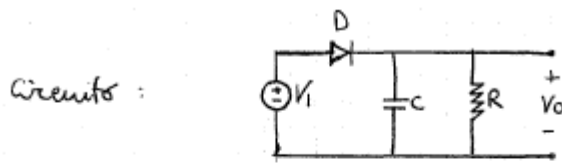
Intensità del campo, E



Potenziale, V

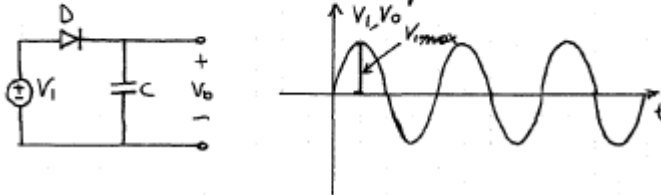


R.1) Disegnare il circuito di un raddrizzatore con filtro capacitativo spiegandone il funzionamento



Funzionamento :

Analizziamo prima il seguente circuito :



Considerando il raddrizzatore intero, durante la prima metà della prima semionda positiva il condensatore si carica anch'esso fino a $V_{1 \max}$. Il diodo va in interdizione ($RC \gg T$) mentre il condensatore comincia a scaricarsi attraverso la resistenza R, V_1 quindi torna ad essere maggiore di V_0 , il condensatore si ricarica tornando a $V_{1 \max}$ e si ripete il ciclo.

Più grande risulta essere RC più il comportamento del circuito assomiglia a quello del rivelatore di picco.

T.1) Ricavare l'espressione di transconduttanza per piccoli segnali (g_m) del transistor MOS a partire dal modello per grandi segnali.

Modello per grandi segnali :

$$I_D = K (V_{GS} - V_T)^2$$

Dato un punto di lavoro Q, il parametro di transconduttanza per piccoli segnali si definisce come

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_Q$$

$$\frac{\partial I_D}{\partial V_{GS}} = \frac{\partial [k(V_{GS}^2 + V_T^2 - 2V_{GS}V_T)]}{\partial V_{GS}} =$$

$$\frac{k \partial [V_{GS}^2 + V_T^2 - 2V_{GS}V_T]}{\partial V_{GS}} =$$

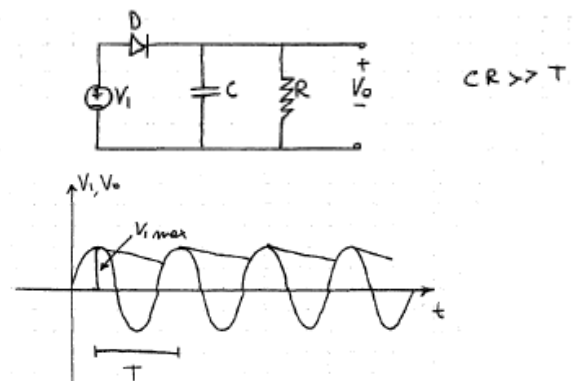
$$k[2V_{GS} - 2V_T] = 2k(2V_{GS} - V_T)$$

N.B. il valore di V_{GS} si prende relativamente al punto di lavoro scelto.

Durante la prima semionda positiva, il diodo è in conduzione, il condensatore si carica di una tensione $V_0 = V_1$ fino a raggiungere il picco $V_{1 \max}$.

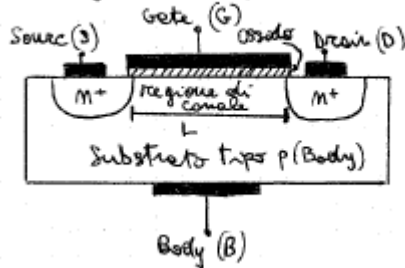
Mentre V_1 cala verso 0 il diodo è in interdizione e il condensatore non ha modo di scaricarsi.

V_0 resta costante a $V_{1 \max}$ (motivo per cui il circuito è chiamato "rivelatore di picco").



T.2) Illustrare la struttura e il principio di funzionamento di un transistor MOS esplicitando le relazioni corrente – tensione nelle differenti zone di funzionamento.

MOSFET a canale n ad arricchimento

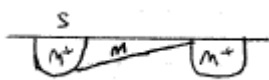


Supponendo che sul gate non ci sia tensione, tra drain e source sono presenti due giunzioni pn modellizzabili come due diodi con gli anodi collegati. Qualunque tensione venga applicata tra D ed S la corrente risulterà nulla.

Imponendo una tensione al gate le lacune nella regione di canale vengono spinte

all'interno del substrato "body" lasciando degli elettroni liberi attraendone altri dalle regioni n.

Quando si raggiunge una tensione sufficiente (V_T) sotto al gate si forma un canale n che



collega S e D. Una volta creato il canale si agisce su V_{DS} per influenzare la corrente, la cui tensione però causa una strozzatura del canale

aumentandone così la resistenza. Quando $V_{DS} = V_{GS} - V_T$ la profondità

del canale in prossimità del Drain è quasi nulla. Da questa tensione il MOSFET risulta saturo e la corrente rimane costante.

Si distinguono 3 zone di funzionamento:

1. $V_{GS} < V_T$ **Zona di Interdizione.**

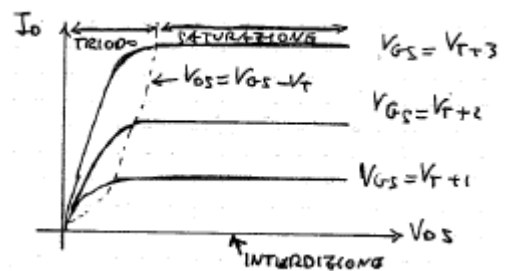
$$I_D = 0$$

2. $V_{GS} > V_T, V_{DS} < V_{GS} - V_T$ **Zona di Triodo.**

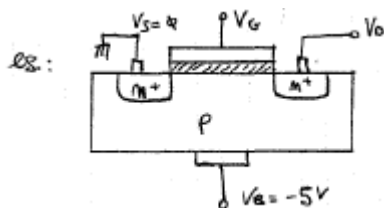
$$I_D = k' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad k = \frac{k' W}{2L}$$

3. $V_{GS} > V_T, V_{DS} > V_{GS} - V_T$ **Zona di Saturazione.**

$$I_D = \frac{1}{2} k' \frac{W}{L} [(V_{GS} - V_T)^2] \quad k = \frac{k' W}{2L}$$



T.3) Cosa è l'effetto body" in un transistor MOS e come si modifica il circuito equivalente per piccoli segnali.

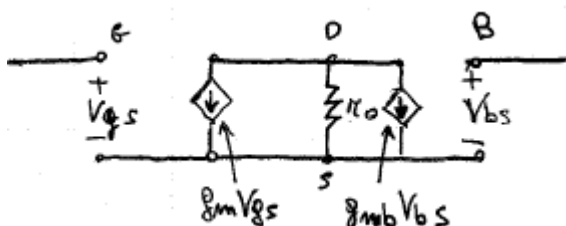


L'effetto body si verifica quando il Source e Body di un transistor non sono allo stesso potenziale.

Descrive quindi la dipendenza della tensione di soglia dalla tensione tra gate e source; si verifica quando molti MOSFET convivono sulla stessa barra di silicio, in questo caso il Body viene connesso all'alimentazione più negativa (o positiva se

si tratta di PMOS) per non mandare in conduzione la giunzione pm. La tensione V_{SB} allarga la regione di svuotamento favorendo lo scorrimento della corrente.

Il modello per piccoli segnali è così descritto:



$$g_{mb} = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{GS}=const}^{V_{DS}=const}$$

la dipendenza di I_D rispetto a V_{BS} è dovuta dal fatto che V_T dipende da V_{BS} . Di conseguenza g_{mb}

$$= x g_m \quad \text{con } x = \frac{\partial V_T}{\partial V_{SB}}$$

T.4) Cosa si intende per “condizione di piccolo segnale” in un amplificatore MOS?

Per funzionare da amplificatore il MOS deve essere in condizione di saturazione.

quindi $I_D = k(V_{GS} - V_T)^2$ con V_{GS} composta da due componenti:

- Componente continua di polarizzazione V_{pol} .
- La componente di segnale V_{gs} .

I_D vale quindi $I_D = K(V_{pol} + V_{gs} - V_T)^2$ da cui

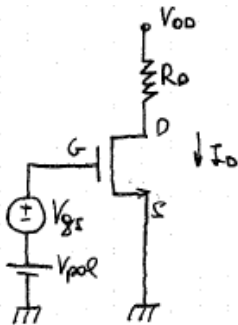
$$I_D = (V_{pol} - V_T)^2 k + k(2V_{pol} - 2V_T)V_{gs} + kV_{gs}^2$$

Si notano 3 termini in ordine:

1. Corrente di polarizzazione in continua.
2. Componente direttamente proporzionale al segnale d'ingresso.
3. Componente proporzionale al quadrato del segnale di ingresso.

La 3° componente rappresenta una distorsione da eliminare, ovvero si vuole che $kV_{gs}^2 \ll 2k(V_{pol} - V_T)V_{gs}$ quindi che $V_{gs} \ll 2(V_{pol} - V_T)$ che è la condizione di piccolo segnale.

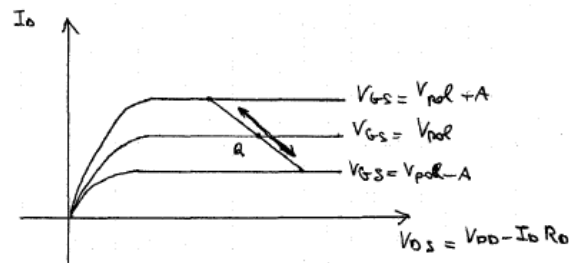
T.6) Disegnare e commentare la funzione di trasferimento di un amplificatore NMOS ad arricchimento.



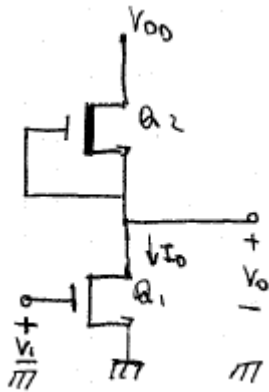
Per funzionare da amplificatore il transistor deve essere in zona di saturazione.

$V_{GS} = V_{pol} + V_{gs}$ con V_{pol} componente continua di polarizzazione e V_{gs} componente variabile di segnale (piccolo).

Le variazioni di V_{gs} spostano il punto di lavoro.



T.7) Calcolare il guadagno di tensione per piccoli segnali di un amplificatore NMOS con carico a svuotamento, esplicitandone la reazione corrente-tensione.



Q2 ha il gate collegato alla source quindi fa da generatore di corrente.

la corrente dei due transistor deve essere uguale, quindi: $V_{GS} = V_1$ con V_1 che fa spostare il punto di lavoro.

Il modello per piccoli segnali prevede che $V_0 = -g_m V_{gs1}(R_1 // R_2)$

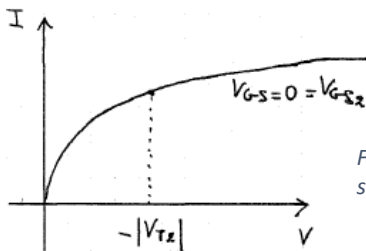
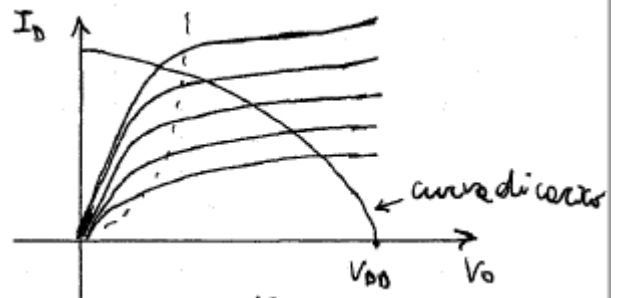
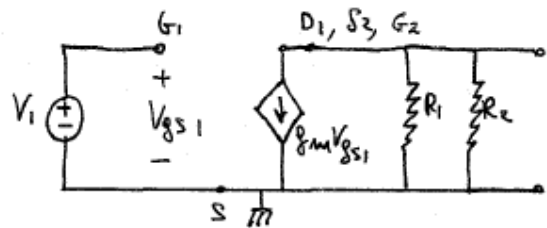


Figura 1 caratteristica del MOSFET a svuotamento

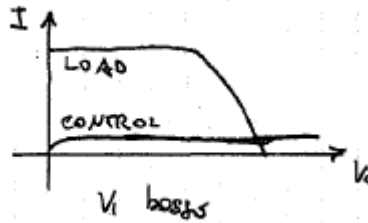
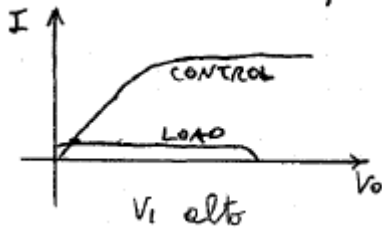


I.1) Consumo di potenza in un inverter CMOS.

Si divide la potenza dissipata in due componenti: P_s statica e P_d dinamica.

Statica:

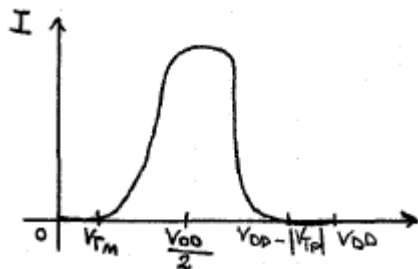
Nell'inverter CMOS la potenza dissipata quando V_0 è a valore logico 1/0, è nulla.



infatti in entrambi i casi la corrente è trascurabile e quindi $P_s = 0$.

Dinamica:

La corrente ha un andamento in funzione di V_1 .

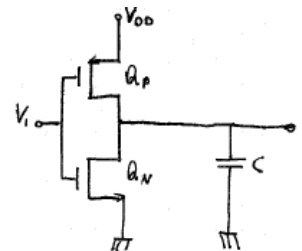


Passaggio da $V_0 = H$ a $V_0 = L$.

Quando $V_0 = H$ il condensatore è carico con energia pari a $\frac{1}{2} CV_{DD}^2$

quando Q_N si chiude e Q_P si apre il

primo scarica il condensatore e durante la scarica la potenza dissipata è proprio $\frac{1}{2} CV_{DD}^2$.



Passaggio da $V_0 = L$ a $V_0 = H$

Q_N si apre e Q_P si chiude ed inizia a caricare il condensatore, durante l'intervallo di carica

l'alimentatore fornisce un'energia pari a $\int V_{DD} I dt = V_{DD} \int I dt = V_{DD} * Q$.

Q è la quantità di carica fornita al condensatore e l'energia fornita dall'alimentatore è CV_{DD}^2 .

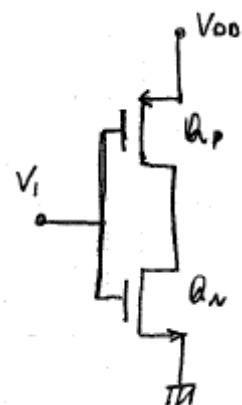
Al termine della carica la tensione ai capi del condensatore è V_{DD} e l'energia immagazzinata è $\frac{1}{2} CV_{DD}^2$. Durante la carica metà dell'energia fornita dall'alimentatore è dissipata in Q_P ovvero:

$$P_{d_{L \rightarrow H}} = \frac{1}{2} CV_{DD}^2$$

Nei due mezzi cicli la potenza dissipata è dunque $\frac{1}{2} CV_{DD}^2$ perciò in un ciclo la potenza dissipata è CV_{DD}^2 e ipotizzando che la frequenza di commutazione sia f risulta:

$$P_{diss} = P_{stat} + P_{din} = P_{din} = f CV_{DD}^2$$

I.2) Disegnare il circuito di un inverter CMOS e commentare il dimensionamento geometrico dei due transistor.



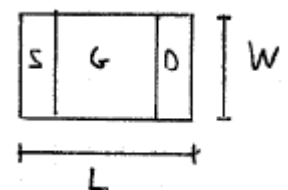
Si vuole ottenere un comportamento simmetrico,

dunque si impone $V_{Tm} = |V_{Tp}|$ e $K'_n \left(\frac{W}{L}\right)_N = K'_p \left(\frac{W}{L}\right)_P$

$$K'_n = \mu_n C_{ox}$$

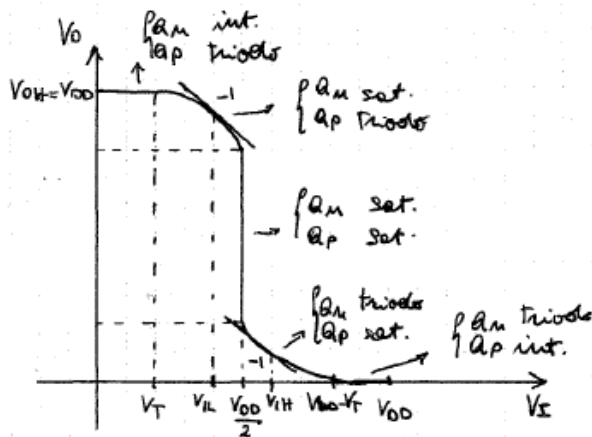
$$K'_p = \mu_p C_{ox}$$

Ne consegue che si agisce sulla larghezza dei transistor.



$$W_p = 3W_n \text{ e più in generale } \frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

I.3) Calcolare i margini di rumore di un inverter logico CMOS.



Definiti:

V_{DH} Valore alto in uscita

V_{OL} Valore basso in uscita

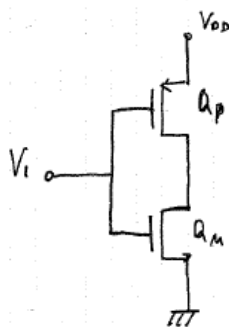
V_{IH} Minimo valore alto permesso all'ingresso

V_{IL} Minimo valore basso permesso all'ingresso

I margini di rumore sono:

$$NM_H = V_{DH} - V_{IH} \text{ e } NM_L = V_{IL} - V_{DL}$$

V_{IL} e V_{IH} sono anche definiti come i punti della curva di trasferimento a guadagno unitario (e pendenza -1).



trovare V_{IH} :

Si osserva che Q_P è in zona di saturazione e Q_N in zona di triodo, la corrente è quindi:

$$I_n = k'_n \left(\frac{W}{L} \right)_n [(V_{GS1} - V_{Tn})V_{DS1} - \frac{1}{2}V_{DS1}^2]$$

$$I_p = k'_p \left(\frac{W}{L} \right)_p \left[\frac{1}{2}(-V_{dd} + |V_{Tp}|)^2 \right]$$

Eguagliando le due equazioni e supponendo i due transistor equivalenti (ovvero $V_{Tn} = |V_{Tp}|$ e $k'_n \left(\frac{W}{L} \right)_n = k'_p \left(\frac{W}{L} \right)_p$) si ottiene:

$$(V_1 - V_T)V_0 - \frac{1}{2}V_0^2 = \frac{1}{2}(V_T - V_{DD} + V_1)^2$$

Derivando entrambi i membri rispetto a V_1 ,

$$(V_1 - V_T) \frac{dV_0}{dV_1} + V_0 - \frac{1}{2} * \frac{2V_0 dV_0}{dV_1} = V_T - V_{DD} - V_1$$

considerando che V_{IH} è un punto a derivata = -1 (quindi $\frac{dV_0}{dV_1} = 0$):

$$-V_{IH} + V_T + 2V_0 = V_T - V_{DD} + V_{IH} \text{ ovvero } V_0 = V_{IH} - \frac{V_{DD}}{2}$$

Da cui sostituendo a (*) V_1 con V_{IH} e V_0 con $(V_{IH} - V_{DD}/2)$ si ottiene:

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_T)$$

Per trovare V_{IL} si procede allo stesso modo sfruttando la simmetria imposta

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}$$

$$\text{Da cui } V_{IL} = \frac{1}{8}(3V_{DD} + 2V_T)$$

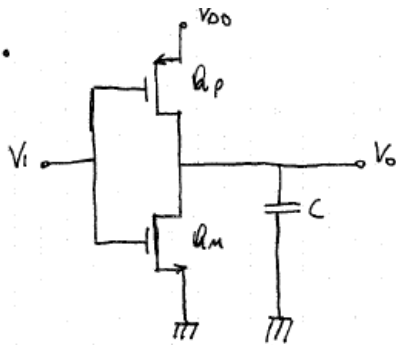
I margini di rumore sono quindi:

$$NM_H = V_{OH} - V_{IH} = V_{DD} - \frac{1}{8}(5V_{DD} - 2V_T) = \frac{1}{8}(3V_{DD} + 2V_T)$$

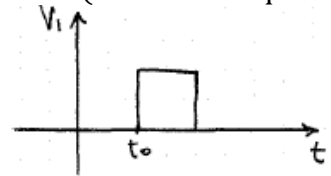
$$NM_L = V_{IL} - V_{OL} = \frac{1}{8}(3V_{DD} + 2V_T) - 0 = \frac{1}{8}(3V_{DD} + 2V_T)$$

Date le simmetrie i margini di rumore sono uguali.

I.7) Disegnare un inverter CMOS, confrontare tra loro i tempi di ritardo H-L e L-H utilizzando il luogo dei punti di lavoro del circuito nelle due commutazioni.



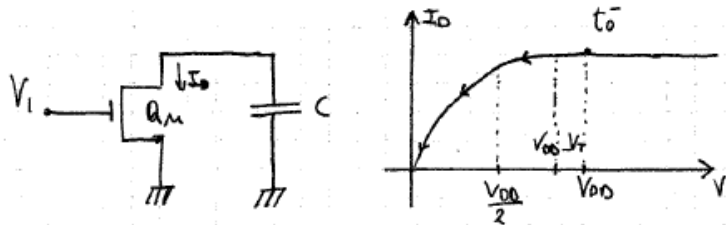
Con C si vuole rappresentare la somma di tutte le capacità in gioco, come quelle interne di Q_P e Q_N etc. Supponiamo che V_1 sia ideale, con tempi di salita e discesa nulli e che i MOSFET siano equivalenti (considero quindi l'invertitore simmetrico). Con queste considerazioni abbiamo che il tempo di salita e di discesa è uguale. Considero quindi solo la commutazione $V_{OH} \rightarrow V_{OL}$.



All'istante t_0^- $V_1 = 0$ e $V_D = V_{DD}$ dunque ai capi del condensatore la tensione è pari a V_{DD} .

A t_0 V_1 passa da 0 a V_{DD} mentre Q_P va in interdizione e Q_N in conduzione.

Il condensatore inizia quindi a scaricarsi attraverso Q_N fino a che $V_0 > V_1 - V_T$ e la corrente, continua, vale $I_D = K(V_{DD} - V_T)^2$.



Questa componente di ritardo vale quindi:

$$t_{PHL1} = \frac{C[V_{DD} - (V_{DD} - V_T)]}{K(V_{DD} - V_T)^2} = \frac{CV_T}{K(V_{DD} - V_T)^2}$$

Quando $V_0 > V_{DD} - V_T$ il transistor Q_N si trova in regione di triodo e di conseguenza la corrente I_D vale:

$$I_D = 2k[(V_{DD} - V_T)V_0 - \frac{1}{2}V_0^2]$$

$$\text{vale inoltre } I_D = -\frac{CdV_0}{dt} \text{ ovvero } I_D dt = -CdV_0$$

$$2k \left[(V_{DD} - V_T)V_0 - \frac{1}{2}V_0^2 \right] dt = -CdV_0$$

$$\frac{k}{C} dt = \frac{1}{[-2(V_{DD} - V_T)V_0 + V_0^2]} = \frac{1}{2(V_{DD} - V_T)} * \frac{dV_0}{\left[\frac{V_0^2}{2(V_{DD} - V_T)} - V_0 \right]}$$

è di interesse il punto di lavoro in cui V_0 vale $V_{DD}/2$, quindi integro entrambi i membri nell'intervallo $V_{DD} - V_T$ e $V_{DD}/2$.

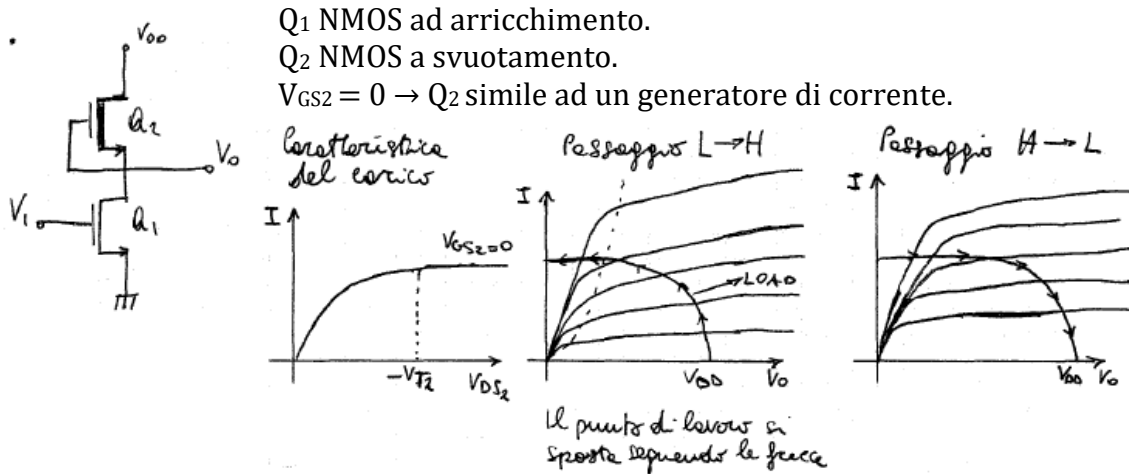
$$-\frac{k}{C} t_{PHL2} = \frac{1}{2(V_{DD} - V_T)} \int_{V_0=V_{DD}-V_T}^{V_0=\frac{V_{DD}}{2}} \frac{dV_0}{\frac{1}{2(V_{DD} - V_T)} V_0^2 - V_0}$$

Ottenendo quindi

$$-\frac{k}{C} t_{PHL2} = \frac{1}{2(V_{DD} - V_T)} \ln \left[\left(1 - \frac{1}{\frac{1}{2(V_{DD} - V_T)} V_0} \right) \right] \Bigg|_{V_0=V_{DD}-V_T}^{V_0=\frac{V_{DD}}{2}}$$

Si ottiene infine $t_{PHL2} = \frac{C}{2k(V_{DD}-V_T)} \ln \left(\frac{3V_{DD}-4V_T}{V_{DD}} \right)$

I.9) Spiegare il funzionamento di un inverter logico in tecnologia NMOS con carico a svuotamento durante la commutazione L-H e H-L dell'ingresso.



$$t_{PHL} = \frac{CV_t}{k(V_{DD} - V_T)^2} + \frac{C}{2k(V_{DD} - V_T)} \ln\left(\frac{3V_{DD} - 4V_T}{V_{DD}}\right)$$

$$t_{PHL} = \frac{C}{k(V_{DD} - V_T)} \left(\frac{V_T}{V_{DD} - V_T} + \frac{1}{2} \ln\left(\frac{3V_{DD} - 4V_T}{V_{DD}}\right) \right)$$

t_{PLH} ha la stessa espressione con la differenza che k è k_P del transistor Q_P (qui supposti equivalenti). Il ritardo di propagazione è invece $(t_P = t_{PHL} + t_{PLH})/2$ ovvero nel caso esaminato $t_P = t_{PHL}$.

I.10) Spiegare perché il prodotto potenza per tempo di ritardo è un fattore di merito di un inverter logico.

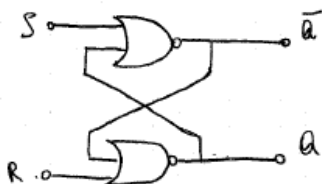
Solitamente è richiesto che la porta logica possa lavorare ad alte frequenze minimizzando allo stesso tempo il consumo di energia.

Per diminuire il consumo di energia si può abbassare la tensione V_{DS} di alimentazione, diminuendo così il consumo di potenza ma implicando tempi di carica più elevati e quindi ritardi di propagazione più lunghi.

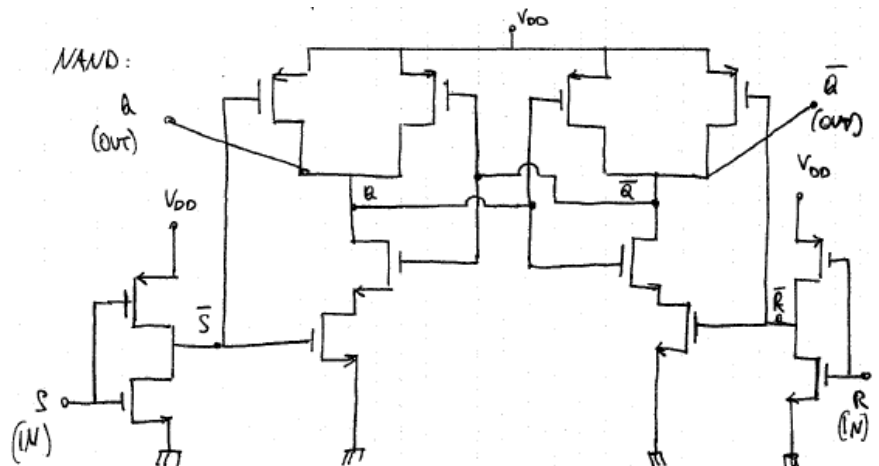
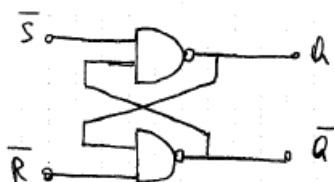
Una tecnologia nuova potrebbe avere una precisione maggiore nella fabbricazione dei MOSFET, diminuendo la sovrapposizione Gate/Source e Gate/Drain (abbassando quindi le capacità parassite) ottenendo a parità di alimentazione, tempi di ritardo più bassi (o uguali ma con minore richiesta energetica). Questo fatto deriva che il prodotto $DP = P_{DISS} \cdot T_P$ indichi l'efficacia di una famiglia logica; minore è DP maggiore è l'efficacia della famiglia logica.

CD. 1) Disegnare il circuito logico del flip flop SR, quindi implementarlo in tecnologia CMOS spiegandone il funzionamento.

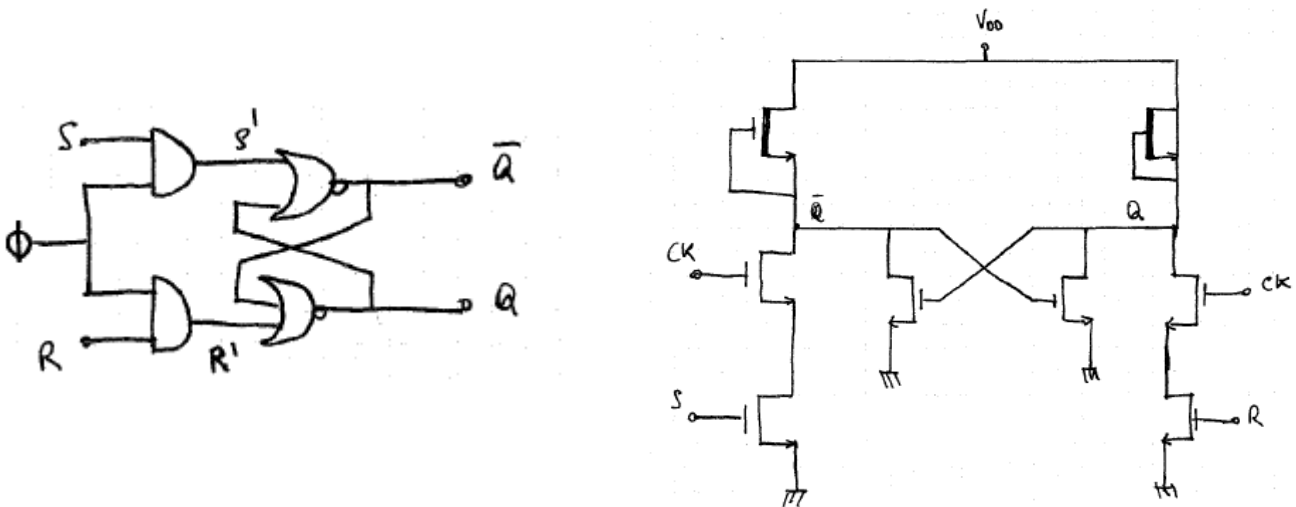
con porte NOR



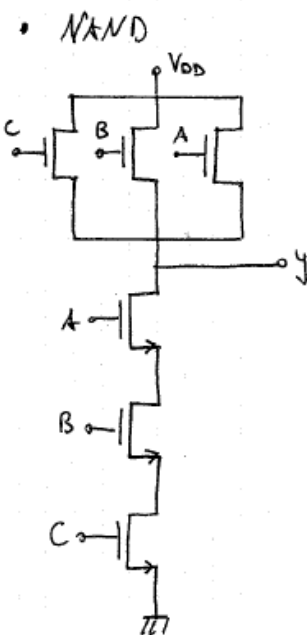
con porte NAND



CD.2) Disegnare il circuito di un flip flop SR sincrono in tecnologia NMOS.



CD.3) Disegnare il circuito della parte NAND e NOR in tecnologia CMOS a tre ingressi e commentare le caratteristiche di occupazione d'area.



Caso peggiore: 1 solo ingresso basso

$$\left(\frac{W}{L}\right)_{Neq} = \frac{W_n}{3L_n} \rightarrow k_{neq} = \frac{1}{3}k_n$$

$$\left(\frac{W}{L}\right)_{Peq} = \left(\frac{W}{L}\right)_P \rightarrow k_{peq} = k_p$$

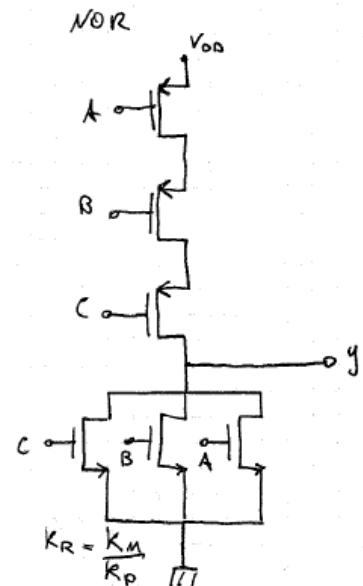
Caso peggiore: 1 solo ingresso alto

$$\left(\frac{W}{L}\right)_{Neq} = \left(\frac{W}{L}\right)_N$$

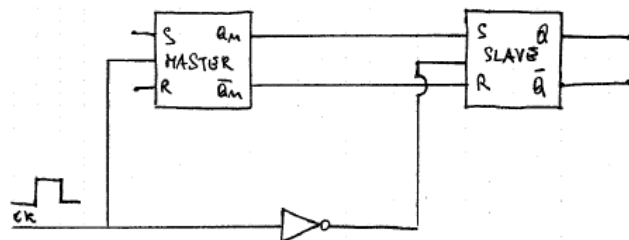
$$k_{neq} = k_n$$

$$\left(\frac{W}{L}\right)_{Peq} = \left(\frac{W_P}{3L_P}\right) \rightarrow k_{peq} = \frac{1}{3}k_P$$

Il MOSFET p è più grande di quello n in quanto progettati per essere equivalenti, aumentare il rapporto k_N occupa meno spazio ed è questo il motivo dell'utilizzo di porte NAND.



CD.4) Disegnare lo schema a blocchi di un Flip Flop Master-Slave sincrono spiegando il ruolo del M-S.

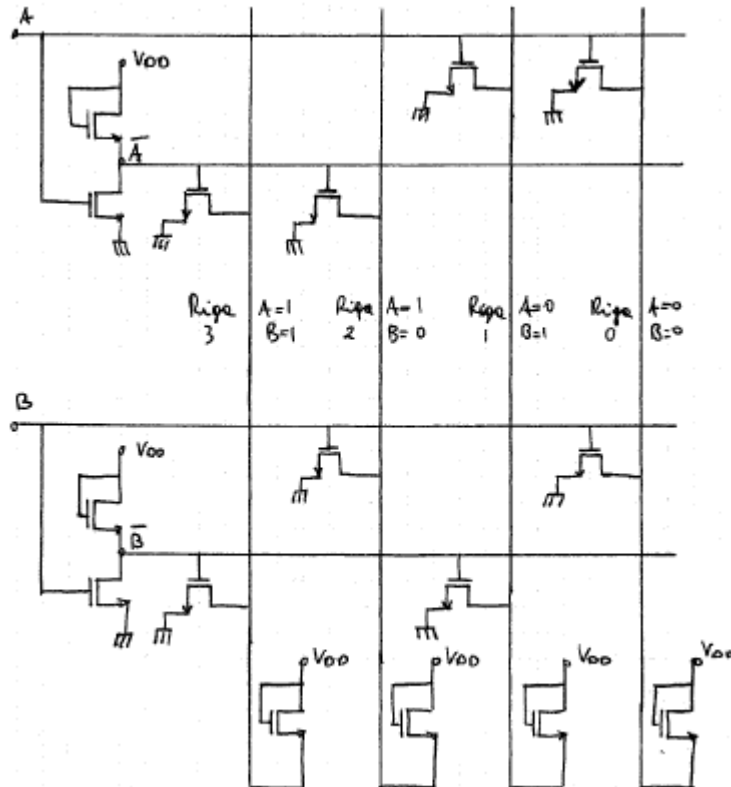


Il Flip Flop Master slave risolve il problema della trasparenza, infatti il master memorizza il valore degli ingressi j e k durante il fronte di salita del clock e lo slave adegua l'uscita allo stato degli ingressi solo al fronte di discesa.

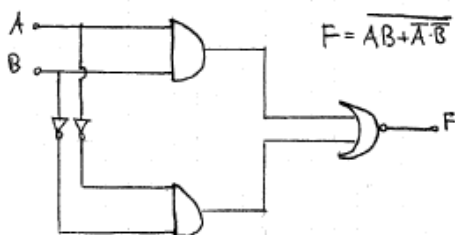
Spesso stabilizzare gli ingressi è inutile quando il clock è lento ($\gg t_p$).

CD.5) Calcolare l'area minima di una porta NOR CMOS a due ingressi realizzata con transistor con lunghezze di canale $L = 2\mu m$ e $\left(\frac{W}{L}\right)_N = 5$, a parità di tempi di propagazione.

CD.6) Disegnare un decoder con indirizzo a due bit con porte NOR in tecnologia NMOS.



CD.7) Implementare in tecnologia NMOS l'operazione logica di EX-OR tra due ingressi.



A	B	F
1	1	0
1	0	1
0	1	1
0	0	0

