

Registers Bank

Aluno: Luiz Henrique L P Maia
luizhenrique0308@gmail.

Aluno: Jonas Cleyton F C
jonatas.coelho62@aluno.ifce.edu.br

Aluno: Jonathan Barroso R
barroso.jonathan08@aluno.ifce.edu.br

Resumo – Este relatório irá explicar o funcionamento de um banco de registradores, e criação de um mostrando na prática a utilização de registradores e seu funcionamento.

Keywords – registradores, banco de registradores, memória, circuito sequencial.

I. Introdução

O banco de registradores implementado neste relatório conta com 4 registradores de 8 bits. O banco de registradores funciona armazenando dados de 8 bits em cada registrador e podendo acessar a informação armazenada diretamente dos registradores, providenciando flexibilidade ao processador.

II. Metodologia:

Para começar a projetar o banco de registradores em Systemverilog, usamos a ferramenta do Digital Js, tanto para projetar o circuito quanto para efetuar os testes, já que a ferramenta tem uma opção de análise de ondas. Analisando o repositório “*Banco de registradores Verilog*” começamos a replicar algumas estruturas do código em um só arquivo (no repositório Github em anexo) o traduzindo para a linguagem desejada. No código é feito um módulo para os registradores usados e como

optamos por não usar vetores de registradores para economia de tempo, então após feito o módulo do registrador, é feito um decoder que será responsável por fazer parte da função do que o demultiplexador faria no circuito original. Partindo para o módulo principal do banco de registradores, é criada a instância do decoder “seleciona” e em seguida começa um bloco “generate” que é responsável por criar todos os registradores. A saída de rd_0 e rd_1 são selecionadas a partir do index do vetor de saídas “register” (veja no código em anexo).

III. Resultados

Após o circuito ser gerado, criamos uma tabela verdade (veja tabela 1.) com um caso específico para então podermos comparar com os resultados dos testes usando o circuito gerado e as formas de onda (imagens para comparação em anexo). A tabela exibida, é feita pré inserindo o valor dos controladores

“add_rd0” como 0 e “add_rd1” como 1. Assim ficando

wr_data	add_wr	wr_en	clk	reg 0	reg 1	rd0	rd1
x	x	x	-	x	x	x	x
10	0	1	up	10	-	10	-
11	1	1	up	-	11	-	11

Tabela 1. Tabela verdade simples

IV. Conclusão:

O projeto do banco de registradores em SystemVerilog, contendo quatro registradores de oito bits, foi concluído com sucesso e atende a todos os requisitos especificados. O banco de registradores implementa eficazmente as operações de leitura simultânea de dois registradores e escrita em um registrador, conforme solicitado. A estrutura modular e o uso de sinais de controle para a habilitação de escrita e leitura foram fundamentais para garantir a funcionalidade e a eficiência do circuito. A implementação foi validada por meio de simulações, que confirmaram o comportamento esperado das operações.

V. Referências

[1]

https://github.com/AssisRaphael/Banco_de_registradores_Verilog

[2]

 MODELING REGISTER BA...

[3]

<https://docentes.ifrn.edu.br/jeangaldino/disciplinas/2016.1/organizacao-de-e-computadores/aula-13-logisim-banco-de-registradores/view>

[4]

<https://docentes.ifrn.edu.br/jeangaldino/disciplinas/2015.2/organizacao-de-e-computadores/aula-09>