



NOVA SCHOOL OF
SCIENCE & TECHNOLOGY

DEPARTAMENTO DE ENGENHARIA ELETROTÉCNICA E
DE COMPUTADORES

Mestrado em Engenharia Eletrotécnica e de Computadores

Laboratório 1

Co-design e Sistemas Reconfiguráveis

Alunos:

João Pedro Antunes - **70380**

Júlio Lopes- **70512**

Marco Romao - **71348**

Docentes:

Aniko Costa

Filipe Moutinho

1º Semestre 2025/2026

Conteúdo

1	Introdução	1
1.1	Contextualização	1
1.2	Objetivos	1
1.3	Metodologia utilizada	1
2	Análise Teórica	2
2.1	Redes de Petri	2
2.2	Execução síncrona vs. GALS	2
2.3	Implementação em FPGA e Arduino	2
3	Redes de Petri	3
3.1	IOPT-Tools	3
3.1.1	Redes de Petri A	3
3.1.2	Redes de Petri B	3
3.1.3	Redes de Petri C	3
3.1.4	Redes de Petri D	3
3.2	Simulação e Análise	3
3.2.1	Simulação com token-player	3
3.2.2	Simulação temporal	3
3.2.3	Geração e análise do espaço de estados	3
4	Implementação em FPGA	4
4.1	Geração do código VHDL	4
4.2	Deployment na FPGA	4
4.3	Configuração de entradas/saídas	4
4.4	Testes experimentais	4
4.5	Comparação com resultados de simulação	4
5	Implementação em Arduino	5
5.1	Geração do código C	5
5.2	Deployment no Arduino	5
5.3	Configuração do ambiente	5
5.4	Testes	5
5.5	Comparação com simulação e implementação FPGA	5
6	Controlador Distribuído em regime Síncrono	6
6.1	Identificação do conjunto de corte (cutting set)	6
6.2	Decomposição usando SPLIT	6
6.3	Modelo com canais síncronos	6
6.4	Simulação e validação	6
6.5	Modelo com canais assíncronos	6
6.6	Simulação e Análise	6
6.6.1	Simulação com token-player	6
6.6.2	Simulação temporal	6

6.6.3	Geração e análise do espaço de estados	6
6.7	Decomposição GALS - três controladores separados	6
7	Implementação em FPGA - Distribuição Síncrona	7
7.1	Geração do código VHDL	7
7.2	Interconexão dos componentes	7
7.2.1	Implementação do módulo de atraso pseudo-aleatório	7
7.2.2	LFSR - conceito e implementação	7
7.2.3	Integração dos atrasos nas comunicações	7
7.3	Deployment na FPGA	7
7.4	Testes e análise de resultados	7
8	Buffers de Capacidade Finita	8
8.1	Modificação do modelo para múltiplas peças (máximo 3)	8
8.2	Interconexão dos componentes	8
8.3	Módulo de visualização do número de objetos	8
8.4	Simulação e validação	8
8.5	Implementação centralizada em FPGA	8
8.6	Análise de resultados	8
9	Distribuído com Buffers (Síncrono)	9
9.1	Aplicação dos procedimentos do capítulo 06 ao modelo do capítulo 08	9
9.2	Decomposição e implementação distribuída	9
9.3	Execução síncrona global	9
9.4	Testes e análise	9
10	Distribuído com Buffers (Assíncrono)	10
10.1	Aplicação dos procedimentos do capítulo 07 ao modelo do capítulo 08	10
10.2	Comunicações não-instantâneas com buffers	10
10.3	Deployment e testes	10
10.4	Análise comparativa	10
11	Comparação de abordagens	11
11.1	Centralizado vs Distribuído	11
11.2	Síncrono vs Assíncrono	11
11.3	Impacto dos atrasos de comunicação	11
11.4	Vantagens e desvantagens de cada abordagem	11
11.5	Análise de escalabilidade	11
12	Conclusões	12
12.1	Resultados alcançados	12
12.2	Dificuldades encontradas e soluções adotadas	12
12.3	Trabalho futuro	12

1 Introdução

1.1 Contextualização

1.2 Objetivos

1.3 Metodologia utilizada

2 Análise Teórica

2.1 Redes de Petri

2.2 Execução síncrona vs. GALS

2.3 Implementação em FPGA e Arduino

3 Redes de Petri

3.1 IOPT-Tools

3.1.1 Redes de Petri A

3.1.2 Redes de Petri B

3.1.3 Redes de Petri C

3.1.4 Redes de Petri D

3.2 Simulação e Análise

3.2.1 Simulação com token-player

3.2.2 Simulação temporal

3.2.3 Geração e análise do espaço de estados

4 Implementação em FPGA

4.1 Geração do código VHDL

4.2 Deployment na FPGA

4.3 Configuração de entradas/saídas

4.4 Testes experimentais

4.5 Comparação com resultados de simulação

5 Implementação em Arduino

5.1 Geração do código C

5.2 Deployment no Arduino

5.3 Configuração do ambiente

5.4 Testes

5.5 Comparação com simulação e implementação FPGA

6 Controlador Distribuído em regime Síncrono

6.1 Identificação do conjunto de corte (cutting set)

6.2 Decomposição usando SPLIT

6.3 Modelo com canais síncronos

6.4 Simulação e validação

6.5 Modelo com canais assíncronos

6.6 Simulação e Análise

6.6.1 Simulação com token-player

6.6.2 Simulação temporal

6.6.3 Geração e análise do espaço de estados

6.7 Decomposição GALS - três controladores separados

7 Implementação em FPGA - Distribuição Síncrona

7.1 Geração do código VHDL

7.2 Interconexão dos componentes

7.2.1 Implementação do módulo de atraso pseudo-aleatório

7.2.2 LFSR - conceito e implementação

7.2.3 Integração dos atrasos nas comunicações

7.3 Deployment na FPGA

7.4 Testes e análise de resultados

8 Buffers de Capacidade Finita

8.1 Modificação do modelo para múltiplas peças (máximo 3)

8.2 Interconexão dos componentes

8.3 Módulo de visualização do número de objetos

8.4 Simulação e validação

8.5 Implementação centralizada em FPGA

8.6 Análise de resultados

9 Distribuído com Buffers (Síncrono)

- 9.1 Aplicação dos procedimentos do capítulo 06 ao modelo do capítulo 08
- 9.2 Decomposição e implementação distribuída
- 9.3 Execução síncrona global
- 9.4 Testes e análise

10 Distribuído com Buffers (Assíncrono)

- 10.1 Aplicação dos procedimentos do capítulo 07 ao modelo do capítulo 08
- 10.2 Comunicações não-instantâneas com buffers
- 10.3 Deployment e testes
- 10.4 Análise comparativa

11 Comparação de abordagens

11.1 Centralizado vs Distribuído

11.2 Síncrono vs Assíncrono

11.3 Impacto dos atrasos de comunicação

11.4 Vantagens e desvantagens de cada abordagem

11.5 Análise de escalabilidade

12 Conclusões

12.1 Resultados alcançados

12.2 Dificuldades encontradas e soluções adotadas

12.3 Trabalho futuro

Referências

- [1] Lao Tzu. *Tao Te Ching*. Penguin Classics. Penguin Books, London, reprint edition edition, 1986. ISBN 9780140441314. D. C. Lau Translation.
- [2] Behzad Razavi. *RF Microelectronics*. Communications Engineering and Emerging Technologies Series. Prentice Hall, 2nd edition, 2012. ISBN 9780137134733.
- [3] Manuel Medeiros da Silva. *Introdução aos Circuitos Eléctricos e Electrónicos*. Fundação Calouste Gulbenkian, December 2001. ISBN 9789723106961.
- [4] Manuel de Medeiros Silva. *Circuitos com Transistores Bipolares e MOS*. Fundação Calouste Gulbenkian, December 2003. ISBN 9789723108408.