

## Lista de Exercícios 4

1. Determine a expressão mais simples para cada mapa de Karnaugh. Considere **x** como condições de irrelevância (*don't carry*) e, nestes casos, redesenhe o mapa K alterando **x** em cada quadrado para **0** ou **1**, de forma a gerar agrupamentos que produzam a expressão mais simples.

a)

		C	$\bar{C}$	C
			0	1
AB				
$\bar{A}\bar{B}$	00	1	1	
$\bar{A}B$	01	0	0	
AB	11	0	0	
$A\bar{B}$	10	1	0	

b)

		C	$\bar{C}$	C
			0	1
AB				
$\bar{A}\bar{B}$	00	1	x	
$\bar{A}B$	01	0	1	
AB	11	0	0	
$A\bar{B}$	10	1	1	

c)

		$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
		00	01	11	10
AB					
$\bar{A}\bar{B}$	00	1	1	0	1
$\bar{A}B$	01	1	0	0	1
AB	11	0	0	1	0
$A\bar{B}$	10	1	1	0	0

d)

		$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
		00	01	11	10
AB					
$\bar{A}\bar{B}$	00	1	1	0	0
$\bar{A}B$	01	1	1	0	0
AB	11	1	0	0	1
$A\bar{B}$	10	1	0	1	1

e)

		$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
		00	01	11	10
AB					
$\bar{A}\bar{B}$	00	1	1	x	1
$\bar{A}B$	01	0	x	x	0
AB	11	1	0	x	1
$A\bar{B}$	10	1	1	x	1

2. Use o mapa de Karnaugh para simplificar as expressões booleanas:

a)  $x = (B + \bar{C})(\bar{B} + C) + \bar{A} + B + C$

b)  $y = ABC + \bar{A}\bar{B}C + \bar{A}$

c)  $x = AB(\bar{C}\bar{D}) + \bar{A}BD + \bar{B}\bar{C}\bar{D}$

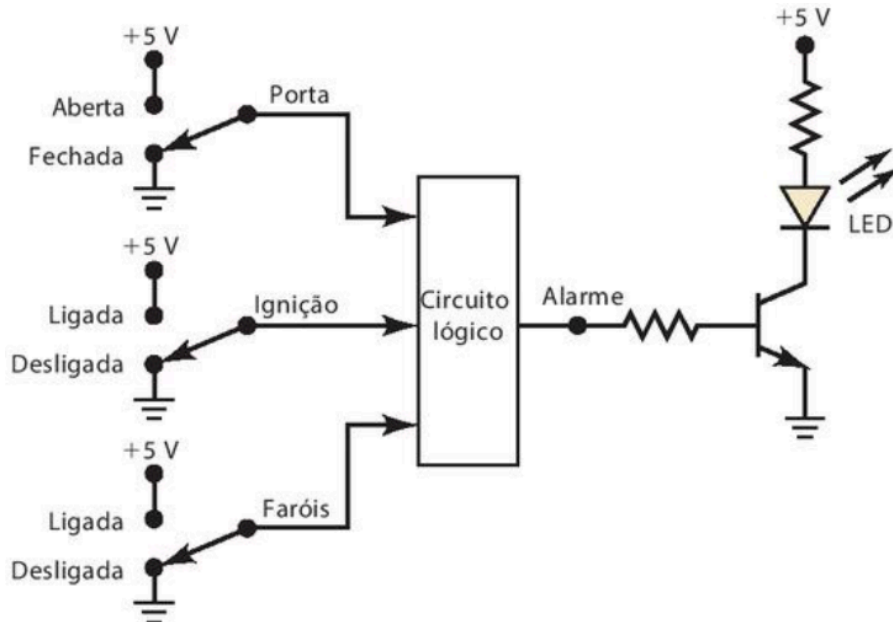
d)  $z = (\bar{C} + \bar{D}) + \bar{A}CD + \bar{A}B\bar{C} + \bar{A}\bar{B}CD + ACD$

3. (Tocci et al. 2019, adaptado) Considere um número de quatro bits representado como  $A_3A_2A_1A_0$ , em que  $A_3, A_2, A_1$  e  $A_0$  são os bits individuais e  $A_0$  é o LSB. Projete um circuito lógico que gere uma saída em nível ALTO sempre que o número binário for maior que 0100 e menor que 1010. Obtenha a expressão de saída usando mapa K.

(Obs.: Mesmo problema da Lista 3, porém, agora usando mapa K.)

4.(Tocci et al. 2019) A figura abaixo mostra um diagrama para um circuito de alarme de automóvel usado a fim de se detectar determinada condição indesejada. As três chaves são usadas para indicar o estado da porta do motorista, da ignição e dos faróis, respectivamente. Projete um circuito lógico com essas três chaves como entrada, de modo que o alarme seja ativado sempre que ocorrer uma das seguintes condições:

- Os faróis estão acesos e a ignição está desligada.
- A porta está aberta e a ignição está ligada.



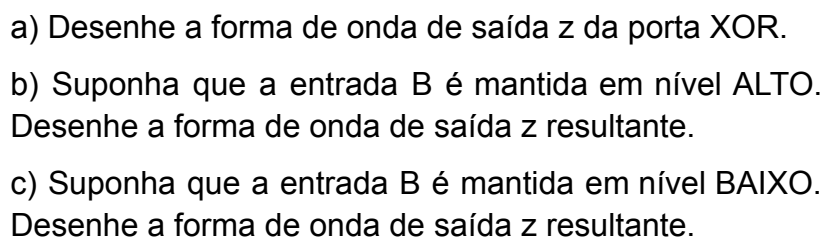
5. (Tocci et al. 2019, adaptado) Quatro tanques grandes em uma indústria química contém diferentes líquidos sendo aquecidos. São utilizados os seguintes sensores para monitoramento:

- Sensores de nível de líquido nos tanques A e B: detectam sempre que o nível de um desses tanques sobe acima de um nível predeterminado. Quando em nível satisfatório, as saídas A e B desses sensores são nível BAIXO, e quando o nível for muito alto, são nível ALTO.
- Sensores de temperatura nos tanques C e D: detectam quando a temperatura de um desses tanques cai abaixo de determinado limite. Quando em temperatura satisfatória, as saídas C e D desses sensores são nível BAIXO; quando a temperatura for muito baixa, são nível ALTO.

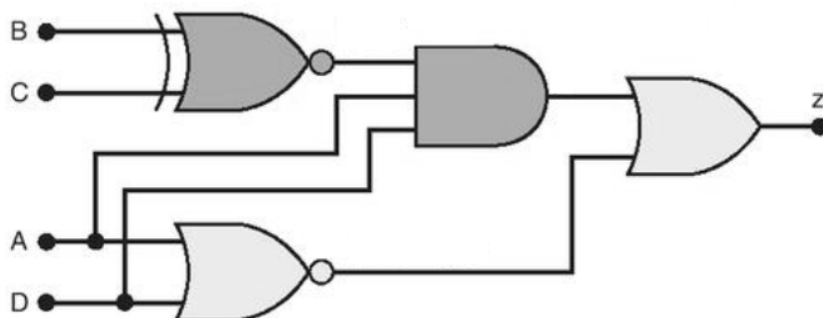
Projete um circuito lógico que detecte sempre que o nível no tanque A ou no tanque B for alto, ao mesmo tempo que a temperatura em um dos tanques C ou D for muito baixa.

6. (Tocci et al. 2019, adaptado) Considere um circuito de controle em uma máquina copiadora. Este circuito possui quatro chaves (S1, S2, S3 e S4) posicionadas em diferentes locais ao longo da trajetória do papel dentro da máquina. No estado normal, cada chave está aberta. Quando o papel passa sobre uma chave, ela é fechada. Sabe-se que é impossível o fechamento simultâneo das chaves S1 e S3. Projete um circuito lógico que gere saída em nível ALTO sempre que *duas ou mais* chaves estiverem fechadas ao mesmo tempo. Use o mapa K e aproveite as vantagens das condições de irrelevância.

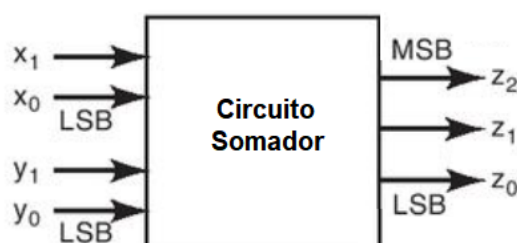
7. Considere uma porta XOR com entradas A e B. O diagrama de tempo dessas entradas (A e B) é mostrado na figura a seguir.



9. Para analisar a operação do circuito abaixo, monte uma tabela-verdade que mostre o estado lógico em cada nó intermediário do circuito e o estado lógico da saída.



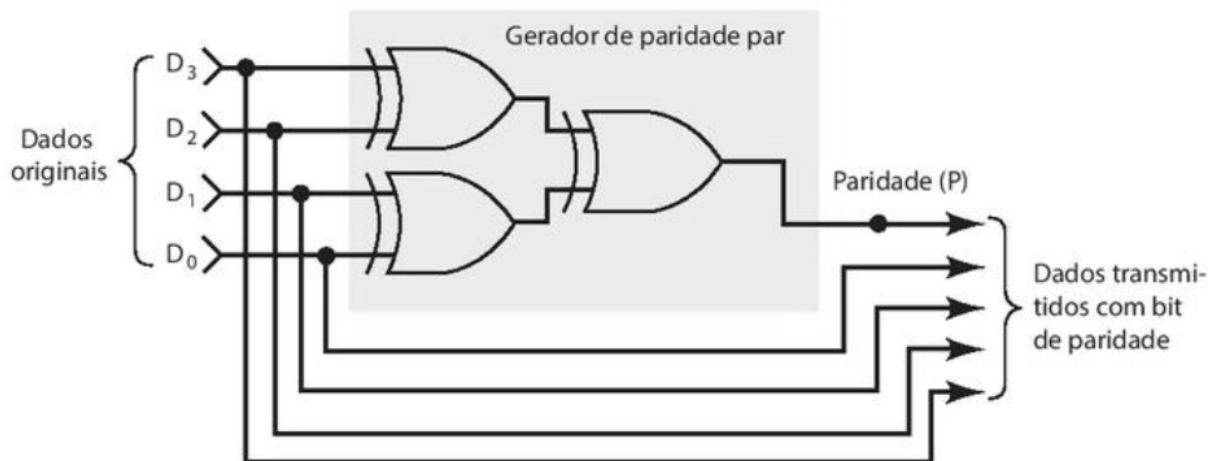
12. Considere um circuito somador, como mostrado na figura abaixo, que recebe dois números binários de 2 bits ( $x_1x_0$  e  $y_1y_0$ ) e gera um número binário de saída  $z_2z_1z_0$  igual à soma aritmética dos dois números de entrada. Projete as expressões booleanas de um circuito lógico para o somador. Verifique se seria possível usar uma porta XOR ou XNOR na expressão da saída  $z_0$ .



13. Determine a saída do gerador de paridade par para cada um dos conjuntos de dados de entrada ( $D_3D_2D_1D_0$ ). Para cada caso, aplique os níveis de dados às entradas do gerador de paridade e percorra o circuito passando por cada porta lógica até chegar à saída P.

a) 0000                      b) 0110                      c) 0010

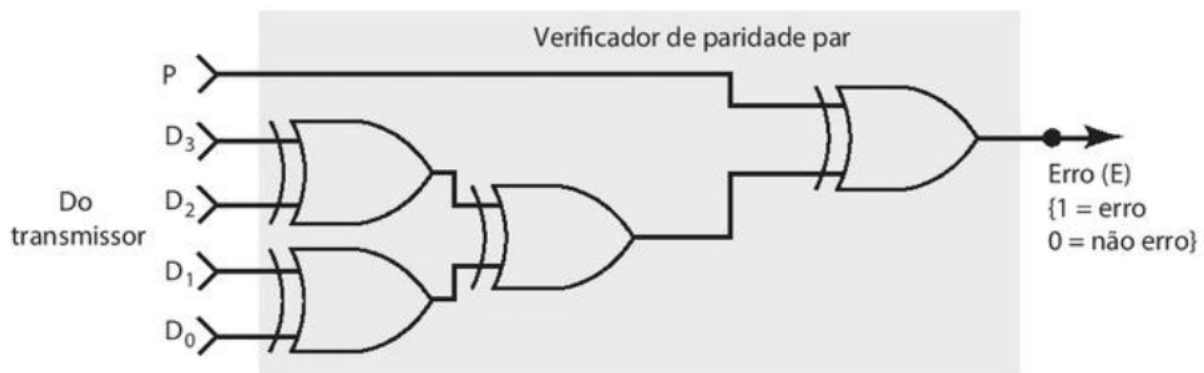
Verifique se os resultados estão corretos e justifique com base na forma de operação de um gerador de paridade par.



14. Determine a saída do verificador de paridade par para cada um dos conjuntos de dados enviados pelo transmissor ( $P D_3D_2D_1D_0$ ). Para cada caso, aplique esses níveis às entradas do verificador de paridade e percorra o circuito passando por cada porta lógica até chegar à saída E.

a) 11011                      b) 10010                      c) 10101

Verifique se os resultados estão corretos e justifique com base na forma de operação de um verificador de paridade par.



15. Usando um gerador de paridade ímpar, qual seria a saída desse gerador, ou seja, o bit de paridade, para cada um dos conjuntos de dados de entrada ( $D_3D_2D_1D_0$ )?

a) 0100                      b) 1010                      c) 1110

16. Projete um gerador e um verificador de paridade para operar com paridade ímpar. Para isso, modifique os circuitos do gerador e do verificador de paridade par mostrados nas questões 13 e 14.