

## Parte Teórica

**Cotações:** 1 a 8 – 0.5 cada; 9 – 2,5; 10 – 1,5; 11a – 2 b – 2 c – 2; 12a – 1 b – 2,5 c – 2,5

**Respostas 1 a 8 obrigatoriamente dadas na folha do enunciado**

1. CAN é usado:
  - c. Para ligar em rede maquinaria em instalações fabris
2. O SPI é um interface:
  - a. Síncrono
3. O conteúdo do Registo de Controle de um módulo de entrada/saída:
  - a. só pode ser escrito pelo processador
4. *Baud Rate* define:
  - b. o número de bits transmitidos por segundo
5. No USB 2.0 a comunicação é do tipo:
  - b. Half-duplex
6. A arbitragem no bus PCI é
  - b. Centralizada
7. Para a memória central dos computadores utiliza-se
  - b. DRAM
8. Numa unidade de disco em que o tempo médio de posicionamento das cabeças de leitura/escrita é de 4 ms e a velocidade rotacional é de 7200 rpm ( $\approx 8,3$  ms por rotação), o tempo médio de acesso a um bloco situado no cilindro em que as cabeças se encontram posicionadas é
  - c. 4,15 ms
9. Na invocação de procedimentos a convenção usada no MIPS é a de que o conteúdo dos registos temporários (\$t0 a \$t9) não necessita de ser preservado pelo procedimento. No entanto o conteúdo desses registos é preservado pelas rotinas de serviço a interrupções. Explique a razão.

Um procedimento é explicitamente invocado pelo programa em execução, pelo que é possível estabelecer regras quanto à repartição do trabalho entre invocador (programa) e invocado (procedimento) na salvaguarda do contexto (i.e. dos registos). No MIPS essa responsabilidade é repartida entre invocador (que tem de salvar os registos \$t que está a utilizar) e o invocado (que tem de salvar os registos \$s que necessita de utilizar)

Uma interrupção é um acontecimento externo ao programa que está a executar quando ela ocorre, e que é transparente a este, isto é o programa ignora que é interrompido e há que garantir que executa corretamente qualquer que seja o número de vezes que é interrompido. Para isso é necessário que as rotinas de serviço das interrupções salvaguardem o conteúdo de todos os registos antes de iniciarem o seu trabalho e o restabeleçam antes de retornar.
10. Considere uma linha série operando a 9600 baud, em que os caracteres são codificados com 8 bits com paridade par e um stop bit. Quantos caracteres são transmitidos por segundo?

$8 \text{ bits} + 1 \text{ stop bit} + 1 \text{ start bit} = 10 \text{ bits}$   
 $960/10 = 96 \text{ caracteres/s}$
11. Num dado processador a mudança de contexto e o início da execução da rotina de tratamento da interrupção consome 500 ciclos de relógio (e igual número de ciclos para retomar a execução do

## Parte Teórica

programa que estava a ser executado quando ocorreu a interrupção). Por outro lado o *polling* de um dispositivo de E/S consome 250 ciclos. Um dispositivo de E/S ligado ao processador gera 200 pedidos por segundo, em que cada pedido consome 5000 ciclos após a rotina de serviço da interrupção ter iniciado a execução. Quando não estão a ser usadas interrupções o processador interroga o dispositivo cada 0,5ms.

- a. Quantos ciclos por segundo gasta o processador a atender o dispositivo quando são usadas interrupções?

$$500 + 5000 + 500 = 6000 \text{ ciclos / interrupção}$$

$$6000 * 200 = 1,2 * 10^6 \text{ ciclos/s}$$

- b. Quantos ciclos por segundo são gastos em I/O quando é usado *polling*? (não inclua tempos de mudança de contexto no cálculo)

$$\text{Nº de vezes por segundo que o processador interroga o periférico} = 1/(0,5 * 10^{-3}) = 2000$$

$$\text{Nº de ciclos/s gastos} = 2000 * 250 + 200 * 5000 = 1,5 * 10^6 \text{ ciclos/s}$$

- c. Qual a frequência com que o processador teria de interrogar o dispositivo para que *polling* consumisse tantos ciclos como as interrupções? Seria essa frequência de *polling* capaz de responder às exigências do dispositivo de E/S?

$$x * 250 + 200 * 5000 = 1,2 * 10^6 \quad x = 800$$

O processador teria de interrogar o dispositivo 800 vezes/s (cada 1,25 ms)

12. Um sistema de 32-bits com a memória byte-addressable tem uma cache direct-mapped de 64 Bytes. Determinado programa gera a seguinte série de referências, indicadas como endereços de palavras: 1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17

Assuma que cada linha da cache tem uma palavra:

- a. Quantas linhas tem a cache?

Arquitetura de 32-bits: 4 bytes/palavra  $64/4 = 16$  linhas

- b. Assumindo que a cache está inicialmente vazia, indique quais as referências da lista que são *hits* e quais são *misses*

Endereço de memória	Linha da cache onde é mapeado o endereço	Hit /Miss
1	$1 \bmod 16 = 1$	M
4	$4 \bmod 16 = 4$	M
8	$8 \bmod 16 = 8$	M
5	$5 \bmod 16 = 5$	M
20	$20 \bmod 16 = 4$	M
17	$17 \bmod 16 = 1$	M
19	$19 \bmod 16 = 3$	M
56	$56 \bmod 16 = 8$	M
9	$9 \bmod 16 = 9$	M
11	$11 \bmod 16 = 11$	M
4	$4 \bmod 16 = 4$	M
43	$43 \bmod 16 = 11$	M
5	$5 \bmod 16 = 5$	H
6	$6 \bmod 16 = 6$	M
9	$9 \bmod 16 = 9$	H
17	$17 \bmod 16 = 1$	H

## Parte Teórica

c. Indique qual o conteúdo final da cache

Linha da cache	Endereço de memória da palavra em cache
0	
1	17
2	
3	19
4	4
5	5
6	6
7	
8	56
9	9
10	
11	43
12	
13	
14	
15	