

EXAME TEÓRICO - ARQUITECTURA DE COMPUTADORES II

25/06/2012

GRUPO I – 0,5 cada

10) Num device driver para uma UART (porta série RS232) utilizam-se tipicamente:

- a) Estruturas de dados do tipo FIFO como meio de comunicação com a aplicação de alto nível, sendo o envio e recepção de caracteres da UART processados por interrupt.
- b) Interrupções para sinalizar a aplicação de alto nível de que foi recebido um novo carácter ou que a UART está disponível para o envio de um carácter
- c)
- d) Buffer circular para recepção e envio de um carácter por *polling*

Resposta a

11) Sabendo que num dado sistema computacional cada Bus Cycle quer para leitura quer para escrita, demora 100ns. Para a transferência de 512 words (de 32 bits), um controlador de DMA de 16 bits, não dedicado, a funcionar em modo bloco, necessita de:

- a) 51,2 μ s
- b) 102,4 μ s
- c) 204,8 μ s
- d) Nenhuma das respostas está correcta

Resposta c

$T = 100n * 2$ (como o DMA tem 16 bits, precisamos de 2 bus cycle / palavra)
 $* 2$ (como precisa de um bus cycle para leitura e outro para escrita) $* 512$
(queremos transferir 512 palavras) = 204,8 μ s

12) O *dirty bit* é usado numa cache com política de escrita:

- a) *Write-Through* para indicar que a informação armazenada no respectivo bloco foi alterada
- b) *Write-Through* para indicar que o respectivo bloco não está a ser usado
- c) *Write-Back* para indicar que a informação armazenada no respectivo bloco foi alterada
- d) *Write-Back* para indicar que o respectivo bloco não está a ser usado

Resposta c

13) Numa cache com associatividade de 2 de 4Kbytes e 256 linhas, o número de comparadores necessários para comparar o campo *tag* de um endereço de acesso à memória é:

- a) 2
- b) 256
- c) 2048
- d) Nenhuma das opções está correcta

Resposta a

14) A técnica de memória virtual permite:

- a) A utilização de armazenamento secundário para aumentar a dimensão aparente da memória física do sistema
- b) Que o espaço de endereçamento de um processo excede o limite de memória física disponível
- c) Implementar mecanismos de protecção dada a independência dos espaços de endereçamento de cada processo.
- d) Todas estão certas

Resposta d

15) A tradução de endereços virtuais em endereços físicos consiste na tradução de:

- a) *Virtual Page Number* no *Physical Page Number* e sua justaposição com o *page offset* do endereço produzido pelo CPU
- b) *Physical Page Number* no *Virtual Page Number* e sua justaposição com o *page offset* do endereço produzido pelo CPU
- c) *Physical Page Offset* no *Virtual Page Offset* e sua justaposição com o *page number* do endereço produzido pelo CPU
- d) *Virtual Page Offset* no *Physical Page Offset* e sua justaposição com o *page number* do endereço produzido pelo CPU

Resposta a

16) As páginas de memória virtual possuem normalmente:

- a) A mesma dimensão dos blocos da cache para tirar partido das transferências por DMA
- b) Uma dimensão de algumas centenas ou milhares de bytes para tirar partido das transferências por DMA
- c) Uma dimensão em bytes correspondente a uma potência de base 2 para tirar partido das transferências por DMA
- d) Nenhuma das respostas anteriores está certa

Resposta b

GRUPO II – 0,8 cada

17) Considere um timer de 16 bits com reset síncrono, com uma frequência de entrada de 10MHz, que funciona em modo alternado, com duas constantes de divisão k_A e k_B . Utilizando o timer como divisor de frequência, e supondo que o tempo a “1” do sinal é determinado pela constante k_A , para se obter à saída um sinal com um período de 10ms e *duty-cycle* de 45%, a constante k_A deverá valer:

- a) 44999
- b) 45000
- c) 54999
- d) Nenhuma das respostas está correcta

Resposta a

$10 \cdot 10^6 \text{ Hz}$

$\div K$
 $K_A + K_B$

100 Hz

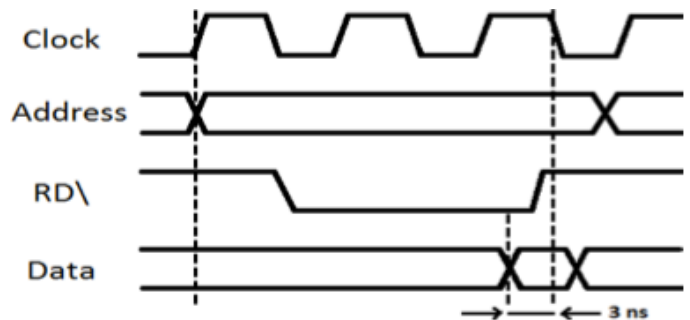
$K = 10 \cdot 10^6 / 100 = 100000$ (se reset assíncrono)

$K = 100000 - 2 = 99998 = K_A + K_B$ (se reset síncrono)

$K_A = (100000 \cdot 0,45) - 1 = 44999$

18) Considere um CPU a funcionar a uma frequência de 100MHz ligado a uma memória com tempo de acesso de 10ns. O CPU suporta transferência do tipo semi-síncrono, estando o ciclo de leitura, sem *wait-states*, representado na figura ao lado (note o tempo de setup de 3ns). No barramento de dados que interliga o CPU e a memória existe um buffer com tempo de propagação de 4ns e o decodificador que gera o sinal de selecção para a memória apresenta um atraso de propagação de 6ns. Para que este sistema funcione correctamente, o número de *wait-states* que é necessário introduzir no ciclo de leitura é:

- a) 0
- b) 1
- c) 2
- d) Nenhuma das respostas está correcta



Resposta a

$$T = 1/100M = 1 \cdot 10^{-8}s$$

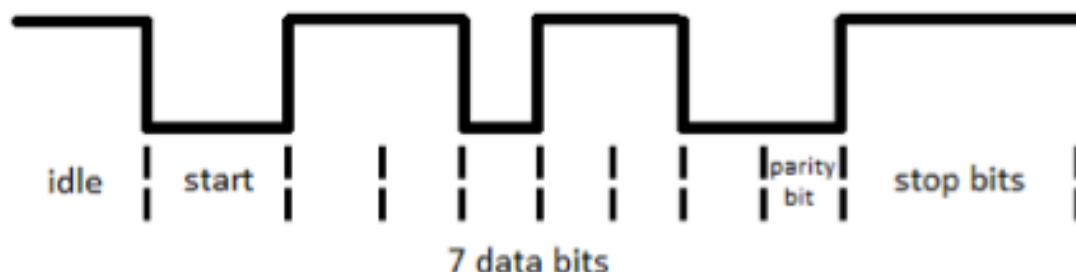
$$\text{Temos 2,5 ciclos} \rightarrow T = 2.5 \cdot 10^{-8}s = 25ns$$

$$10n \text{ (tempo de acesso)} + 4ns + 6ns \text{ (atrasos de propagação)} + 3ns \text{ (uma vez que tem de estar tudo transferido antes de chega ao tempo de setup)} = 23ns$$

Como tempo acesso da memória é menor que o ciclo de leitura, não são necessários wait-states.

19) Um dispositivo com interface RS232 é configurado para transmitir com 7 bits de dados, paridade par, e 2 *stop bits*, produz a trama seguida que é recebida por outro dispositivo RS232 incorrectamente configurado para 8 bits de dados, paridade par e 1 *stop bit* mas com o mesmo *baudrate*. Nestas circunstâncias o receptor:

- a) Vai detectar uma trama inválida devido a um número incorrecto de *stop bits*
- b) Vai detectar um erro de paridade
- c) Vai detectar um erro de paridade e uma trama inválida devido a um número incorrecto de *stop bits*
- d) Não vai detectar qualquer erro



Resposta b

Vai detectar erro de paridade, uma vez que o parity bit vai ser detectado como 1 no receptor.

20) Considere um sistema de supervisão, baseado no protocolo I2C, que recolhe periodicamente informação proveniente de 10 sensores de temperatura, cada um deles com uma resolução de 8 bits (i.e. 8 bits de dados). O tempo minimo que o master, a funcionar com uma frequência de relógio de 400KHz, necessita para adquirir os valores de todos os sensores (cada um implementado num slave distinto) é, aproximadamente:

- a) 0,40ms
- b) 0,45ms
- c) 0,50ms
- d) Nenhuma das respostas está correcta

Resposta c

1 start bit + 7 bits de endereço + 1 bit WR\ + 1 bit acknowlegde + 8 bits dados + 1 bit not acknowledge + 1 stop bit=20 bits

$$T=1/400K = 2.5\mu s$$

$$2.5 * 20(\text{bits}) * 10 (\text{são 10 sensores de temperatura}) = 500\mu s = 0.50 \text{ ms}$$

21) O número total de pinos (excluindo as linhas de alimentação) de um circuito integrado de uma memória dinâmica de 8Mx16, com um sinal único de controlo de leitura/escrita é:

- a) 30
- b) 31
- c) 42
- d) Nenhuma das respostas está correcta

Resposta b

$$8M = 2^3 * 2^{20} = 2^{23} = 2^{2*11.5} \rightarrow 12 \text{ bits}$$

$$12 + 16 + 2(\text{para escolher linha e coluna}) + 1 (\text{de controlo}) = 31$$

22) Suponha que dispõe de 16 circuitos de memória de 1Mx4. Usando todos estes circuitos é possível construir um módulo de memória de:

- a) 2Mx64
- b) 4Mx32
- c) 8Mx8
- d) Nenhuma das respostas está correcta

Resposta c

$$16 = 16 * 1 \rightarrow 16M * 4$$

$$16 = 8 * 2 \rightarrow 8M * 8 \rightarrow \text{resposta c}$$

$$16 = 4 * 4 \rightarrow 4M * 16$$

23) Considere um processador com um espaço de endereçamento de 32 bits e uma memória cache com associatividade de 4, de 512Kbyte e blocos de 32 bytes. A dimensão em bits, dos campos *tag*, *set*, e *byte* é:

- a) *Tag*: 13, *Sel*: 14, *Byte*: 5
- b) *Tag*: 15, *Sel*: 12, *Byte*: 5
- c) *Tag*: 15, *Sel*: 14, *Byte*: 3
- d) Nenhuma das respostas está correcta

Resposta b

Espaço de end. 32 bits

Mem. Cache com associatividade 4, de 512kB (dimensão total da zona de dados) $\rightarrow 512K/4 = 128K = 2^{17} \rightarrow 17$ bits

E blocos de 32 bytes $\rightarrow 2^5 \rightarrow$ **5bits para byte**

$17 - 5 =$ **12 bits para set**

$32 - 17 =$ **15 bits para tag**

24) O número mínimo de bits de controlo (excluindo os de dados) necessários para a implementação de uma memória cache com mapeamento directo, de 64Kbyte de dados organizados em blocos de 16 Bytes, com política de escrita do tipo *write-through*, num espaço de endereçamento de 32 bits é:

- a) 64K
- b) 68K
- c) 72K
- d) Superior a 100K

Resposta b

$64K = 2^{16} \rightarrow 16$ bits

blocos de 16 bytes $= 2^4 \rightarrow$ **4 bits para o byte**

$32 - 16 =$ **16 bits para a tag**

$16 - 4 = 12$ bits para o group

$2^{12} = 4K = 4096$ linhas da cache, em cada linha 1 bit valid + 16 tag = 17 bits de controlo

$17 * 4096 = 68K$

25) Num dado processador um endereço virtual é representado com 32 bits, dos quais 11 bits são usados para o *page offset*. Este processador é usado num sistema com 26Bytes de memória física. Nestas circunstâncias o número de páginas virtuais e físicas é respectivamente:

- a) 1M e 2M
- b) 2M e 2K
- c) 2M e 1M
- d) Nenhuma das respostas está correcta

Resposta c

$32 - 11 = 21 \rightarrow 2^{21} =$ **2M**

2GB $\rightarrow 31$ bits $- 11 = 20 \rightarrow 2^{20} =$ **1M**

26) Na técnica de memória virtual, o número de entradas TLB é:

- a) depende da implementação sendo sempre muito inferior ao número máximo de entradas da page table
- b) igual ao número máximo de páginas virtuais
- c) igual ao número máximo de páginas virtuais de memórias usadas pelo processo em execução
- d) igual ao número de entradas da page table

Resposta a

27) Num sistema que suporte um nível de cache e memória virtual:

- a) No espaço de armazenamento secundário (disco) estão armazenadas as páginas de memória virtual mais recentemente acedidas e na memória cache estão armazenados os blocos dessas páginas mais recentemente acedidas.
- b) Os blocos da cache e as páginas de memória são tipicamente da mesma dimensão
- c) Enquanto é efectuado o processamento de um *page fault* de um processo, o processador pode estar ocupado a executar outro processo
- d) Todas as opções estão correctas

Resposta c

28) Num sistema de memória virtual de 32 bits em que a dimensão da página é de 2kBytes, a page table de cada processo tem um total de:

- a) 4k entradas
- b) 1M
- c) 2M
- d) nenhuma das anteriores

Resposta c

$2k = 2^{11} \rightarrow 11 \text{ bits}$

32 bits

$\rightarrow 32 - 11 = 21 \rightarrow 2^{21} = 2M$

GRUPO III – 0,8 cada

Um sistema possui um espaço de endereçamento virtual de 4Gbytes, páginas de memória de 4KBytes e 1GByte de memória física. Considere também:

- Que num dado instante está a executar um processo cujo *Page Table Register* possui o valor 0x01230000
- Que cada entrada da *Page Table* possui 32 bits, está alinhada em endereços múltiplos de 4 e contém a seguinte informação e flags:

| | | |
|--|-----------------------------------|----------------------|
| <i>Valid, Dirty, Read, Write, Execute flags</i> [31:27] | <i>Bits não usados</i> [26:18] | <i>PPN</i> [17:0] |
|--|-----------------------------------|----------------------|

- O conteúdo de algumas posições da memória principal a seguir indicados:

| Endereço | Valor |
|------------|------------|
| ... | |
| 0x0123000C | 0xB000600C |
| 0x01230010 | 0xF0005007 |
| 0x01230014 | 0xA8000005 |
| 0x01230018 | 0x9000000E |
| ... | |

29) Num acesso à memória, o CPU produz o endereço 0x0000600C. Qual o endereço físico que é traduzido?

- a) 0x0000500C
- b) 0x0000E00C
- c) 0x00005007
- d) Nenhuma das respostas está certa

Resposta b

0x01230000 -> end. Inicial da page table

páginas têm $4k=2^{12}$ -> 12 bits

00C -> corresponde à página

00006 -> PNN

*4 -> pq os end. São múltiplos de 4

= 24 -> $0x18 + 0x01230000 = 0x01230018$ -> 0x9000000E

PPN -> $0000E + 00C = 0x0000E00C$

30) O processo em execução pode aceder ao endereço virtual 0x00004014 para:

- a) Leitura
- b) Escrita
- c) Leitura e Escrita
- d) Nenhuma está certa

Resposta c

VPN -> $0x0004 * 4 = 16$ -> 0x0010

-> 0x01230010

-> 0xF00005007

leitura e escrita estão no 4º e 5º bit

1111 -> permissão para leitura e escrita

31) No caso de ser necessário substituir a página física que contém o endereço 0x0005001 por uma nova página, haverá necessidade de a salvar previamente?

- a) Não, porque a respectiva flag Dirty não está activa
- b) Não, porque a respectiva flag Write não está activa
- c) Sim, porque a respectiva flag Dirty está activa
- d) Sim, porque a respectiva flag Write está activa

Resposta a

0x0005001

->0xA8000005

1010 -> dirty bit desactivo

!se a página não tem permissão de escrita->dirty não pode estar activo