

2. Pode usar até um máximo de 4 respostas duplas (por cada dupla: 0 certas desconta 2/3, 1 certa desconta 1/3). Se usar mais de 4 duplas, serão aceites as 4 primeiras e as restantes serão consideradas respostas erradas.
3. Durante a realização do teste não é permitida a permanência junto do aluno, mesmo que desligado, de qualquer dispositivo eletrónico não expressamente autorizado (nesta lista incluem-se calculadoras, telemóveis, *smartwatches* e qualquer outro dispositivo de captura de imagem e/ou comunicação). A sua deteção durante a realização do exame implica a imediata anulação do mesmo.

### Grupo 1

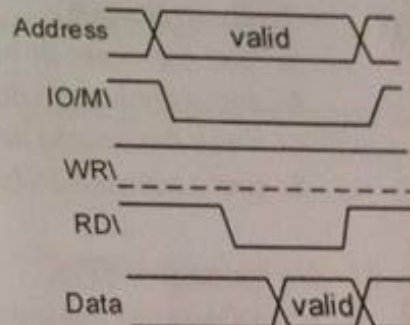
1. O modelo de programação de um periférico especifica:
  - a. a funcionalidade do periférico e o conjunto de registos de dados de controlo e de status
  - b. o sub-conjunto de instruções *assembly* do CPU suportadas por esse periférico
  - c. os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores
  - d. as arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado
2. Na arquitetura de um sistema computacional, o *Data Bus* permite:
  - a. identificar, na memória externa/periférico, a origem/destino dos dados
  - b. especificar o tipo de operação efetuada sobre a memória
  - c. transferir dados entre a memória externa/periféricos e os registos do CPU
  - d. transferir o código máquina das instruções para o *program counter*

Quando é usada a técnica de entrada/saída de dados por interrupção:

- a. o periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados
- b. o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados
- c. o CPU interrompe a execução do programa para configurar o controlador de DMA que fará a transferência propriamente dita
- d. o DMA verifica através de um ciclo de *polling* se o periférico está pronto para transferir os dados e quando tal se verifica gera um pedido de interrupção ao CPU

O diagrama temporal da figura do lado representa um ciclo de:

- a. leitura de um dispositivo mapeado no espaço de endereçamento de memória
- b. escrita num dispositivo mapeado no espaço de endereçamento de I/O
- c. escrita num dispositivo mapeado no espaço de endereçamento de memória
- d. leitura de um dispositivo mapeado no espaço de endereçamento de I/O



overhead da transferência de informação por interrupção é devido, no essencial, a:

- a. retorno ao programa interrompido
- b. salto para a rotina de serviço à interrupção
- c. salvaguarda e reposição do contexto do programa interrompido, i.e., registos internos do CPU
- d. configuração do controlador de interrupções

na organização do sistema de interrupções designada por "interrupções vetorizadas", o processador identifica o periférico gerador da interrupção:

- por hardware através da leitura do valor presente no barramento de endereços uma vez que quando o periférico ativa a linha de interrupção coloca simultaneamente nesse barramento o seu vetor
- por software, antes de chamar a rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema
- por software na rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema
- por hardware num ciclo de *interrupt acknowledge* durante o qual o periférico gerador da interrupção coloca o vetor no barramento de dados

7. Numa transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar início a uma transferência:
- ativa o sinal *busreq*, iniciando a transferência logo que reconheça a ativação do sinal *bus grant*
  - ativa o sinal *busreq* durante um número fixo de ciclos de relógio, e inicia de seguida a transferência
  - gera uma interrupção sinalizando desse modo o CPU que vai iniciar uma transferência de dados
  - sinaliza o CPU, através da linha *busreq*, que vai dar início à transferência e inicia-a de imediato. O sinal *busgrant* é utilizado pelo CPU para suspender a atividade do DMA

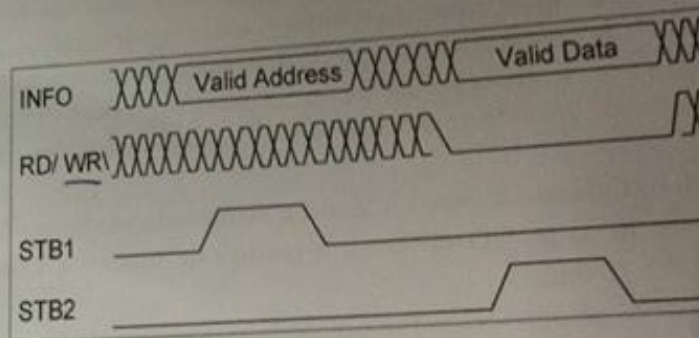
8. Considere um *timer* em que a relação entre as frequências de entrada e de saída é dada por  $(k+1)$  em que  $k$  é uma constante configurável. Se a frequência de entrada do *timer* for 20MHz e se se pretender obter à saída um sinal com um período de 2ms, o valor de  $k$  deve ser:

$$20\,000\,000 \times 10^{-6} - 1 = 1999$$

- $k = 10 \times 10^9$
- $k = 1999$
- $k = 39999$
- $k = 9999$

9. A figura do lado corresponde ao diagrama temporal de:

- uma operação de escrita numa transferência síncrona com dados e endereços multiplexados numa configuração micro-ciclo
- uma operação de escrita numa transferência síncrona com dados e endereços não multiplexados numa configuração *merged*
- uma operação de leitura numa transferência assíncrona com dados e endereços multiplexados numa configuração micro-ciclo
- uma operação de escrita numa transferência assíncrona com dados e endereços não multiplexados numa configuração *merged*



10. Na interface RS-232 uma das fontes de erro do instante de amostragem dos vários bits no recetor é o "erro de Esse erro diminui:

- com o aumento do número de stop bits
- com a diminuição do tamanho da trama
- com a diminuição do fator de sobreamostragem
- com o aumento do fator de sobreamostragem

11. No barramento SPI:

- só é possível transmitir dados entre dois dispositivos em modo *half duplex*
- o *slave* e o *master* utilizam relógios independentes para sincronizar as transferências de informação
- as transferências de informação são sincronizadas pelo relógio do *master*
- o *master* usa o relógio do *slave* para sincronizar as transferências de informação



12. Na interface I2C o endereçamento/seleção dos dispositivos é realizado através de:

- a. um sinal específico ativado pelo dispositivo que comanda a transferência
- b. informação transmitida na linha de relógio pelo dispositivo que comanda a transferência
- c. um barramento de endereços de 7 bits a partir do qual cada dispositivo descodifica o seu próprio endereço
- d. informação transmitida na linha de dados pelo dispositivo que comanda a transferência

13. A interface I2C é caracterizada fisicamente por apresentar:

- a. uma linha de relógio e duas linhas de dados (uma para transmitir e outra para receber)
- b. uma linha de relógio, uma linha de seleção e uma linha de dados
- c. uma linha de relógio e uma linha de dados
- d. uma linha de relógio, uma linha de seleção e duas linhas de dados (uma para transmitir e outra para receber)

14. No protocolo USB para transferir grandes quantidades de dados com garantia de entrega são usadas:

- a. transferências de controlo
- b. transferências "bulk"
- c. transferências isócronas
- d. transferências de interrupção

15. A topologia das ligações físicas, no protocolo USB, é:

- a. um anel com um máximo de 7 dispositivos
- b. uma estrela com um máximo de 7 dispositivos
- c. uma árvore com um máximo de 127 níveis
- d. uma árvore com um máximo de 7 níveis

16. No barramento CAN, cada trama de dados contém:

- a. a identificação do nó produtor da informação
- b. a identificação do nó destino da informação
- c. a identificação do conteúdo da informação
- d. a identificação dos dois nós: o produtor e o destino da informação

17. No barramento CAN a codificação das tramas de dados utiliza a técnica de "bit stuffing". Essa técnica co

- a. por cada 5 bits iguais é inserido um de polaridade oposta
- b. por cada bit enviado é inserido um de polaridade oposta
- c. por cada 5 bits diferentes é inserido um a '0'
- d. por cada 5 bits iguais é inserido um a '1'

18. Numa memória estática SRAM:

- a. as células necessitam de refrescamento regular
- b. cada célula de 1 bit é implementada com um mínimo de 6 transistores
- c. o tempo de acesso aumenta com o valor do endereço
- d. existe um único barramento para dados e endereços de modo a diminuir o número de pinos do CI

19. Numa memória dinâmica DRAM de 256Mx1, implementada com uma matriz quadrada, o número de endereços é

- a. 8
- b. 1
- c. 27
- d. 14

20. O número de comparadores necessário para a implementação de uma cache de mapeamento direto de 16 kbytes, bloco de 64 bytes e 256 linhas é:
- 256
  - 1
  - 16
  - 64
21. O *dirty bit* é usado numa cache com política de escrita:
- "write-back" para indicar que a informação armazenada no respetivo bloco foi alterada
  - "write-back" para indicar que o respetivo bloco não está a ser usado
  - "write-through" para indicar que a informação armazenada no respetivo bloco foi alterada na memória principal
  - "write-through" para indicar que o respetivo bloco não está a ser usado
22. Na técnica normalmente designada por "memória virtual" o número de entradas da *page table* é:
- igual ao número de entradas da memória TLB
  - igual ao número máximo de páginas físicas
  - igual ao número de páginas de memória física usadas pelo processo em execução
  - igual ao número máximo de páginas virtuais
23. O *valid bit* de uma entrada da *page table*, quando ativo, indica que:
- a respetiva página foi acedida recentemente
  - a respetiva página está residente em memória física
  - a informação da respetiva página foi alterada
  - a respetiva página está residente em disco
24. A tradução de endereços virtuais em endereços físicos consiste:
- na tradução do *physical page number* no *virtual page number* e sua concatenação com o *page offset* do endereço produzido pelo CPU
  - na tradução do *virtual page offset* no *physical page offset* e sua concatenação com o *virtual page number* do endereço produzido pelo CPU
  - na tradução do *virtual page number* no *physical page number* e sua concatenação com o *page offset* do endereço produzido pelo CPU
  - na tradução do *physical page offset* no *virtual page offset* e sua concatenação com o *virtual page number* do endereço produzido pelo CPU
25. Num sistema que suporte memória virtual e cache qual das seguintes situações pode ocorrer num acesso à memória:
- TLB miss, page table miss, cache hit
  - TLB miss, page table hit, cache miss
  - TLB hit, page table miss, cache miss
  - TLB hit, page table miss, cache hit

## Grupo II

O sinal de seleção "Sel" (ativo alto) de um porto mapeado na gama de endereços 0x0000...0x03FF do processador com um espaço de endereçamento de 16 bits pode ser obtido através da expressão:

$$a. Sel = \prod_{i=10}^{15} A_i$$

$$b. Sel = \prod_{i=0}^9 A_i$$

$$c. Sel = \prod_{i=0}^9 A_i$$

$$d. Sel = \prod_{i=10}^{15} A_i$$

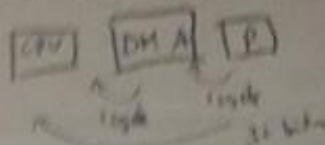
27. Considere um sistema baseado num CPU a funcionar a uma frequência de 10 MHz. A rotina de leitura faz 10 instruções por segundo.  $CPI = 21$  que processa por interrupção eventos externos periódicos. A rotina de escrita e interrupção tem 80 instruções e verifica-se experimentalmente que a máxima frequência a que os eventos externos podem ocorrer é 50 kHz. Nestas condições pode estimar-se que o overhead total do atendimento a interrupções é:

- a. 30 ciclos de relógio
- b. 40 ciclos de relógio
- c. 48 ciclos de relógio
- d. 60 ciclos de relógio

28. Considere um controlador de DMA de 32 bits não dedicado, a funcionar em modo bloco, em que um bus cycle é realizado em 1 ciclo de relógio. Se a frequência de funcionamento do DMA for 500 MHz, o tempo necessário para transferir 512 words de 32 bits é:

- a. 4096 ns
- b. 2048 ns
- c. 512 ns
- d. 1024 ns

$$32 \text{ bits} = 4 \text{ bytes} \Rightarrow 4 \text{ words}$$



29. Suponha que dispõe de 16 circuitos de memória de  $1M \times 4$ . Usando todos estes circuitos é possível construir um módulo de memória de:

- a.  $1M \times 16$
- b.  $2M \times 64$
- c.  $4M \times 32$
- d.  $8M \times 8$

30. Considere um espaço de endereçamento de 32 bits e uma memória cache parcialmente associativa com associatividade de 4, de 512 kByte e blocos de 32 bytes. O número de bits do campo "group/set" do endereço é:

- a. 13
- b. 12
- c. 14
- d. 15

31. Suponha um sistema de memória de 2 níveis que responde a um acesso a uma posição de memória que se encontra na cache em 2 ciclos de relógio e a um acesso a uma posição de memória que se encontra na memória principal e 100 ciclos de relógio. Nestas condições, o número médio de ciclos de relógio no acesso à memória, numa sequência com um hit ratio de 90%, é, aproximadamente, de:

- a. 12 ciclos de relógio
- b. 15 ciclos de relógio
- c. 16 ciclos de relógio
- d. 90 ciclos de relógio

32. Num sistema de memória virtual com páginas de 8 kBytes, em que a page table de cada processo tem 256k entradas, o número de bits do espaço de endereçamento virtual é:

- a. 29
- b. 30
- c. 31
- d. 32



Um sistema possui um espaço de endereçamento virtual de 4 GBytes, páginas de memória de 4 kBytes e 1 GByte de memória física. Considere também:

- que o *Page Table Register* tem o valor **0x04A38000**
- que cada entrada da *page table* tem 32 bits, está alinhada em endereços múltiplos de 4 e contém a seguinte informação e flags:

Valid, Dirty, Read, Write, Execute [31:27]	Bits não usados [26:18]	PPN [17:0]
---	----------------------------	---------------

- o valor armazenado nas posições da memória principal a seguir indicadas:

Endereço	Valor
...	...
0x04A38014	0xB0006004
0x04A38010	0xA8003207
0x04A3800C	0xF0000105
0x04A38008	0x2000007E
...	...

33. Num acesso à memória, o CPU produz o endereço **0x0000403C**. O endereço físico em que é traduzido é:
- 0x0600403C
  - 0x0010503C
  - 0xA87E003C
  - 0x0320703C

34. O processo em execução pode aceder ao endereço virtual **0x00004014** para:
- escrita
  - leitura e execução
  - apenas leitura
  - leitura e escrita

35. No caso de ser necessário substituir a página física que contém o endereço **0x00003A38** por uma nova página, haverá necessidade de a salvar previamente?
- sim, porque a respetiva *dirty flag* está ativa
  - sim, porque a respetiva *write flag* está ativa
  - não, porque a respetiva *dirty flag* não está ativa
  - não, porque a respetiva *write flag* não está ativa

**Questão extra:**

Considere um contador de 4 bits em que a frequência de relógio é 1 MHz. Calcule a frequência dos sinais de uma das 4 saídas do contador.