

Exercícios Teórico-Práticos

- 1) CPU, Memória, I/O
- 2) ALU, Unidade de Controle, Registros
- 3) Armazenar o endereço da próxima instrução
- 4) Fetch Instruction, Instruction Decode, Operand Fetch, Execute, Store Result
- 5) Traduzir de uma linguagem high-level para assembly
- 6) Traduzir de assembly para código máquina
- 7) 32 registros
- 8) 32 bits
- 9) Em formato R2: junc Rd, Rs, Rt
- 10) SRL: coloca um zero no bit mais significativo
SRA: clama o bit mais significativo (mantém o sinal)
- 11)
$$\$5 = \begin{matrix} 8 & 7 & 6 & 5 & 4 & 3 & 2 & 1 & 0 \end{matrix} \begin{matrix} 1000 & 0001 & 0011 & 0101 & 0100 & 1010 & 1011 & 0011 \end{matrix}$$

a) $\$3 = 0100\ 0000\ 1001\ 1010\ 1010\ 0101\ 0101\ 1001$
 $= 0x409AA559$
b) $\$4 = 1100\ 0000\ 1001\ 1010\ 1010\ 0101\ 0101\ 1001$
 $= 0xC09AA559$
- 12)
a) O método pelo qual um program pede um serviço ao kernel do sistema operativo
b) syscal

c) 32

d) 64

- 13) Um número único que identifica cada registo na memória
- 14) A gama total de endereços que o CPU consegue referenciar
- 15) • Registos internos, ALU, Unidade de controlo
• Multiplexers
• Coordena os elementos da datapath, gerando sinais de controlo
- 16) Implica que na memória possa residir, ao mesmo tempo, informação de natureza variada.
- 17) É codificado sob a forma de um número em binário, que contém informação sobre:
- 18) ISA - arquitetura de todas as operações/instruções que o processador pode executar
- 19) Processamento, Transferência de informação, controlo de fluxo de execução
- 20) Register-memory: Operandos residem em registos internos do CPU
Load-store: Operandos das instruções residem em registos internos do CPU de uso geral
↑
RIPS
- 21) Instruction fetch
" decode
Operand fetch
Execute
Store result

22) Address bus / Barramento de endereços

23) Transferência de informação

24)

| OpCode | reg | reg | reg | const |
|--------|-----|-----|-----|-------|
| 5 | 2 | 2 | 2 | 13 |

4 registros internos

=

00
01
10
11

são necessários

2 bits para referenciar

logo reg = 2 bits

Instruções → 24 bits

24

5 → OpCode

- 6 → 3 registros

13 → 13 bits restantes para const

$$2^{13} = 8,192$$

forma representativa
de constantes //

25)

a) 2^{32} endereços passíveis → 4 GB^{bits} de memória

b) 4 Gigabits = 0,5 gigabytes ou 500 Mega bytes

26) 2^{24} → forma total de endereços

32 → Apenas são referenciados "de 32 em 32" bits

=

524,288 → se dividirmos por 8 → 65 536

↓
aprox. 65 Megabytes

27)

a) 32 bits

b) Tem sempre o valor 0x00000000 e apenas pode ser lido

c) \$ra - \$31

28

a.b.c)

op - 6 bits - sempre 0 no formato R

rs - 5 " - 1º operando

rt - 5 " - 2º "

rd - 5 " - registo destino

shamt - 5 " - shift amount (não utilizado em R)

funct - 6 " - operação a realizar

d)

NOP

29)

SRL - se variavel unsigned

SRA - " signed

30)

OR \$15, \$0, \$4

31)

a) XOR \$5, \$13, \$24

xxxxx

01101

11000

00101

00000

100110

OpCode

\$13

\$24

\$5

shamt

funct
(XOR)

0x01B82826

b) sub \$25, \$14, \$8

| | | | | | |
|--------|-------|-------|-------|-------|--------|
| 000000 | 01110 | 01000 | 11001 | 00000 | 100010 |
| | \$14 | \$8 | \$25 | | sub |

0x01c8c822

c) sll \$3, \$9, 7

| | | | | | |
|--------|-------|-------|-------|-------|--------|
| 000000 | 00000 | 01001 | 00011 | 00111 | 000000 |
| | | \$9 | \$3 | 7 | sll |

0x000919c0

d) sra \$18, \$9, 8

| | | | | | |
|--------|-------|-------|-------|-------|--------|
| 000000 | 00000 | 01001 | 10010 | 01000 | 000011 |
| | | \$9 | \$18 | 8 | sra |

0x00099203

32)

$x = \$t2$
 $y = \$t5$
 $y = -3 \times x + 5$

$x + 5$ — addi \$t2, \$0, 5

$\$t1 = -3$ — addi \$t1, \$0, -3

$y = -3 \times x + 5$ — mult \$t1, \$t2

mflo \$t5

33)

sll \$a0, \$a0, 2 $\rightarrow x = x \gg 2$

add \$a2, \$a0, \$a1 $\rightarrow z = x + y$

sll \$t0, \$t0, 5 $\rightarrow a = a \gg 5$

sll \$t1, \$t1, 1 $\rightarrow b = 2 \times b (= \gg 1)$

sub \$t2, \$t0, \$t1 $\rightarrow c = a - b$

34)

a) $k = i + j;$

b) $j++;$

$k += j;$ ou $k += ++j;$

35)

a) $k = 4$

b) $k = 7$

ab) $k = 10$

36)

slt = "set less than"

Compara dois valores de dois registros, os resultados possíveis são 0 ou 1

Ex:

$\$t0 = 0 \quad \$t1 = 6 \quad \$t2 = 4$

slt $\$t0, \$t1, \$t2$

Irá comparar se o valor de $\$t1 < \$t2$, se sim $\$t0 = 1$

37)

a) $\$1 = 1$

b) $\$1 = 0$

38)

$\$0$

39)

a) slt $\$1, \$15, \$3$

bme $\$1, \$0, \text{enit}$

b) slt $\$1, \$9, \$6$

bge $\$1, \$0, \text{enit}$

c) ori $\$1, \$0, 0xA43$

slt $\$1, \$1, \$5$

bme $\$1, \$0, \text{enit}$

d) ori $\$1, 0x57, \text{enit}$

slt $\$1, \$10, \$1$

bge $\$1, \$0, \text{enit}$

e) ori \$1, \$0, 0x39
 slt \$1, \$19, \$1
 bne \$1, \$0, emit

f) ori \$1, \$0, 0x16
 slt \$1, \$1, \$23
 beq \$1, \$0, emit

40) A colocação da verificação/comparação vai ser deslocada do início para o fim do ciclo.

No início, a verificação terá de ser na negação, de forma a que se a condição não se verificar o branch "salta para cima" do loop.

No fim, a verificação tem de ser na afirmativa de forma que se isto se cumprir o branch "salta" para o início do loop.

41) a) ble \$7, \$5, else
 beqz \$7, else
 sll \$13, \$7, 2

else:

and \$13, \$9, \$7
 orl \$4, \$4, \$7
 xorl \$13, \$13, \$4

b) bgt \$4, 3, if
 ble \$7, \$13, if
 subi \$4, \$4, 5
 add \$13, \$13, \$4
 send
 if: add \$4, \$4, \$7
 sub \$13, \$13, \$4
 end: ...

42) Indireto por registo

43) \$3 - registo destino
 \$5 - registo origem
 0x24 - offset

44) Formato I: opcode (6 bits) - operador 15 (5 bits) - origem 10 (5 bits) - destino
 offset (16 bits) - offset

45) SW - guarda na memória 1 word
sb - " " " " 1 byte

46) lb - carrega um byte, replicando o 8º bit para manter o sinal
lbv - os 24 bits ms são colocados a 0

47) gera uma encaução e termina a encaução

48) \$t1 = i
\$t2 = K

a) li \$t1, 5
li \$t2, 0
for: bge \$t1, 20, end
addi \$t1, \$t1, 1
addi \$t2, \$t2, 5
j for
end: jr \$ra

b) li \$t1, 100
li \$t2, 0
for: bktz \$t1, end
addi \$t1, \$t1, -1
addi \$t2, \$t2, -2
j for
end: jr \$ra

c) addiu \$t2, \$t2, 0
for: addi \$t2, \$t2, 10
j for
jr \$ra

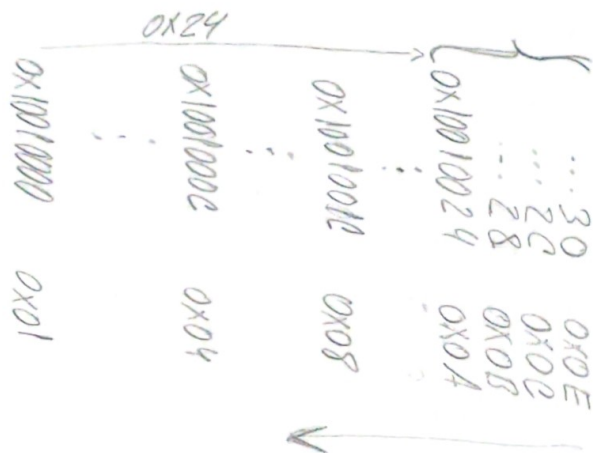
d) li \$t2, 0
li \$t1, 100
do: addi \$t2, \$t2, 5
addi \$t1, \$t1, -1
bgez \$t1, do
jr \$ra

49) lw \$3, 0x24(\$5)

100011 00101 00011 0000 0000 0001 1000

50)

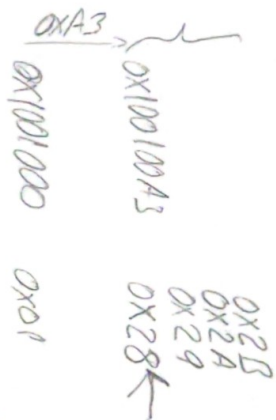
\$3 = 0x0E0C0B0A



51)

a) lbu \$3, 0xA3(\$5)

b) L6



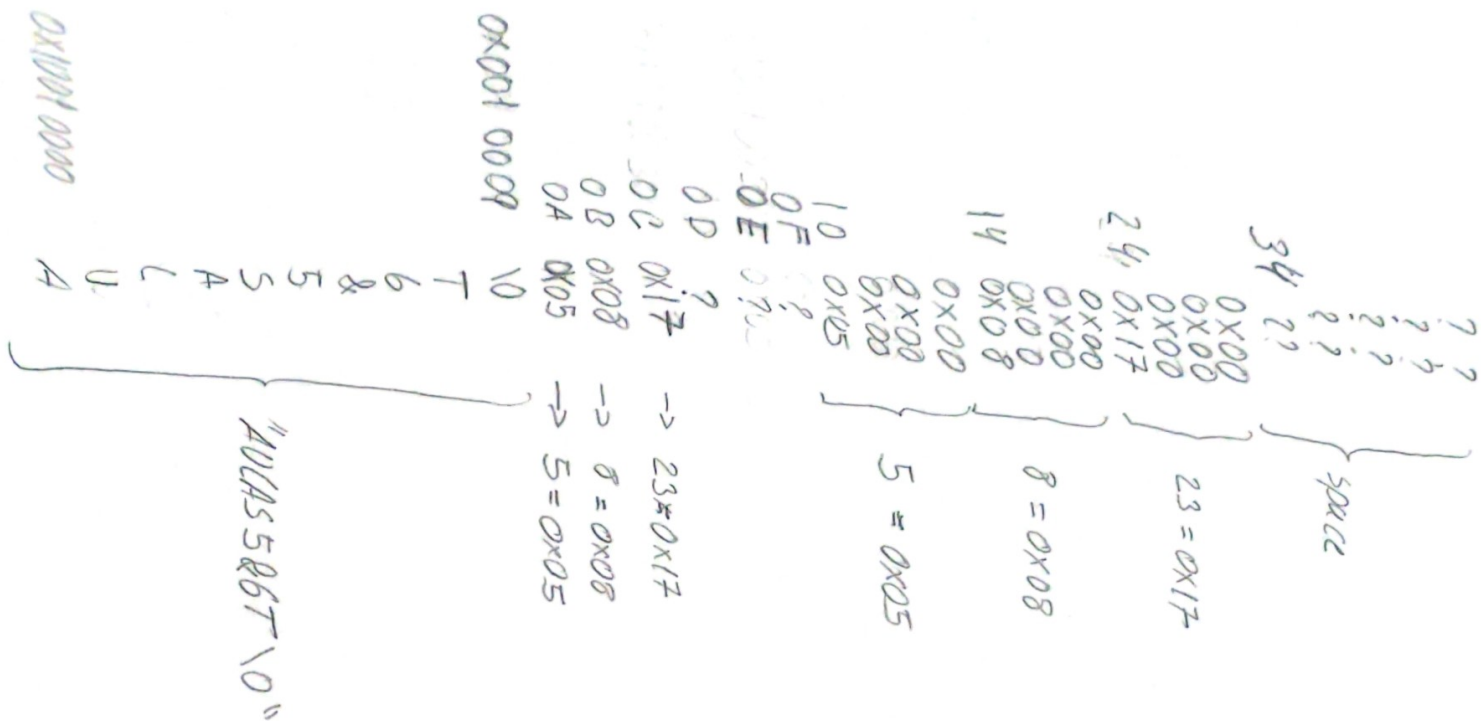
0x28

0x28

52)

- a) 10 bytes
- b) 3 bytes
- c) 12 bytes
- d) 5 bytes

53



54)

L1: 0x10010000
L2: 0x1001000A
L3: 0x10010010
L4: 0x10010034

55)

int b[25]

a) b[0]

b) LW \$t1, 0x18(\$t0)

↑
6x4=24=0x18

56)

O label, que se somado ao PC atual, resulta no endereço alvo

57)

O offset é multiplicado por 4 (visto que o memória é byte-addressable) e somado ao PC

58)

beq/bne - format I

j - format J

jr - format J

59)

campo offset e "shiftado" duas casas à esquerda e concatenado aos 4 msbs do PC

60)

$$a = b[5]$$

$$a = *(p + 5)$$

61)

$$f : \$t0 \quad A : \$s0$$

$$g : \$t1 \quad B : \$s1$$

$$h : \$t2$$

$$i : \$t3$$

$$j : \$t4$$

$$a) f = g + h + B[2]$$

$$lw \$t0, 8(\$s1) \quad f = B[2]$$

$$addi \$t0, \$t0, \$t1 \quad f = f + g$$

$$add \$t0, \$t0, \$t2 \quad f = f + h$$

$$j = g - A[B[2]]$$

$$lw \$t4, 8(\$s1)$$

$$sll \$t4, \$t4, 2$$

$$addu \$t4, \$t4, \$s0$$

$$lw \$t4, 0(\$t4)$$

$$subu \$t4, \$t1, \$t4$$

b)

• 3 e 5

c)

 $A[0] = 0x00000012$ $B[0] = 0xFFFFFFFFE$ $A[1] = 0x22ED3400$ $B[1] = 0x0005002$ $A[2] = 0x00000001$ $B[2] = 0x00000002$

62)

 $a = 2$ $b = 5$

```
void troca (int x, int y) {
```

```
    int aux;
```

```
    aux = *x;
```

```
    x = *y;
```

```
    y = &aux;
```

```
}
```

63)

No \$ra armazenado o endereço alvo, podendo assim realizar um salto para um endereço de 32 bits.

É um salto por endereçamento indireto por registro

64)

 $0x5A18F34C$ 0101 $0x50000000$
 \updownarrow
 $0x5FFF FFFF$

65)

 $0x5A180000$
 \updownarrow
 $0x5A18 FFFF$

66)

 $0xFFFFFFFF$
 \updownarrow
 $0x0000 0000$