



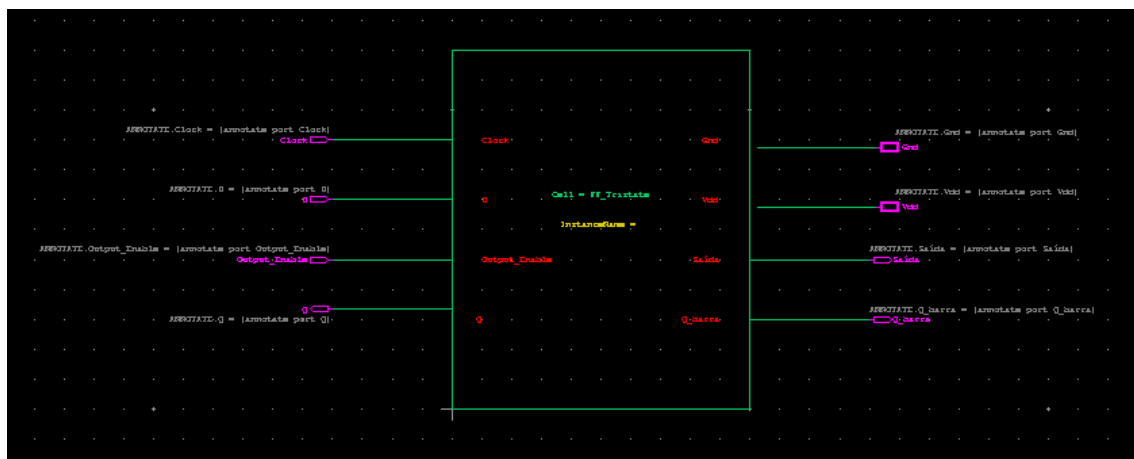
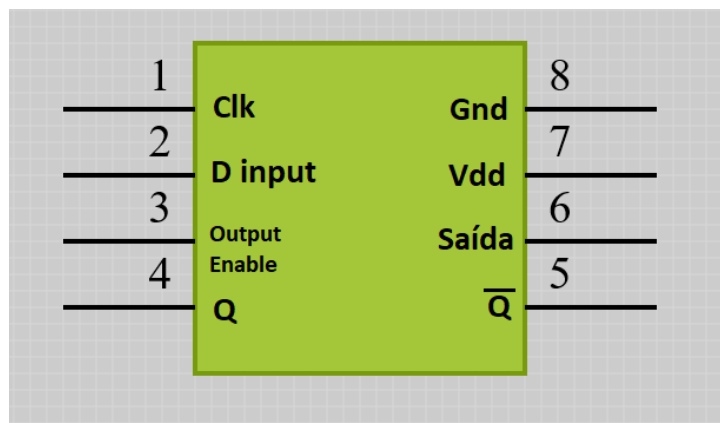
Flip-Flop D com saída Tri-State

O trabalho a realizar pelo nosso grupo tem como objetivo primário o estudo do *flip-flop D*. De facto, as *latches* e os *flip-flops* têm funções semelhantes na obtenção de sinais de saída provenientes efetivamente de uma entrada e, normalmente, controlados por um impulso de relógio. É prática comum, na eletrónica industrial, trabalhar com valores digitais e, deste modo, ingressamos no trabalho binário de valores de entrada no flip-flop D.

Uma das formas mais simples de obtenção do sinal com Flip-Flop passa por, simplesmente, observar a resposta do sistema ao CLK tendo por base a entrada D ligada diretamente à saída \overline{Q} , tal como um biestável do tipo-T.

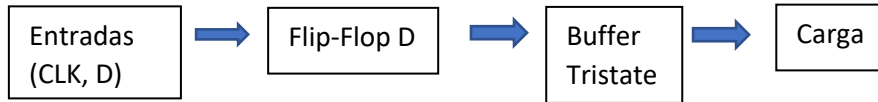
O nosso circuito será mais complexo passando pelo estudo do flip-flop D com saída Tri-State.

Diagrama de pinos:



- **Funcionamento do circuito.**

O nosso objetivo baseia-se no estudo do flip-flop D com saída *Tri-State*.
Ora bem, o respetivo diagrama de blocos é



A entrada do circuito, input D, controlada por um sinal de relógio (CLK) é ligada diretamente ao Flip-Flop D.

O nosso FFD segue o projeto disponibilizado em powerpoint, segue com tecnologia 0.7um e é constituído por 2 *latches* em cascata.

O primeiro *latch* é denominado "*master*" *latch*, enquanto o segundo *latch* é denominado "*slave*" *latch*.

Quando o CLK é '0', o primeiro *latch* rastreia o input D e o segundo circuito segura o sinal de saída anterior; T1 e T4 estão ligados, T2 e T3 estão desligados. O sinal de *input D* vai do ponto A para B. (ver figura 2 para referência).

Quando o CLK vai a '1' lógico, o primeiro *latch* apanha o sinal de entrada e transfere-o para o segundo *latch*.; T1 e T4 estão desligados, T2 e T3 estão ligados.

Assim, o input D é capturado e flui para o output Q, quando o CLK faz a transição para estado '1'. Por outro lado, no estado *low* '0', o valor de sinal D circula entre os 2 inversores. O output muda de estados, na próxima mudança de estado CLK.

Vamos observar que, output Q muda apenas no intervalo infinitesimal de subida de sinal de CLK.

Após isto, através de um buffer tri-state podemos manipular a saída com recurso a um outro input – Output Enable.

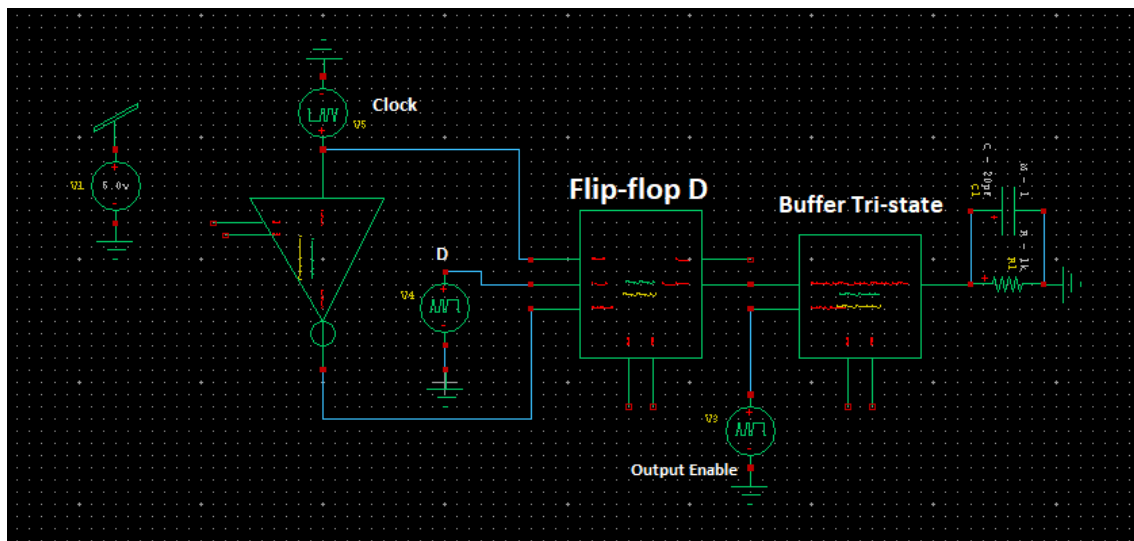


Figura (1) - Circuito Tanner

Vamos analisar o circuito por partes. Começaremos pelo Flip-flop D:

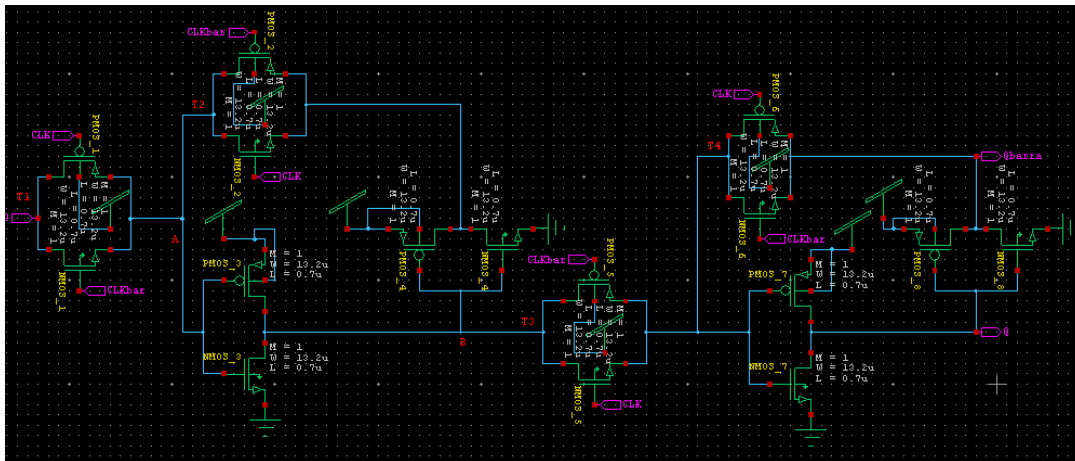
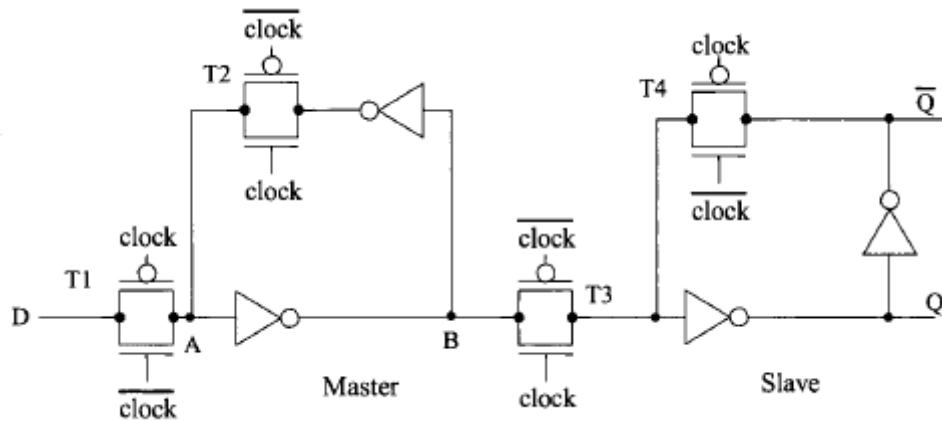


Figura (2)- Circuito Flip-Flop D – Esquema e Tanner

A saída \bar{Q} do FFD é ligada diretamente ao buffer, pois o nosso objetivo requer a negação da entrada do buffer proveniente do FFD, como veremos mais à frente.

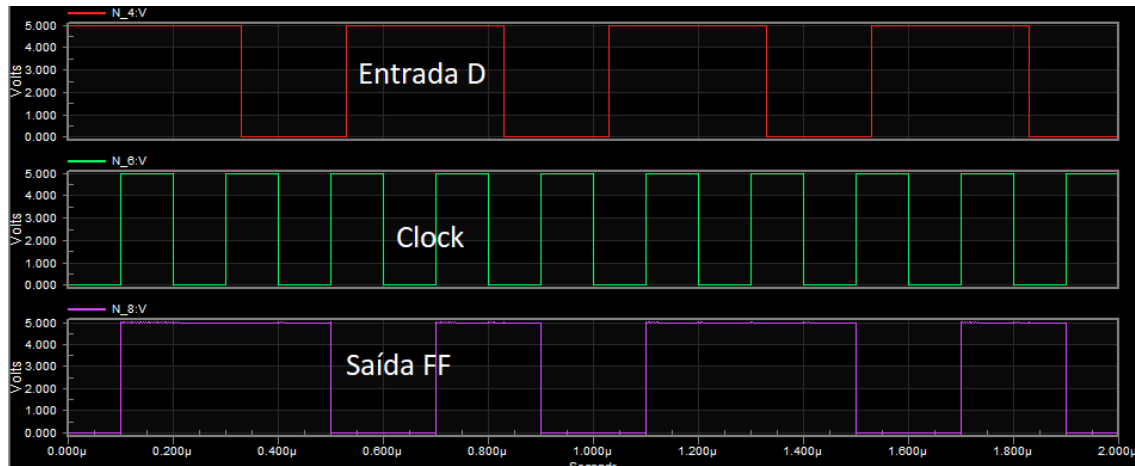
O buffer é constituído por duas entradas: uma proveniente do FFD e uma que conseguimos controlar/forçar denominada de *output enable*, que decidirá se o sinal é amostrado ou não.

A entrada proveniente do FFD é ligada diretamente a 1 PMOS e a 1 NMOS. (veremos o esquema com mais detalhe.)

Por outro lado, na ligação PMOS-NMOS proveniente do FFD, é associado à entrada do *output enable*, 1PMOS e 1 NMOS, estando o PMOS associado em série com um inversor.

Ao buffer é associado uma carga em paralelo com uma resistência que permite efetivamente um estudo aprofundado do funcionamento do circuito, sendo as condições nominais dos componentes de 20pF e $R=1k\Omega$, respetivamente, o que nos garante que existirão condições para que o sinal observado seja aplicável em situações de laboratório. Para conseguirmos valores satisfatórios com a carga associada à saída do buffer, foi necessário redimensionar os Mosfets do buffer.



Como referido anteriormente, a nossa implementação deste circuito consiste, primeiramente, num flip-flop D, seguido de um buffer tristate. Veremos primeiro como funciona o flip flop D não aliado ao buffer:



Figura(3)- Diagrama de tensões no FFD.

Verificamos então que, a cada impulso de relógio (subida), a saída do flip-flop toma o valor da entrada nesse instante – Funcionamento correto de um flip-flop D.

Vejamos a sua tabela de verdade:

clk	D	Q	\bar{Q}
X	0	Q	\bar{Q}
X	1	Q	\bar{Q}
	0	0	1
	1	1	0

Nota: Valores de clock X significam qualquer outro caso, exceto quando há subida

Agora, associaremos esta saída do flip flop (Q), com um output enable num buffer tristate. Veremos primeiramente o esquema do buffer:

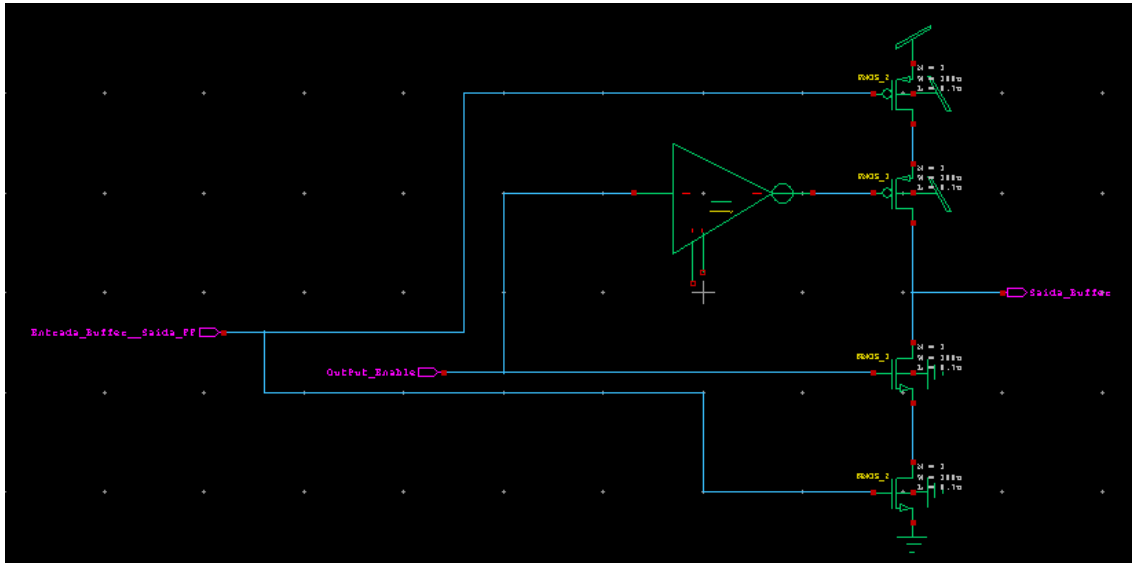


Figura (4)- Esquemático buffer.

Facilmente se interpreta que a saída do buffer estará invertida relativamente à entrada Q (saída do flip-flop). Isto é compensado usando a saída do flip-flop, \bar{Q} , como referido anteriormente.

Tendo isto em conta, visualizemos então a saída em tristate, com carga:

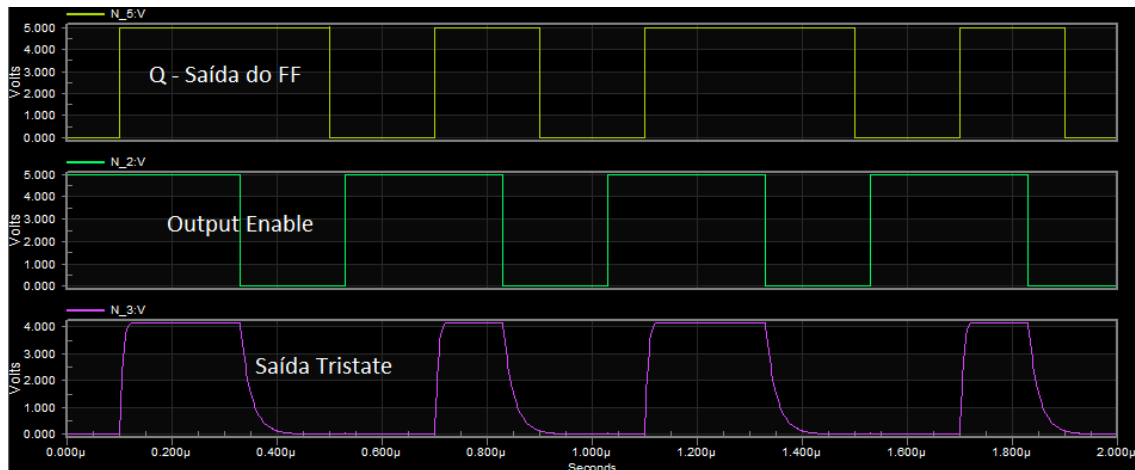
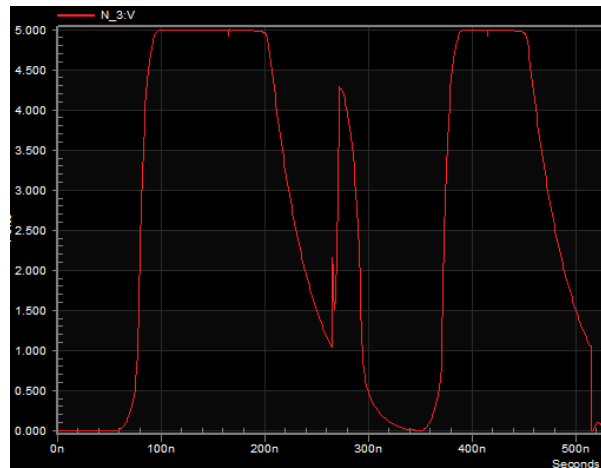


Figura (5)- Diagrama de tensões buffer com carga.

Ou seja, sempre que o enable é 0, independentemente do valor de Q, na saída temos um valor Z (alta impedância). Quando o *enable* é 1, o flip flop funciona normalmente. É importante realçar a diferença entre uma saída Z (elevada impedância) e uma saída de valor lógico 0.

Infelizmente, as curvas de descida e de subida não puderam ser diminuídas através do redimensionamento dos mosfets, quer do buffer, quer dos inversores.

(testamos valores para $W = 100$ e $W = 1000$, e não se verificou diferença significativa nesse aspeto, para valores muito elevados, como $W = 10000$ há distorção do sinal). O estudo mais pormenorizado destas curvas de descida encontra-se no apêndice.



Usamos $W = 100$, pois é um valor redondo em que a saída para valor lógico 1 está ligeiramente acima dos 4V, o que é satisfatório para o projeto em causa.

Vejamos a tabela de verdade de um buffer tristate antes de vermos a tabela de verdade do circuito no geral (Flip-Flop D com saída tristate):

Truth Table

En	Input	Output
0	X	Hi-Z
1	0	0
1	1	1

Tabela de verdade de um buffer Tristate

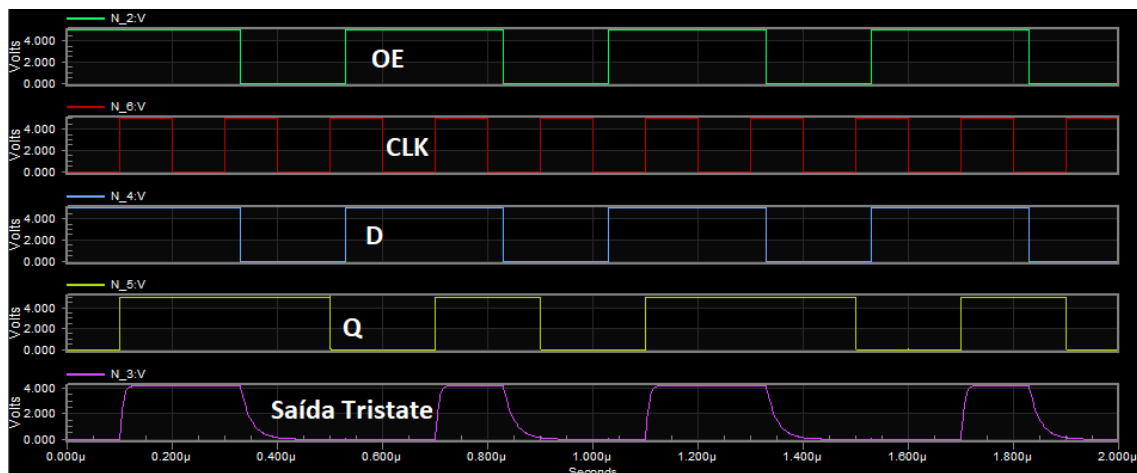
Uma vez que conhecemos, e mostramos, as tabelas de verdade do flip-flop D e do buffer tristate, poderemos agora mais facilmente analisar a tabela de verdade do circuito:

Function Table

Inputs			Internal	Outputs	Function
\overline{OE}	Clk	D	Q	O_N	
H	H	L	NC	Z	Hold
H	H	H	NC	Z	Hold
H	↗	L	L	Z	Load
H	↗	H	H	Z	Load
L	↗	L	L	L	Data Available
L	↗	H	H	H	Data Available
L	H	L	NC	NC	No Change in Data
L	H	H	NC	NC	No Change in Data

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial
Z = High Impedance
↗ = LOW-to-HIGH Transition
NC = No Change

Vemos que, quando $OE = 1$, a tabela de verdade é de um flip-flop D simplesmente. Quando $OE = 0$, temos uma saída com alta impedância, o que se confirma pelos gráficos do buffer e do flip-flop. Veremos aqui uma combinação de ambos, para referência:



Figura(6)- Gráfico de tensões no circuito.

- Datasheet (provisório e sem módulos)**

<i>Inversor</i>	
Tamanho Mosfet (W)	10 µm
Comprimento canal (L)	0.7 µm
Vdd bulk PMOS	5.0 V

<i>Flip-Flop D</i>	
Tamanho MOSFET (W)	10 μm
Comprimento canal (L)	0.7 μm
Vdd bulk PMOS	5.0 V

<i>Buffer TriState</i>	
Tamanho MOSFET (W)	100 μm
Comprimento canal (L)	0.7 μm
Vdd bulk PMOS	5.0 V

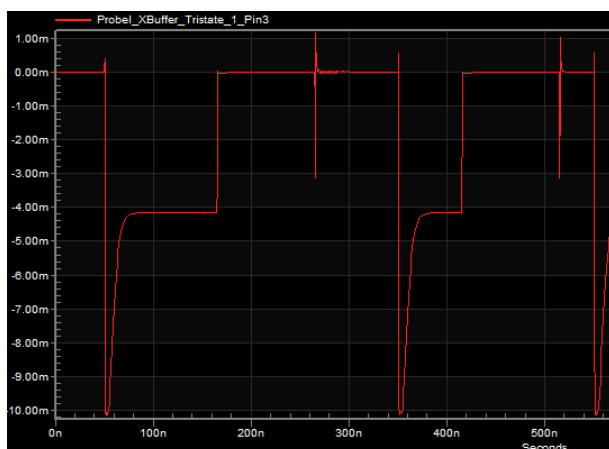
<i>Buffer TriState</i>	<i>Circuito sem carga</i>	<i>Circuito com carga</i>
Corrente máxima saída buffer	10,58 mA	1,15 mA
Corrente mínima saída buffer	-616 μA	-10.12 mA
Voltagem mínima saída buffer	0 V	0 V
Voltagem máxima saída buffer	5.33 V	4.16V

Condensador	20pF
Resistência	1k Ω

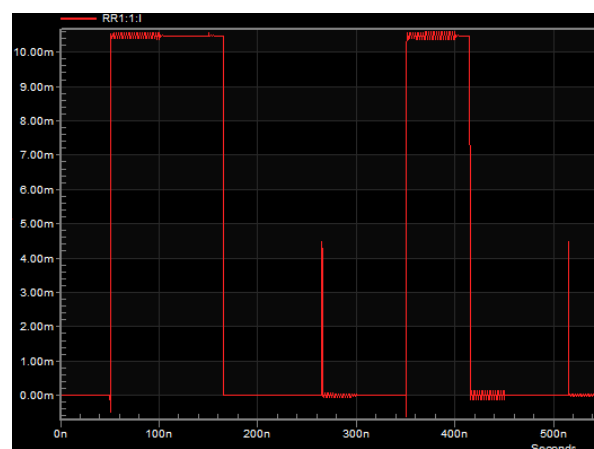
(*) A corrente à saída do buffer, sem carga, não se consegue definir de forma precisa numericamente. Varia entre [-1,17mA,604 μA] .

Trata-se de uma transição onde ambos os Mosfet estão a trabalhar simultaneamente e podemos desprezar, no trabalho digital.

Gráficos das correntes para referência:



Com carga



Sem carga

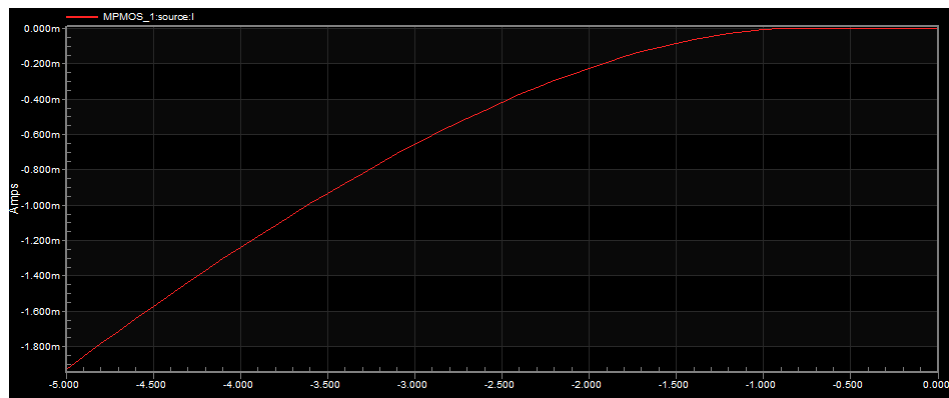
Serão visualizados os máximos e mínimos de ambos com mais detalhe mais à frente.

Nota – Sem carga equivale a uma resistência de 0.000001Ω na saída do buffer.

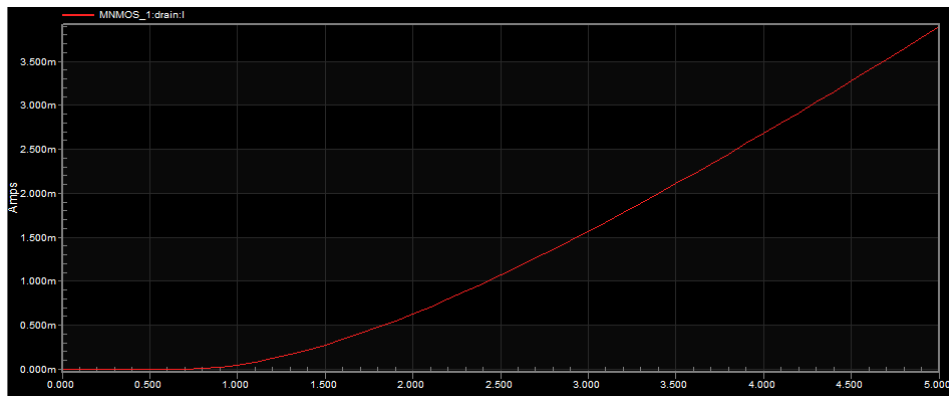
- **Dimensionamento Mosfets**

Primeiramente vejamos quais os valores de V_{th} para o NMOS e para o PMOS no S-Edit:

PMOS:



NMOS:



Ou seja, podemos assumir (como visto nas aulas teóricas) que estes valores serão por volta de 0,75V no caso do NMOS e -0.98V no caso do PMOS.

Nota: Ambos os valores foram obtidos através de um varrimento de V_{GS} para V_{DS} fixado em 5V. Portanto, assim que se ultrapassa V_{th} começa a haver corrente, pois o Mosfet começa a conduzir.

Para além das tensões de Threshold, também a razão $\frac{W}{L}$, e as V_{DS} e V_{GS} serão fatores determinantes para a amplitude do sinal de saída, quando existe carga, pois relacionam-se diretamente com a corrente de dreno dos mosfets, por:

Região de triodo:

$$i_D = k \times \left(\frac{W}{L}\right) \left[(v_{GS} - V_{th})v_{DS} - \frac{1}{2}v_{DS}^2 \right]$$

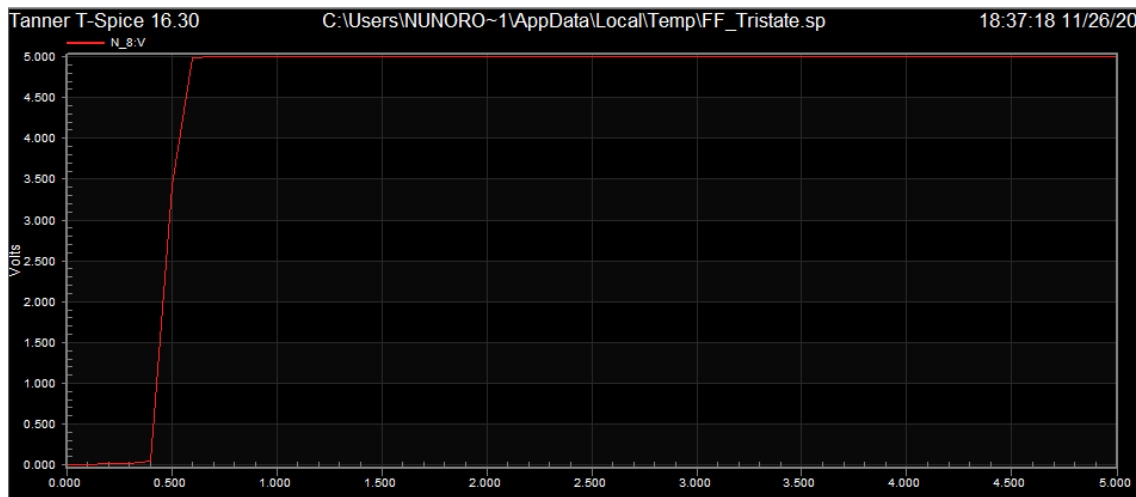
Região de saturação:

$$i_D = \frac{1}{2} \times k \times \left(\frac{W}{L}\right) \times (v_{GS} - V_{th})^2$$

Para $W = 100$ temos uma saída com valor máximo de 4,16V. Quanto maior for W , mais próximos de 5V estaremos, e quanto menor, mais pequeno será o sinal de saída. Isto acontece, pois, a queda nos PMOS do buffer será maior quanto menor o W dos mesmos.

- **Limites de funcionamento**

Neste gráfico vemos o varrimento da fonte de entrada para que seja verificado o valor lógico de 1. Para isso CLK estava fixado em 1, com uma entrada iniciada em 1 lógico – nunca alterando a saída que será também 1 lógico. Vemos que a transição se dá por volta dos 600mV, por isso necessitamos de uma fonte de entrada de valor superior para garantir o seu bom funcionamento.



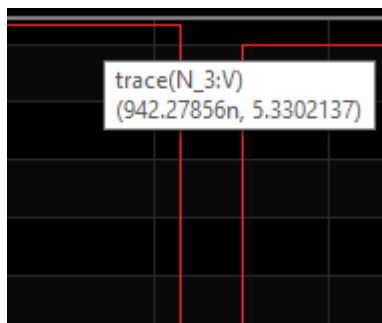
Vimos também que para valores muito altos da fonte de entrada nada se alterava, pelo que, segundo a simulação, não teremos limites superiores que afetem o seu funcionamento, apesar de sabermos que não é essa a realidade.

Citando o trabalho – **A Closed-Form Expression for Minimum Operating Voltage of CMOS D Flip-Flop** – de Hiroshi Fuketa e Takashi Matsukawa:

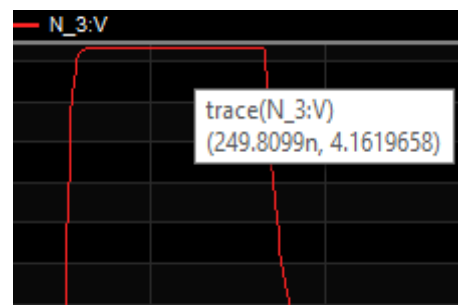
“As V_{DD} is reduced to the near/subthreshold region, the energy decreases and is minimized at $V_{DD} = V_{OPT}$, since lowering V_{DD} reduces the dynamic energy, whereas it significantly raises the leakage energy due to an exponential increase of the circuit delay in the subthreshold region.”

Concluimos que o nosso V_{OPT} (tensão à qual o flip-flop começa a funcionar devidamente) será próximo dos 0,6V. (**Nota:** Ver atualização nas otimizações).

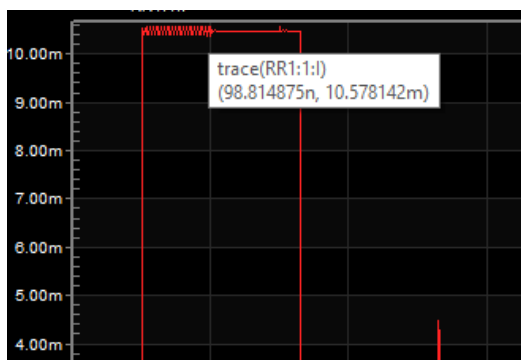
Sem carga na saída verificamos uma voltagem máxima de 5,33V. Com carga (resistência de 1k Ω em paralelo com condensador de 20pF) é de 4,16V. Verificamos também uma oscilação bastante rápida na corrente à saída do buffer sem carga, respetiva a uma transição na entrada do input no buffer. Observamos a voltagem e corrente no buffer com/sem carga.



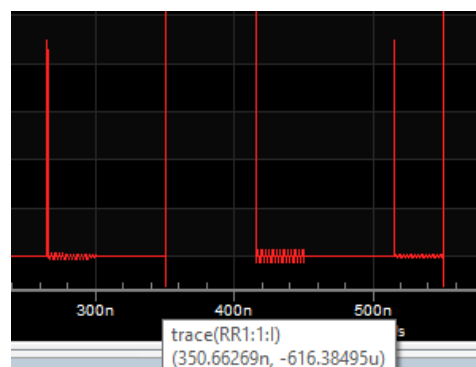
Sem carga



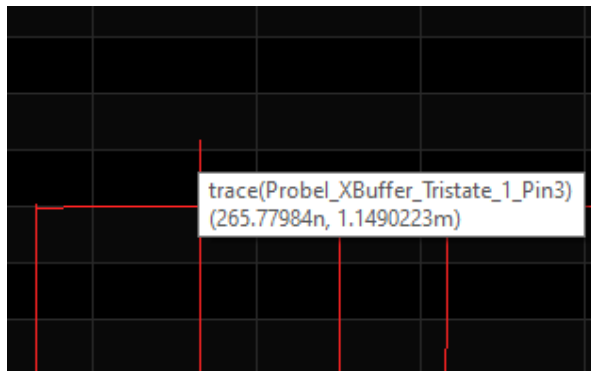
Com carga



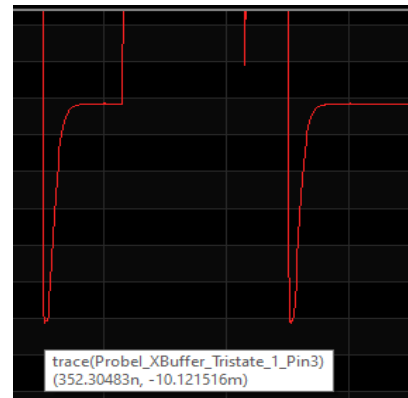
Corrente máxima no buffer, sem carga



Corrente mínima no buffer, sem carga

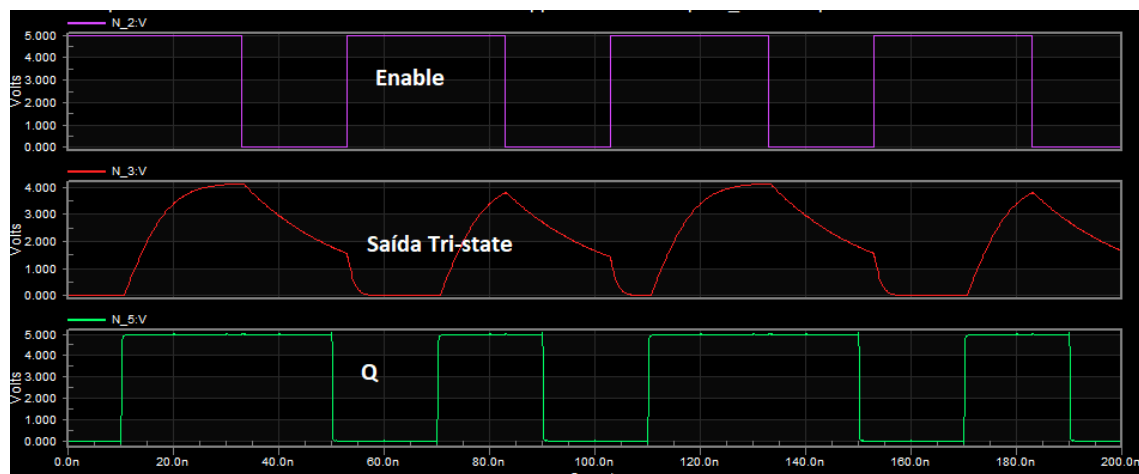


Corrente máxima no buffer, com carga



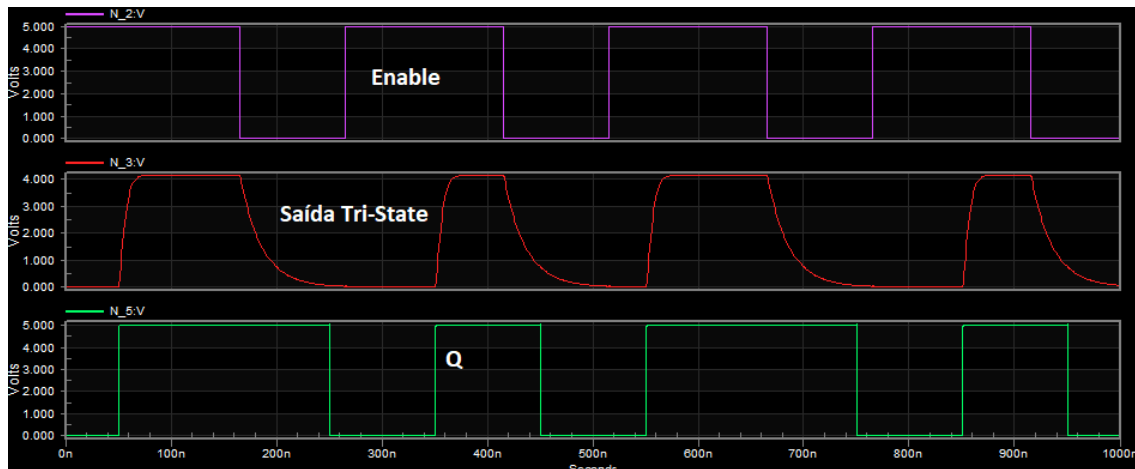
Corrente mínima no buffer, com carga

Experimentalmente, fomos variando a frequência dos sinais de entrada, para que seja possível identificar as limitações para frequências muito altas, uma vez que os sinais demoram tempo nas transições de subida e descida, o que impedirá um bom funcionamento para frequências altas.



Este primeiro gráfico é para um sinal com frequência de, aproximadamente, **50 MHz**. Verificamos que a transição forçada pelo output enable não chega a 0, e um funcionamento pouco preciso e rebuscado do circuito.

Os sinais utilizados teriam uma frequência de **5 MHz**, e apresentavam sinais bastante satisfatórios, como na figura 5.



Agora, para um sinal de frequência **10 MHz**, a transição já começa a ser questionável, pelo que será recomendada a utilização de sinais de frequência inferior, preferencialmente inferior a 5 MHz, dependendo da aplicação.

Relativamente ao tempo do impulso, pelos testes em simulador, não existirá um limite para a velocidade do mesmo, ou seja, o rise time do clock pode ser o mais pequeno possível que o seu efeito será visualizado na saída. Uma vez que apenas se altera o estado de saída nas transições de subida do clock, os parâmetros HT e LT não comprometem (diretamente) o funcionamento do flip-flop, com a exceção que se encontra no apêndice.

- **Possíveis alterações/otimizações**

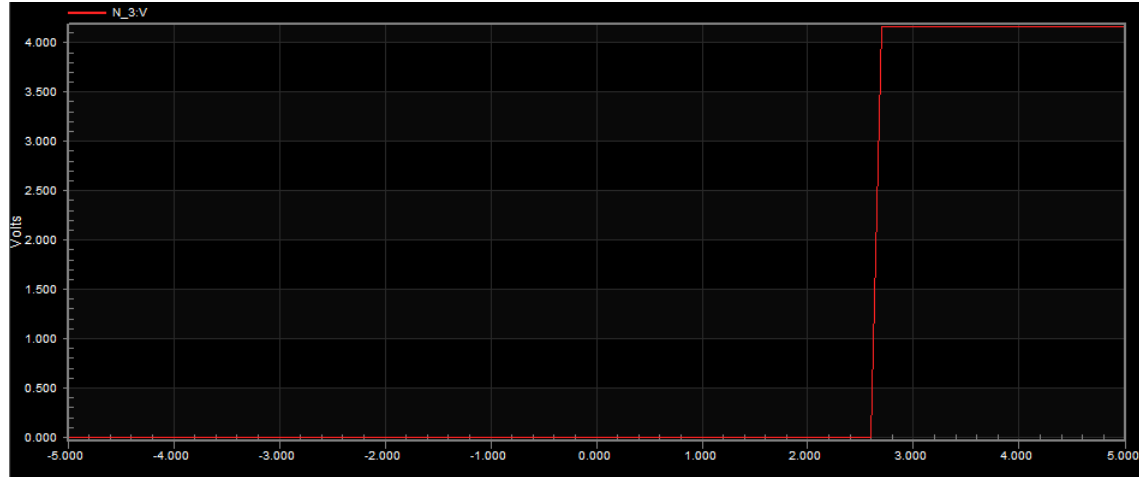
Poderíamos reaproveitar um dos sinais de entrada, por exemplo **CLK**, para servir de output enable, caso na aplicação deste flip-flop não seja relevante determinar quando o circuito desliga (enable = 0) ou quando atua normalmente.

Pode também ser acrescentado um buffer na saída \bar{Q} para que se observe este output em tri-state, caso seja relevante.

De modo a que o circuito se torne mais estável e mais equilibrado, redimensionamos os mosfets de modo a equilibrar as disparidades na corrente introduzidas pelo fator k_P e k_N .

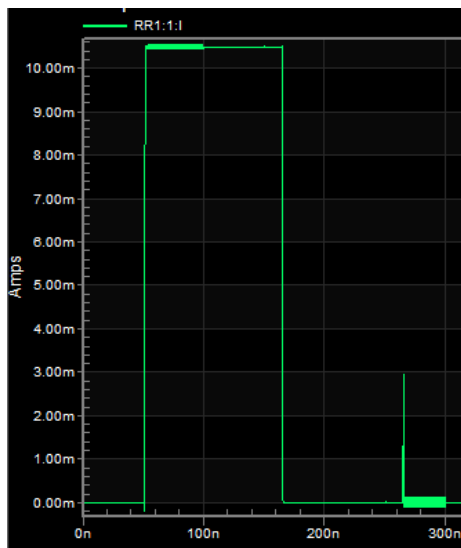
Estas correntes afetam o ponto de transição, e com este redimensionamento temos agora que esta transição ocorre por volta dos 2,6V, ou seja, pouco acima do valor médio entre 0 e V_{DD} . O que é um valor melhor, e menos propício a um funcionamento indesejado do

que os 600mV anteriores. Portanto, este valor pode ser reajustado com os dimensionamentos de W no PMOS de 13,2 μ m e W no NMOS de 4,4 μ m, exceto no buffer, onde para que haja corrente suficiente na carga usamos, no PMOS, W de 100 μ m e, no NMOS, W de 33,3 μ m – mantendo a relação entre os dimensionamentos de ambos, para que o ponto de transição seja semelhante. Visualizemos a diferença:



Numa implementação de um circuito lógico, caso o ponto de transição não seja, de todo, relevante, no buffer podemos usar NMOS com dimensões mais pequenas, pois o PMOS fornece a corrente necessária à carga em situações de valor lógico 1 na saída. Porém é recomendável o uso de um circuito o mais equilibrado possível.

Relativamente às alterações nas correntes de saída foram mínimas, e para os dados finais do datasheet serão consideradas as seguintes, e em módulo:



Valor máximo (módulo) de 10,53mA. (sem carga)



Valor máximo (módulo) de 10,30mA. (com carga)

- **Datasheet com otimizações**

<i>Flip Flop D</i>	
Tamanho PMOS (W)	13.2 μm
Comprimento canal PMOS (L)	0.7 μm
Tamanho NMOS (W)	4.4 μm

<i>Buffer TriState</i>	
Tamanho PMOS (W)	100 μm
Comprimento canal MOSFET (L)	0.7 μm
Tamanho NMOS (W)	33.3 μm

<i>Buffer TriState</i>	<i>Circuito sem carga</i>	<i>Circuito com carga</i>
Corrente máxima saída buffer	10,53mA	10,30mA
Corrente mínima saída buffer	0	0
Voltagem mínima saída buffer	0	0
Voltagem máxima saída buffer	0	4,16V
	5,47V sem resistência	

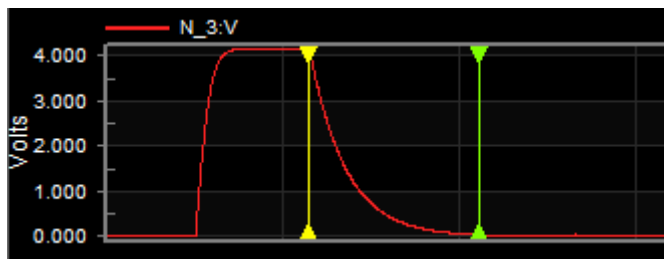
Nota: As medições sem carga são simuladas com uma resistência de 0,00001 Ω .

Os limites teóricos para tensão do circuito não existem, mas na prática é importante realçar que é recomendável um funcionamento de 5V - V_{DD} que resultaria numa tensão de 4,16V na carga.

Curvas de descida:

Quando o circuito é desligado, por intermédio do output enable, visualizamos uma curva que se deve à descarga do condensador na carga. Veremos como se comporta o circuito nesta situação e em que isso influenciará o seu funcionamento.

Para tal, inicialmente, variamos o tempo em que o enable desliga o circuito, de modo a que haja descarga total e seja fácil de visualizar.

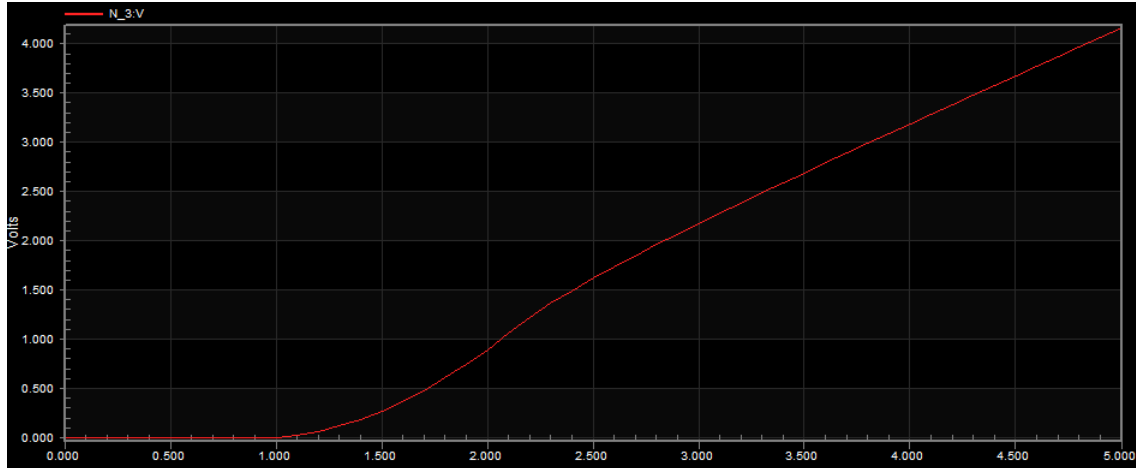


Cursors	
Primary Cursor	
VCursor1	115.33333n
Secondary Cursor	
VCursor2	211.666672n
Delta	96.333342n

Ou seja, cerca de 100ns. Este valor permite explicar, em parte, limitações para frequências muito elevadas, como exemplificado no relatório.

Limitações da tensão V_{DD} :

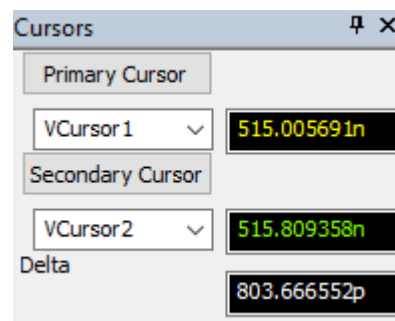
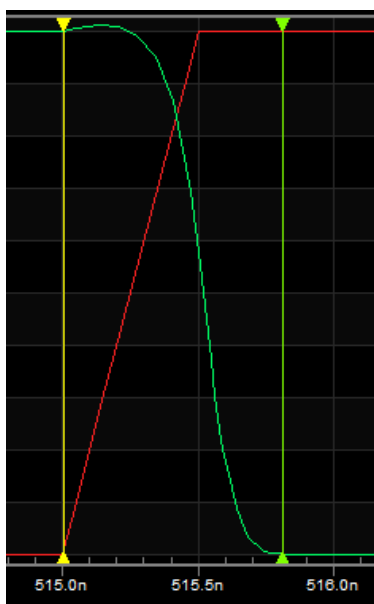
Através de um varrimento, para além do valor mínimo na entrada para que o circuito funcione, vemos agora também o valor mínimo de V_{DD} para que o flip-flop funcione como esperado e com a funcionalidade requerida.



Portanto, dependendo do valor que necessitamos para saída lógica 1, teremos de escolher um V_{DD} que o permita. Nesta implementação queremos um valor de saída acima de 4V (para valores lógicos 1), portanto, aliado com o dimensionamento dos mosfets, requeremos um V_{DD} muito próximos de 5V.

Tempo de Setup e Hold:

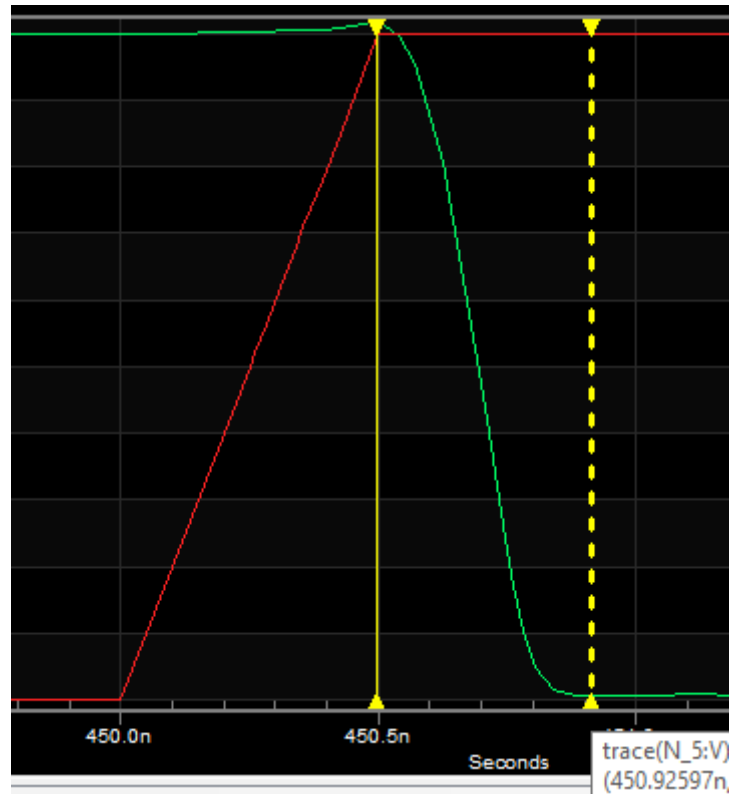
O tempo de setup é o tempo que o input D deve ser mantido, e estável, para que possa ser corretamente capturado na subida do clock.



Esta medição é feita, observando o desfasamento entre a entrada do flip-flop e o ponto B do circuito – ver primeira figura página 2.

O tempo de hold, é o tempo que o input D se tem que manter após a subida do clock.

Foi, portanto, medido observando o desfasamento após a subida do clock e o refresh da saída Q.



O que nos dá um tempo de hold de 0.42ns aproximadamente.

Ambos os valores foram medidos para Rise Times de 0,5ns do clock.

- **Layout Flip-Flop D (tri-state)**

Nesta parte do trabalho efetuámos o layout do circuito em software TANNER – L Edit – e efetuámos a cross-section dos componentes do nosso circuito, de modo a verificarmos efetivamente se os nossos componentes estavam bem montados.

O circuito em si constituído por 1 inversor, 1 FFD, 1 buffer tristate em série com associação de uma carga (condensador de 20pF com uma resistência de 1k) na saída.

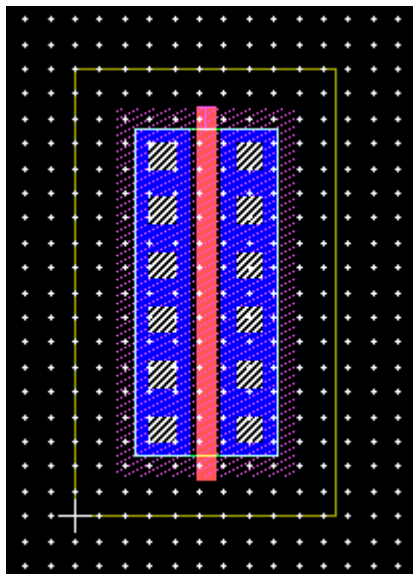
As entradas consideradas, que serão correspondentes aos pads, são: V_{DD} , Gnd, Clock, Entrada do Flip-Flop, e Output Enable. Temos ainda um último pad, que é respetivo à saída do circuito.

É importante também referir a importância das máscaras utilizadas no layout do flip-flop antes de vermos com se fez o esquemático da montagem.

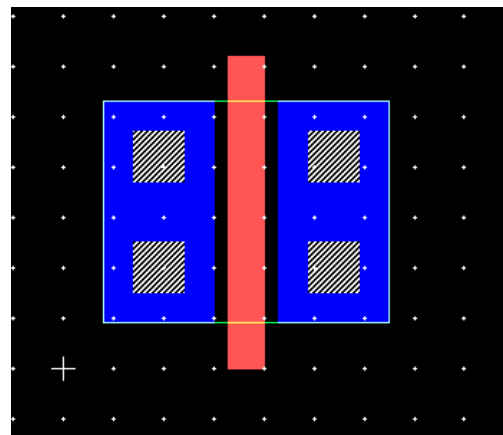
- N-well: Zona onde vamos difundir/implantar dopantes do tipo n na wafer exposta. Onde se colocam os componentes do tipo p.
- Polissilício: Máscara fortemente dopada, condutora. Será o gate dos nossos mosfets.
- Zona ativa: Define a localização dos componentes colocados na wafer de silício.
- N-difusão (n+): usado para formar a *Source* e o *Dreno* do NMOS, e o contacto com n-well.
- P-difusão (p+): função semelhante a n+; usado para formar a *Source* e o *Dreno* do PMOS, e contacto com o substrato.
- Contactos: Abrem caminho para interligar os dispositivos.
- Metalização: Para fazer as ligações. METAL1 e METAL2 só curto circuitam por meio da máscara VIA1.

Overlay – Usado nos pads. Remove a camada de nitreto de silício para que se possa fazer a ligação ao exterior.

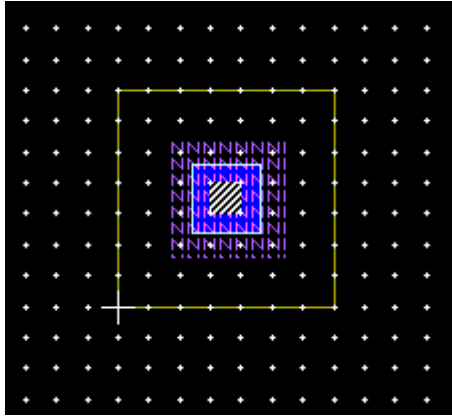
- **Layout NMOS, PMOS e Bulks**



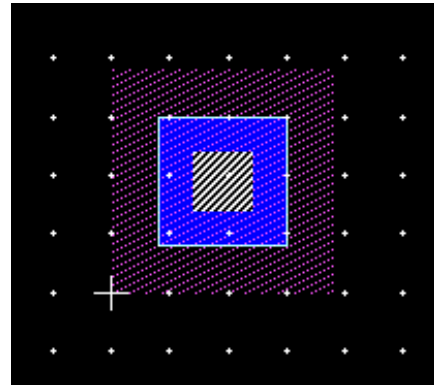
PMOS



NMOS

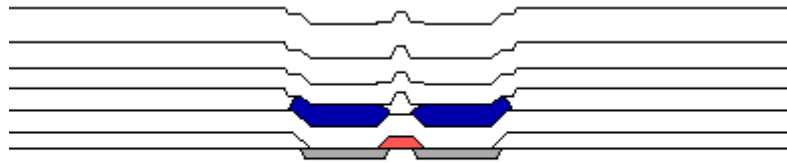


Bulk PMOS

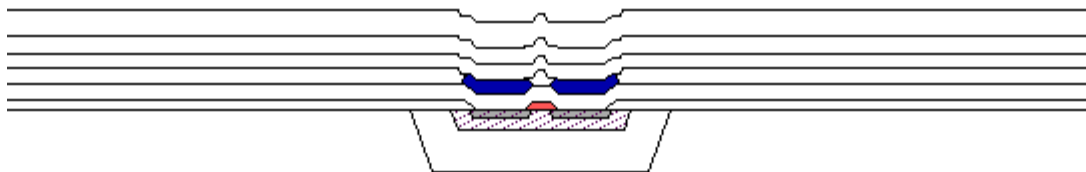


Bulk NMOS

Exemplo de Cross-Section NMOS:



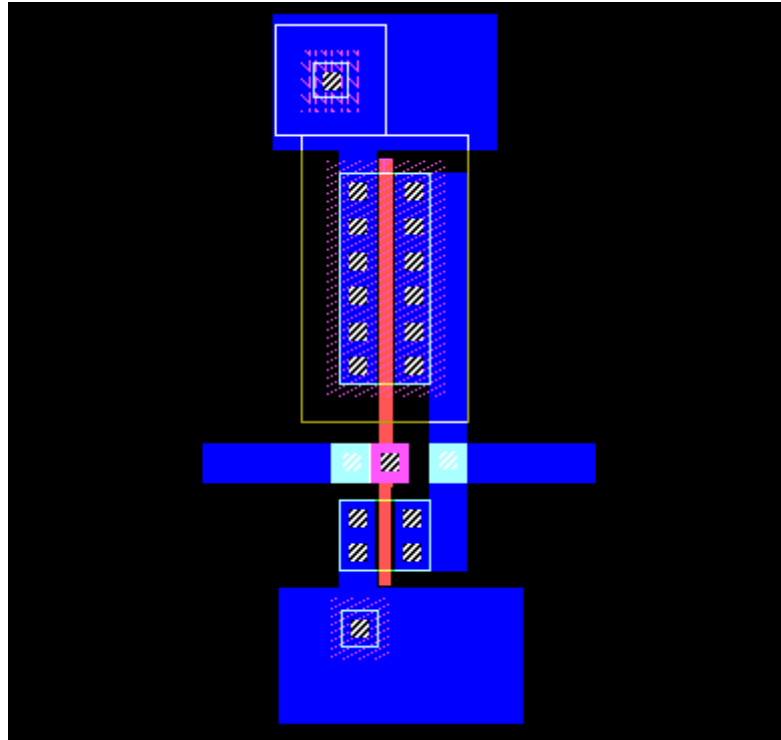
Exemplo de Cross-Section PMOS:



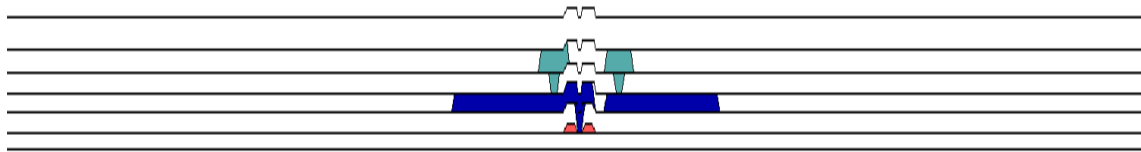
- **Layout Inversor**

Constituído por PMOS-NMOS ligados entre si, com V_{IN} ligada à gate de ambos. Os drenos dos mosfets estão também conectados.

Para se interligar a gate com a entrada, usa-se METAL1 e um contacto. De modo a poder evitar o curto-circuito dos componentes, fazemos a ligação do METAL1 com METAL2 através da VIA1 e assim podemos conectar componentes externos ao inversor quer em METAL1 quer em METAL2.

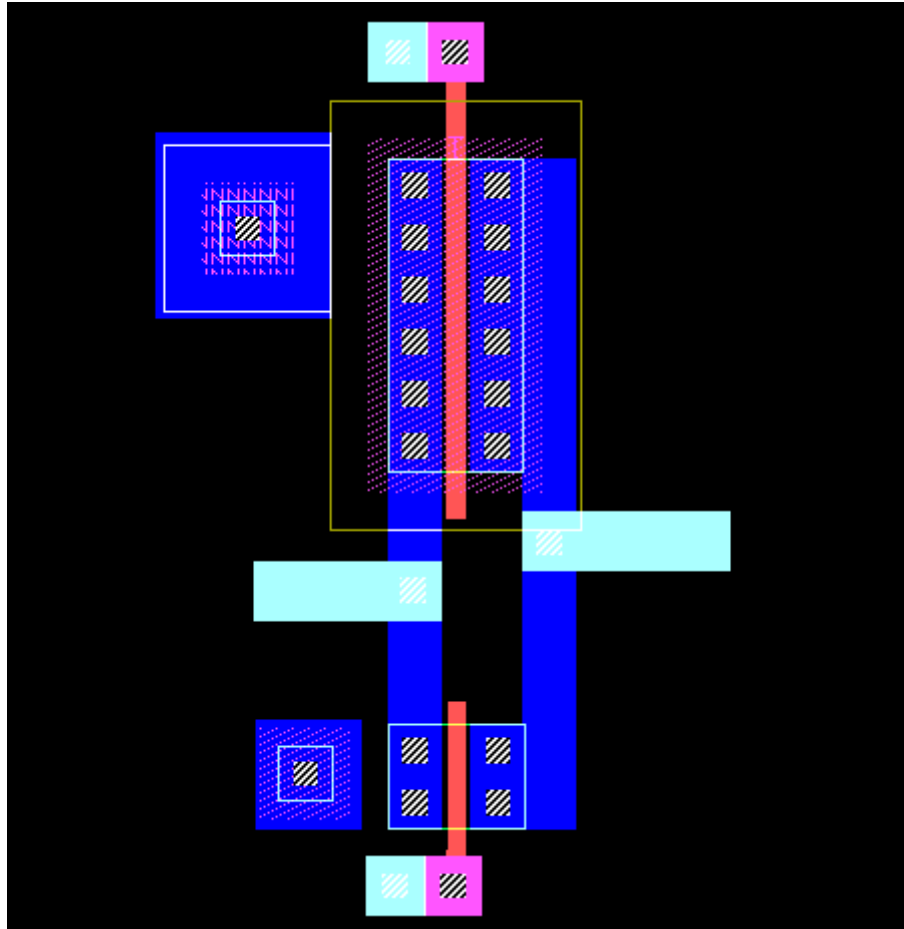


Com a respetiva cross-section exemplo:

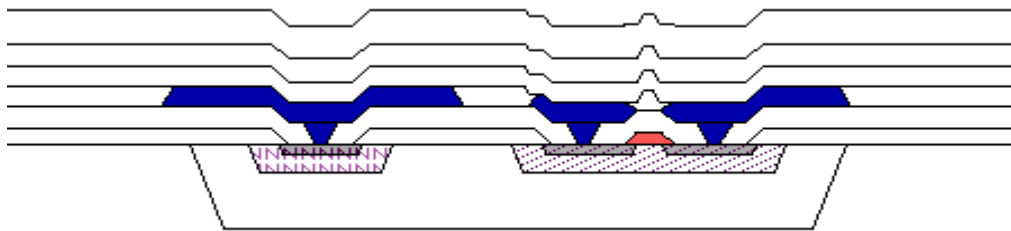


- **Layout Transmission gate**

Trata-se de um NMOS em paralelo com um PMOS, ou seja, com source e dreno interligadas entre si. Nas suas gates serão ligados, ou Clk ou Clk_barra, que é o sinal de clock invertido. Serão fundamentais para a montagem do flip-flop.



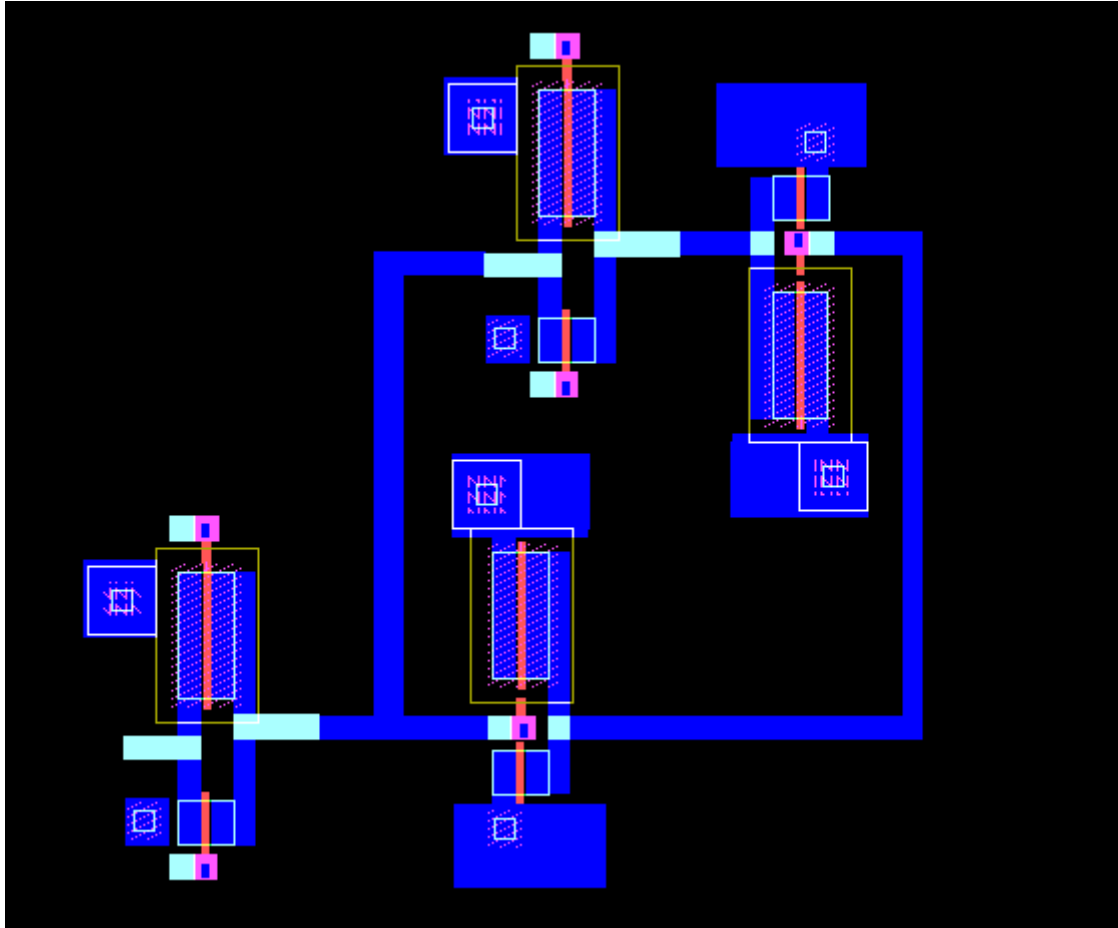
Com a respetiva cross-section exemplo:



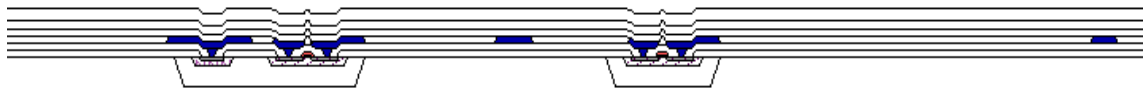
- **Layout Flip-Flop D**

Após a introdução dos inversores e transmission gates em L-Edit, o Flip-Flop é apenas um conjunto destes 2 componentes, interligados por METAL.

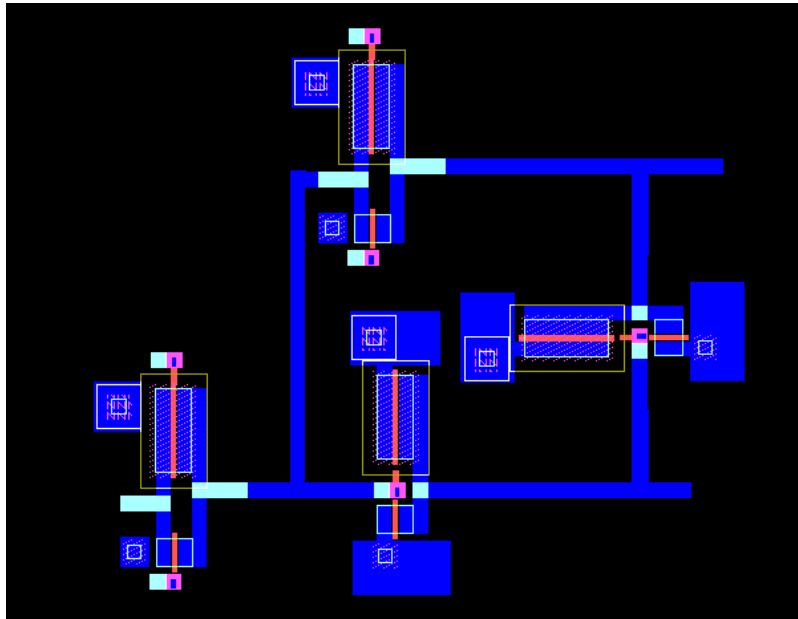
É constituído por 2 Latches em cascata, como vimos, sendo o primeiro o Master



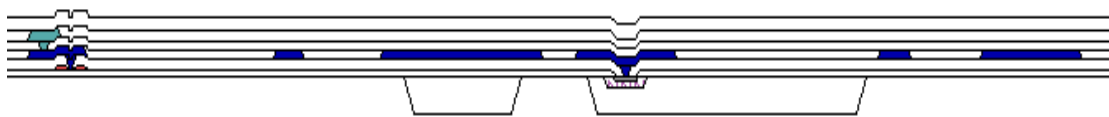
Com a respetiva cross-section exemplo:



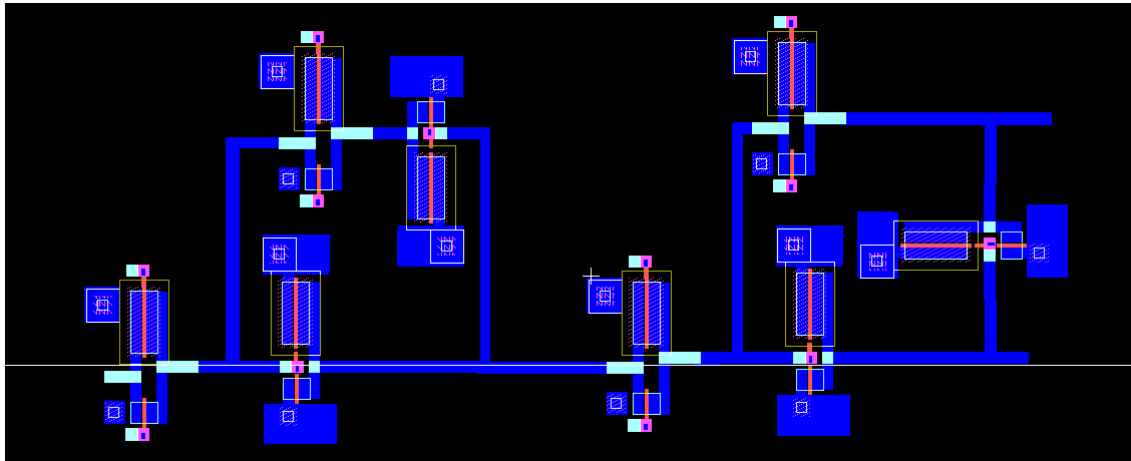
E o segundo, slave:



Com a respetiva cross-section exemplo:



Unindo ambos os latches, mais uma vez, em cascata, temos os nosso Flip-Flop do tipo D, cuja montagem em L-Edit é:



Com a respetiva cross-section exemplo (ver linha na imagem acima):

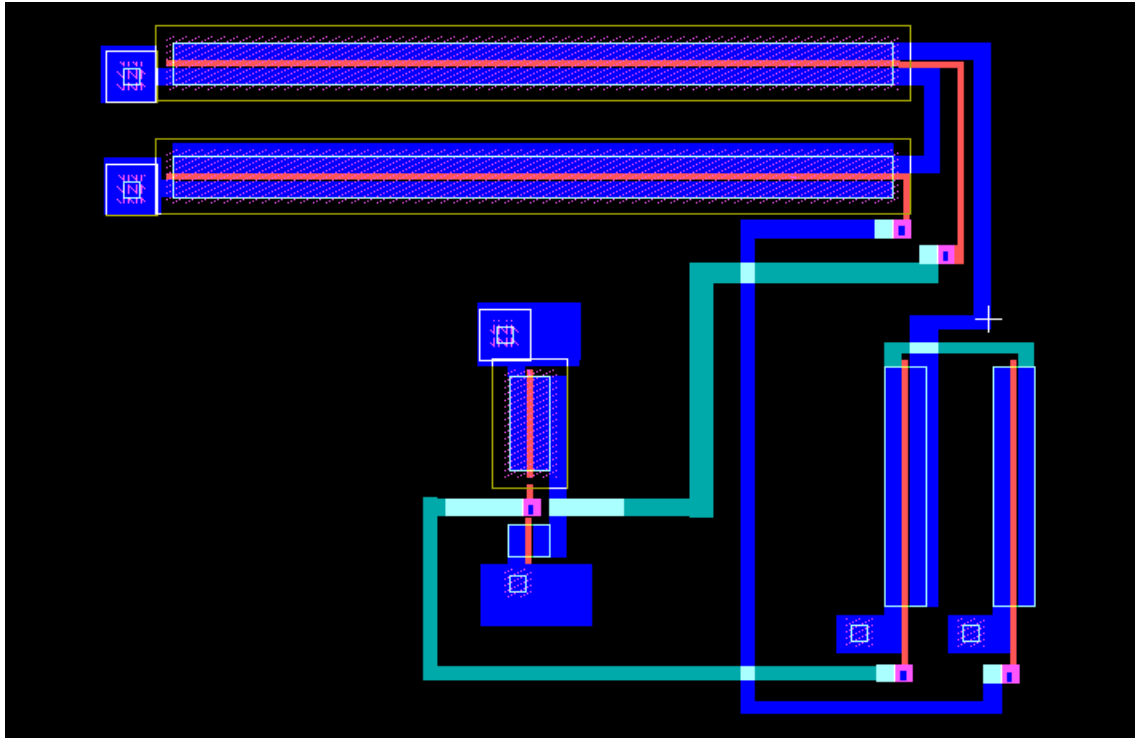


- **Layout Buffer Tristate**

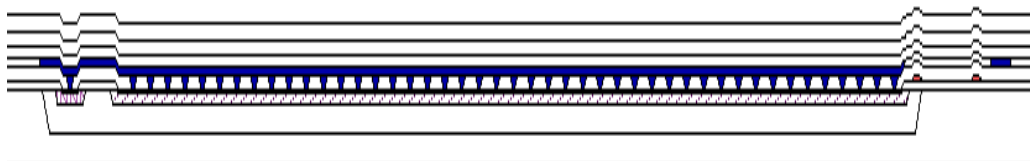
Falta ainda o componente que nos permite ligar/desligar o funcionamento do circuito por intermédio do output enable, ou seja, o buffer tri-state.

Vimos que este buffer é constituído por 2 PMOS e 2 NMOS no esquemático do S-Edit.

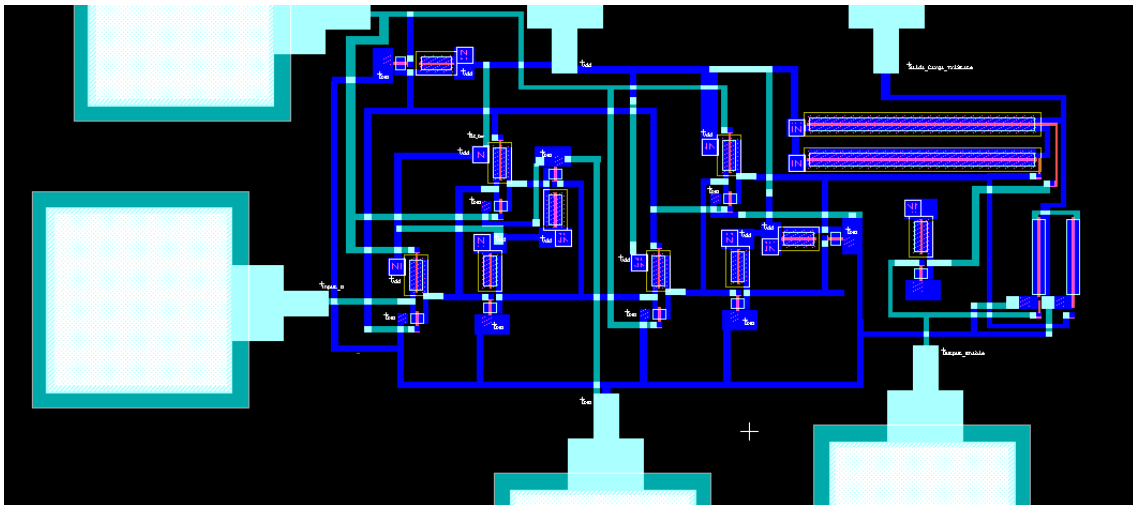
De modo a poupar espaço nas ligações, fez-se o desenho em L-Edit em paralelo, e com os PMOS de lado.



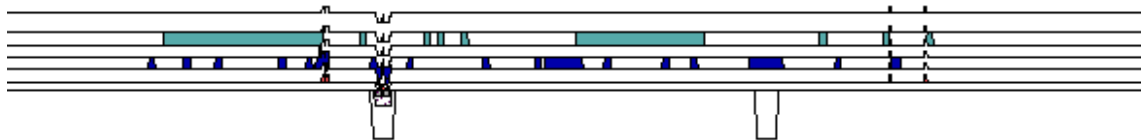
Com a respetiva cross-section exemplo (num dos pmos):



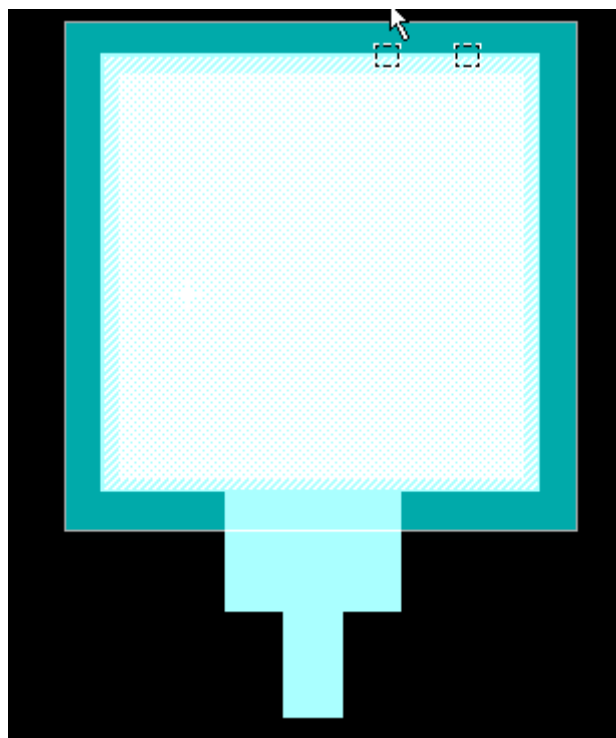
Para finalizar a montagem, aliando o Flip-Flop D ao Buffer Tri-state, temos o esquemático final:



Com a respetiva cross-section exemplo:



Onde foram usados, também, os pads, para que se possa fazer a ligação ao exterior.



E, por último, a respetiva cross-section exemplo:



- **Layout Condensador - Carga**

Em termos de layout do condensador, este é constituído por METAL1, METAL2 e POL. De acordo com as Design Rules para o layout, construímos uma tabela para verificação dos parâmetros e validação dos mesmos para construção do condensador.

<i>Comment</i>	<i>H(um)</i>	<i>T(um)</i>	<i>Cplane (F/um^2)</i>	<i>Cside (F/um)</i>
<i>M1-POLY</i>	<i>0.75</i>	<i>0.8</i>	<i>5.29E-17</i>	<i>4.90E-17</i>
<i>M2-M1</i>	<i>1.05</i>	<i>0.9</i>	<i>3.78E-17</i>	<i>4.67E-17</i>

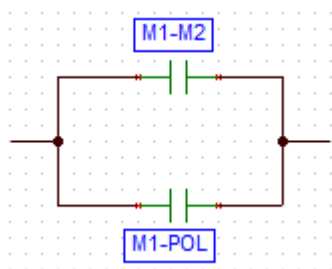
Através da expressão, $C_{gnd} = L * (W * C_{plane} + 2 * C_{side})$ conseguimos prever os parâmetros W,L que efetivamente correspondem à capacidade do nosso condensador.

Verificámos que para um $L = 485 \text{ um}$ e $W = 450 \text{ um}$, temos um condensador de 20 pF. Por uma questão de dimensionamento do nosso projeto, optámos por dividir a capacitância do condensador por dois condensadores, de tal que a capacidade do nosso condensador seja dada pelo somatório de ambos (ou seja, $C + C' = 20 \text{ pF}$). Assim, obedecendo às design rules temos um condensador constituído por M1-M2 (Metal1-Metal2) e o outro constituído por M1-POL (Metal1-Polissilício).

Uma vez que a saída do buffer *Tri-State* está em METAL1, simplificamos a nossa ligação a ambos os condensadores de placas paralelas dado estarem em METAL1. A ligação METAL2-POL será feita em METAL1, por simplificação, com os respetivos contactos na ligação METAL1-POL e com a respetiva VIA1 na ligação METAL2-METAL1, de modo a evitar o curto-circuito nas ligações.

A saída do condensador é feita em METAL2.

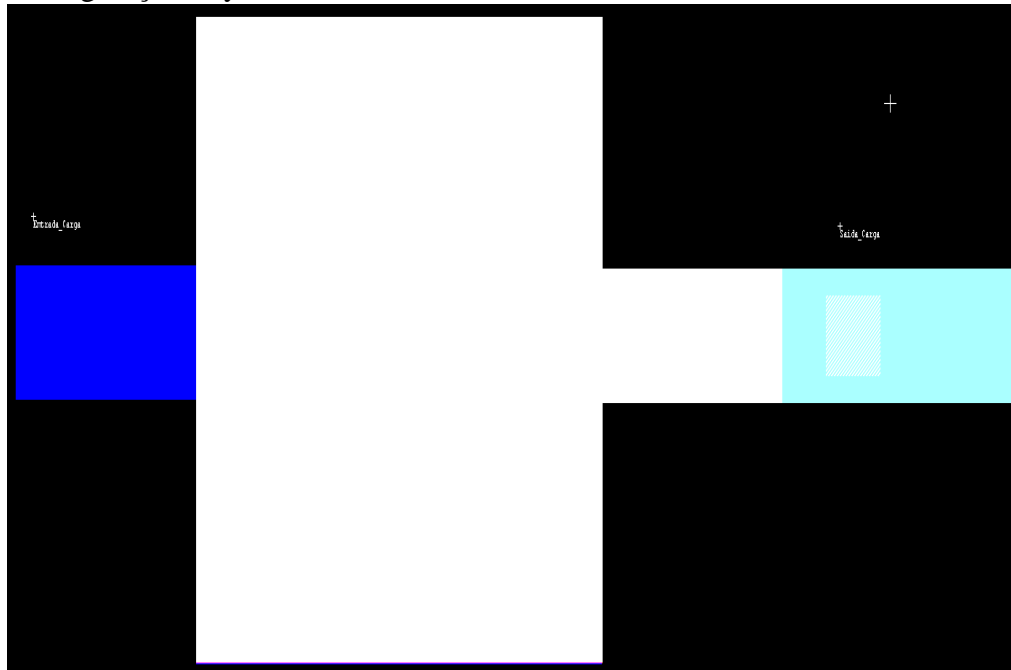
Configuração teórica Condensador:



A capacidade do paralelo dos dois condensadores é dada pelo somatório de ambos os condensadores:

$$C = C(M1-M2) + C(M1-POL)$$

Configuração Layout Condensador:



Com a respetiva cross-section:



Outra opção que foi discutida com a professora Graça, seria usar METAL3 visto que em tecnologia 0.7um é suportada esta máscara e com o facto de que a capacidade do condensador está diretamente relacionada com o facto de o condensador ser construído no substrato. Foi uma questão seriamente pensada pelo grupo dado o facto de conseguirmos diminuir W, L das camadas do nosso condensador devido a termos três condensadores em paralelo.

A ideia foi depois descartada dado não termos trabalhado em METAL3 este semestre.

Apêndice

Tentativa de cálculo do W do Mosfet:

Observando o diagrama de tensões no TANNER, temos $V_S = 4,6V$, $V_G = 5V$ e $V_D = 4,16V$. Verificamos então que, o PMOS se encontra à saturação: $V_{DS} \leq V_{GS} - V_{th}$.

Com uma corrente de dreno, $I_d = 4,16 mA$, podemos deduzir W do PMOS dado pela dedução da fórmula

$$W = \frac{2LI_d}{k_p(V_{GS} - V_{th})^2} \equiv 129 \mu m.$$

Obtemos uma tensão à saída do buffer $V = 4,34V$ para $W=129 \mu m$.

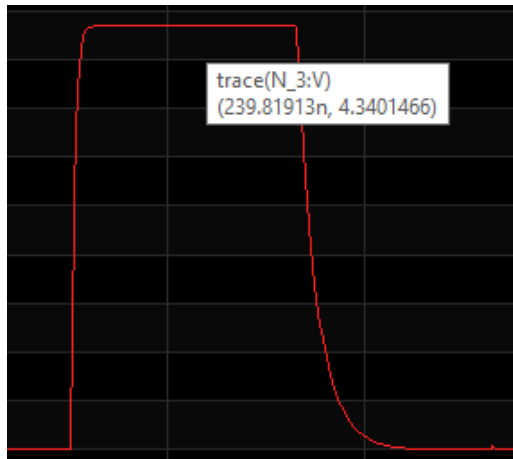


Gráfico- Dimensionamento de W do Mosfet.