

Tutorial para utilizar IP no Quartus Prime

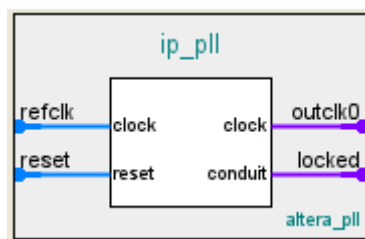
Felipe Valencia de Almeida

Essa apostila tem como objetivo auxiliar no uso de propriedade intelectual (IP - *Intellectual Property*), na ferramenta Quartus Prime. O procedimento apresentado foi feito no *Quartus Prime 20.1 Lite Edition*, porém pode ser replicado em outras versões do Quartus Prime.

1) Introdução

IPs são componentes já projetados pela Intel, que é a proprietária do Quartus Prime. A vantagem de utilizar estes componentes é poder aproveitar circuitos que já foram projetados pela Intel, o que é útil em projetos de maior complexidade.

Nesta apostila iremos configurar e instanciar um componente do tipo PLL (*Phase Locked Loop*). No contexto da disciplina de Laboratório Digital, podemos utilizar este componente para gerar, a partir do clock da placa FPGA, um clock com frequência maior ou menor. O mesmo procedimento apresentado nesta apostila pode ser utilizado para outras IPs da Intel.

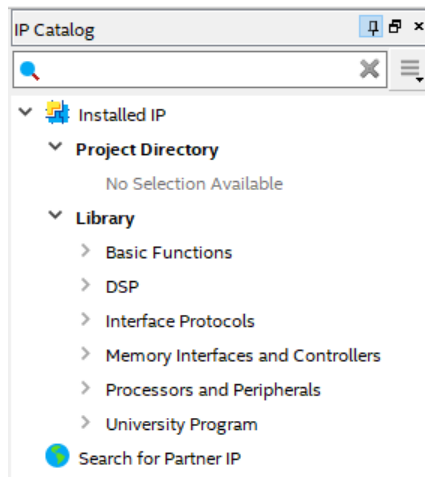


2) Setup

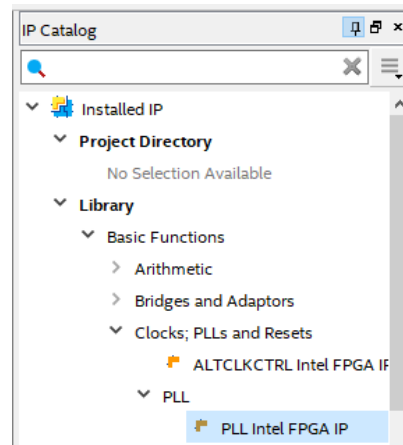
- Crie um projeto no Quartus.
- Caso você não tenha selecionado a placa FPGA do laboratório (DE0-CV) durante a criação do projeto, faça isso nesta etapa, selecionando no menu superior do Quartus a opção *Assignments > Device* e selecionando a FPGA.

2) Configurando a PLL

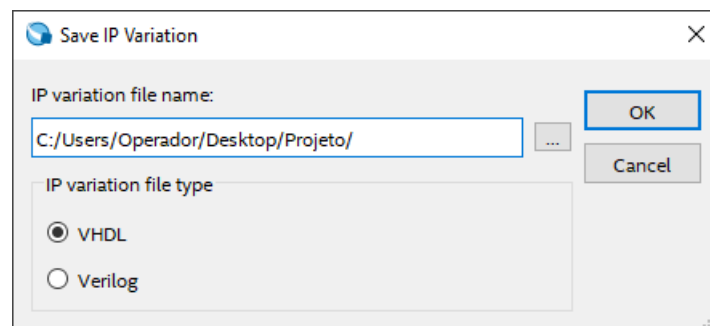
- No canto direito da janela principal do Quartus, localize a seção "IP Catalog". Caso esta seção não esteja presente, confirme no menu superior do Quartus, se a opção *View > Utility Windows > IP Catalog* está selecionada.



- Na seção “IP Catalog”, selecione a opção *Library > Basic Functions > Clocks; PLLs and Reset > PLL > PLL Intel FPGA IP*.

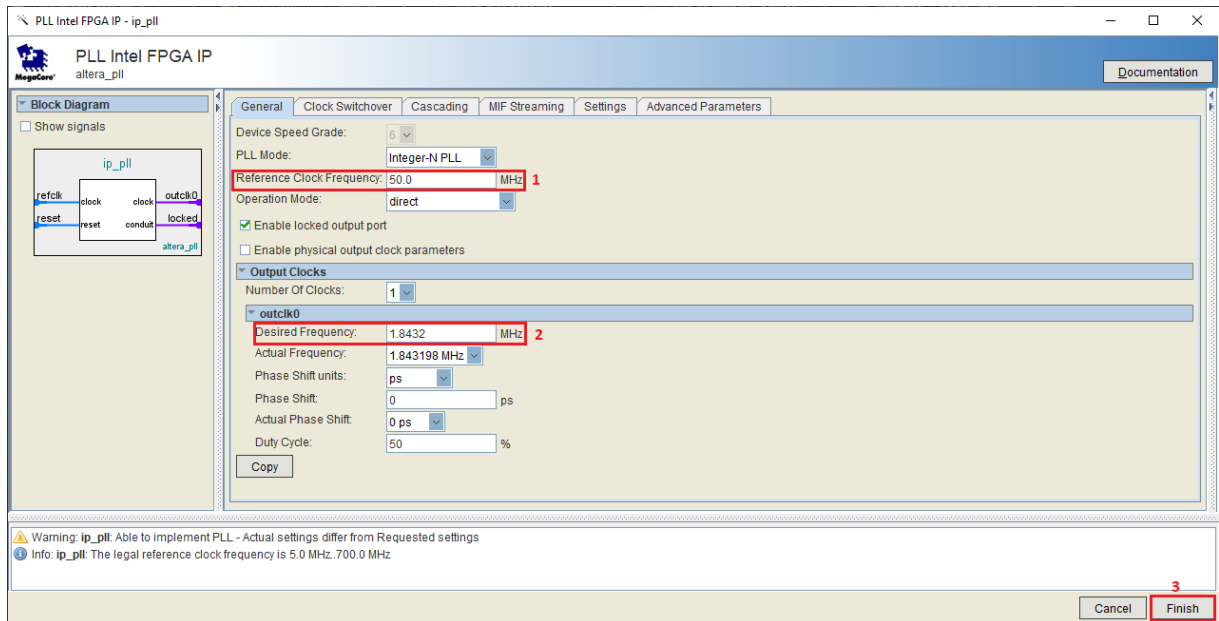


- Será aberta uma nova janela. Selecione um nome para o circuito que será instanciado (ex: `ip_pll`) e selecione a opção VHDL. Pressione o botão “OK”.

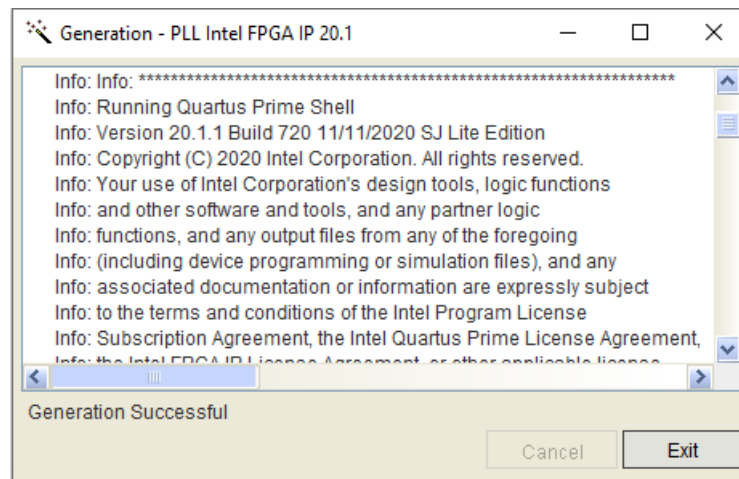


- O *MegaWizard* do Quartus será carregado, apresentando uma janela de configuração da PLL. Nesta janela é necessário realizar as seguintes configurações:

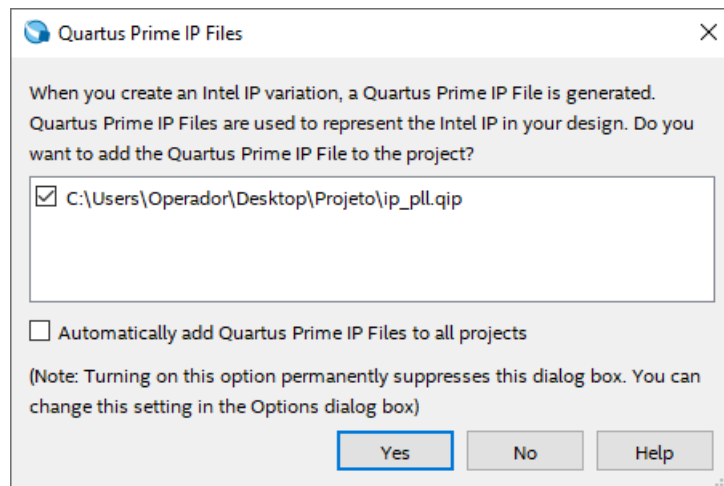
- *Reference Clock Frequency*: 50 MHz
- *Desired Frequency*: 1.8432 MHz
- Observe que o campo “*Actual Frequency*” logo abaixo do campo “*Desired Frequency*” irá apresentar um valor próximo do valor selecionado como frequência desejada.
- Pressione o botão “*Finish*”



- Aguarde a geração da PLL. Após alguns segundos será apresentada uma mensagem de sucesso

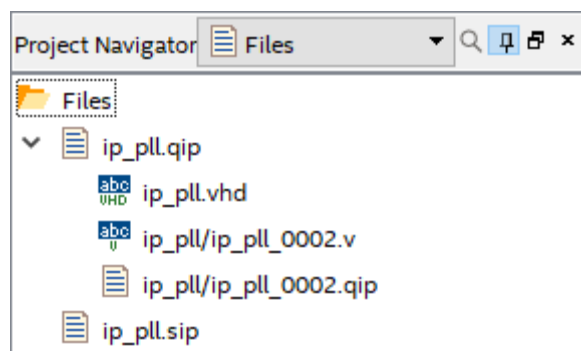


- Uma nova janela será aberta, perguntando se você deseja adicionar a IP ao projeto. Pressione o botão “*Yes*”.



4) Utilizando o PLL

- Os arquivos correspondentes a IP do PLL serão adicionados ao projeto no Quartus.



- Para utilizar a PLL, é necessário descobrir qual a entidade que foi gerada. Para isso, abra o arquivo `ip_pll.vhd`. Localize a entidade do PLL.

```
entity ip_pll is
  port (
    refclk      : in  std_logic := '0'; -- refclk.clk
    rst         : in  std_logic := '0'; -- reset.reset
    outclk_0    : out std_logic;         -- outclk0.clk
    locked      : out std_logic         -- locked.export
  );
end entity ip_pll;
```

- Pronto. Você pode utilizar este componente agora como qualquer outro componente em outro arquivo. Não se esqueça de declarar ele antes do *begin* da arquitetura e utilizar os *port maps*.