

PCS3335 - Laboratório Digital A - Experiência 4

por Bruno de Carvalho Albertini

19/03/2025

Na experiência 4 começaremos a implementação do projeto base do semestre, uma UART (*Universal Asynchronous Receiver/Transmitter*). Leia este arquivo completamente antes de começar.

Experiência

A primeira coisa que você deve fazer é baixar e ler o PDF correspondente ao *datasheet* da UART 16550 uma serial icônica usada até o presente. O PDF está disponível no e-Disciplinas com esta experiência. Neste semestre, até a experiência 8, implementaremos parcialmente uma variação desta UART sem FIFO.

Na verdade mais parecida com a 16450.

Nas experiências anteriores, você experimentou com blocos combinatórios, construiu dois blocos sequenciais e uma máquina de estados que controla contadores. Nesta experiência, usaremos as práticas que você desenvolveu até o momento para começar a construção da nossa UART.

Baud Rate Generator

O primeiro módulo que construirá é o BRG, cuja entidade está abaixo.

```
entity baudRateGenerator is
  port (
    clock, reset: in std_logic; -- Clock e reset assíncrono ativo alto
    divisor: in std_logic_vector(15 downto 0); -- Divisor
    baudOut_n: out std_logic -- Saída do clock dividida
  ) ;
end baudRateGenerator;
```

O BRG será usado como módulo em experiências subsequentes e pode ser visto no diagrama funcional da seção 8.2 do *datasheet* com o nome de *Baud Generator*. A saída deste módulo é sempre 16x o *baud rate* desejado.

Página 15.

Um exemplo de saída do BRG pode ser visto na Figura 3 do *datasheet*. O *clock* de entrada do BRG deve ser ligado na saída do PLL de 1.8432MHz. O *reset* é global e deve ser ligado em uma GPIO. O divisor representa um número inteiro e a função do BRG é dividir o *clock* por este número. A Tabela 4 do *datasheet* mostra os valores de saída do BRG para cada divisor possível. Na nossa implementação, sempre assumiremos que o *clock* de alimentação é o de 1.8432MHz, portanto

O *reset* é controlado pelo Analog Discovery.

somente a coluna correspondente da tabela é válida. Exemplo: se o divisor for 12, o *clock* será $1843200/12=153600\text{Hz}$. Note que a saída do BRG sempre é 16 vezes o *baud rate* desejado, por isso $153600/16=9600$ conforme a tabela.

Para esta parte da implementação, você deve usar o seu contador para implementar o BRG. Note que a forma de onda da Figura 3 mostra uma forma de onda assimétrica, com *duty cycle* diferente de 50%. Você pode usar qualquer *duty cycle* que desejar, porém deve manter o sinal alto por pelo menos 1 ciclo de *clock* de alimentação do BRG. Sugerimos que siga a orientação do *datasheet*.

Você pode modificar o contador se quiser.

Transmissor Serial

O transmissor serial nada mais é que um registrador de deslocamento controlado por uma máquina de estados. O registrador pode ser visto no diagrama funcional da seção 8.2 do *datasheet* com o nome de *Transmitter Shift Register* (TSR) e a máquina de estados como *Transmitter Timing & Control* (TTC). O módulo que você irá implementar é a ligação do registrador de deslocamento com a máquina de estados. O registrador de deslocamento é uma instância do registrador que já desenvolveu, portanto você desenvolverá a máquina de estados nesta experiência.

A linha de transmissão serial normalmente repousa em alto, ou seja, se não estiver sendo usada, é mantida em nível lógico alto. Quando deseja-se transmitir um bit, a sequência será: transmitir o *start* bit (sempre nível baixo), transmitir os bits de dados começando pelo menos significativo até o mais significativo, seguido da paridade e do *stop* bit (sempre nível alto). A duração de cada bit na saída é o *baud rate*, então para 9600bps cada bit estará na saída serial por 1,0417ms.

Para esta experiência, você pode fixar o valor a ser transmitido com um caractere ASCII em 8 bits e transmiti-lo continuamente, porém deve levar em consideração o bit de paridade, que você deve escolher como par ou ímpar. Os bits marcadores (*start* e *stop*) devem estar presentes. Sugerimos que faça uma pausa de pelo menos a duração de dois caracteres entre duas transmissões consecutivas. Lembre-se que a linha repousa em nível lógico **alto**.

Nesse caso o MSB sempre será zero.

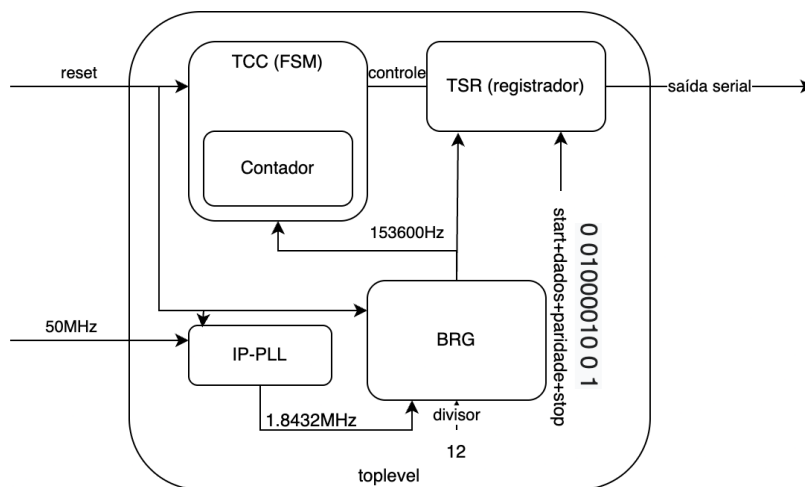
Sugestões não são obrigatórias.

Também sugerimos que modularize o seu projeto. O transmissor pode ser somente a junção do registrador TSR (instância do registrador que já desenvolveu) e da sua máquina de estados TTC (instância da FSM que desenvolverá para esta experiência). Para melhor visualização, também sugerimos que mantenha arquivos separados: um para a FSM, um para o registrador (já deve possuir), e um para juntar os dois. Não menospreze a modularização pois alteraremos estes módulos em experiências futuras.

Orientações para a Montagem

Você deve ter o mesmo IP-PLL instanciado para esta experiência pois precisará do *clock* de 1.8432MHz. Caso não tenha instanciado em experiências anteriores, faça nesta. O *clock* de entrada do sistema de transmissão deve ser o de 50MHz, alimentando o IP-PLL, que fornecerá o *clock* de 1.8432MHz para todo o restante do sistema, que até o momento é apenas o BRG. O seu módulo transmissor deve ser alimentado pela saída do BRG, que pode ser configurado para qualquer divisor de até 16 bits. Para esta experiência, o divisor pode ser fixo, porém você deve estar apto a modificá-lo no dia da experiência, mesmo que seja necessário recompilar o projeto. Sugerimos usar o divisor de 12 conforme exemplo e lembre-se que o BRG produz um sinal com frequência 16 vezes maior que o *baud rate* desejado na saída da serial.

O *toplevel* deve instanciar o IP-PLL, o BRG e o transmissor, e ligá-los adequadamente. O transmissor deve instanciar o registrador e sua máquina de estados. A figura abaixo mostra um diagrama de blocos da solução proposta. Note que os dados a serem transmitidos são fixos, assim como o divisor do BRG. A máquina de estados instancia um (ou mais) contador para acompanhar o número de bits transmitidos e as pausas entre duas transmissões. Entre o TTC e o TSR há sinais de controle, que você deve escolher quais serão de fato controlados pela FSM e quais serão fixos ou ligados à sinais externos. Perceba a cadeia de *clocks* do desenho: tanto o TTC quanto o TSR são alimentados com um *clock* 16x maior que o *baud rate*, e cada um resolve isso de uma maneira diferente (o TTC com a máquina de estados e com o contador interno e o TSR simplesmente mantendo a saída estável por vários ciclos).



No diagrama, o dado a ser transmitido (fixo) é 0 01000010 0 1 onde 0 é o *start* bit, 0100010 é o correspondente ASCII para o caractere “B” (lembre que o LSB é transmitido primeiro, logo após o *start* bit), 0

correspondente à paridade par e 1 correspondente ao *stop* bit.

A saída serial do registrador deve ser exposta pelo seu módulo transmissor e, conseqüentemente, pelo *toplevel*, mapeada na GPIO. Não há outros sinais de controle que devem ser expostos, porém você pode adicionar qualquer outro que deseje para depuração. Sugerimos expor na GPIO a saída do BRG. Não é permitido usar os botões da placa e não é permitido usar a Analog Discovery como geradora de *clock*. A saída serial deve ser ligada na Analog Discovery. Você deve usar a ferramenta *Protocol* da Analog Discovery, configurar um pino digital como entrada para a Analog Discovery e usar o protocolo UART, com as configurações do experimento: *baud rate* manual padrão, 8bits de dados, paridade e o número de *stop* bits.

Planejamento

[4 pontos]

Não há submissão para o juiz nesta experiência. No documento do seu planejamento, apresente **no mínimo** um RTL do circuito no Quartus, um diagrama de transição de estados da sua máquina, a ligação da GPIO com a Analog Discovery (se houver) e a tabela de testes. Não esqueça de enviar o arquivo .QAR do seu projeto no Quartus junto com o planejamento.

Execução

[5 pontos]

Quando chegar no laboratório, veja se há observações no planejamento. Caso não tenha nenhuma, apresente-se ao professor antes de começar a montagem. Note que é esperado que a execução desta experiência tome no máximo 20min, então traga seu projeto já com pinagem no Quartus para execução. Mostre para o seu professor assim que possível.

Desafio

Não há desafio padrão para esta experiência. Caso o professor proponha algum desafio, a nota (até o limite de 3 pontos) será incorporada à execução.

Relatório

[1 ponto]

Suba no e-Disciplinas um relatório contendo o resultado dos seus testes.