



**Universidade Federal de São Carlos**

**Departamento de Computação**



**Disciplina Circuitos Digitais**

Professor Doutor Emerson Carlos Pedrino

**Decodificador BCD para Display de Sete Segmentos**

**Usando a placa DE1 Altera**

Autores: Bruna Zamith Santos e Marcos Augusto Faglioni Junior

São Carlos, 2016.



**Universidade Federal de São Carlos**

**Departamento de Computação**

Autor: Bruna Zamith Santos

Registro Acadêmico: 628093

Autor: Marcos Augusto Faglioni Junior

Registro Acadêmico: 628301

Local para despacho: Sala de Aula At 9 - sala 218

Prazo de entrega: 04/05/2016



## 1 Introdução

Circuitos digitais são circuitos eletrônicos que trabalham seguindo a lógica booleana, ou lógica binária (0 ou 1). Este funcionamento se deve ao uso de dois níveis de tensão, o *low* (baixo) e o *high* (alto). Nesse contexto, as portas lógicas são componentes dos circuitos digitais, sendo capazes de realizar operações matemáticas a fim do desenvolvimento da lógica digital do circuito.

Decodificadores são circuitos digitais responsáveis pela conversão de um código em BCD (decimal codificado em binário) ou binário para a outro código qualquer. Por tratar-se de circuitos digitais, são constituídos de portas lógicas que estão distribuídas de acordo com a entrada e a saída que se quer obter a partir do decodificador.

Uma possível utilização do decodificador é na conversão de códigos BCD em saída para display de sete segmentos. Um projeto prático desse decodificador pode ser desenvolvido na placa DE1 da Altera. Tal placa possui integrada uma FPGA Altera Cyclone II 2C20.

## 2 Objetivo

O seguinte projeto objetiva a construção de um decodificador BCD para display de 7 segmentos. Assim, trata-se de um trabalho visando pôr em prática o conteúdo explicitado nas aulas de Circuitos Digitais, ministradas pelo professor dr. Emerson Pedrino. Com isso, abrange assuntos relacionados a funções lógicas, paridade, álgebra booleana, circuitos combinacionais, mapa de Karnaugh e, o assunto principal, o qual engloba os anteriores, decodificadores.

## 3 Equipamentos, ferramentas e materiais utilizados

- Kit de Desenvolvimento Altera DE1 (DE1 Development and Education Board)
- Software Quartus II, versão 9.1 - Web Edition

## 4 Fundamentos Teóricos

O código BCD, ou Decimal Codificado em Binário, representa cada algarismo de um número decimal como um binário puro. Uma vez que cada dígito decimal pode ter valor máximo 9, são necessários apenas 4 bits para cada dígito do número decimal. A tabela 4.1 permite a comparação entre os códigos em decimal, binário e bcd.

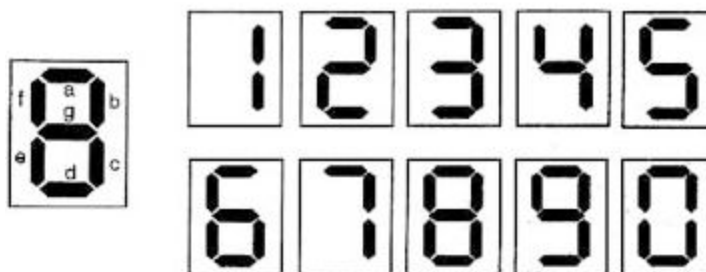
Tabela 4.1: Exemplos de conversão de decimal para binário e bcd

Decimal	Binário	BCD	Decimal	Binário	BCD
0	0000	0000	7	0111	0111
1	0001	0001	8	1000	1000
2	0010	0010	9	1001	1001
3	0011	0011	10	1010	0001 0000
4	0100	0100	11	1011	0001 0001
5	0101	0101	12	1100	0001 0010
6	0110	0110	13	1101	0001 0011

Fonte: Elaborado pelo autor

O display de sete segmentos, por sua vez, forma algarismos de 0 a 9 acendendo ou não uma combinação de sete LEDS ou diodos eletroluminescentes. A imagem 4.2 exibe a codificação do display de sete segmentos.

Imagem 4.2: Algarismos de 0 a 9 no display de sete segmentos



Fonte: Codificadores e Decodificadores. <<http://www.newtoncbraga.com.br/index.php/como-funciona/1196-art160>>. Acesso em abril de 2016.

Deste modo, uma tabela-verdade para o decodificador em questão é explicitado na tabela 4.3, sendo que a saída é ativada em nível baixo.

Tabela 4.3: Tabela-verdade para a entrada em BCD e a saída no display de sete segmentos

n1	n2	n3	n4	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	1	0	0
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

Fonte: Elaborado pelo autor

A partir da tabela-verdade supracitada, é possível construir os seguintes mapas de Karnaugh e suas respectivas simplificações para cada LED do display de sete segmentos (a, b, c, d, e, f, g).

Imagem 4.4: Mapas de Karnaugh

Mapa K para “a”

		n3n4			
		00	01	11	10
n1n2	00	0	1	0	0
	01	1	0	0	0
	11	X	X	X	X
	10	0	0	X	X

$$\overline{n3}(n2n4 + \overline{n1}\overline{n2}n4)$$

Mapa K para “b”

		n3n4			
		00	01	11	10
n1n2	00	0	0	0	0
	01	0	1	0	1
	11	X	X	X	X
	10	0	0	X	X

$$n2(n3 \oplus n4)$$

Mapa K para “c”

	n3n4			
n1n2	00	01	11	10
00	0	0	0	(1)
01	0	0	0	0
11	X	X	X	X
10	0	0	X	(X)

$$\bar{n}2\bar{n}3\bar{n}4$$

Mapa K para “d”

	n3n4			
n1n2	00	01	11	10
00	0	(1)	0	0
01	(1)	0	(1)	0
11	(X)	X	(X)	X
10	0	(1)	X	X

$$n2(n3 \odot n4) + \bar{n}2\bar{n}3n4$$

Mapa K para “e”

	n3n4			
n1n2	00	01	11	10
00	0	1	1	0
01	1	1	1	0
11	X	X	X	X
10	0	1	X	X

$$n2\bar{n}3 + n4$$

Mapa K para “f”

	n3n4			
n1n2	00	01	11	10
00	0	(1)	(1)	(1)
01	0	0	1	0
11	X	X	X	X
10	0	0	(X)	(X)

$$n3n4 + \bar{n}1\bar{n}2n4 + n3\bar{n}2$$



## Mapa K para “g”

	$n_3n_4$	00	01	11	10
$n_1n_2$	00	1	1	0	0
	01	0	0	1	0
	11	X	X	X	X
	10	0	0	X	X

$$\overline{n_1n_2n_3} + n_2n_3n_4$$

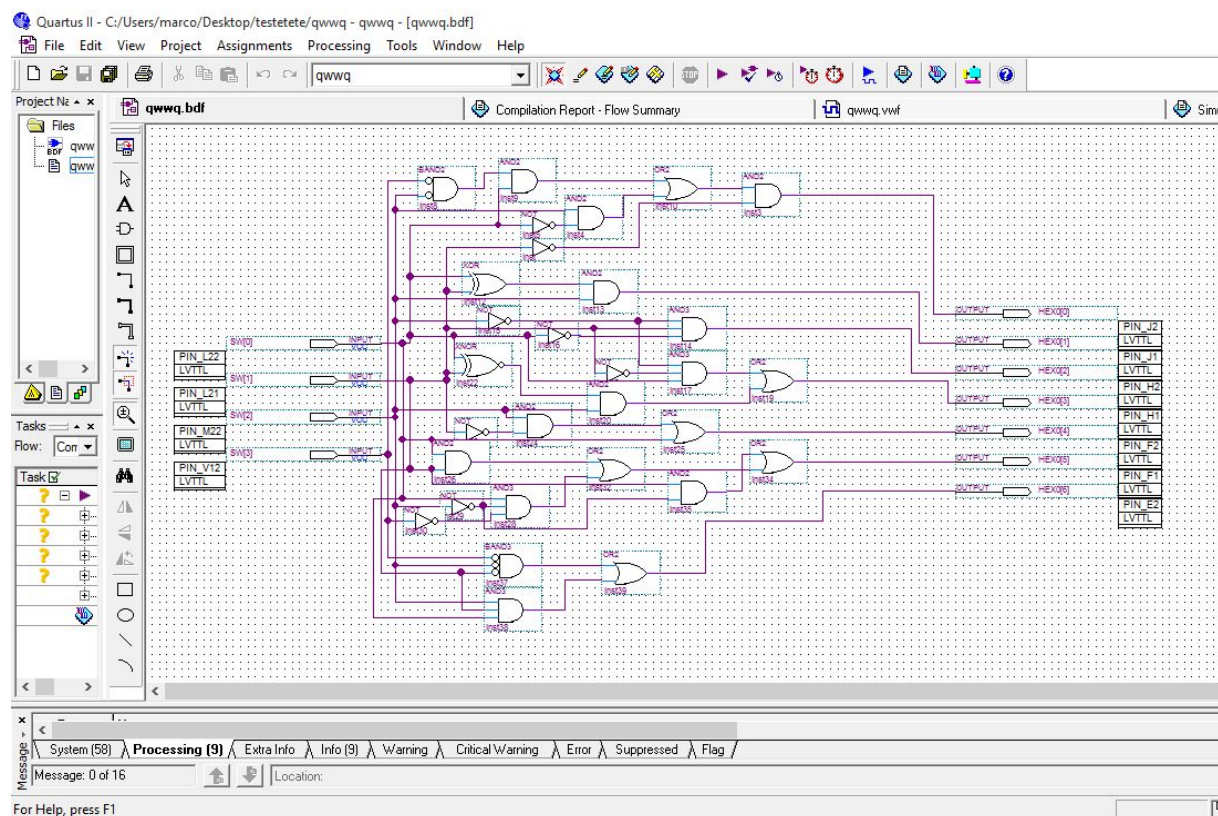
Fonte: Elaborado pelo autor

## 5 Experimento

Com as funções lógicas para cada LED, construiu-se, através do software Quartus II, um desenho esquemático do decodificador. As chaves HH (SW[3:0]) presentes na placa correspondem à entrada do BCD e as saídas (HEX0[0:6]) correspondem ao display de sete segmentos.

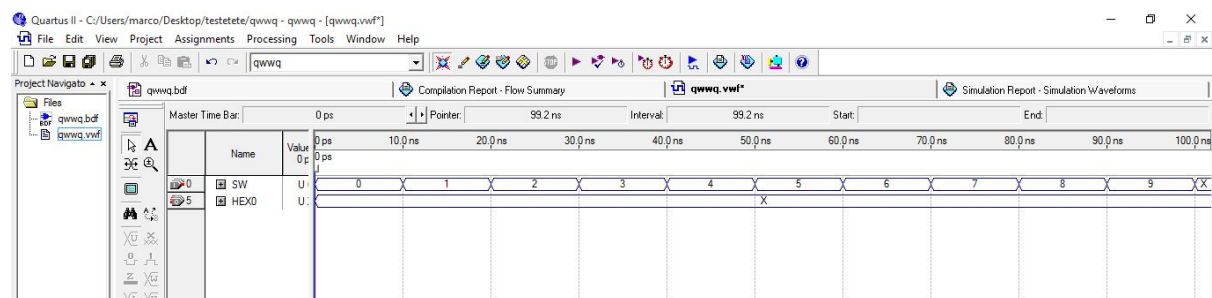
Pôde-se então realizar uma simulação para verificar se as saídas estavam coerentes em relação às entradas, ou seja, se os resultados correspondiam aos esperados, descritos anteriormente, na tabela 4.3.

Imagem 5.1: Desenho esquemático do decodificador



Fonte: Elaborado pelo autor, com o software Quartus II

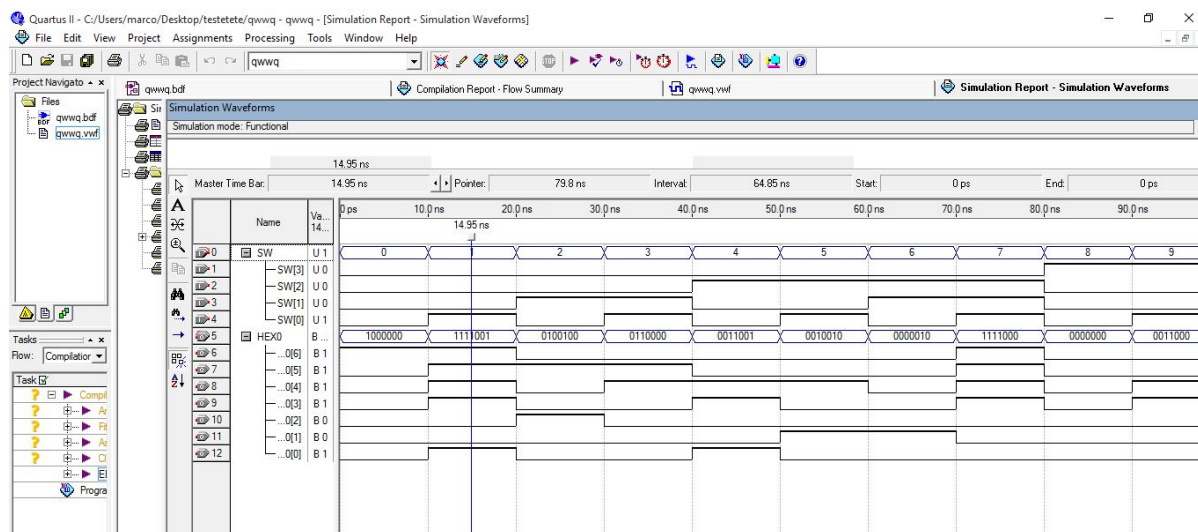
Imagem 5.2: Configuração para simulação



Fonte: Elaborado pelo autor, com o software Quartus II



Imagem 5.3: Simulação

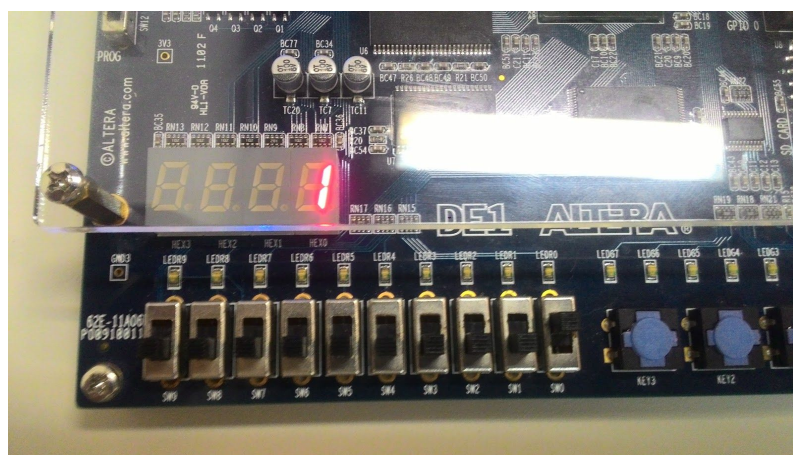


Fonte: Elaborado pelo autor, com o Software Quartus II

## 6 Resultados

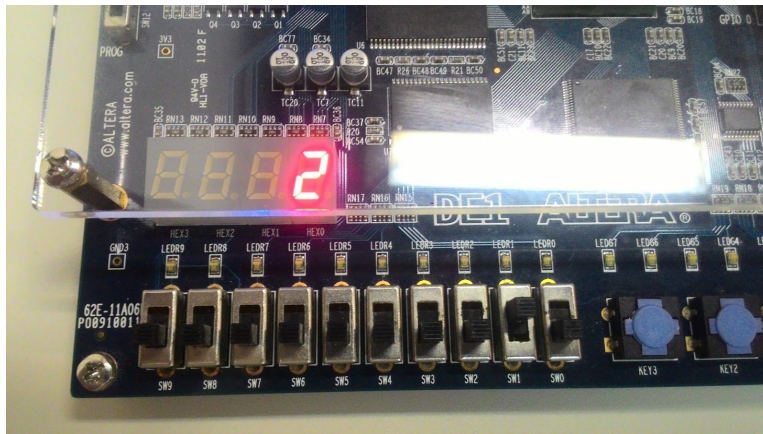
Com as devidas configurações do software Quartus II, foi possível rodar o circuito na Altera DE1. Os resultados obtidos estão de acordo com os esperados e são mostrados nas imagens a seguir.

Imagem 6.1: Saida obtida para BCD 0001



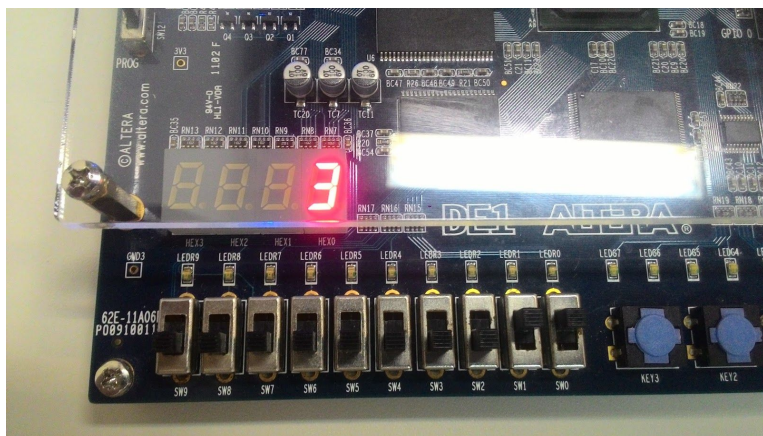
Fonte: Elaborado pelo autor

Imagem 6.2: Saída obtida para BCD 0010



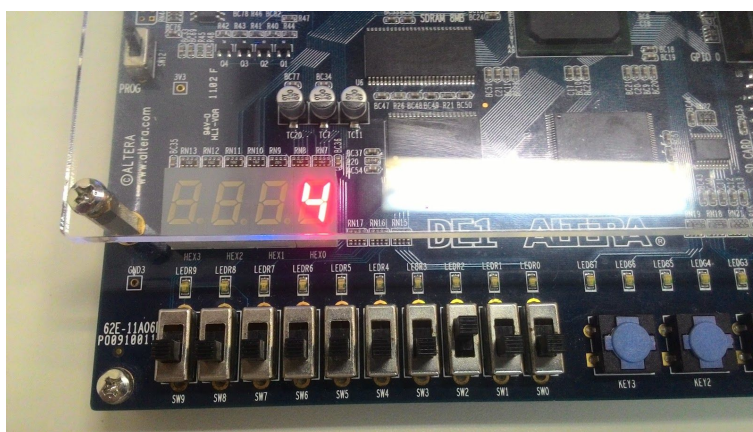
Fonte: Elaborado pelo autor

Imagem 6.3: Saída obtida para BCD 0011



Fonte: Elaborado pelo autor

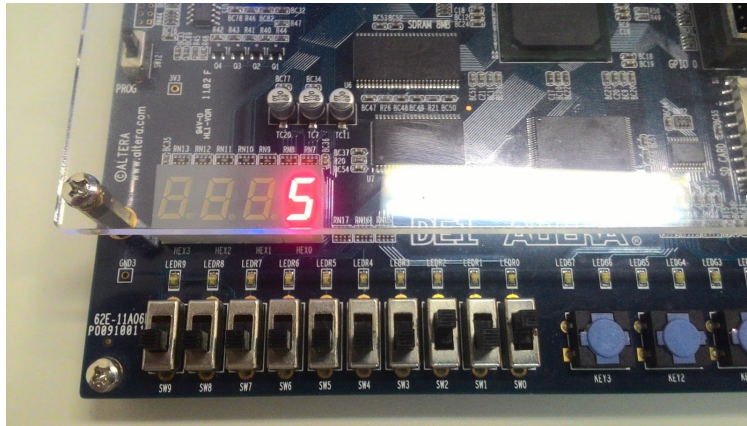
Imagem 6.4: Saída obtida para BCD 0100



Fonte: Elaborado pelo autor

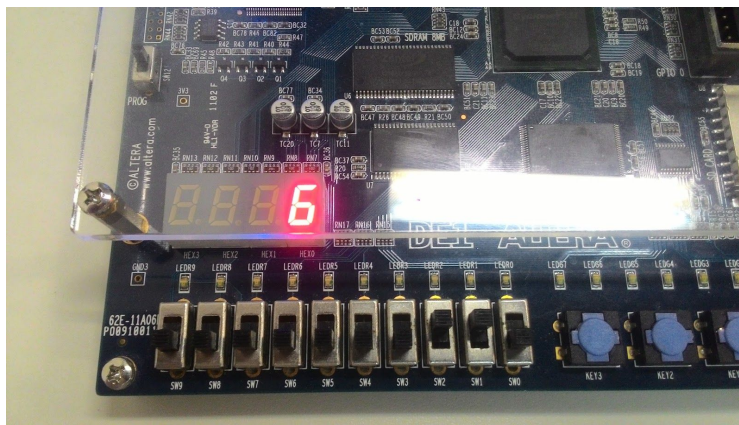


Imagem 6.5: Saída obtida para BCD 0101



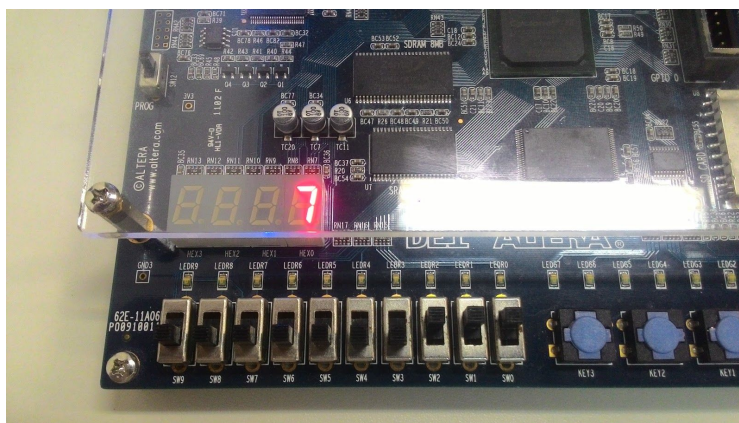
Fonte: Elaborado pelo autor

Imagem 6.6: Saída obtida para BCD 0110



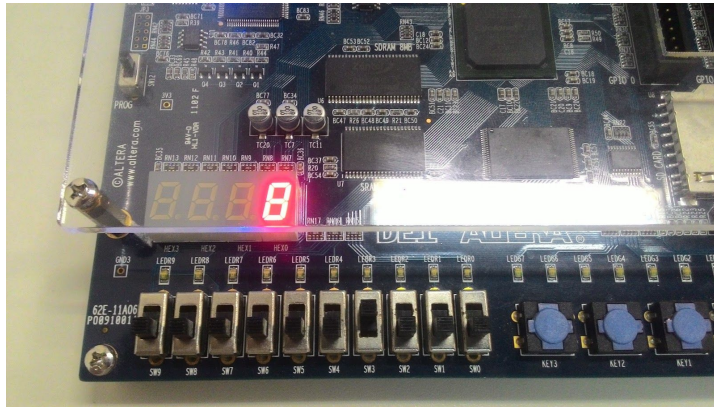
Fonte: Elaborado pelo autor

Imagem 6.7: Saída obtida para BCD 0111



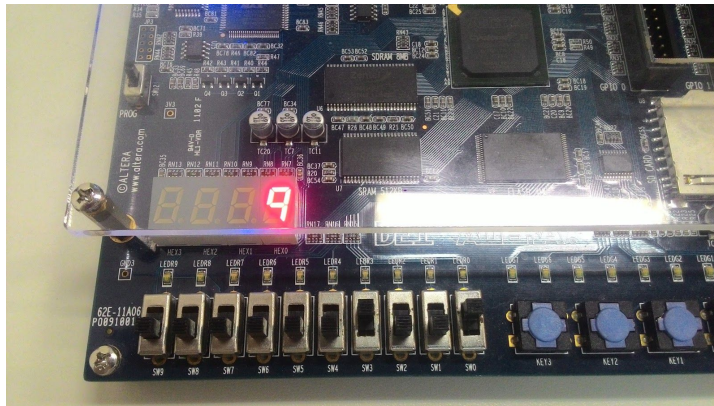
Fonte: Elaborado pelo autor

Imagem 6.8: Saída obtida para BCD 1000



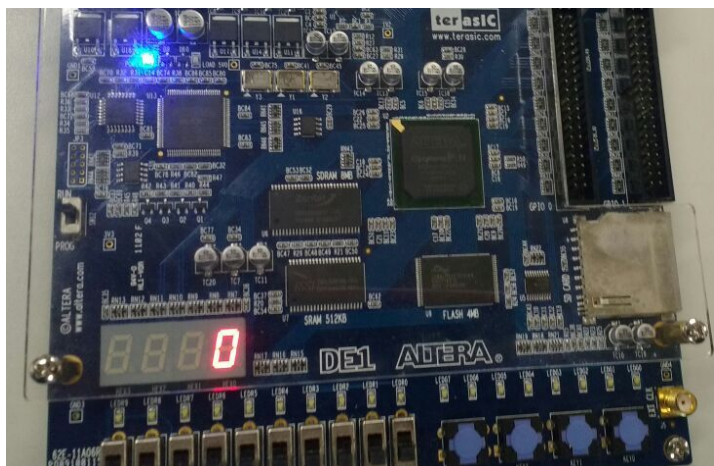
Fonte: Elaborado pelo autor

Imagem 6.9: Saída obtida para BCD 1001



Fonte: Elaborado pelo autor

Imagem 6.10: Saída obtida para BCD 0000



Fonte: Elaborado pelo autor



## 7 Conclusões

A partir do projeto foi possível verificar o funcionamento do decodificador BCD para display de sete segmentos e o arranjo de suas portas lógicas. Assim, avaliou-se o funcionamento de um circuito digital em simulação e na prática.

Ainda, evidencia-se a importância do fato de tratar-se de um código BCD, uma vez que para cada algarismo do número em base decimal são necessários apenas 4 bits. Desta forma, para projetos futuros, seria possível estender o experimento para números decimais com mais de um algarismo, resultando em mais de um display de 7 segmentos.

Além disso, por tratar-se de BCD, no experimento aqui descrito, os valores de entrada 1010, 1011, 1110, 1111, 1101, 1100, resultam em uma saída aleatória, como descrito na tabela 4.3.

Por fim, verificou-se o funcionamento de uma FPGA (field-programmable gate array): chips formados por uma enorme quantidade de chaves programáveis, podendo ser configurados para simular o comportamento de praticamente qualquer circuito.

## 8 Referências Bibliográficas

Pedrimo, Emerson Carlos. UNIVERSIDADE FEDERAL DE SÃO CARLOS. Departamento de Computação. Material referente à aula 8.

\_\_\_\_\_. Altera. DE1 Development and Education Board. Disponível em: <ftp://ftp.altera.com/up/pub/Altera\_Material/Boards/DE1/DE1\_User\_Manual.pdf>. Acesso em: Abril de 2016.

\_\_\_\_\_. Instituto Newton C Braga. Codificadores e Decodificadores. Disponível em: <http://www.newtoncbraga.com.br/index.php/como-funciona/1196-art160>. Acesso em: Abril de 2016.

Bertini, Luciano. UNIVERSIDADE FEDERAL FLUMINENSE. Sistemas de Numeração e Códigos. Disponível em: <http://www.professores.uff.br/lbertini/CirDig-2015.01/slides/Cap



**Universidade Federal de São Carlos**

**Departamento de Computação**

itulo%202%20-%20Sistemas%20de%20Numeracao%20e%20Codigos.pdf>. Acesso em:  
Abril de 2016.

\_\_\_\_\_. Hardware.com. FPGA's. Disponível em: <<http://www.hardware.com.br/termos/fpga>>. Acesso em: Abril de 2016.