



Universidade Federal de São Carlos - UFSCar

Joao Vitor Azevedo Marciano 743554

Lorhan Sohaky de Oliveira Duda Kondo 740951

## **Experimento 02 - Implementação de um meio-somador e uso de um display de 7 segmentos como dispositivo de saída**

São Carlos - SP

2017

Universidade Federal de São Carlos - UFSCar

Joao Vitor Azevedo Marciano 743554

Lorhan Sohaky de Oliveira Duda Kondo 740951

**Experimento 02 - Implementação de um meio-somador e  
uso de um display de 7 segmentos como dispositivo de  
saída**

Orientador: Fredy João Valente

Universidade Federal de São Carlos - UFSCar

Departamento de Computação

Ciência da Computação

Laboratório de Circuitos Digitais

São Carlos - SP

2017

## Lista de ilustrações

## Lista de tabelas

## Lista de quadros

# Lista de abreviaturas e siglas

FPGA	<i>Field Programmable Gate Array</i> - Arranjo de Portas Programáveis em Campo
------	--

# Lista de símbolos

$\Gamma$	Letra grega Gama
$\Lambda$	Lambda
$\zeta$	Letra grega minúscula zeta
$\in$	Pertence

# Sumário

1	RESUMO . . . . .	8
2	DESCRIÇÃO DA EXECUÇÃO DO EXPERIMENTO . . . . .	9
2.1	ETAPA 1 – Display de 7 segmentos . . . . .	9
2.2	ETAPA 2 – Meio-somador 1 bit . . . . .	9
2.3	ETAPA 3 – Meio-somador 4 bits . . . . .	9
3	AVALIAÇÃO DOS RESULTADOS DO EXPERIMENTO . . . . .	10
3.1	ETAPA 1 – Display de 7 segmentos . . . . .	10
3.2	ETAPA 2 – Meio-somador 1 bit . . . . .	10
3.3	ETAPA 3 – Meio-somador 4 bits . . . . .	10
4	ANÁLISE CRÍTICA E DISCUSSÃO . . . . .	11
4.1	ETAPA 1 – Display de 7 segmentos . . . . .	11
4.2	ETAPA 2 – Meio-somador 1 bit . . . . .	11
4.3	ETAPA 3 – Meio-somador 4 bits . . . . .	11
	REFERÊNCIAS . . . . .	12
	APÊNDICES . . . . .	13
	APÊNDICE A – IMAGEM DO CIRCUITO PARA A REPRESENTAÇÃO DE UM NÚMERO DE 4 <i>BITS</i> EM UM DISPLAY DE 7 SEGMENTOS . . . . .	14
	APÊNDICE B – IMAGEM DO CIRCUITO DO MEIO-SOMADOR DE 4 <i>BITS</i> . . . . .	16
	ANEXOS . . . . .	18
	ANEXO A – <i>DATASHEET</i> DO COMPONENTE 7449 . . . . .	19



# 1 Resumo

O experimento tem o objetivo de entender como implementar um meio-somador e 4 bits. Para tal, dividiu-se o experimento em 3 (três) etapas para facilitar o aprendizado.

A primeira etapa é para entender como utilizar um display de 7 (sete) segmentos, como dispositivo de saída do circuito, e como implementar algo similar ao componente TTL 7449.

A segunda etapa serve para entender como implementar um meio-somador de 1 (um) *bit* utilizando somente portas NAND e a saída sendo apresentada em um display de 7 (sete) segmentos.

A terceira etapa tem o objetivo de implementar um meio-somador de 4 (quatro) *bits*, tendo a saída apresentada em dois display de 7 (sete) segmentos.

<sup>1</sup>

---

<sup>1</sup> Para mais detalhes sobre o TTL 7449 acesse o [Apêndice A](#)

## 2 Descrição da execução do experimento

Para a realização deste experimento, foram utilizados o programa Quartus 13.0 SP 1 e a placa *Field Programmable Gate Array* - Arranjo de Portas Programáveis em Campo (FPGA) Cyclone II - EP2C20F484C7.

### 2.1 ETAPA 1 – Display de 7 segmentos

Para representar um número de 4 *bits* na placa, utilizou-se 4 *switch*, cada um representando um bit do número. Como um segmento do *display* poderia ser acendido em mais de um número, montou-se uma expressão lógica para cada segmento do *display*.

Para o display 0 montou-se a expressão

$$D'.C'.A' + A.C.B + A.C.D' + D'.B$$

, para o display 1 montou-se a expressão

$$D'.C + D'.A'.B' + A.B.C$$

, para o display 2 montou-se a expressão

$$C.D' + A.C'.D' + B'.C'.D' + A.B.C$$

, para o display 3 montou-se a expressão

$$C'.D'.A + C'.D'.B + A'.B.D' + A.B.C.D + A.B'.C.D'$$

, para o display 4 montou-se a expressão

$$A'.C'.D' + A.B.C.D + A.B'.C.D'$$

, para o display 5 montou-se a expressão

$$A'.B'.D' + A'.C.D' + A.B.C + A.C.D'$$

, para o display 6 montou-se a expressão

$$C.D' + B.C'.D'$$

.

Com tais expressões, montamos o circuito conforme o [Apêndice A](#).

### 2.2 ETAPA 2 – Meio-somador 1 bit

### 2.3 ETAPA 3 – Meio-somador 4 bits

## 3 Avaliação dos resultados do experimento

### 3.1 ETAPA 1 – Display de 7 segmentos

### 3.2 ETAPA 2 – Meio-somador 1 bit

### 3.3 ETAPA 3 – Meio-somador 4 bits

Apresentar os resultados da simulação em software e da utilização do Kit DE1 e/ou protoboard. Utilizar figuras, descrevê-las e discuti-las.

## 4 Análise crítica e discussão

### 4.1 ETAPA 1 – Display de 7 segmentos

### 4.2 ETAPA 2 – Meio-somador 1 bit

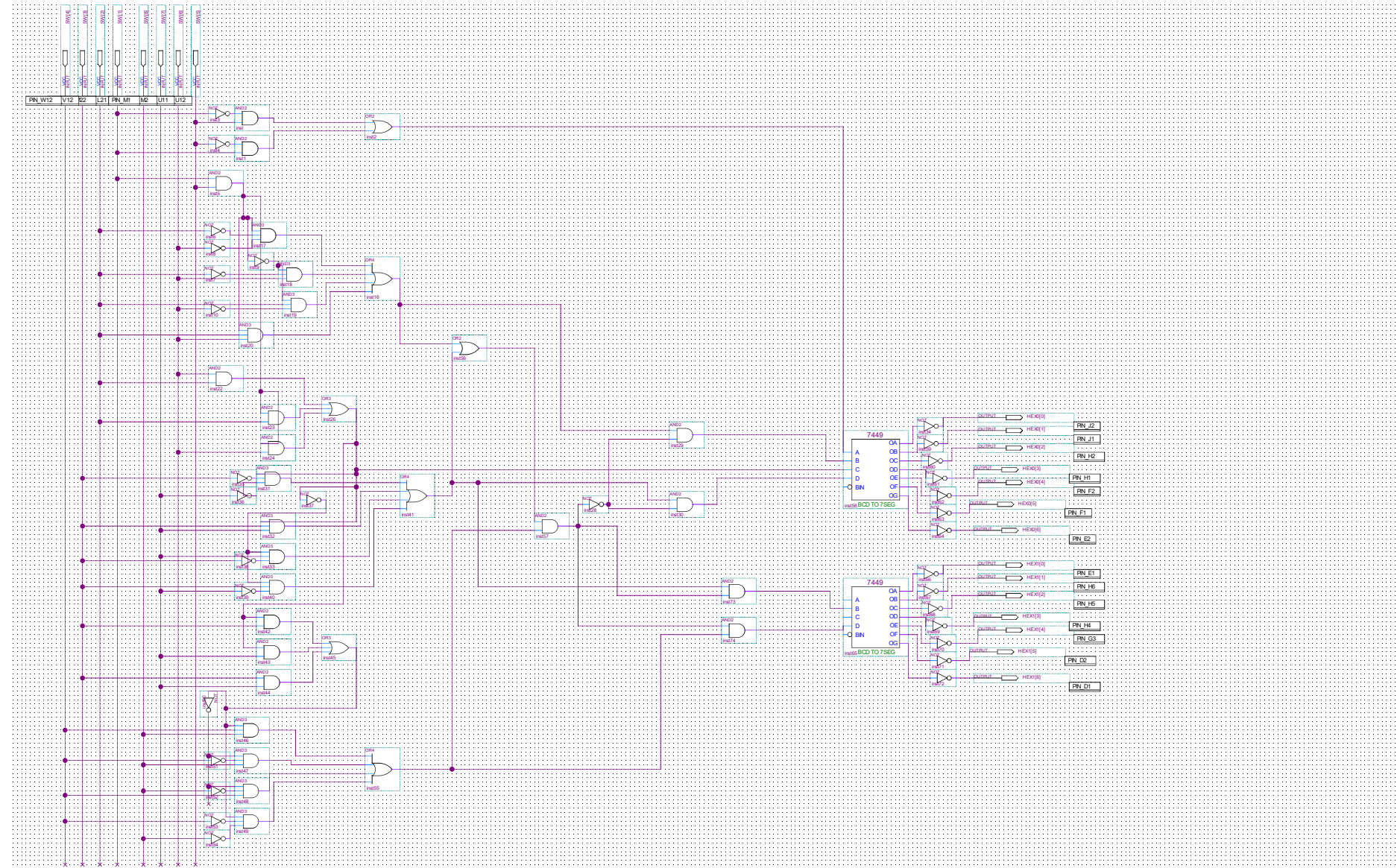
### 4.3 ETAPA 3 – Meio-somador 4 bits

Apresentar a visão do grupo sobre o experimento, apresentando pontos fáceis e de dificuldades para a realização do mesmo. Comente se os resultados obtidos representam o comportamento esperado do grupo para o circuito, fazendo relação com o conteúdo teórico.

## Referências

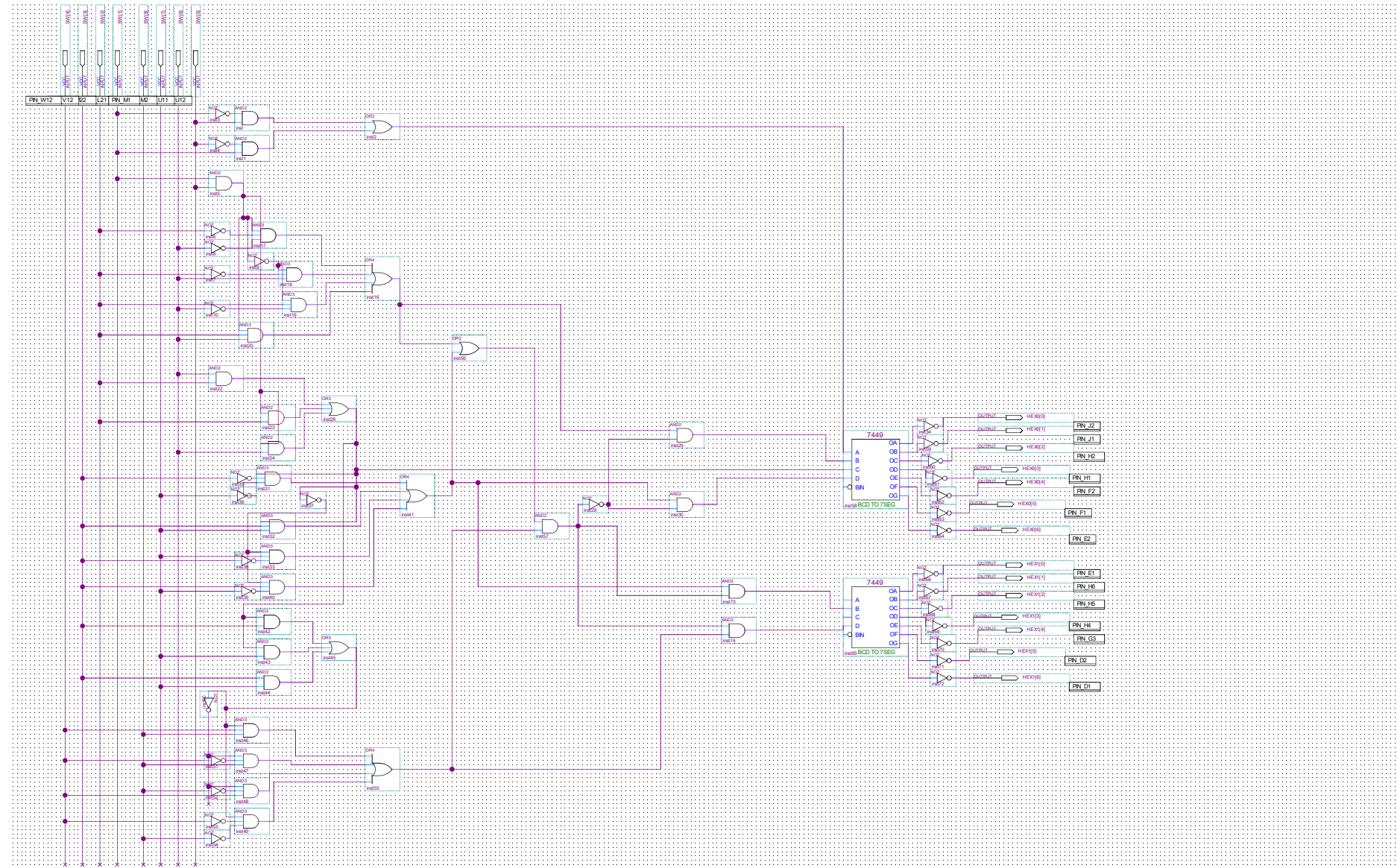
## Apêndices

APÊNDICE A – Imagem do circuito para a  
representação de um número de 4 *bits* em um  
display de 7 segmentos





## APÊNDICE B – Imagem do circuito do meio-somador de 4 *bits*



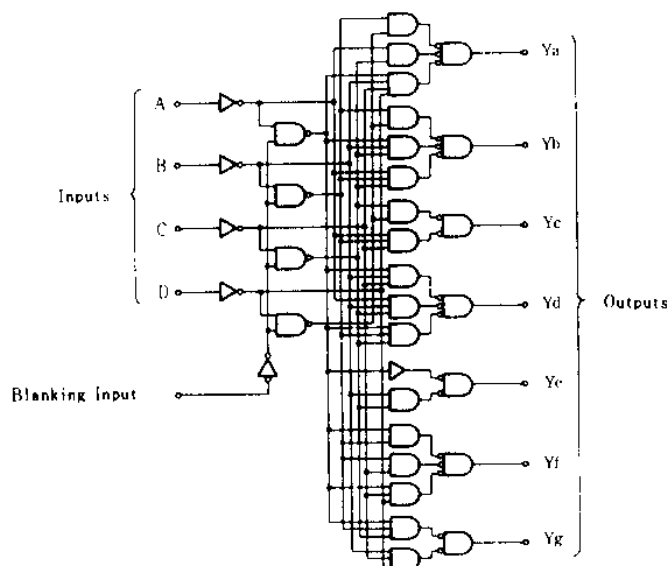
## Anexos

# ANEXO A – *Datasheet* do componente 7449

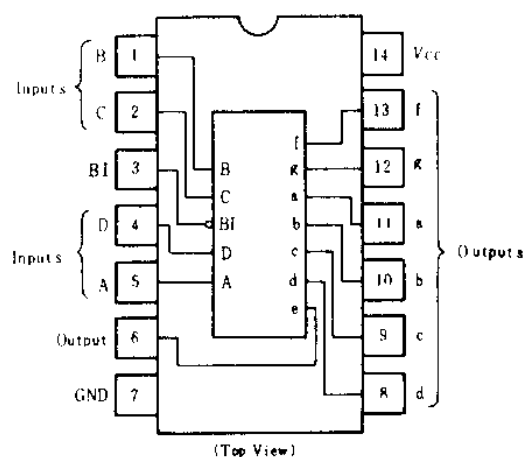
# HD74LS49 • BCD-to-Seven Segment Decoder/Driver (with Open collector outputs)

The HD74LS49 features active-high outputs for driving lamp buffer. This circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions. It contains an overriding blanking input (BI) which can be used to control the lamp intensity by pulsing or to inhibit the output. Inputs and outputs are entirely compatible for use with TTL or DTL logic outputs.

## ■ BLOCK DIAGRAM



## ■ PIN ARRANGEMENT



## ■ ABSOLUTE MAXIMUM RATINGS

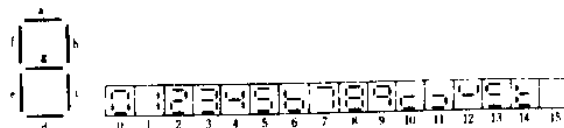
Item	Symbol	Ratings	Unit
Supply voltage	$V_{CC}$	7.0	V
Input voltage	$V_{IN}$	7.0	V
Output current (off state)	$I_{OFF}$	1	mA
Operating temperature range	$T_{opr}$	- 20 ~ + 75	°C
Storage temperature range	$T_{stg}$	65 ~ + 150	°C

## ■ FUNCTION TABLE

Decimal or Function	Inputs					Outputs							Note
	D	C	B	A	BI	a	b	c	d	e	f	g	
0	L	L	L	L	H	H	H	H	H	H	H	L	1
1	L	L	L	H	H	L	H	H	L	L	L	L	
2	L	L	H	L	H	H	H	L	H	H	L	H	
3	L	L	H	H	H	H	H	H	H	L	L	H	
4	L	H	L	L	H	L	H	H	L	L	H	H	
5	L	H	L	H	H	H	L	H	H	L	H	H	
6	L	H	H	L	H	L	L	H	H	H	H	H	
7	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	H	L	H	H	H	L	L	H	H	H	H	
14	H	H	H	L	H	L	L	L	L	L	L	L	
15	H	H	H	H	H	L	L	L	L	L	L	L	2
BI	X	X	X	X	L	L	L	L	L	L	L	L	

H; high level, L; low level, X; irrelevant

- Notes: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired.  
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.



## ELECTRICAL CHARACTERISTICS ( $T_a = -20 \sim +75^\circ\text{C}$ )

Item	Symbol	Test Conditions	min	typ*	max	Unit
Input voltage	$V_{IH}$		2.0	—	—	V
	$V_{IL}$		—	—	0.8	V
Output current	$I_{OH}$	$V_{CC}=4.75\text{V}$ , $V_{IH}=2\text{V}$ , $V_{IL}=0.8\text{V}$ , $V_{OH}=5.5\text{V}$	—	—	250	$\mu\text{A}$
Output voltage	$V_{OL}$	$V_{CC}=4.75\text{V}$ , $V_{IH}=2\text{V}$ , $V_{IL}=0.8\text{V}$	$I_{OL}=4\text{mA}$	—	0.4	V
			$I_{OL}=8\text{mA}$	—	0.5	
Input current	$I_{IH}$	$V_{CC}=5.25\text{V}$ , $V_I=2.7\text{V}$	—	—	20	$\mu\text{A}$
	$I_{IL}$	$V_{CC}=5.25\text{V}$ , $V_I=0.4\text{V}$	—	—	-0.4	$\text{mA}$
	$I_I$	$V_{CC}=5.25\text{V}$ , $V_I=7\text{V}$	—	—	0.1	$\text{mA}$
Supply current **	$I_{CC}$	$V_{CC}=5.25\text{V}$	—	8	15	$\text{mA}$
Input clamp voltage	$V_{IK}$	$V_{CC}=4.75\text{V}$ , $I_{IN}=-18\text{mA}$	—	—	-1.5	V

\*  $V_{CC}=5\text{V}$ ,  $T_a=25^\circ\text{C}$

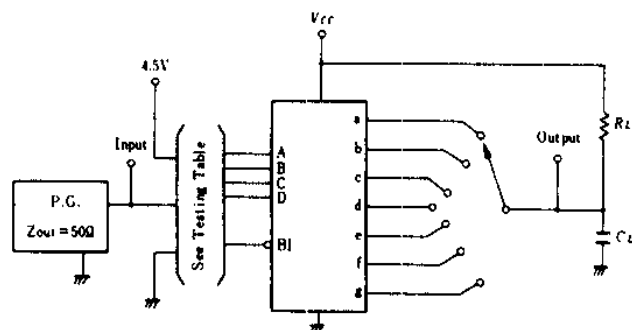
\*\*  $I_{CC}$  is measured with all outputs open and all inputs at 4.5V.

## SWITCHING CHARACTERISTICS ( $V_{CC}=5\text{V}$ , $T_a=25^\circ\text{C}$ )

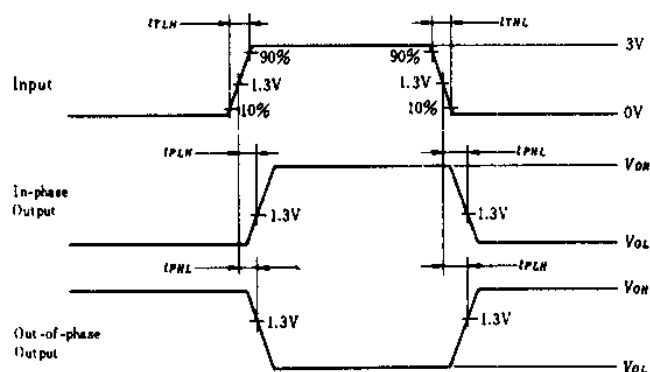
Item	Symbol	Input	Test Conditions	min	typ	max	Unit
Propagation delay time	$t_{PHL}$	A	$C_L=15\text{pF}$ , $R_L=2\text{k}\Omega$	—	—	100	ns
	$t_{PLH}$			—	—	100	
	$t_{PHL}$	BI	$C_L=15\text{pF}$ , $R_L=6\text{k}\Omega$	—	—	100	ns
	$t_{PLH}$			—	—	100	

## TESTING METHOD

### 1) Test Circuit



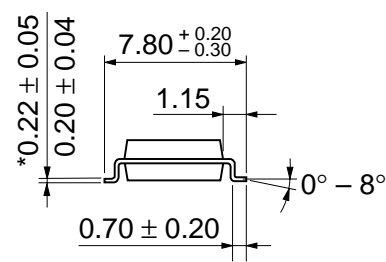
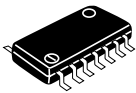
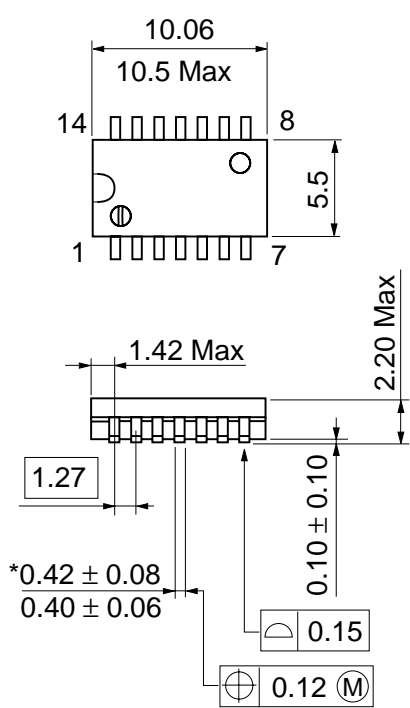
### Waveform



### 2) Testing Table

Item	Inputs					Outputs						
	BI	D	C	B	A	a	b	c	d	e	f	g
$t_{PLH}$	4.5V	GND	GND	GND	IN	OUT	—	—	OUT	OUT	OUT	—
	4.5V	GND	GND	4.5V	IN	—	—	OUT	—	OUT	—	—
$t_{PHL}$	4.5V	GND	4.5V	4.5V	IN	OUT	OUT	—	OUT	OUT	OUT	OUT
	IN	GND	GND	GND	GND	OUT	OUT	OUT	OUT	OUT	OUT	—

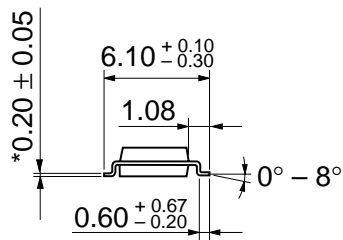
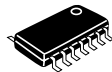
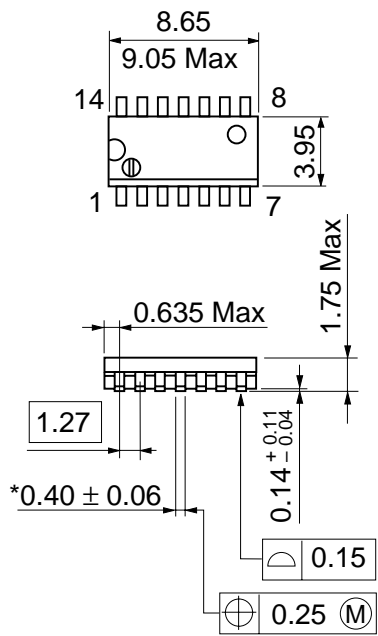
Unit: mm



\*Dimension including the plating thickness  
Base material dimension

Hitachi Code	FP-14DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.23 g

Unit: mm



\*Pd plating

Hitachi Code	FP-14DN
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.13 g