

“Circuitos Lógicos Combinacionais – Final”

Prof. Dr. Emerson Carlos Pedrino
emerson@dc.ufscar.br
DC/UFSCar

Circuito Gerador/Verificador de Paridade Par

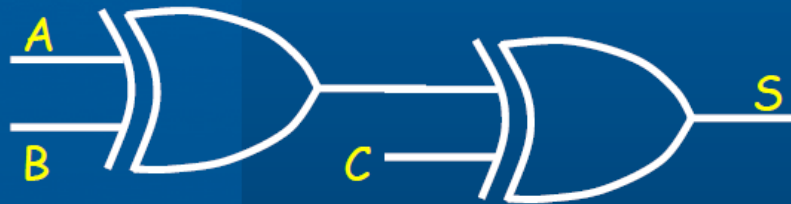
- Porta OU-EXCLUSIVO (X-OR):



A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

Associação de Portas X-OR

- Paridade em palavras com maior número de bits;
- Associam-se n portas X-OR de duas entradas
- Não existem portas X-OR de mais de duas entradas!

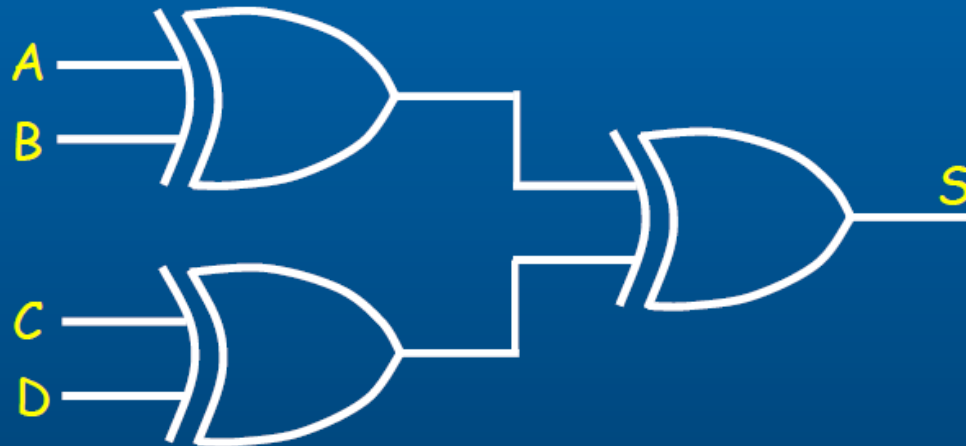


A	B	C	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$S = A \oplus B \oplus C$$

Associação de Portas X-OR

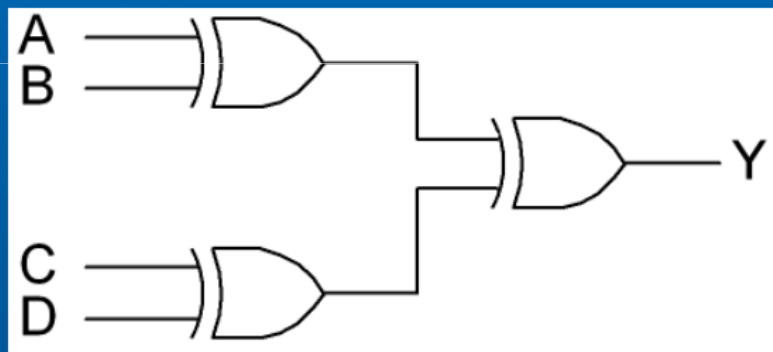
- Paridade em palavra de 4 bits;
- Associam-se 3 portas X-OR;



Gerador/Verificador de Paridade Par de 4 Entradas

PORTA XOR DE 4 ENTRADAS

- Gerador ou Verificador de Paridade **PAR**:

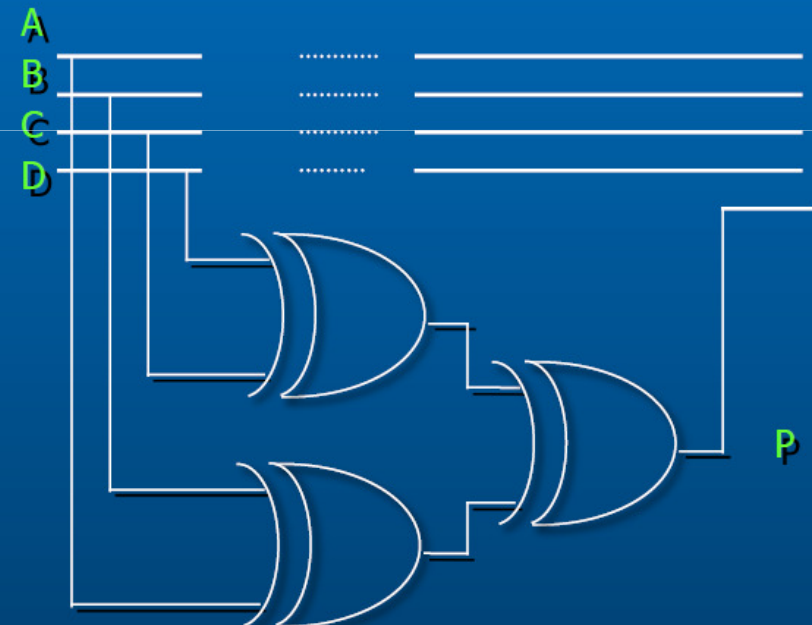


$$Y = A \oplus B \oplus C \oplus D$$

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Geração/Verificação de Paridade Par

Dados	P	Dados	P
0000	0	1000	1
0001	1	1001	0
0010	1	1010	0
0011	0	1011	1
0100	1	1100	0
0101	0	1101	1
0110	0	1110	1
0111	1	1111	0



Geração de Paridade Ímpar

- Informação possui número PAR de bits 1 → bit de paridade = 1
- Informação possui número ÍMPAR de bits 1 → bit de paridade = 0

Dados	P	Dados	P
0000	1	1000	0
0001	0	1001	1
0010	0	1010	1
0011	1	1011	0
0100	0	1100	1
0101	1	1101	0
0110	1	1110	0
0111	0	1111	1

Gerador/Verificador de Paridade Ímpar

- Porta NÃO OU-EXCLUSIVO (X-NOR):

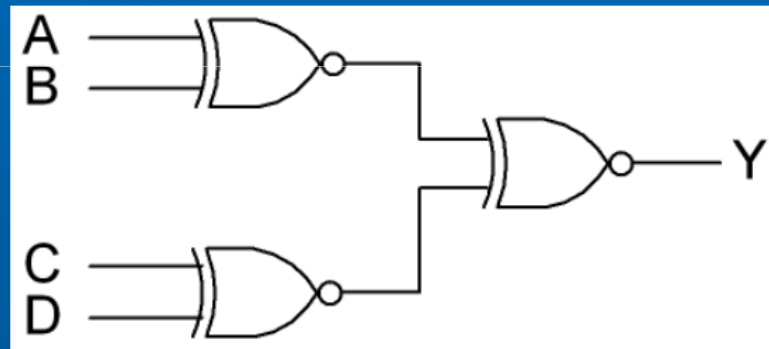


A	B	S
0	0	1
0	1	0
1	0	0
1	1	1

Gerador/Verificador de Paridade Ímpar de 4 Entradas

PORTA X-NOR DE 4 ENTRADAS

- Detector de Paridade **ÍMPAR**:



$$Y = A \odot B \odot C \odot D$$

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1



Características Básicas de CIs Digitais

- Coleção de resistores, diodos e transistores.
- Fabricados em um pedaço de material semicondutor (Silício).
- Confinado em um encapsulamento protetor de plástico ou cerâmico, de onde saem os pinos.
- Exemplo: DIP: *Dual In Line Package*.

Características Básicas de CIs Digitais

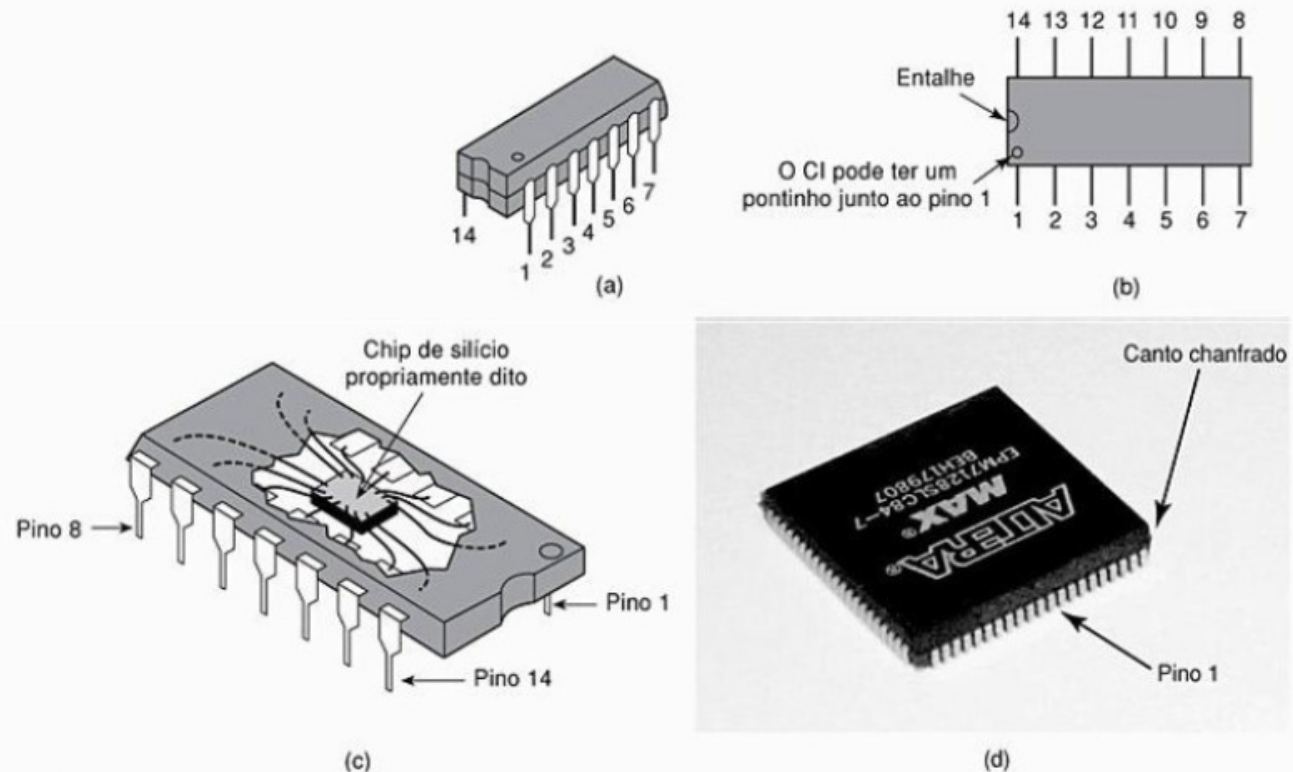


FIGURA 4.29

(a) Encapsulamento dual-in-line (DIP); (b) Vista superior; (c) O chip de silício é muito menor que o encapsulamento de proteção; (d) Encapsulamento PLCC.



Características Básicas de CIs Digitais

- *Chip*: tão pequeno quanto um quadrado de 1,27 mm de lado.
- Conectado aos pinos por meio de fios muito finos (0,025 mm de diâmetro).
- ***Tarefa: Fazer uma pesquisa sobre os diferentes tipos de encapsulamentos de *chip* e suas características (exemplos: BGA, QFP, LCC, TSOP, etc.)***

Classificação Quanto ao Nível de Complexidade

TABELA 4.5

Complexidade	Portas por CI
Integração em pequena escala (SSI)	Menos de 12
Integração em média escala (MSI)	Entre 12 e 99
Integração em grande escala (LSI)	Entre 100 e 9999
Integração em escala muito grande (VLSI)	Entre 10.000 e 99.999
Integração em escala ultragrande (ULSI)	Entre 100.000 e 999.999
Integração em escala giga (GSI)	1.000.000 ou mais

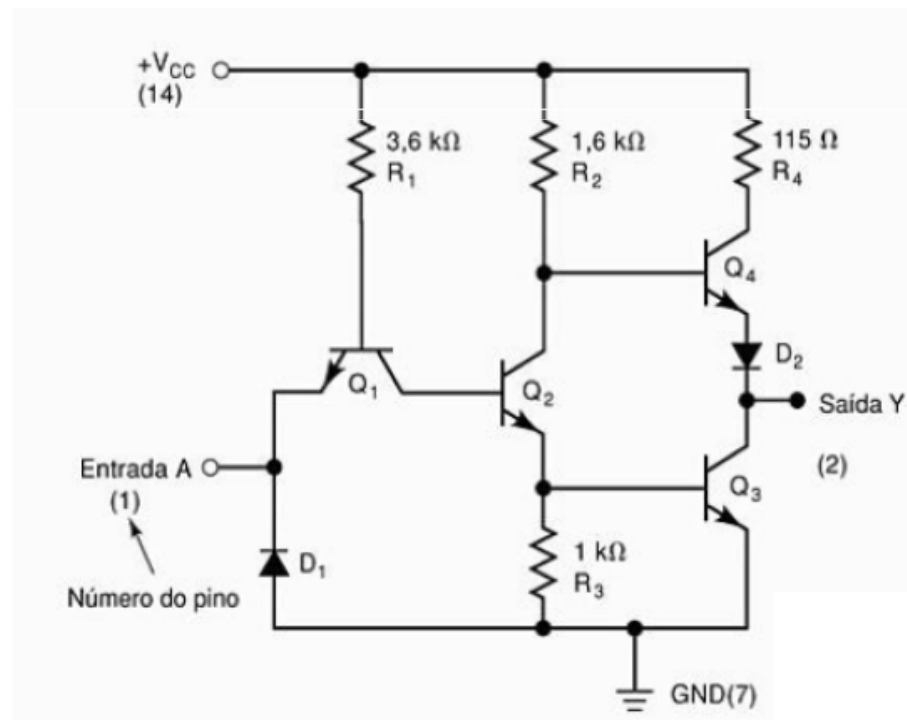


CI's Digitais Bipolares e Unipolares

- CI's Bipolares: utilizam transistores bipolares de junção (NPN e PNP) como principal elemento do circuito.
- CI's Unipolares: utilizam transistores de efeito de campo (MOSFETs canal P e canal N) como elemento principal.

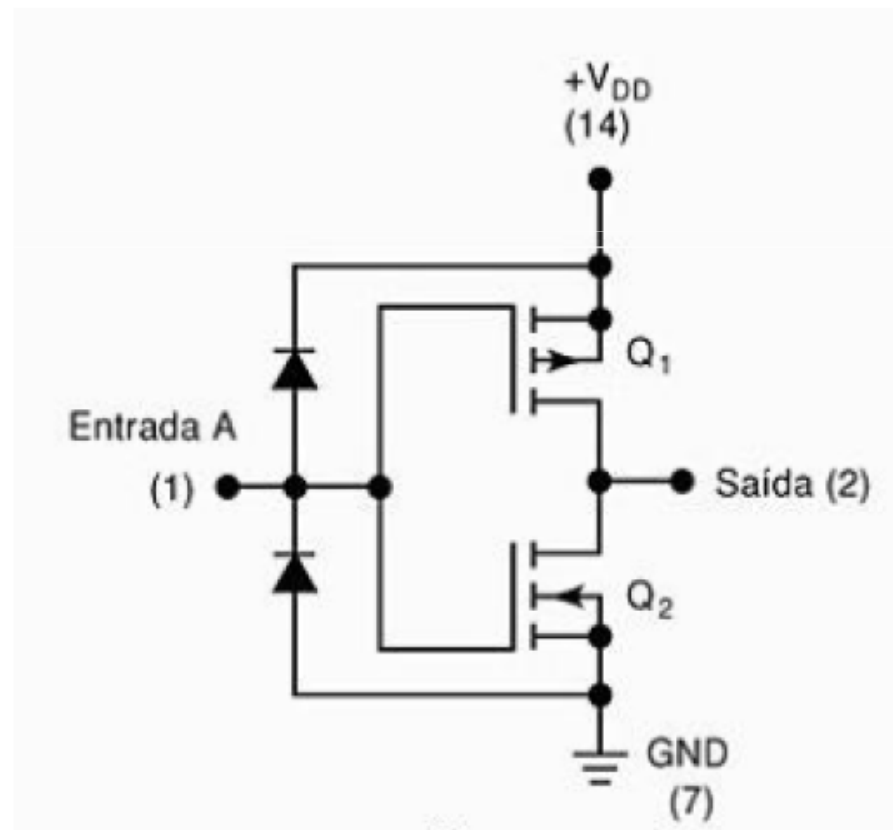
Família TTL (*Transistor Transistor Logic*)

- Série padrão: 74.
- Exemplo de inversor padrão TTL:



Família CMOS (*Complementary Metal Oxide Semiconductor*)

- Exemplo de inversor CMOS:



Família TTL

- Exemplo:

TABELA 4.6 Diversas séries da família lógica TTL.

Série TTL	Prefixo	Exemplo de CI
TTL Padrão	74	7404 (INVERSOR sêxtuplo)
TTL Schottky	74S	74S04 (INVERSOR sêxtuplo)
TTL Schottky de Baixa Potência	74LS	74LS04 (INVERSOR sêxtuplo)
TTL Schottky Avançada	74AS	74AS04 (INVERSOR sêxtuplo)
TTL Schottky Avançada de Baixa Potência	74ALS	74ALS04 (INVERSOR sêxtuplo)

Família CMOS

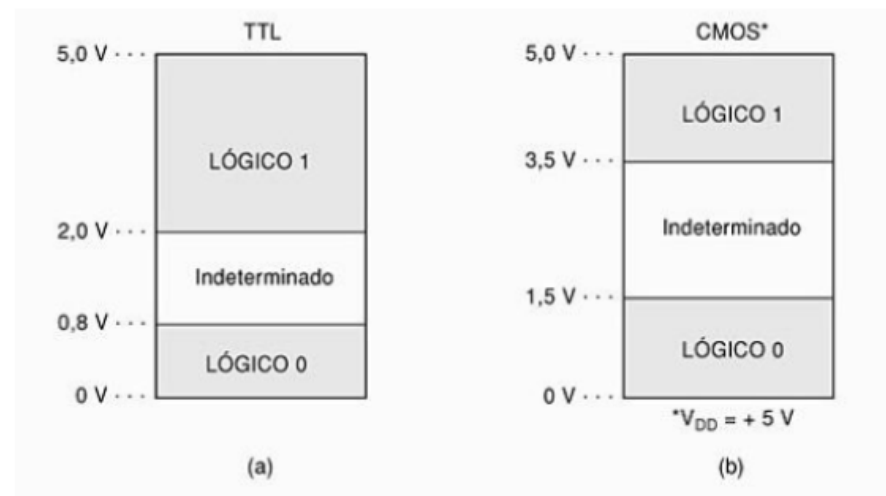
- Exemplo:

TABELA 4.7 Várias séries da família lógica CMOS.

Séries CMOS	Prefixo	Exemplo de CI
CMOS com porta de metal	40	4001 (porta NOR quádrupla)
Porta de metal, compatível pino a pino com TTL	74C	74C02 (porta NOR quádrupla)
Porta de silício, compatível pino a pino com TTL, alta velocidade	74HC	74HC02 (porta NOR quádrupla)
Porta de silício, alta velocidade, compatível pino a pino e eletricamente com TTL	74HCT	74HCT02 (porta NOR quádrupla)
CMOS de altíssimo desempenho, não é compatível pino a pino nem eletricamente com TTL	74AC	74AC02 (porta NOR quádrupla)
CMOS de altíssimo desempenho, não é compatível pino a pino, mas é eletricamente compatível com TTL	74ACT	74ACT02 (porta NOR quádrupla)

Alimentação e Terra

- Usa-se V_{CC} para TTL e V_{DD} para CMOS.
- Para TTL o valor nominal de V_{CC} é de 5 V.
- Para CMOS tal valor pode variar de +3 V até +18 V.

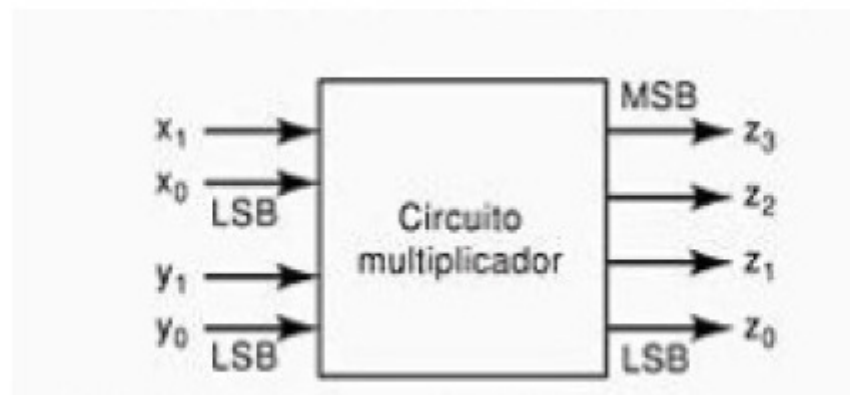


Entradas Flutuantes

- Para TTL -> nível 1.
- Entradas CMOS não devem ser deixadas de forma flutuante.

Exercícios *😊

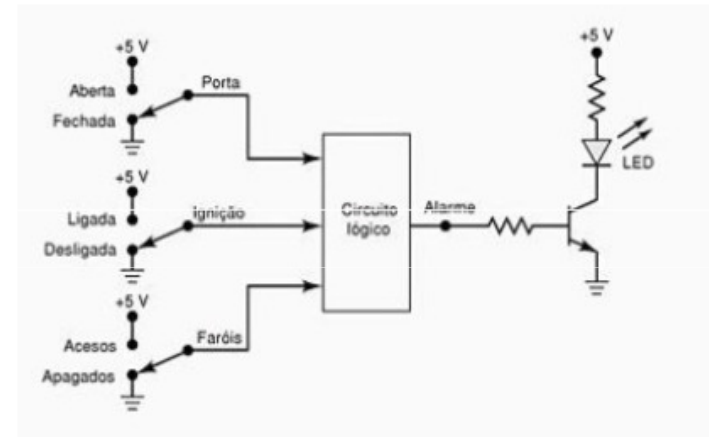
C, D 4.26* A Figura 4.73 representa um circuito multiplicador que recebe dois números binários x_1x_0 e y_1y_0 e gera um número binário de saída $z_3z_2z_1z_0$ que é igual ao produto aritmético dos dois números de entrada. Projete um circuito lógico para o multiplicador. (Sugestão: o circuito lógico terá quatro entradas e quatro saídas.)



Exercícios *😊

D 4.8 A Figura 4.66 mostra um diagrama para um circuito de alarme de automóvel usado para detectar uma determinada condição indesejada. As três chaves são usadas para indicar, respectivamente, o estado da porta do motorista, o estado da ignição e o estado dos faróis. Projete um circuito lógico com essas três chaves como entrada, de forma que o alarme seja ativado sempre que ocorrer uma das seguintes condições:

- Os faróis estão acesos e a ignição está desligada.
- A porta está aberta e a ignição está ligada.





Referências

- I. Tocci, R. J. **Sistemas Digitais - Princípios e Aplicações**. Pearson, Prentice Hall, 2011.
- **Mapas de Karnaugh**. SEL 0414 - Sistemas Digitais. Prof. Dr. Marcelo Andrade da Costa Vieira.