

LABORATÓRIO DE LÓGICA DIGITAL

Prof. Fredy

EXPERIMENTO 2

OBJETIVOS

Iniciação em circuitos aritméticos com a implementação de um meio-somador e uso de um display de 7 segmentos como dispositivo de saída, a partir de um decodificador BCD (*binary-coded decimal*).

DESCRIÇÃO DO EXPERIMENTO

A realização do experimento deve ser feita em 2 etapas:

Etapa 1 – Uso do display de 7 segmentos como dispositivo de saída, a partir de um decodificador BCD.

Etapa 2 – Implementação do meio-somador cuja saída deve ser a entrada do display de 7 segmentos. A indicação de vai um (*carry out*) deve ser feita em um LED.

Etapa 3 – Implementação de um somador completo de 4 bits BCD para somar A e B e mostrar em display.

ETAPA 1 – DISPLAY de 7 SEGMENTOS

Um display de 7 segmentos é, normalmente, formado por um conjunto de 7 LEDs (*Light Emitting Diode*) que podem ser acionados de maneira independente. Os LEDs estão posicionados de tal forma que permitem a representação de algarismos arábicos, incluindo os dígitos de 0 a 9. Dependendo do método de iluminação utilizado, catodo ou anodo, os LEDs acendem com Vcc alto (nível lógico 1) ou Vcc baixo (nível lógico 0), respectivamente.

A placa DE1 da Altera apresenta um conjunto de 4 displays de 7 segmentos nomeados HEX0 a HEX3. O acesso a cada segmento se dá como em um vetor, com as posições variando de 0 a 6, conforme ilustra a Figura 1. Por exemplo, HEX0[0] corresponde ao segmento superior do display HEX0. Os LEDs da placa são de anodo comum e, portanto, acendem com nível lógico 0.

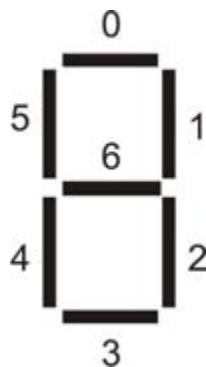


Figura 1. Mapeamento entre posição e índice de cada segmento em um display de 7 segmentos. Retirada do Manual da Placa DE1 da Altera.

Um decodificador é um circuito combinacional dedicado que converte uma entrada em código em uma saída decodificada. Um decodificador BCD para 7 segmentos é usado para receber uma entrada de 4 bits e gerar saídas que acionam os segmentos apropriados para apresentar o dígito em decimal. Nesta prática, usaremos o TTL 7449 que permite a representação dos dígitos de 0 a 9.

Passo 1. Verifique o datasheet do TTL 7449, disponível no Moodle. Observe que a saída do decodificador 7449 é alta quando o segmento deve ser acessado.

Passo 2. Crie um diagrama esquemático no ambiente Quartus II da Altera, conforme a Figura 2. Faça um *deploy* na placa e observe o comportamento do circuito.

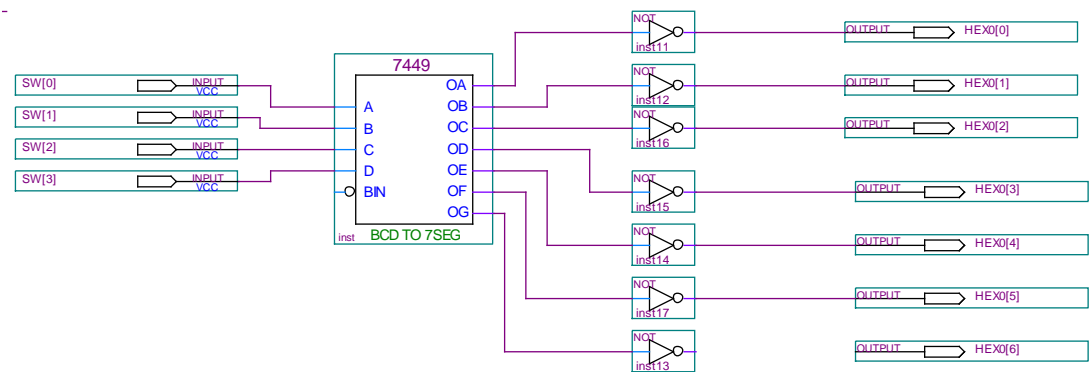


Figura 2. Diagrama esquemático com o decodificador 7449.

Passo 3. Preencha o quadro com os valores de entrada dos *switches* e com a saída corresponde no display HEX0.

SW[0]	SW[1]	SW[2]	SW[3]	Saída em HEX0

ETAPA 2 – MEIO-SOMADOR

A operação aritmética mais simples é a soma de dois dígitos binários. Um circuito combinacional que implementa a adição de dois bits é chamado de meio-somador (*half adder* ou HAD). A Figura 3 ilustra um esquema de entradas e saída de um meio-somador.

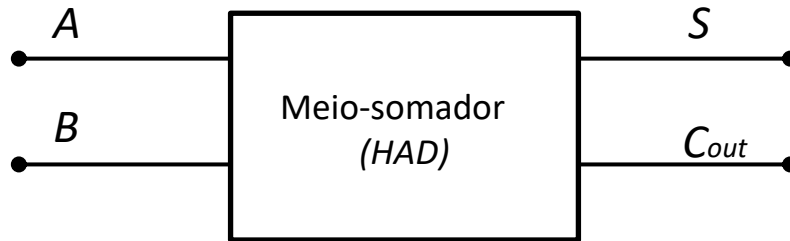


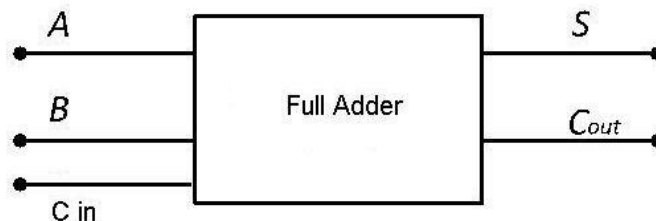
Figura 3. Um meio-somador.

Passo 4. Preencha a tabela verdade para o meio-somador.

<i>A</i>	<i>B</i>	<i>S</i>	<i>Carryout</i>

Passo 5. Crie um diagrama esquemático para o circuito lógico do meio-somador, usando somente portas NAND, no ambiente Quartus II da Altera. A saída *S* deve ser representada no display de 7 segmentos e o *Cout* em um LED. Simplifique seu circuito utilizando mapas de Karnaugh sempre que possível.

Passo 6. Monte um somador de 4 bits (utilize SW's para entrada de *A* e *B* em BCD) utilizando somador completo e 2 displays para mostrar o resultado e mostre o resultado em dois displays de 7 segmentos (ex. para *A* = 7 e *B* = 7, o display deve mostrar 14).



Passo 7. Faça o *deploy* do circuito no kit DE1 e avalie o comportamento do circuito.

Passo 8. Edite relatório conforme instruções no Moodle.