

Tutorial de Verilog - O primeiro Projeto com Quartus

Por Thiago Lima - 10/11/2015

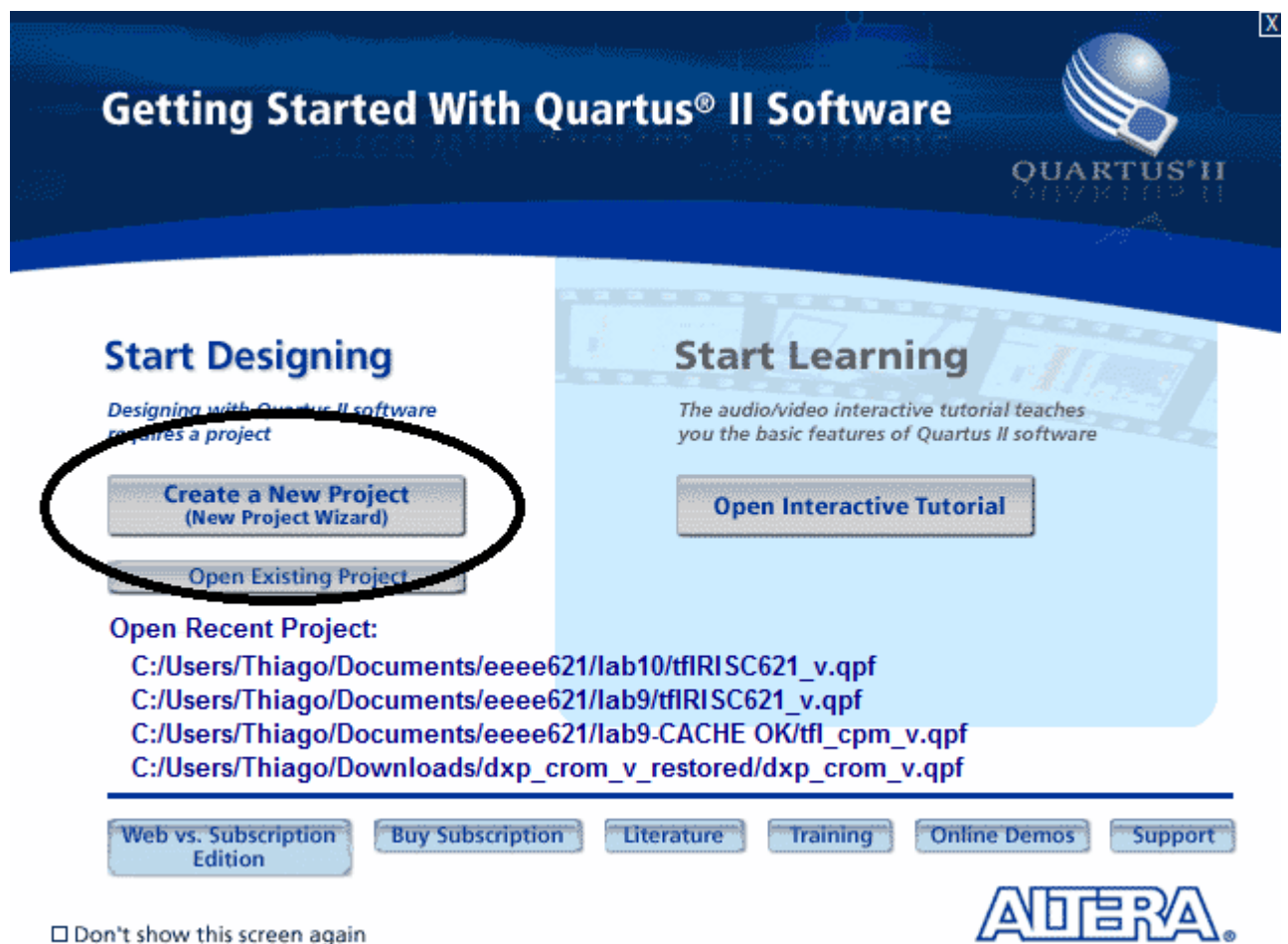


Neste post vou explicar como fazer seus projetos no **Quartus da Altera**. O Quartus é uma IDE fácil de usar que permite que se crie projetos em Verilog, VHDL ou System Verilog e permite que se sintetize para FPGAs da Altera. Para aprender Verilog e fazer simulações, no entanto, é uma excelente IDE, simples de utilizar e bem conhecida. A seguir mostro como criar seu primeiro projeto utilizando essa IDE com várias telas para guiá-lo durante o processo de configuração do primeiro projeto. Seguir esse tutorial leva no máximo 30 minutos para quem nunca utilizou o software. Estou utilizando o Quartus 13.0 SP1, mas o mesmo tutorial também é válido para as versões que foram lançadas após essa, incluindo a versão 14 e 15.

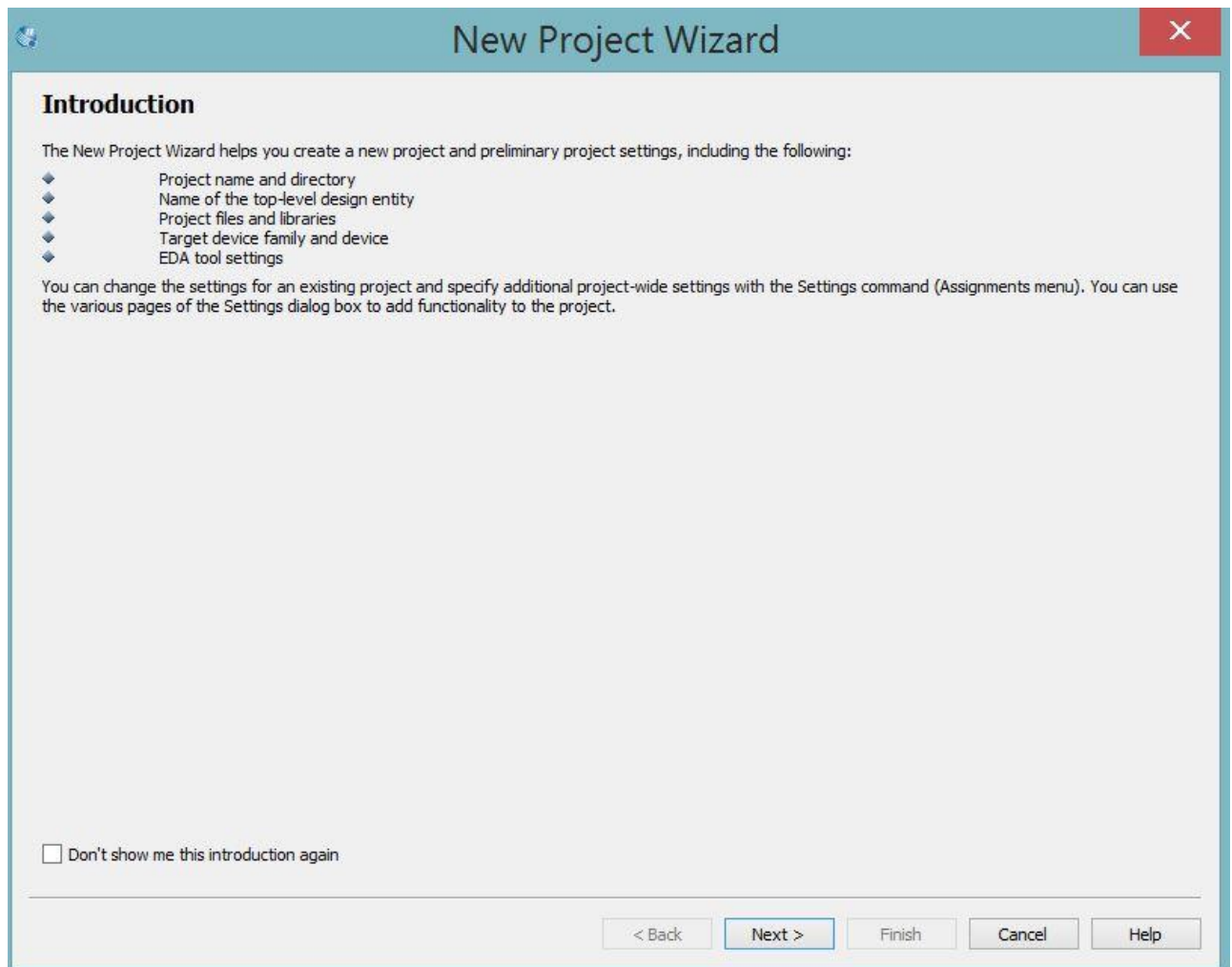
Bom, vamos lá. Depois de instalado o Quartus Web Edition da Altera, que pode ser achado facilmente para download [neste link](#) (recomendo fazer o download com a configuração padrão e instalar a configuração padrão. A instalação leva muito tempo pois requer a movimentação de muitos arquivos para o seu HD) e abra o software.

Criando seu projeto no Quartus...

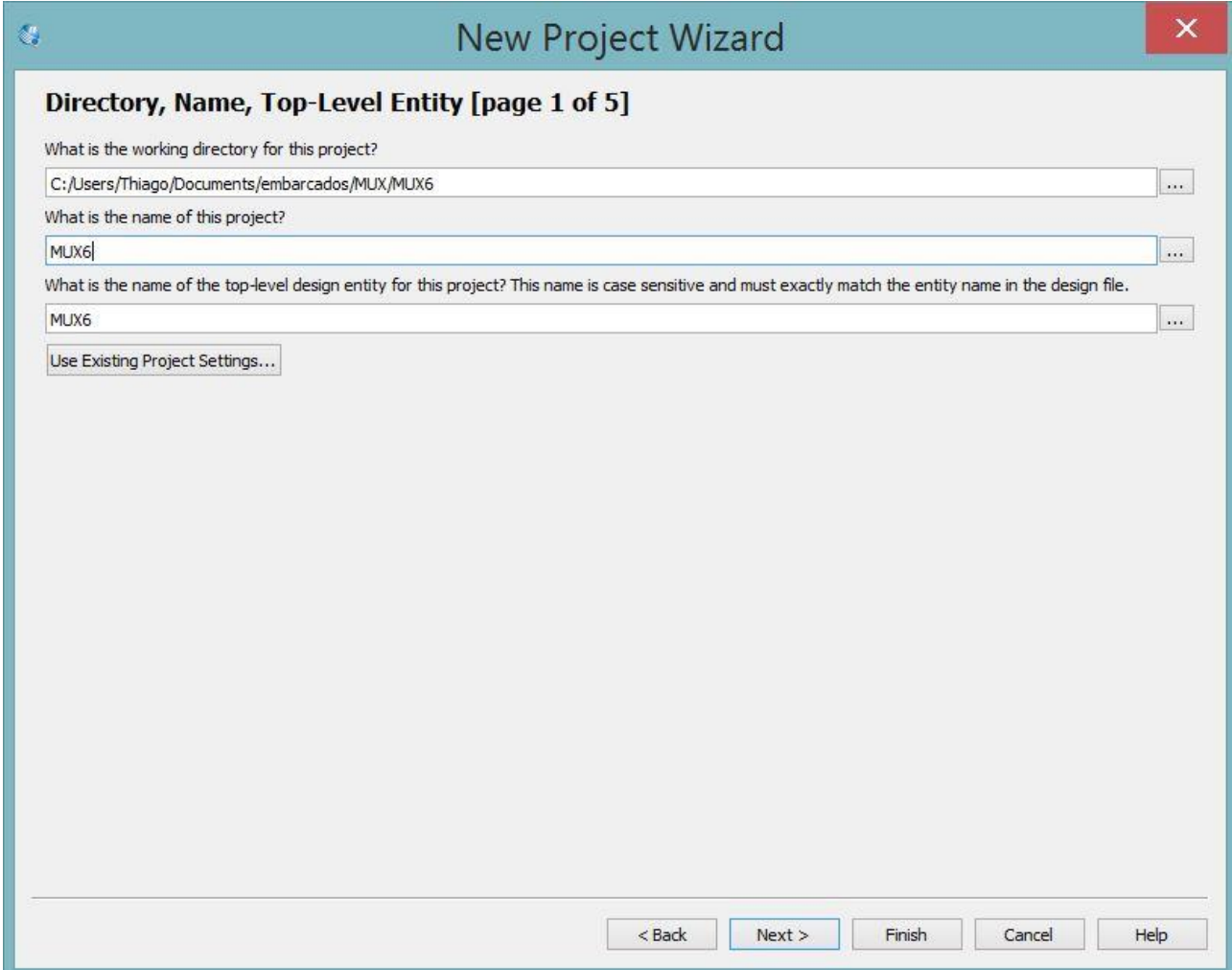
Clique no botão para criar um novo projeto.



Siga em frente. Clique em **Next**.



Eu utilizei um nome para meu projeto como MUX6 e selecionei uma pasta para meus trabalhos.



The image shows a 'New Project Wizard' dialog box with a title bar containing a close button. The main area is titled 'Directory, Name, Top-Level Entity [page 1 of 5]'. It contains three text input fields with prompts: 'What is the working directory for this project?' (filled with 'C:/Users/Thiago/Documents/embarcados/MUX/MUX6'), 'What is the name of this project?' (filled with 'MUX6'), and 'What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.' (filled with 'MUX6'). Each field has a browse button ('...'). Below these is a button labeled 'Use Existing Project Settings...'. At the bottom right are five buttons: '< Back', 'Next >', 'Finish', 'Cancel', and 'Help'.

Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?
C:/Users/Thiago/Documents/embarcados/MUX/MUX6 ...

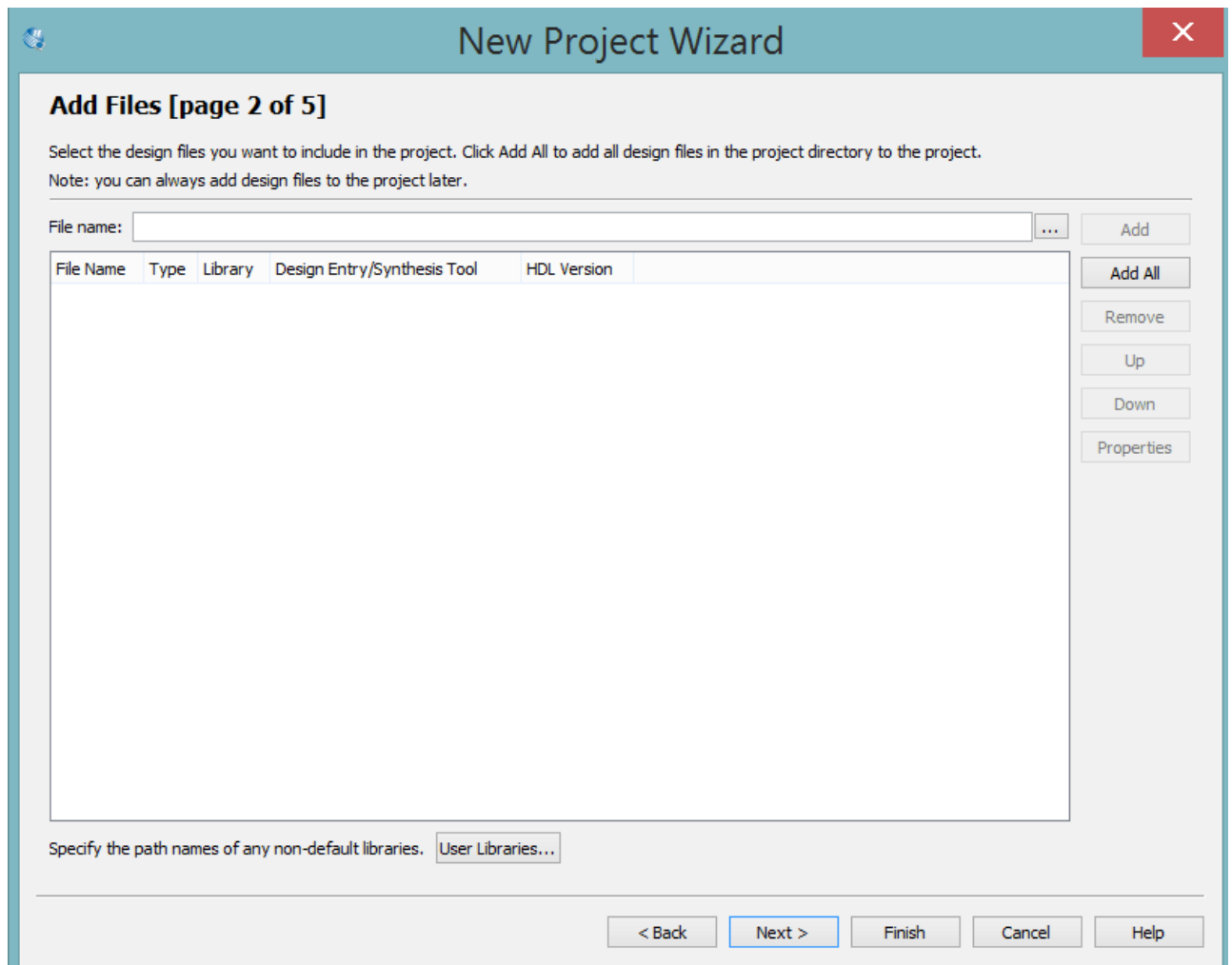
What is the name of this project?
MUX6 ...

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.
MUX6 ...

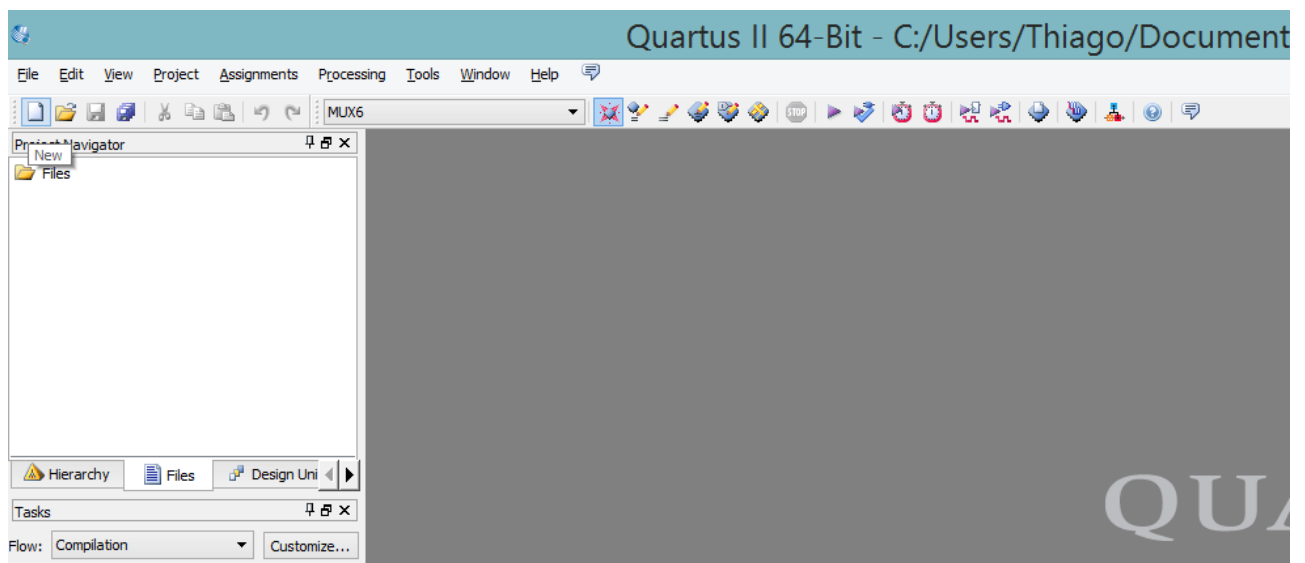
Use Existing Project Settings...

< Back Next > Finish Cancel Help

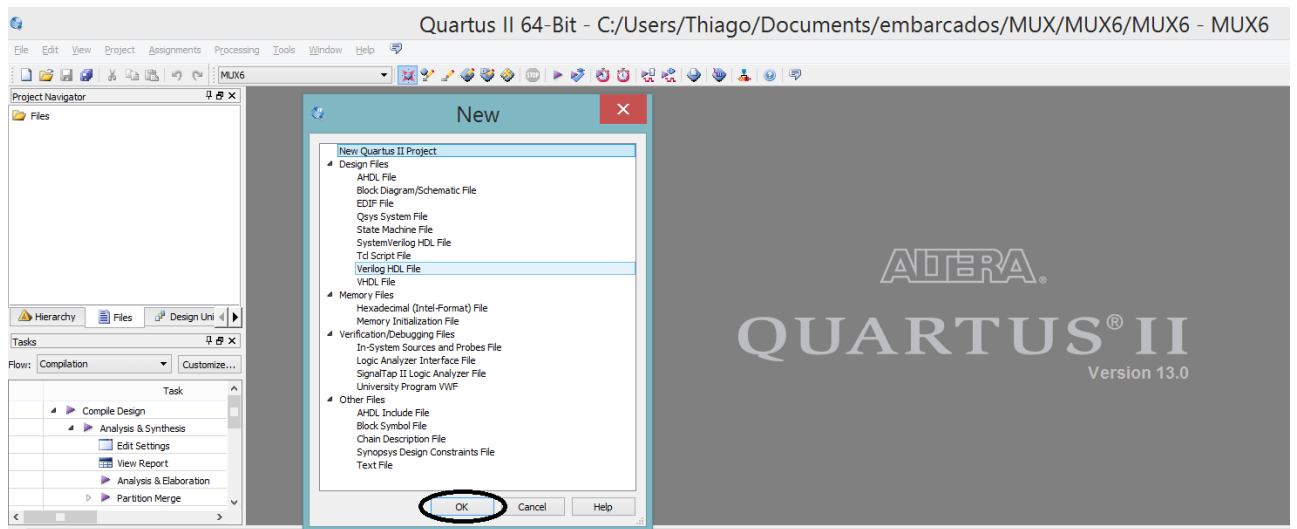
Nesse momento é solicitado para que se insira arquivos no projeto. Como ainda não criamos nenhum e não estamos trabalhando com nenhum FPGA, siga em frente e clique em **Finish**.



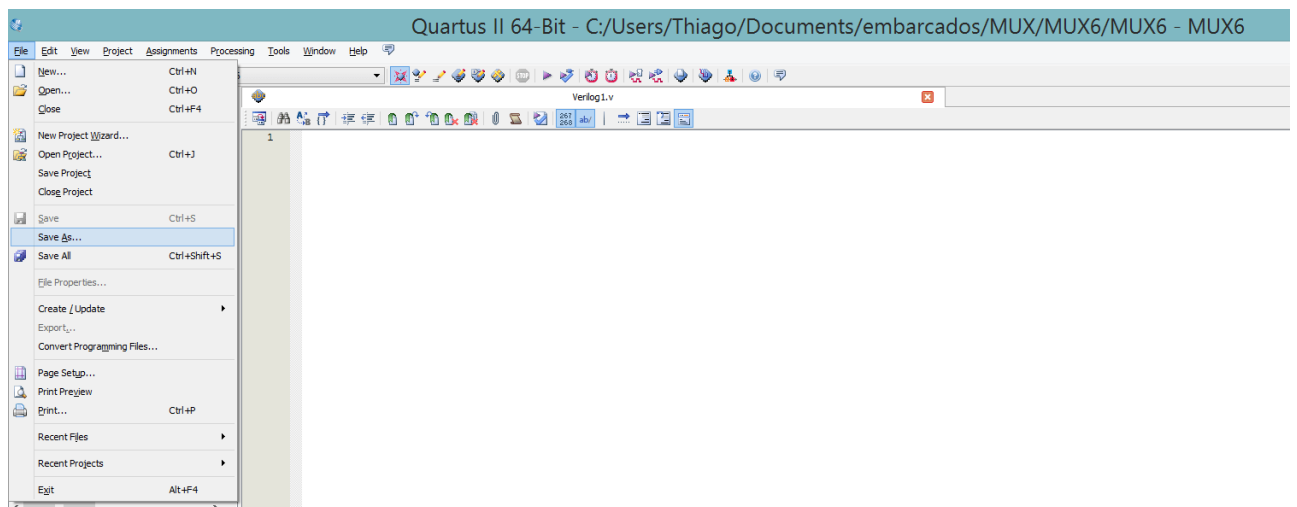
O projeto foi criado até esse momento. Crie um arquivo vazio, o primeiro de seu projeto.

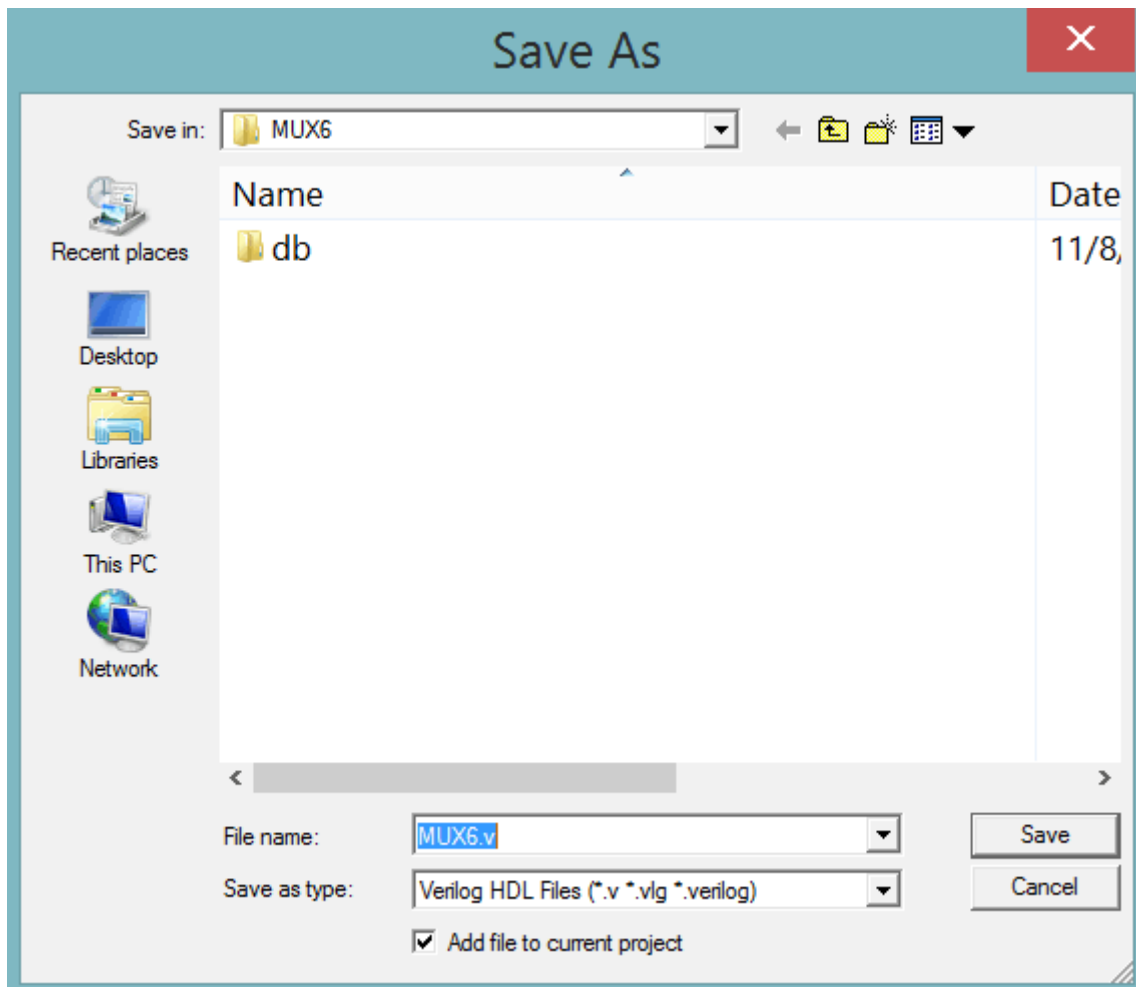


Crie um arquivo com as características *Verilog HDL File*. Isso informa que é um arquivo em Verilog.

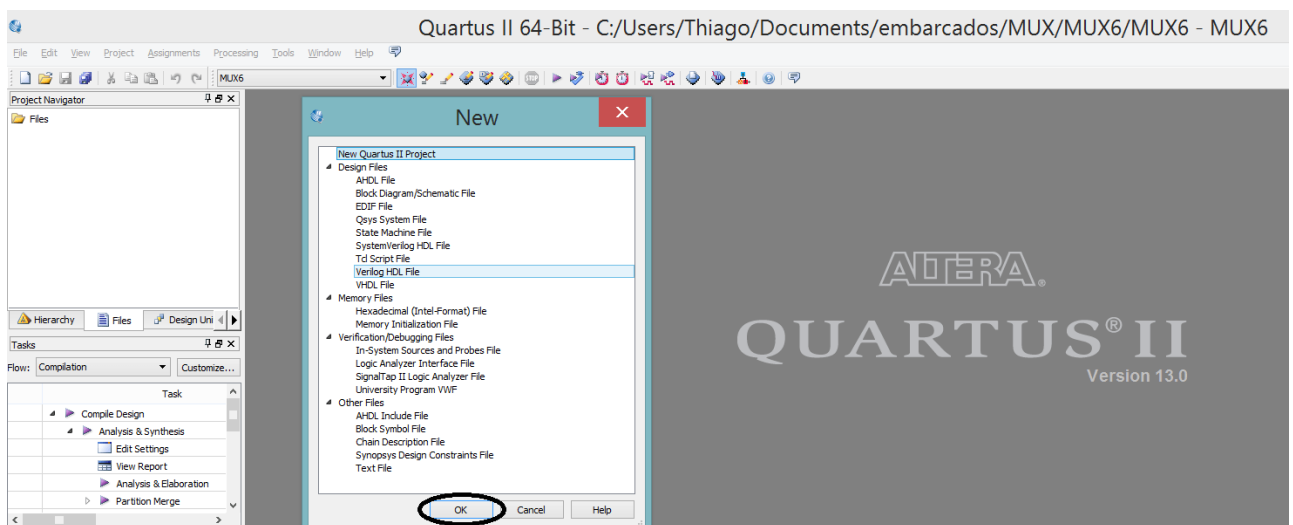


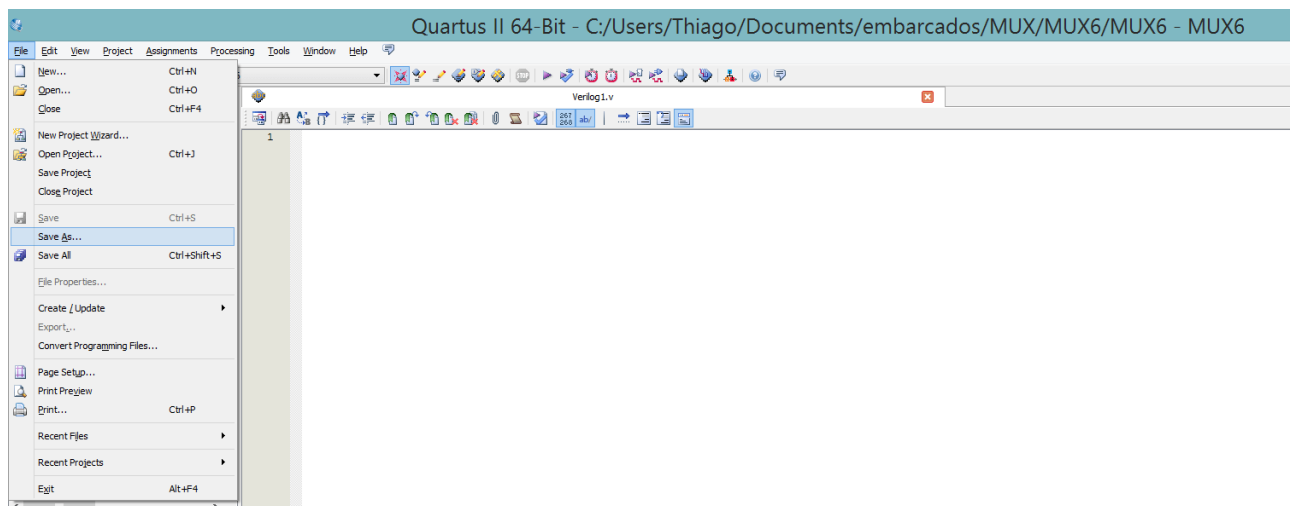
Salve seu arquivo com um nome. No meu caso, salvei como MUX6, o arquivo principal com o mesmo nome do projeto.



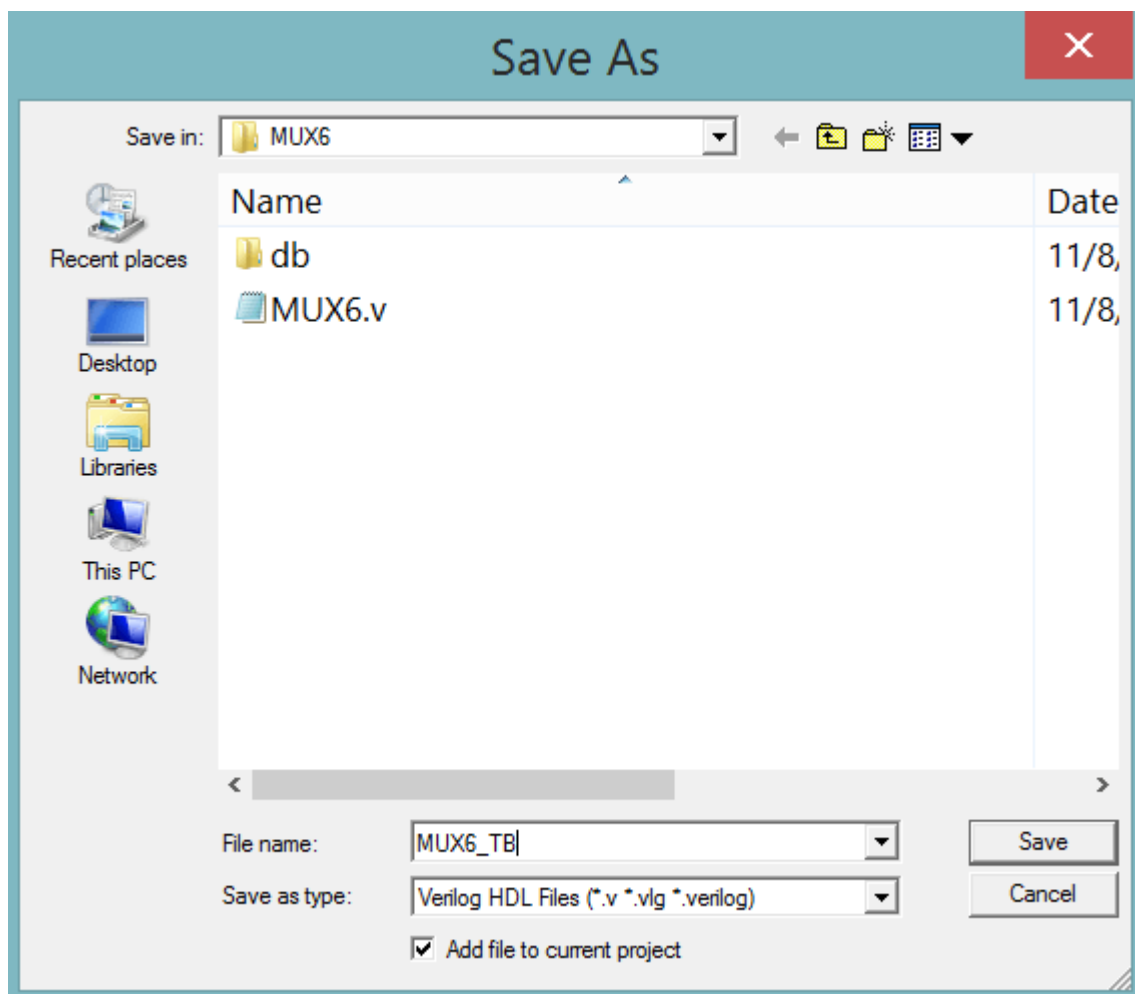


Repita o procedimento e crie um arquivo para o *testbench*. Esse arquivo servirá para testar o circuito que está criando. Ele aplicará nesse caso sinais no circuito criado para que se possa verificar o seu funcionamento.

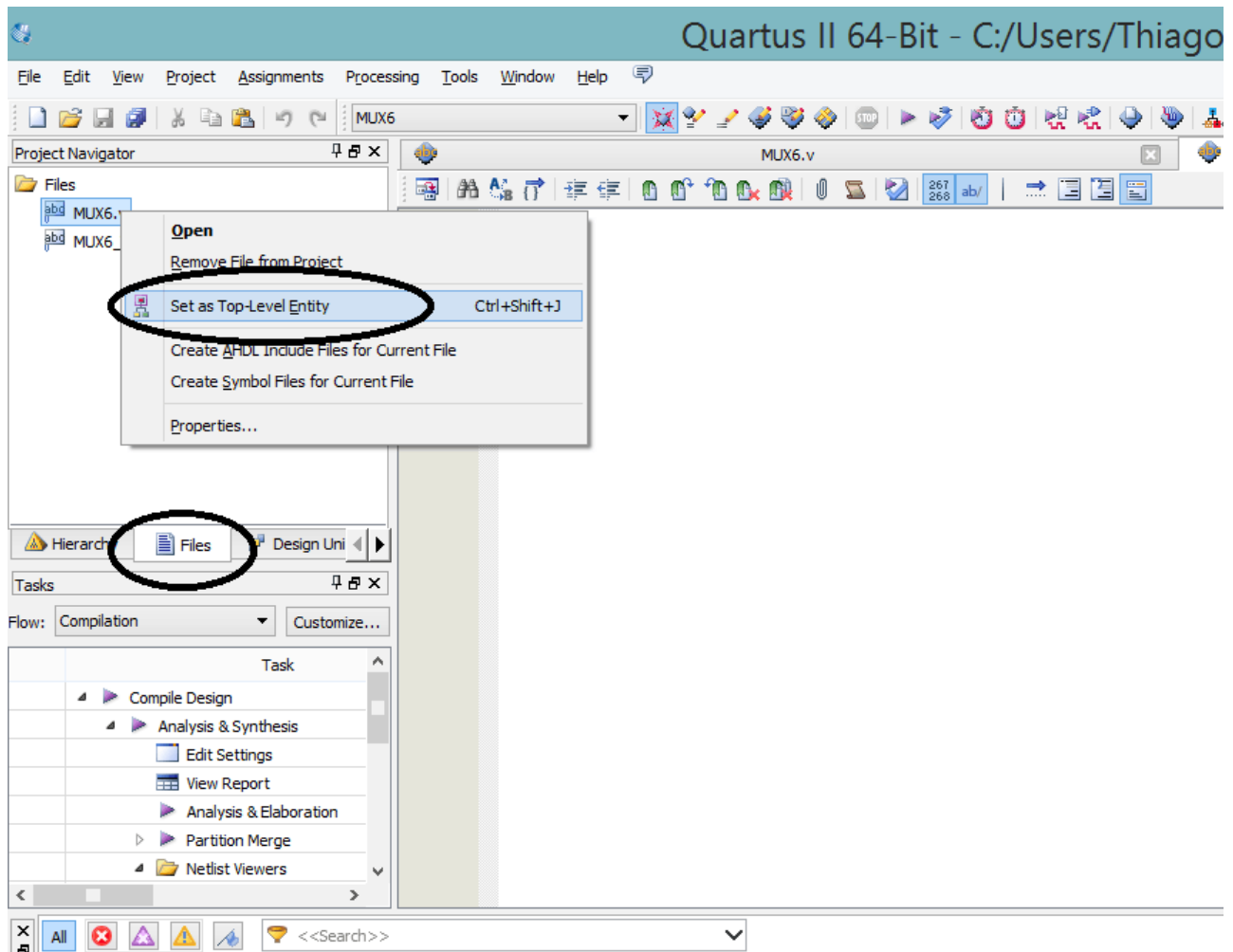




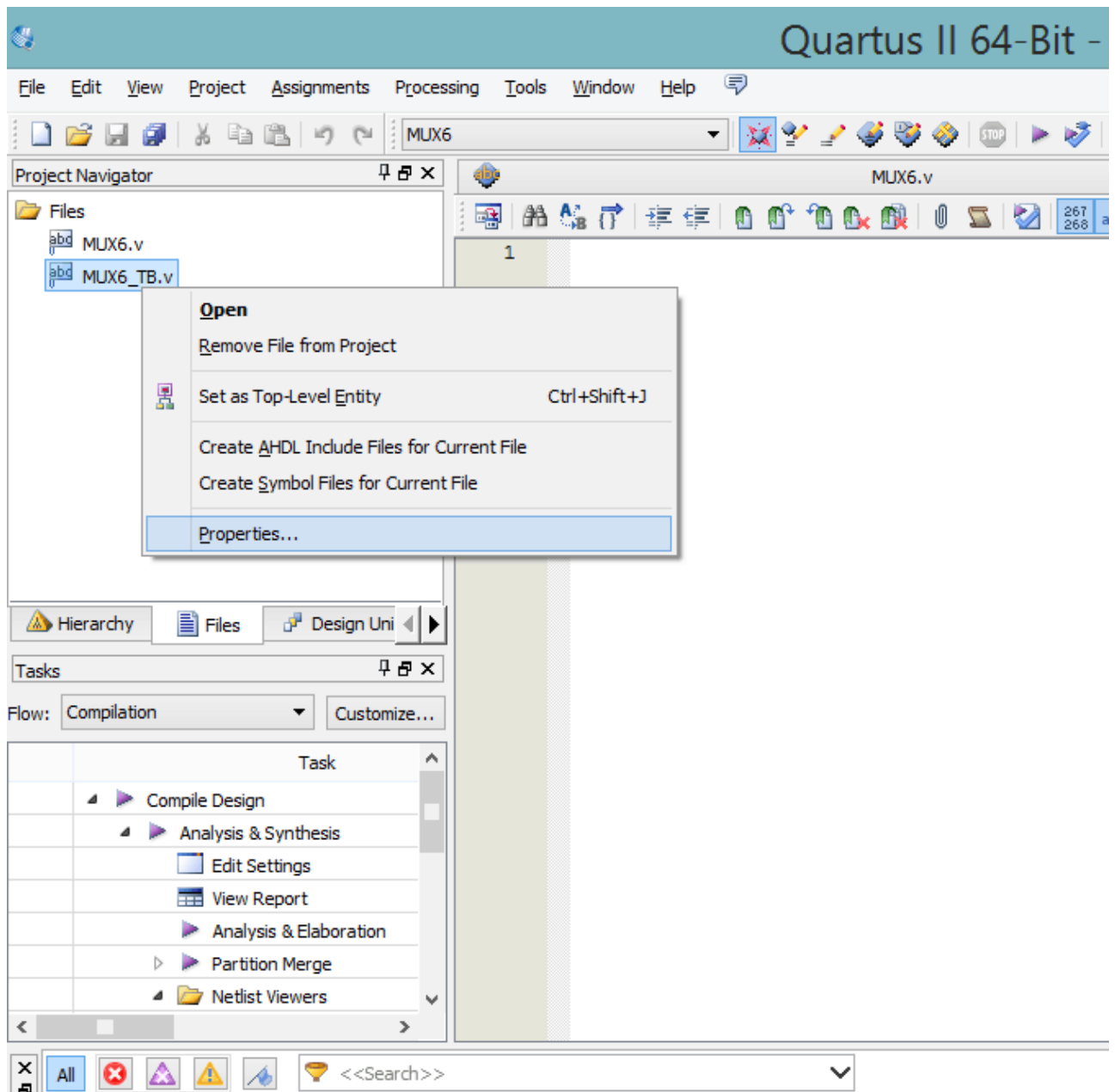
Gosto de utilizar o mesmo nome do arquivo principal seguido de underline TB para sinalizar que esse arquivo é um Testbench.



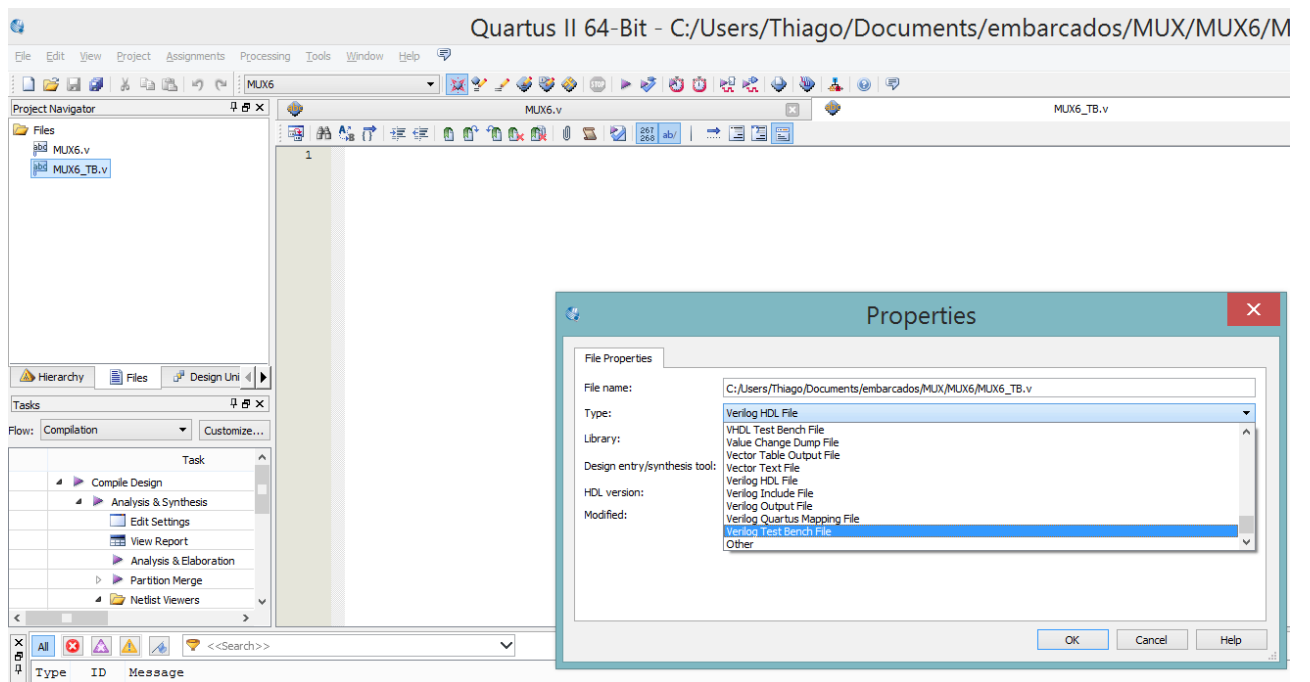
É necessário informar ao Quartus qual é o Testbench e qual é o arquivo principal de síntese do hardware. Para setar o arquivo pincipal, clique em **Files**, como indicado na figura e depois clique com botão direito sobre o arquivo *MUX6.v* e selecione a opção **Set as Top-Level Entity**.



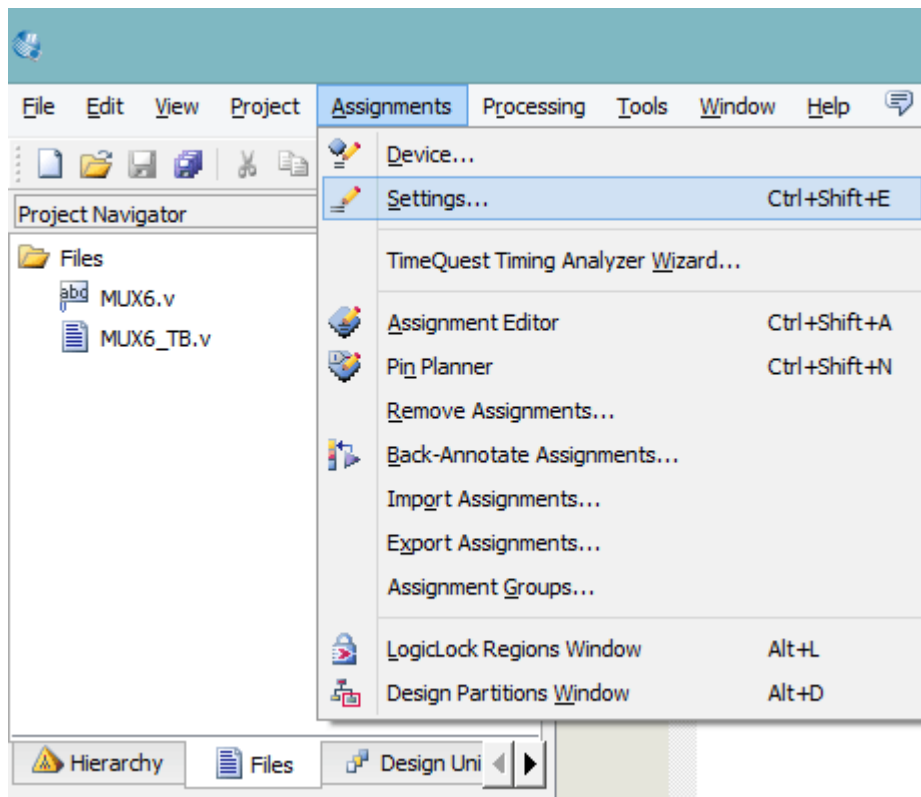
Selecione com o botão direito o arquivo de testbench e selecione **Properties** para setar as propriedades desse arquivo.



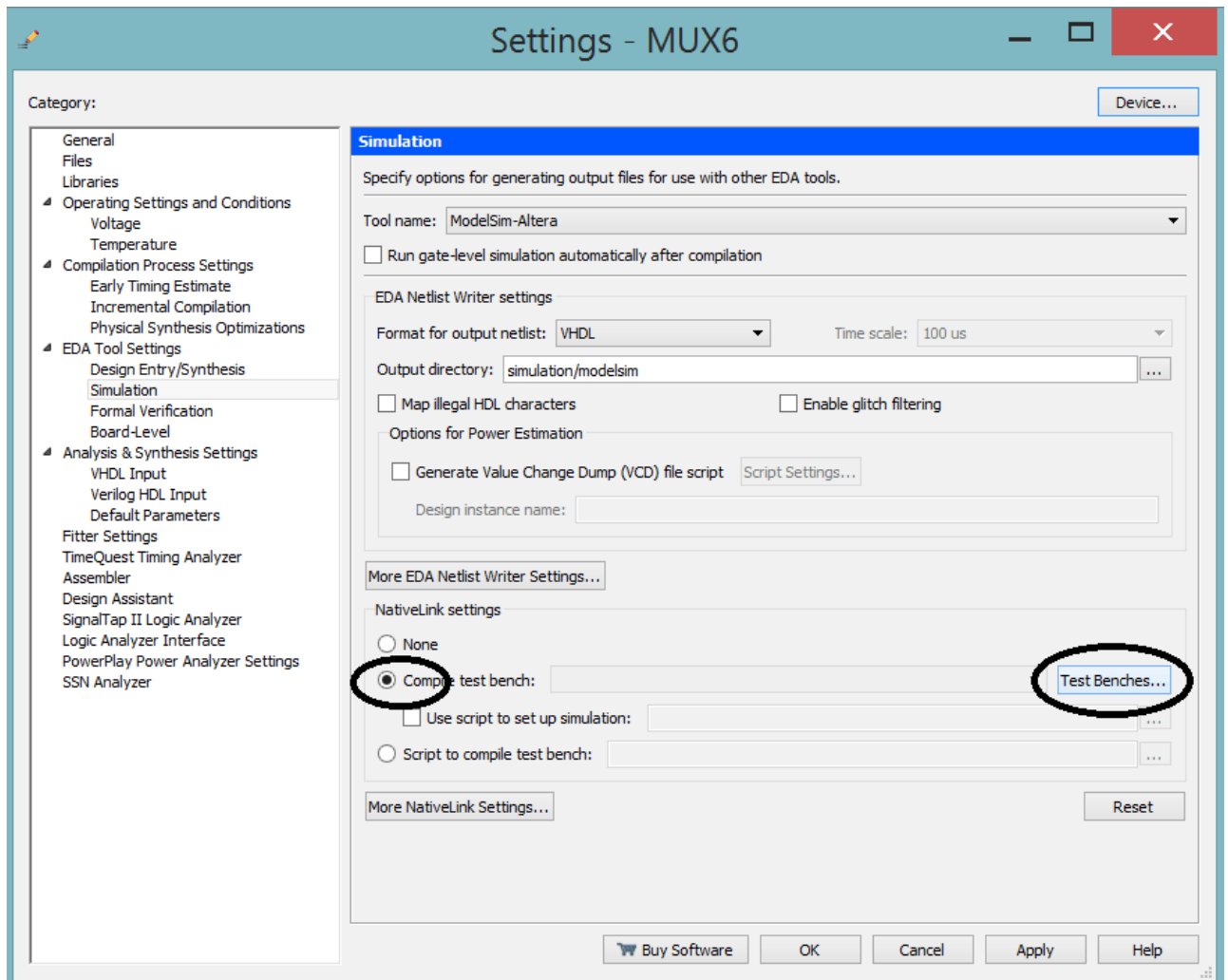
Informe então que esse arquivo é seu arquivo de Testbench. Selecione Verilog TestBench File.



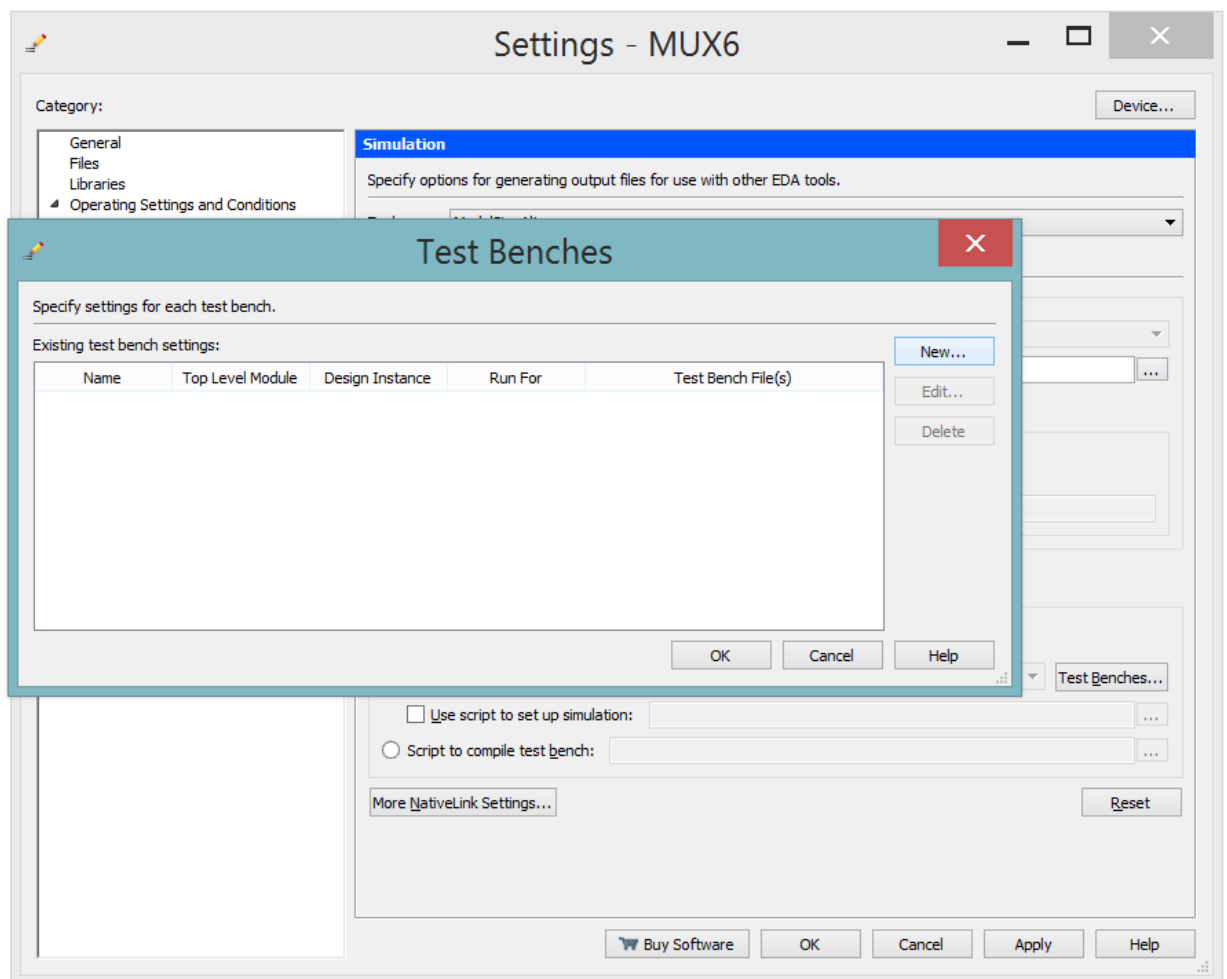
Em seguida também é necessário informar ao Quartus que o Testbench criado será utilizado para esse projeto. Para isso é necessário acessar o menu e clicar em **Assignments** e então **Settings**.




Clique em compile testbenchs como o indicado e então, clique em **TestBenches**:



E então aparecerá a seguinte janela para setar os testbenches. Clique em **New** e selecione o arquivo de testbench.



Clique em ...

 **New Test Bench Settings** ✕

Create new test bench settings.

Test bench name:

Top level module in test bench:

☐ Use test bench to perform VHDL timing simulation

Design instance name in test bench:

Simulation period

☒ Run simulation until all vector stimuli are used

☐ End simulation at: s

Test bench and simulation files

File name: ... Add

File Name	Library	HDL Version
-----------	---------	-------------

Remove

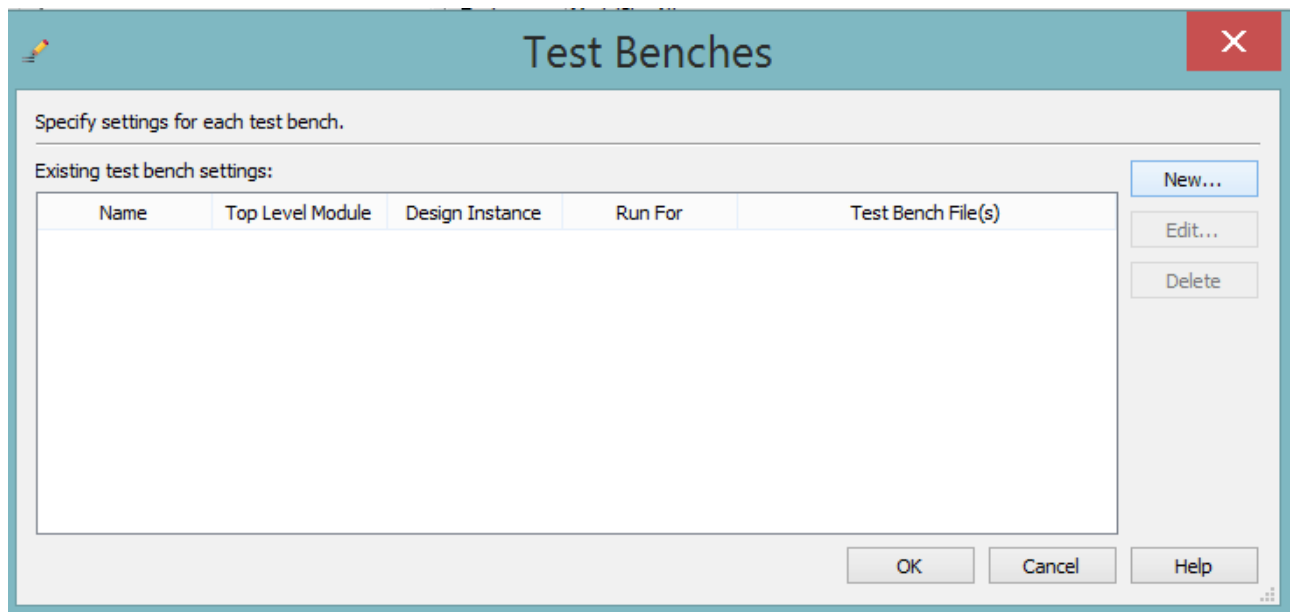
Up

Down

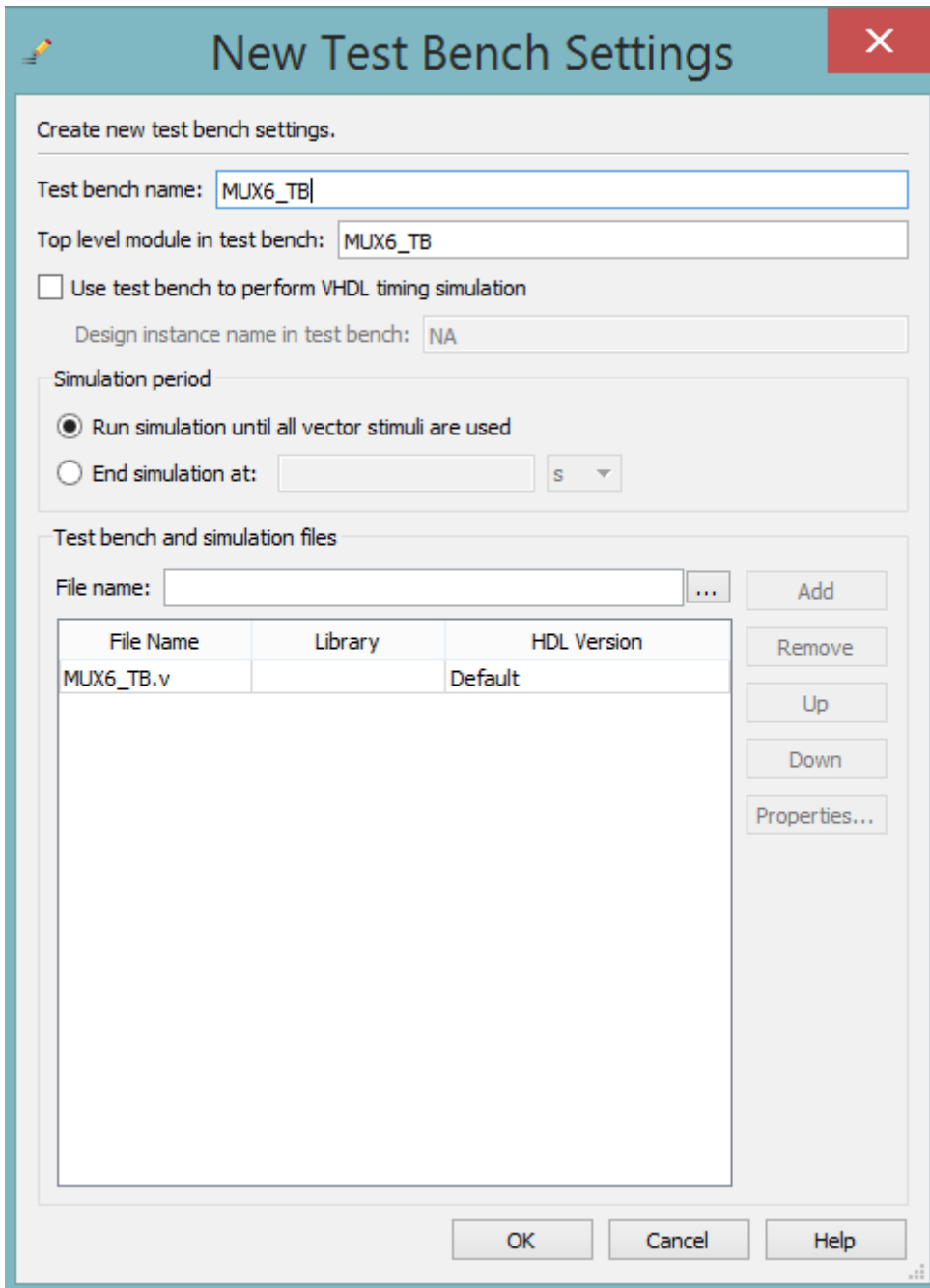
Properties...

OK Cancel Help

Escolha o seu testbench, nesse caso MUX6_TB.



Complete os Campos. A janela tem que ficar como a seguir:



New Test Bench Settings

Create new test bench settings.

Test bench name:

Top level module in test bench:

☐ Use test bench to perform VHDL timing simulation

Design instance name in test bench:

Simulation period

☒ Run simulation until all vector stimuli are used

☐ End simulation at: s

Test bench and simulation files

File name: ...

Add

Remove

Up

Down

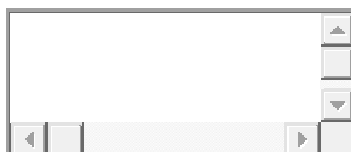
Properties...

File Name	Library	HDL Version
MUX6_TB.v		Default

OK Cancel Help

E então, clique em OK, OK, APPLY e OK.

Em MUX6.v, copie e cole o código abaixo:



```

1 module MUX6( A, B, S, X);
2
3 input wire A, B; // As entradas sao A e B

```

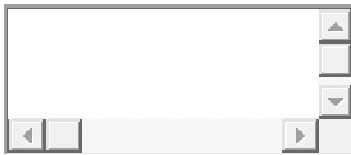


```

4 input wire S; // O sinal de selecao é S
5 output wire X; // O sinal de saida é X
6 wire S0_inv, a1, b1;
7
8 not u1( S0_inv, S);
9 and u3( a1, S0_inv, A );
10 and u4( b1, S, B );
11 or u5( X, a1, b1 );
12
13 endmodule

```

No arquivo MUX6_TB, copie e cole o código abaixo:

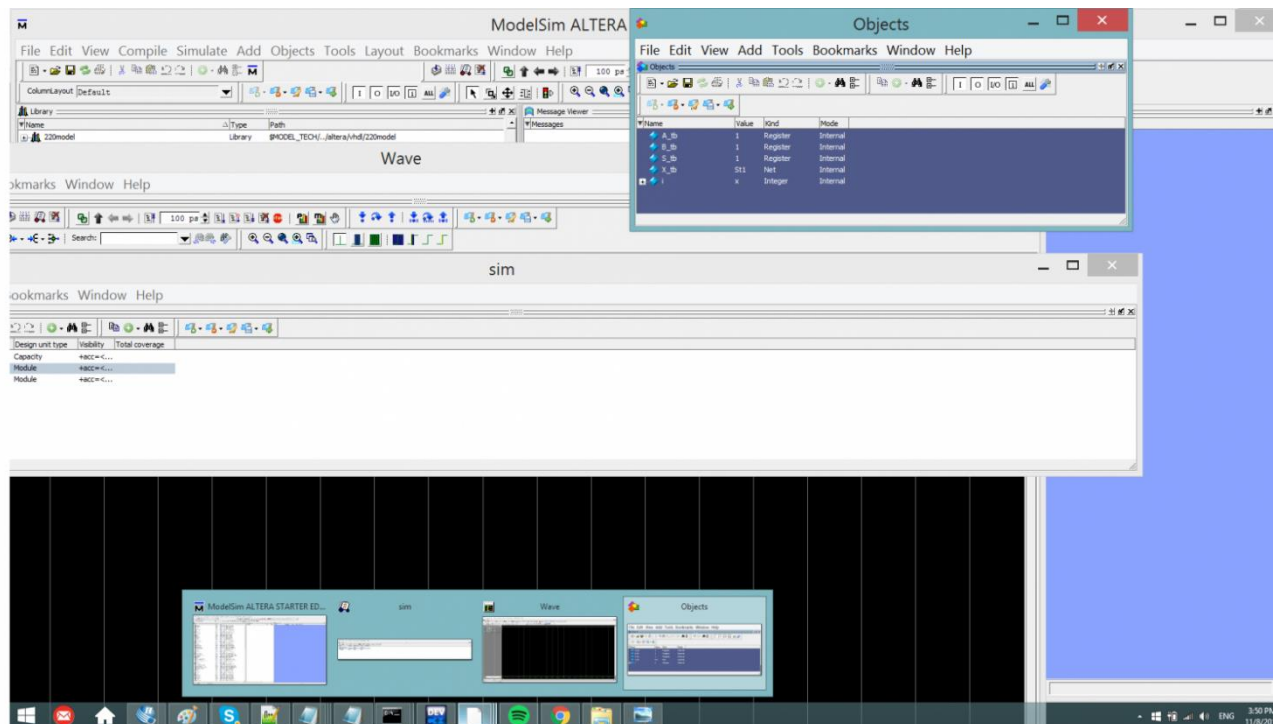


```

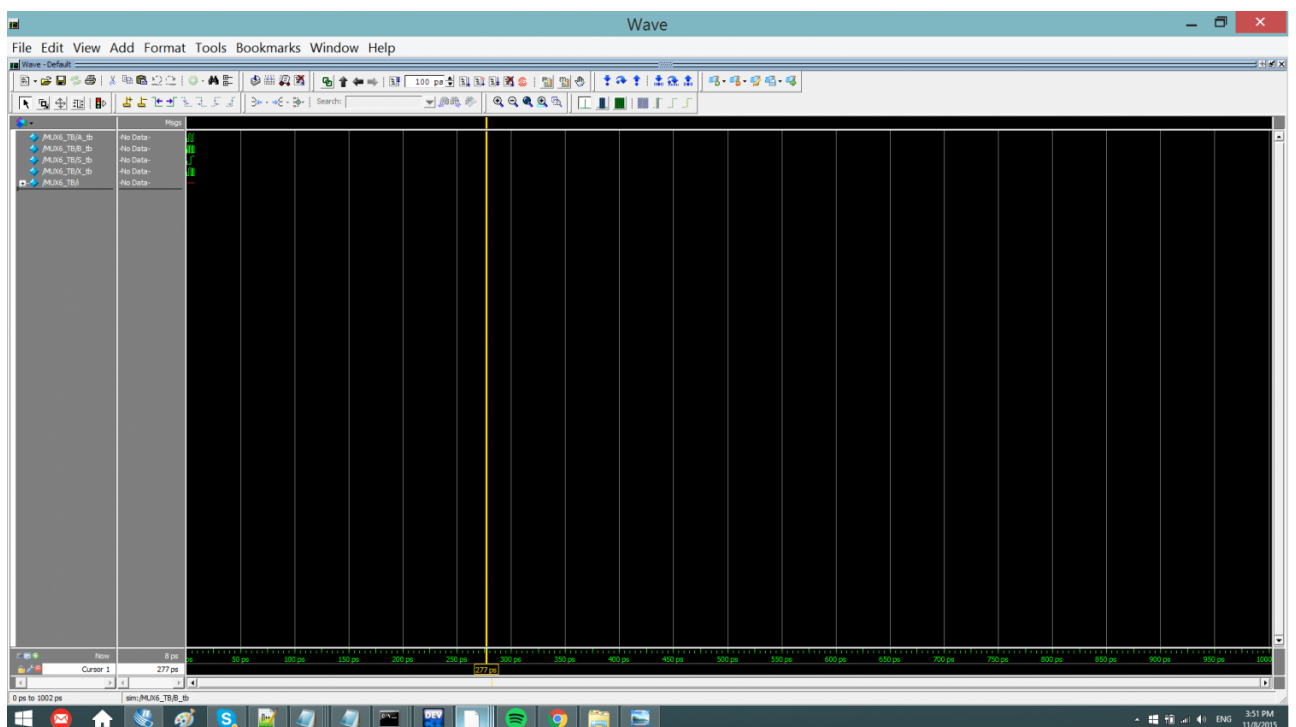
1 module MUX6_TB;
2
3 reg A_tb, B_tb, S_tb;
4 wire X_tb;
5 integer i;
6
7 MUX6 dut( A_tb, B_tb, S_tb, X_tb);
8
9 initial
10 begin
11 A_tb = 1'b0;      B_tb = 1'b0; S_tb = 1'b0; #1
12 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
13 A_tb = 1'b0; B_tb = 1'b1;   S_tb = 1'b0; #1
14 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
15 A_tb = 1'b1;      B_tb = 1'b0; S_tb = 1'b0; #1
16 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
17 A_tb = 1'b1; B_tb = 1'b1;   S_tb = 1'b0; #1
18 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
19 A_tb = 1'b0;      B_tb = 1'b0; S_tb = 1'b1; #1
20 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
21 A_tb = 1'b0; B_tb = 1'b1;   S_tb = 1'b1; #1
22 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
23 A_tb = 1'b1;      B_tb = 1'b0; S_tb = 1'b1; #1
24 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
25 A_tb = 1'b1; B_tb = 1'b1;   S_tb = 1'b1; #1
26 $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
27 end
28 endmodule

```

Então terá a seguinte visão. Clique em **Start Compilation**, um símbolo parecido com *Play* na barra superior.



Para se ver o resultado da simulação, maximize a janela WAVE.



Para fazer com que as ondas apareçam na tela, Pressione F. Esse atalho faz com que todas as ondas se ajustem à sua tela, é o comando FIT. Para zoom, use o C. Ele dará zoom sobre onde clicar sobre as ondas. Para que os sinais tenham os mesmos nomes que no testbench

e nos arquivos de seu projeto, é necessário que se pressione o botão indicado na imagem, na esquerda, abaixo.

