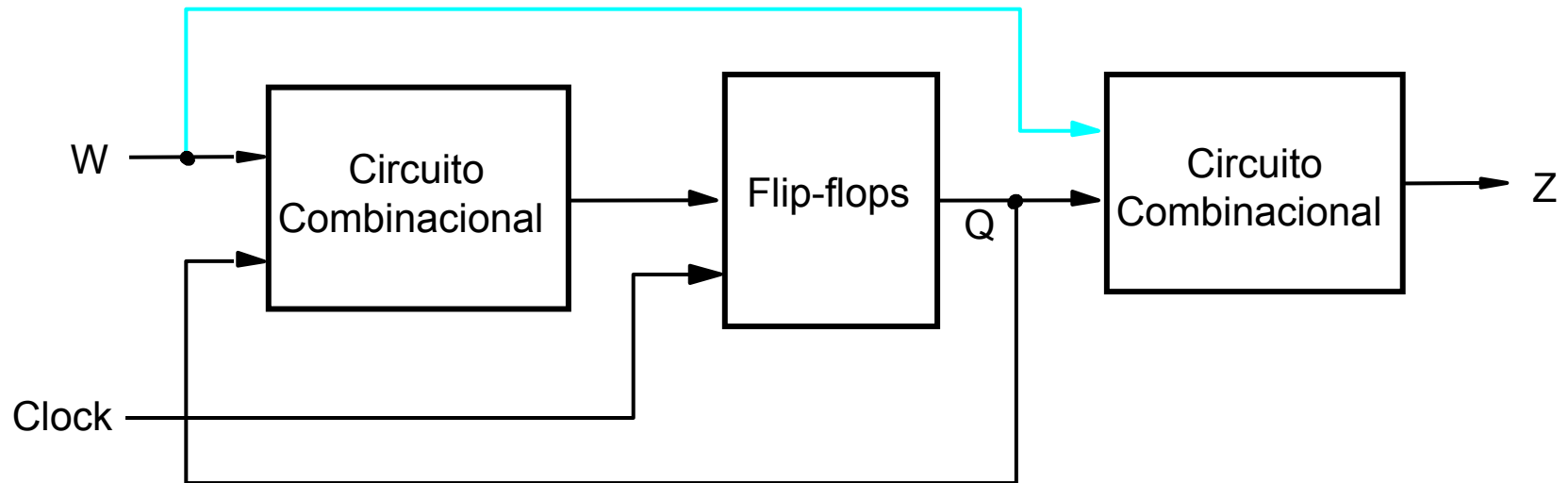


Universidade Federal de São Carlos
Laboratório de Arquitetura e
Organização de Computadores I

Prof. Ricardo Menotti

menotti@dc.ufscar.br

Forma geral de um circuito sequencial



Um exemplo simples

- Desenvolver um circuito que atenda as seguintes especificações:
 - O circuito possui uma entrada, w , e uma saída, z ;
 - Todas as transições do circuito ocorrem na borda de subida de um clock;
 - A saída z é igual a 1 se durante dois ciclos anteriores sucessivos a entrada w for igual a 1;
 - Caso contrário, a saída z é igual a 0;

Sequência de entradas e saídas

Clock:	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
w :	0	1	0	1	1	0	1	1	1	0	1
z :	0	0	0	0	0	1	0	0	1	1	0

Máquina de estados (Moore)

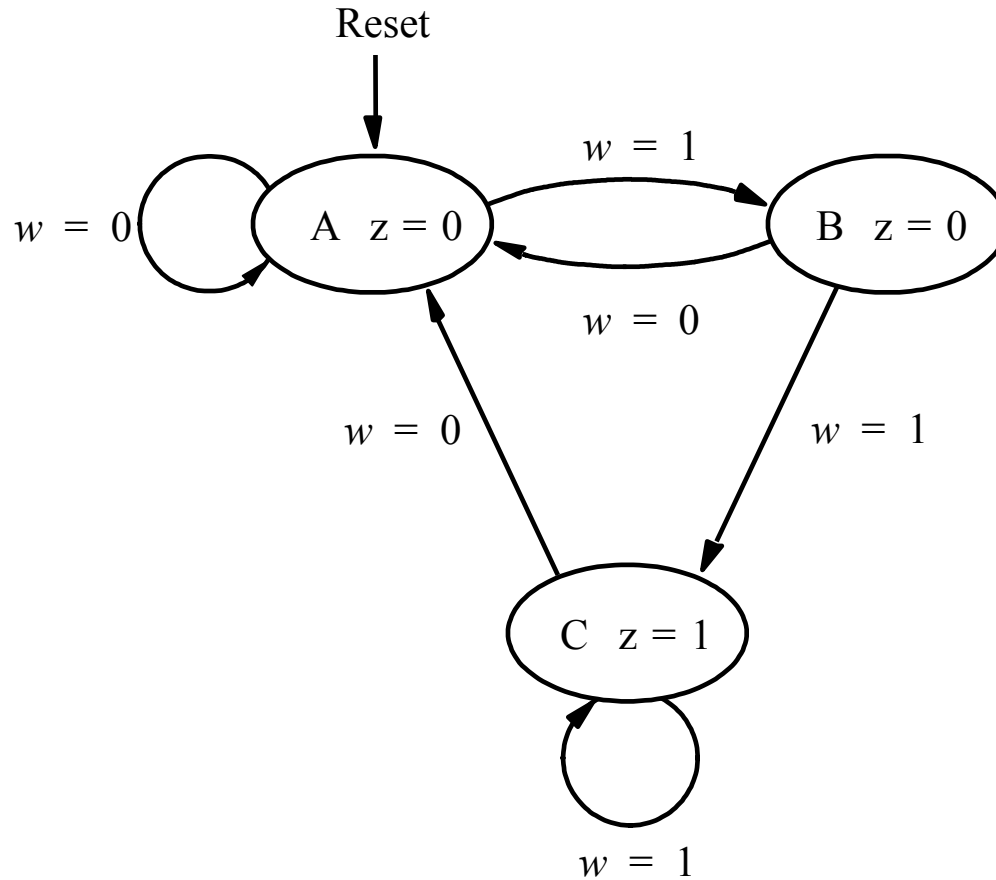


Tabela de estados

Estado atual	Próximo estado		Saída z
	$w = 0$	$w = 1$	
A	A	B	0
B	A	C	0
C	A	C	1

Forma geral do circuito

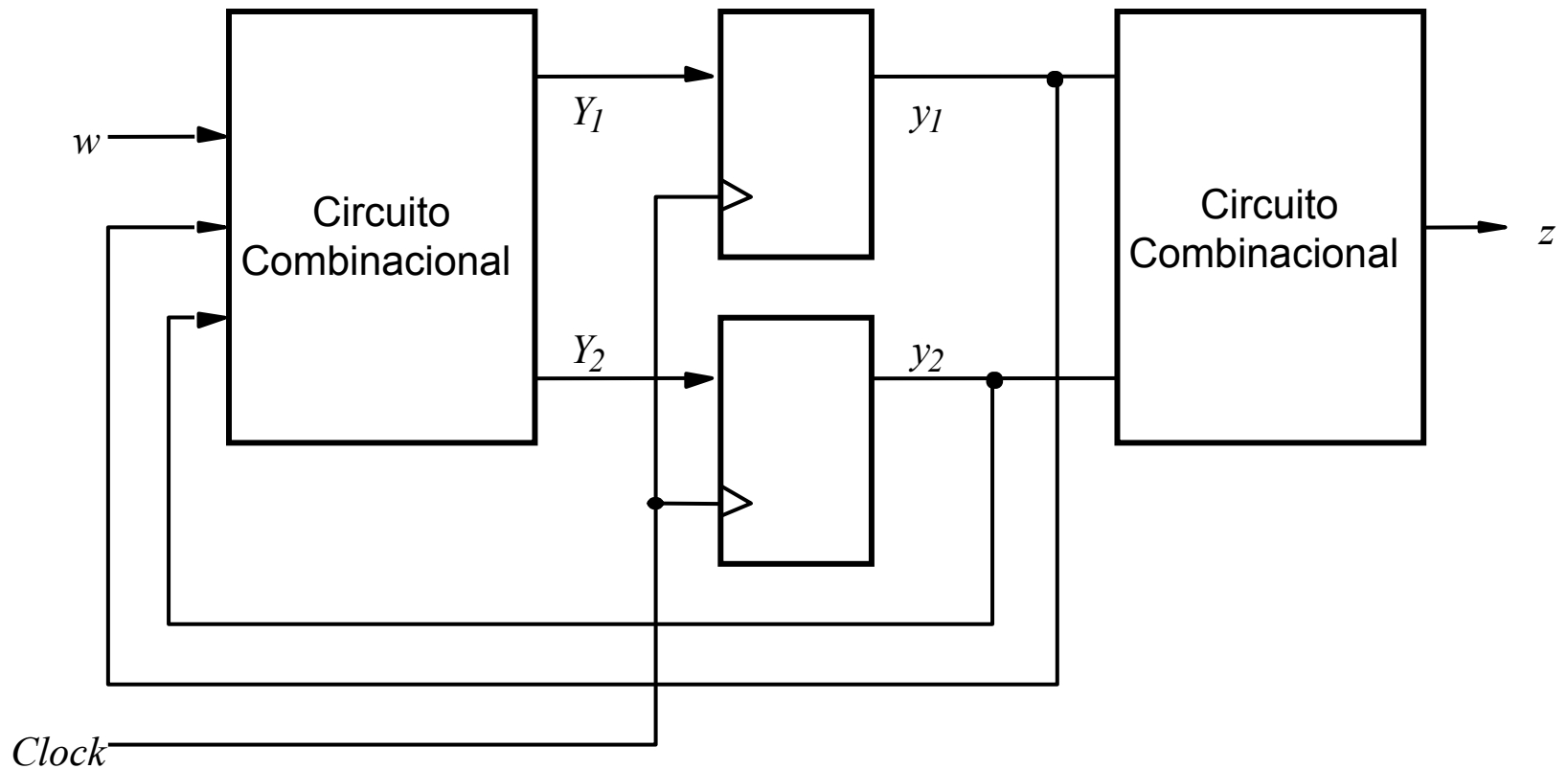


Tabela de atribuição de estados

	Estado atual y_2y_1	Próximo estado		Saída z
		$w = 0$	$w = 1$	
		Y_2Y_1	Y_2Y_1	
A	00	00	01	0
B	01	00	10	0
C	10	00	10	1
	11	<i>dd</i>	<i>dd</i>	<i>d</i>

Derivação das expressões lógicas

$y_2 y_1$		00	01	11	10
w	0	0	0	d	0
	1	1	0	d	0

Ignorando don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

Usando don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

$y_2 y_1$		00	01	11	10
w	0	0	0	d	0
	1	0	1	d	1

$$Y_2 = wy_1\bar{y}_2 + w\bar{y}_1y_2$$

$$\begin{aligned} Y_2 &= wy_1 + wy_2 \\ &= w(y_1 + y_2) \end{aligned}$$

y_2	y_1	
	0	1
0	0	0
1	1	d

$$z = \bar{y}_1y_2$$

$$z = y_2$$

Circuito seqüencial

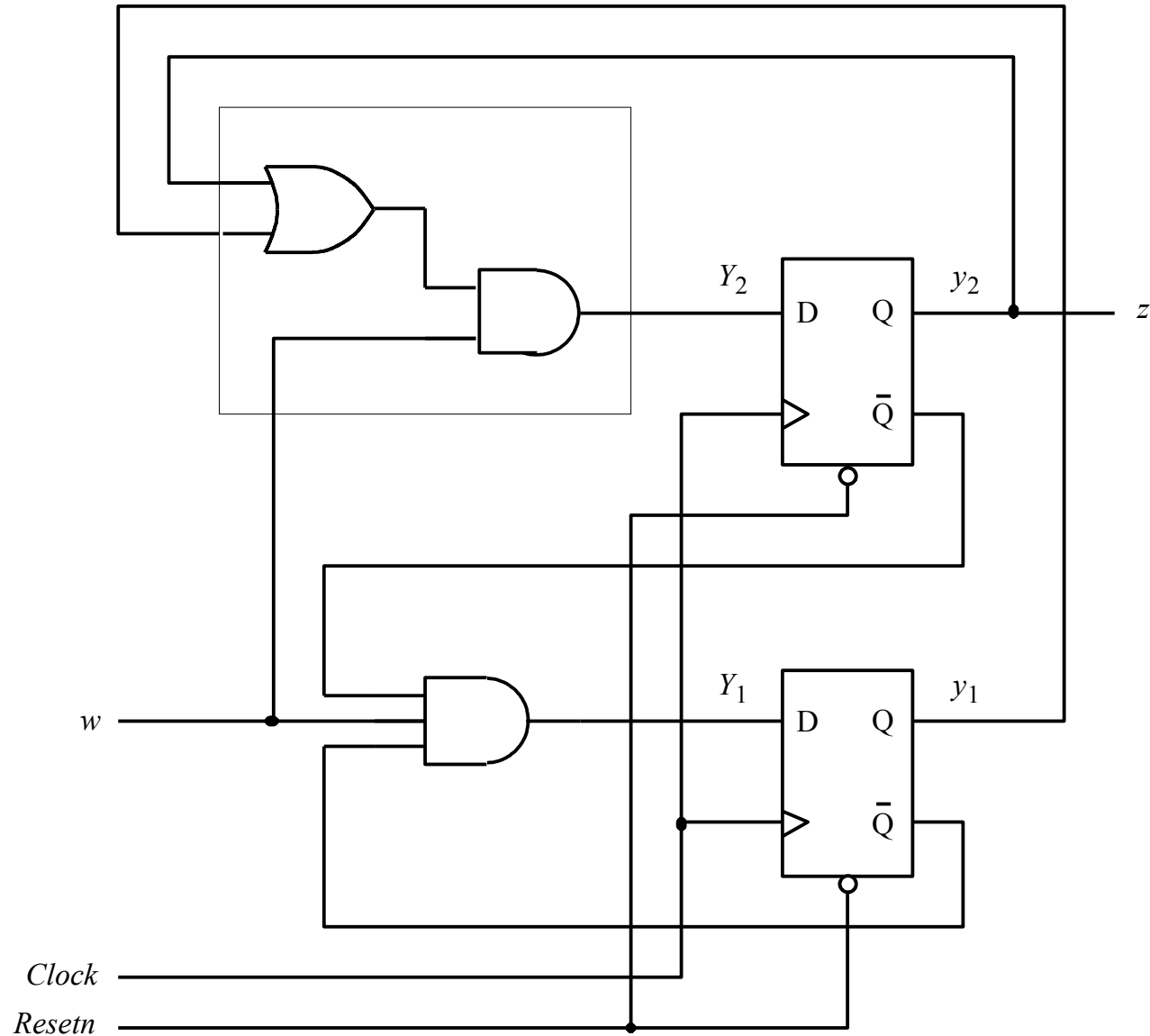
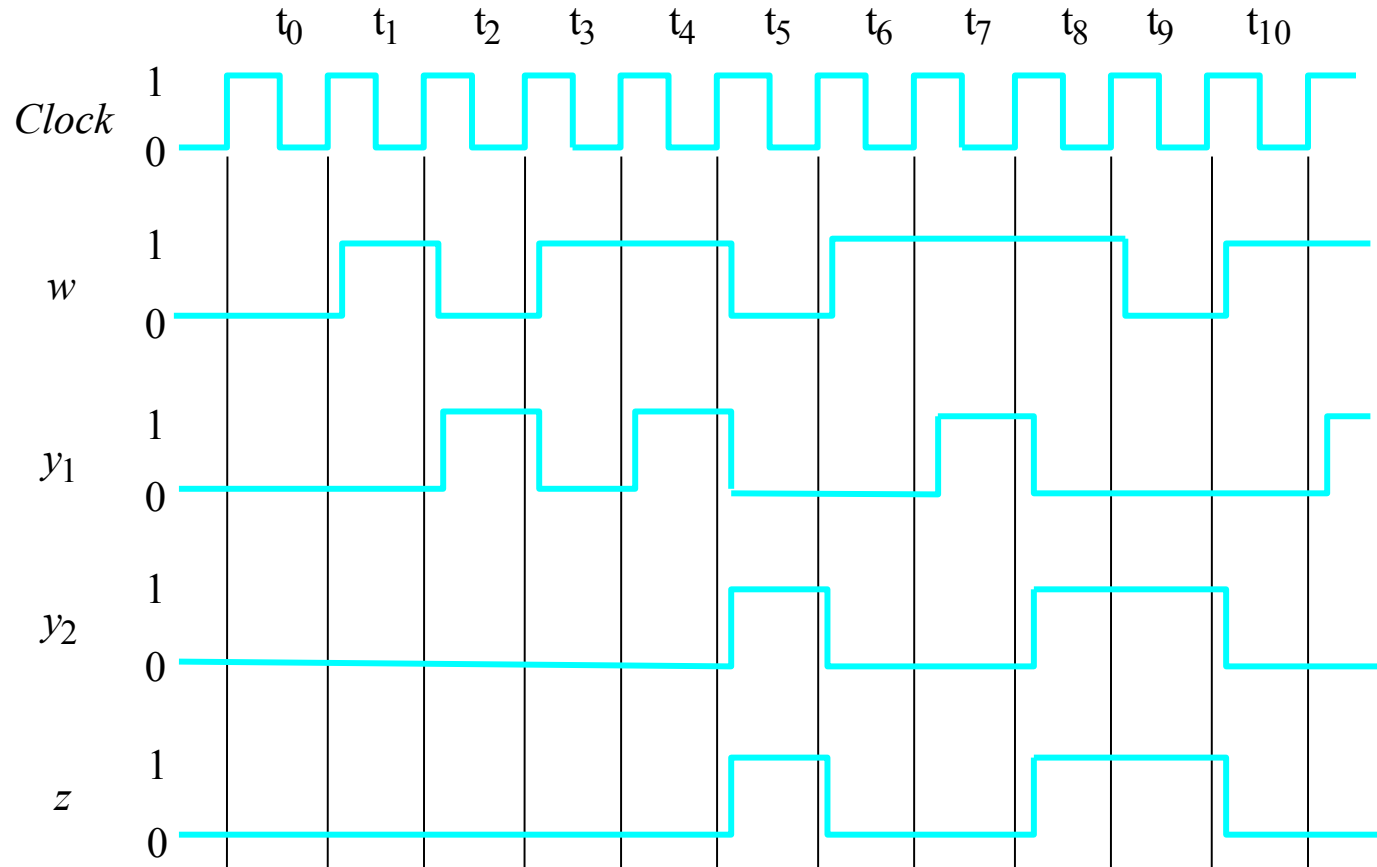


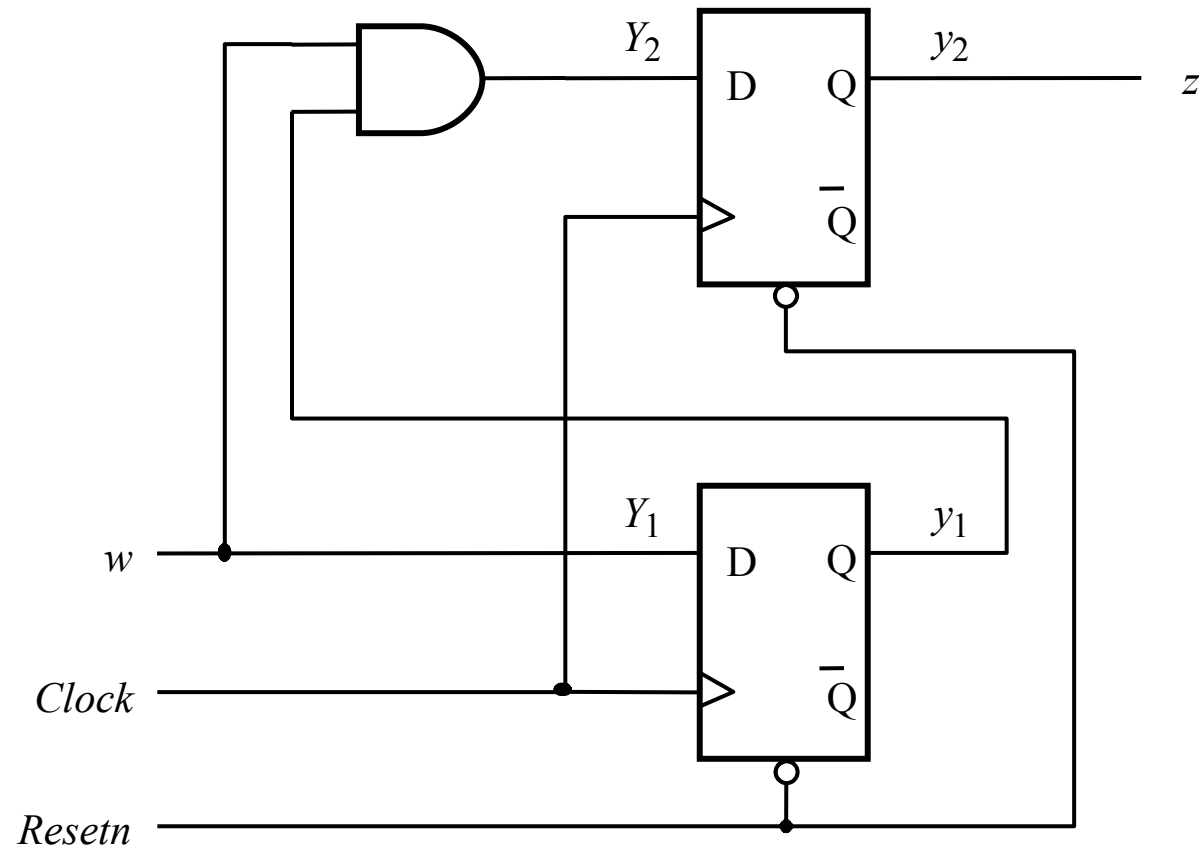
Diagrama de tempo



Problemas

	Estado atual y_2y_1	Próximo estado		Saída z
		$w = 0$	$w = 1$	
		Y_2Y_1	Y_2Y_1	
A	00	00	01	0
B	01	00	11	0
C	11	00	11	1
	10	dd	dd	d

Circuito melhorado



Código VHDL

```
USE ieee.std_logic_1164.all ;

ENTITY simple IS
    PORT (    Clock, Resetn, w : IN STD_LOGIC ;
            z                   : OUT  STD_LOGIC ) ;
END simple ;

ARCHITECTURE Behavior OF simple IS
    TYPE State_type IS (A, B, C) ;
    SIGNAL y : State_type ;
BEGIN
    PROCESS ( Resetn, Clock )
    BEGIN
        IF Resetn = '0' THEN
            y <= A ;
        ELSIF (Clock'EVENT AND Clock = '1') THEN

-- continua...
```

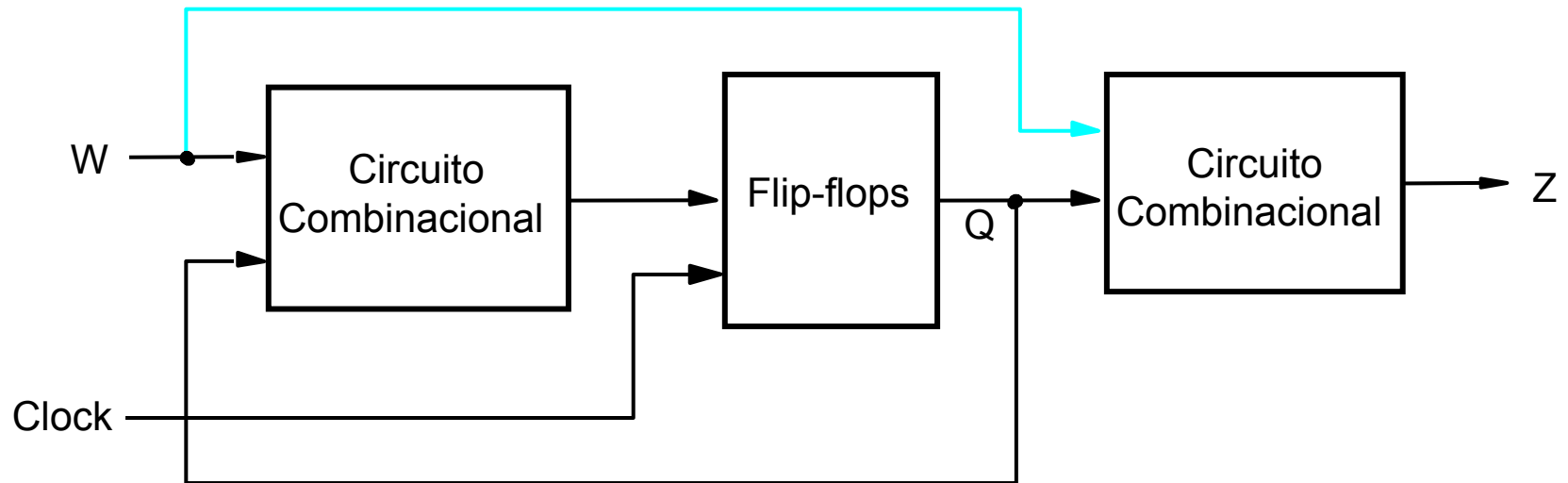
Código VHDL

```
CASE y IS
    WHEN A =>
        IF w = '0' THEN
            y <= A ;
        ELSE
            y <= B ;
        END IF ;
    WHEN B =>
        IF w = '0' THEN
            y <= A ;
        ELSE
            y <= C ;
        END IF ;
    WHEN C =>
        IF w = '0' THEN
            y <= A ;
        ELSE
            y <= C ;
        END IF ;
END CASE ;
END IF ;
END PROCESS ;
z <= '1' WHEN y = C ELSE '0' ;
END Behavior ;
```

Codificação *One-Hot*

	Estado atual $y_3y_2y_1$	Próximo estado		Saída z
		$w = 0$	$w = 1$	
		$Y_3Y_2Y_1$	$Y_3Y_2Y_1$	
A	001	001	010	0
B	010	001	100	0
C	100	001	100	1

Forma geral de um circuito sequencial



Sequência de entradas e saídas

Clock:	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
w:	0	1	0	1	1	0	1	1	1	0	1
z:	0	0	0	0	0	1	0	0	1	1	0

Clock:	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
w:	0	1	0	1	1	0	1	1	1	0	1
z:	0	0	0	0	1	0	0	1	1	0	0

Máquina de estados (Mealy)

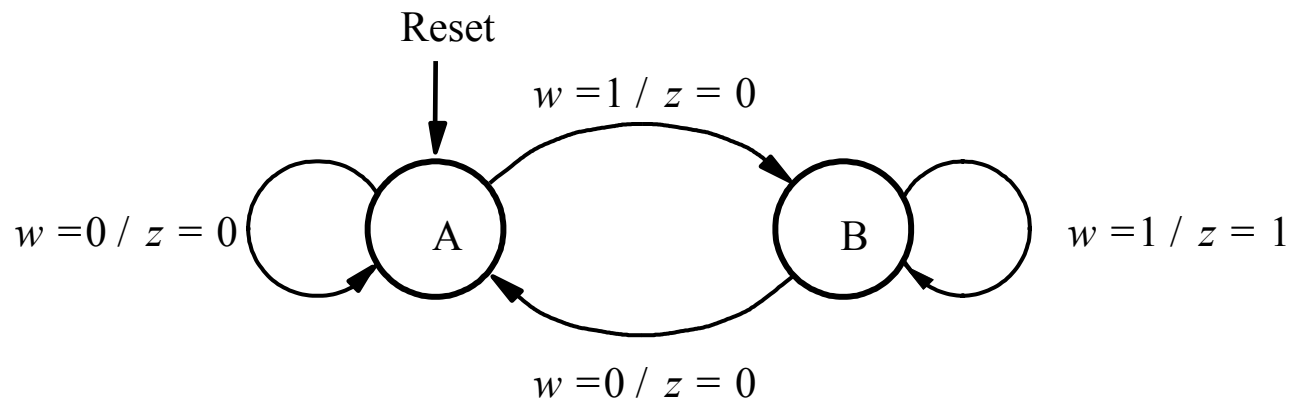


Tabela de estados

Estado atual	Próximo estado		Saída z	
	$w = 0$	$w = 1$	$w = 0$	$w = 1$
A	A	B	0	0
B	A	B	0	1

Tabela de estados

	Estado atual	Próximo estado		Saída	
		$w = 0$	$w = 1$	$w = 0$	$w = 1$
	y	Y	Y	z	z
A	0	0	1	0	0
B	1	0	1	0	1

Circuito secuencial

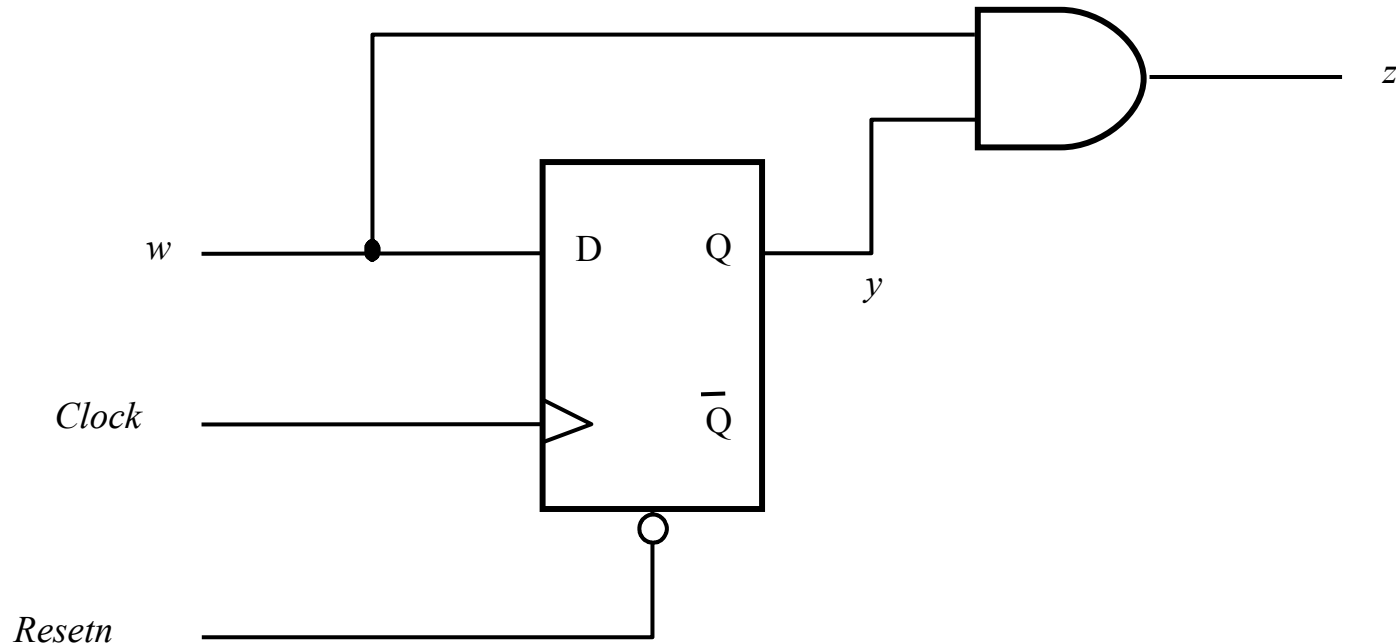
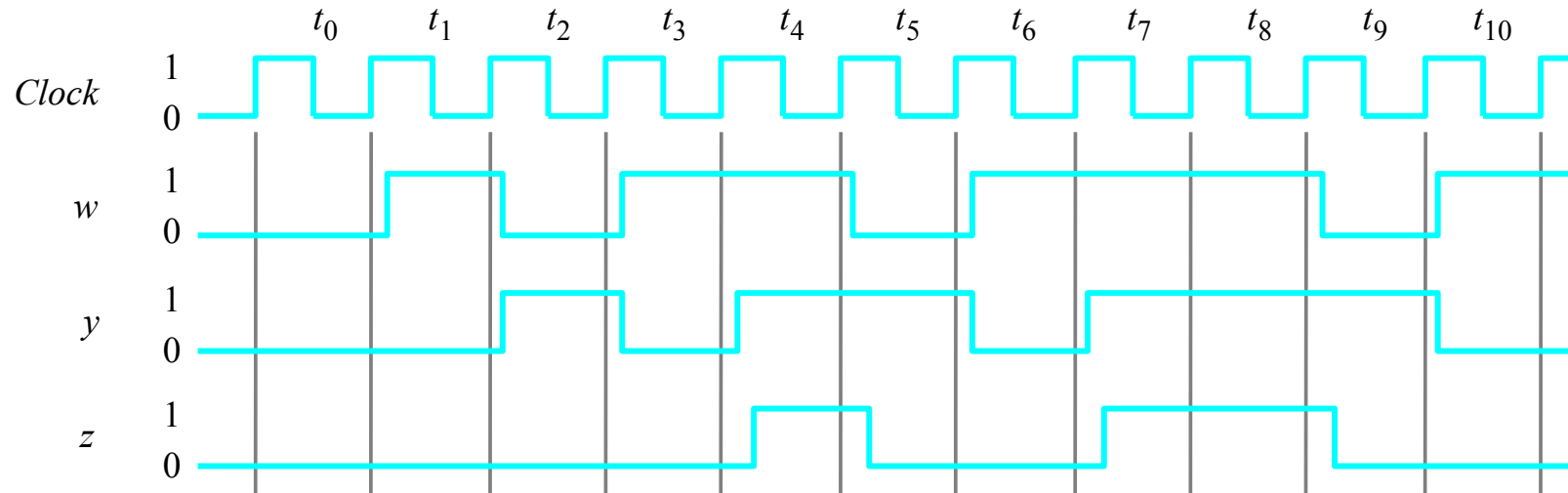
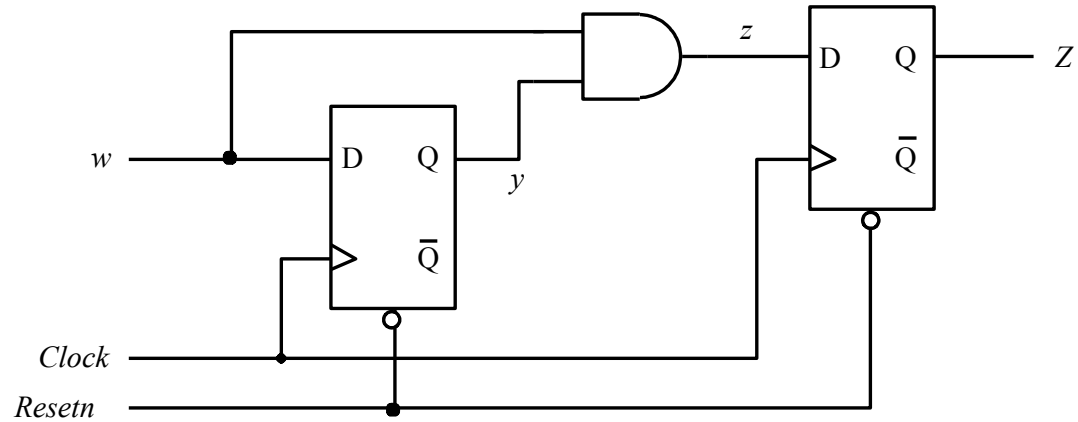
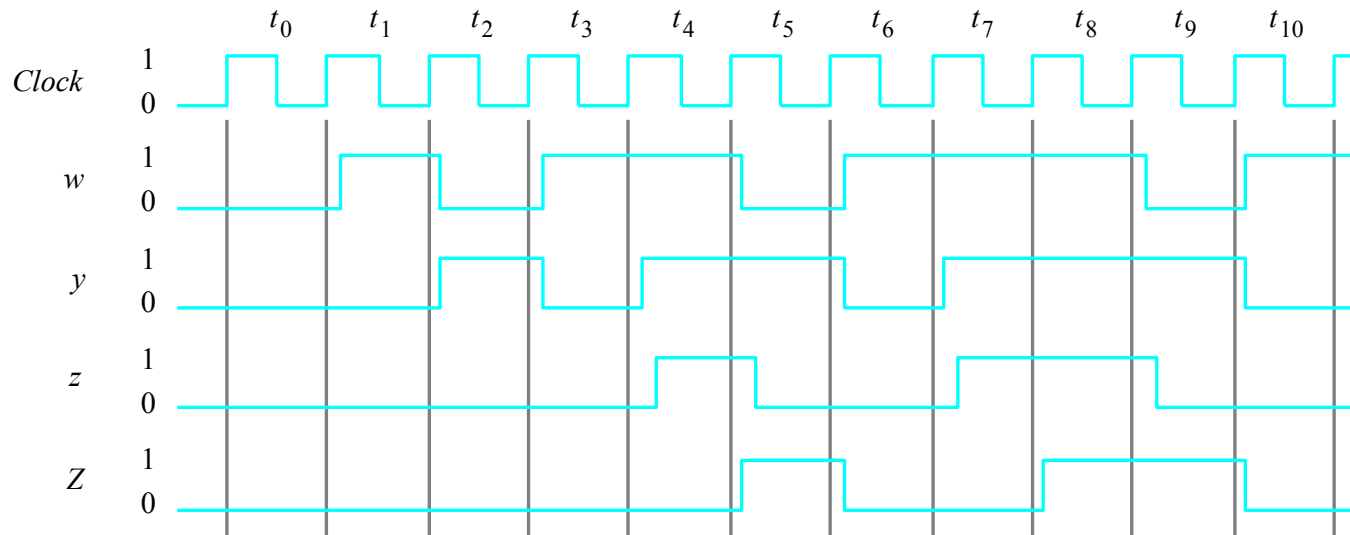


Diagrama de tempo





(a) Circuit



(b) Timing diagram

Minimização

Particionamento:

- Assumir que todos estados são equivalentes (P_1)
- Separar conjuntos de estados por saída (P_2)
- Testar os k-sucessores de cada bloco e separar caso sejam diferentes (P_n)

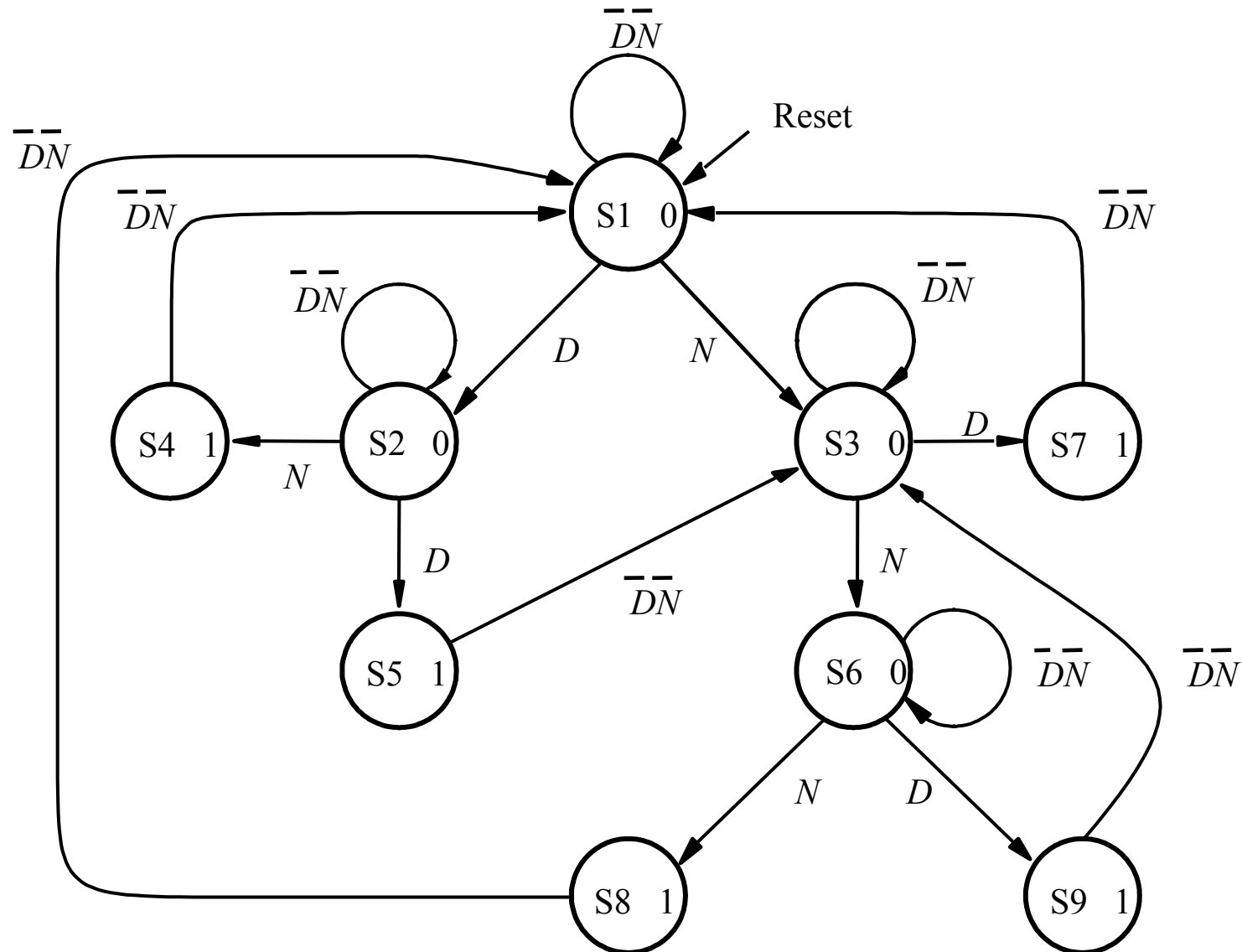
Minimização

Estado atual	Próximo estado		Saída z
	$w = 0$	$w = 1$	
A	B	C	1
B	D	F	1
C	F	E	0
D	B	G	1
E	F	C	0
F	E	D	0
G	F	G	0

Minimização

Estado atual	Próximo estado		Saída z
	w = 0	w = 1	
A	B	C	1
B	A	F	1
C	F	C	0
F	C	A	0

Minimização



Referências

- Material extraído de:
 - <http://www.eecg.toronto.edu/~brown/powerpoint.html>
- Tradução e adaptação:
 - Ricardo Menotti (menotti@dc.ufscar.br)