DEPARTAMENTO DE COMPUTACIÓN
UNRC

ORGANIZACIÓN DEL PROCESADOR

ORGANIZACIÓN DEL PROCESADOR

MEMORIA PRINCIPAL

Fetch: La Unidad de control obtiene de la memoria la próxima instrucción que indica el *contador de programa*

Decode: La Unidad de control obtiene de la memoria (si fuere necesario) y descodifica la instrucción para poder ser ejecutada por la ALU

Execute: La ALU ejecuta (calcula) el resultado de la operación y lo almacena en un registro o memoria

ORGANIZACIÓN DEL PROCESADOR

JERARQUÍA DE MEMORIA

ORGANIZACIÓN DEL PROCESADOR

TYPOS DE MEMORIA

- **RAM (Memoria de Acceso Directo):** Comunmente denominada memoria principal. Es la memoria (lectura/escritura) con la que trabajamos cuando programamos, en la cual residen los programa y datos. Es volátil (sus datos solo se mantiene mientras tienen energía eléctrica). Si bien existe muchas variantes, podemos clasificarlas según su composición física en estáticas SRAM y dinámicas DRAM.

- **ROM (Memoria de sólo Lectura):** A diferencia de las RAM, sus datos persisten aún sin energía eléctrica. En genera se utilizan en pequeñas unidades conteniendo información (programas) indispensables para el funcionamiento, como el arranque, configuración de dispositivos, software embebido, etc. Dependiendo de su conformación y modo de grabado existen PROM, EPROM, EEPROM …

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SRAM

- **SRAM (Static RAM):** Está compuesta por circuitos similares a los Flip-Flop. Son memorias de acceso rápido pero su construcción es costosa. Consumen más energía y por lo tanto disipan más calor.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SRAM

- **SRAM (Static RAM):** Está compuesta por circuitos similares a los Flip-Flop. Son memorias de acceso rápido pero su construcción es costosa. Consumen más energía y por lo tanto disipan más calor.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SRAM

- **SRAM (Static RAM):** Está compuesta por circuitos similares a los Flip-Flop. Son memorias de acceso rápido pero su construcción es costosa. Consumen más energía y por lo tanto disipan más calor.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SRAM

- **SRAM (Static RAM):** Está compuesta por circuitos similares a los Flip-Flop. Son memorias de acceso rápido pero su construcción es costosa. Consumen más energía y por lo tanto disipan más calor.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SRAM

- **SRAM (Static RAM):** Está compuesta por circuitos similares a los Flip-Flop. Son memorias de acceso rápido pero su construcción es costosa. Consumen más energía y por lo tanto disipan más calor.

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN 128B X 8

Dirección

Señal de lectura / escritura

Valores

Selector de Chip

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN 128B X 8

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN 128B X 8

Dirección

Señal de lectura / escritura

Valores

Selector de Chip

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN DRAM 256MBITS - 32M X 8

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN 1024B (1K) X 1

Dirección

Señal de lectura / escritura

Valores 1 bit

Selector de Chip

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN 1024B (1K) X 1

Dirección

Señal de lectura / escritura

Valores 1 bit

Selector de Chip

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN 1024B (1K) X 1

Dirección

Señal de lectura / escritura

Valores 1 bit

Selector de Chip

ORGANIZACIÓN DEL PROCESADOR

HARDWARE - ORGANIZACIÓN 1024B (1K) X 1

ORGANIZACIÓN DEL PROCESADOR

MEMORIA DRAM

- **DRAM (Dynamic RAM):** La celdas de memoria dinámica utilizan capacitores en lugar de transistores, son más baratas, consumen menos energía. Otra diferencia es que su valor deber ser revalidado (refresh).

ORGANIZACIÓN DEL PROCESADOR

MEMORIA DRAM

- **DRAM (Dynamic RAM):** La celdas de memoria dinámica utilizan capacitores en lugar de transistores, son más baratas, consumen menos energía. Otra diferencia es que su valor deber ser revalidado (refresh).

ORGANIZACIÓN DEL PROCESADOR

MEMORIA DRAM

- **DRAM (Dynamic RAM):** La celdas de memoria dinámica utilizan capacitores en lugar de transistores, son más baratas, consumen menos energía. Otra diferencia es que su valor deber ser revalidado (refresh).

ORGANIZACIÓN DEL PROCESADOR

MEMORIA DRAM

- **DRAM (Dynamic RAM):** La celdas de memoria dinámica utilizan capacitores en lugar de transistores, son más baratas, consumen menos energía. Otra diferencia es que su valor deber ser revalidado (refresh).

ORGANIZACIÓN DEL PROCESADOR

MEMORIA DRAM

- **DRAM (Dynamic RAM):** La celdas de memoria dinámica utilizan capacitores en lugar de transistores, son más baratas, consumen menos energía. Otra diferencia es que su valor deber ser revalidado (refresh).

ORGANIZACIÓN DEL PROCESADOR

MEMORIA DRAM

- **DRAM (Dynamic RAM):** La celdas de memoria dinámica utilizan capacitores en lugar de transistores, son más baratas, consumen menos energía. Otra diferencia es que su valor deber ser revalidado (refresh).

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SDRAM

- **SDRAM (Synchronous Dynamic RAM):** A diferencia de las DRAM, la memoria SDRAM está sincronizada mediante un clock. Esto le otorga mayor control dentro del chip.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SDRAM - EJEMPLO DE ACCESO EFICIENTE

Tiempo que lleva actualizar la dirección de la fila

Tiempo que lleva actualizar la dirección de la columna

ORGANIZACIÓN DEL PROCESADOR

MEMORIA SDRAM - EJEMPLO DE ACCESO EFICIENTE

Tiempo que lleva actualizar la dirección de la fila

Tiempo que lleva actualizar la dirección de la columna

Latencia

ORGANIZACIÓN DEL PROCESADOR

MEMORIA DDR SDRAM

- **DDR SRAM (Double Data Rate Static RAM):** Es una versión mejorada de las SRAM que utiliza la técnica DDR para mejorar la eficiencia.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA PRINCIPAL - LATENCY - BANDWIDTH

- **Latencia:** Tiempo en obtener el primer Página de datos. Usualmente se mide de manera relativo como cantidad de ciclos de reloj. Por ej. si es de 5 ciclos y el reloj es de 500MHz, entonces el tiempo es de 10 ns.
- **Bandwidth:** Cantidad de datos (bits o Bytes) que la memoria pues transferir por segundo.

Nombre	Reloj E/S	Promedio Transferencia	Bandwith Teórico
DDR-200, PC-1600	100 MHz	0.2 GB/s	1.6 GB/s
DDR2-800, PC2-6400	400 MHz	0.8 GB/s	6.4 GB/s
DDR3-1600, PC3-12800	800 MHz	1.6 GB/s	12.8 GB/s
DDR4-3200, PC4-25600	1600 MHz	3.2 GB/s	25.6 GB/s

ORGANIZACIÓN DEL PROCESADOR

MEMORIA ROM

- **ROM:** La celdas de memoria no pueden modificarse (durante su utilización).

ORGANIZACIÓN DEL PROCESADOR

TIPOS MEMORIAS ROM

- **PROM (P**rogramable **ROM):** El material conector son fusibles, el proceso de grabado (quema) los de las celdas a contener **1**.

- **EPROM (E**rasable **P**rogramable **ROM):** A diferencia de las PROM, tiene transistores en vez de fusibles, estos puede ser borrados y vueltos a programa mediante luz ultravioleta.

- **EEPROM (E**lectrical **E**rasable **P**rogramable **ROM):** Son memorias reprogramables con electricidad, a diferencia de las EPROM, utilizan diferentes voltajes para activar o desactivar los transistores de las celdas.

- **FLASH:** En esencia son EEPROM pero que sólo pueden ser modificados de a Páginas reduciendo la complejidad de circuitos y su costo.

ORGANIZACIÓN DEL PROCESADOR

LOCALIDAD

En general el acceso a memoria presenta un patron bastante frecuente, si se accede a una posición *X*, es altamente probable que luego se aceda a la posición *X+1* en caso de programas, o en posiciones cercanas, por ejemplo en la Pila. A este patrón de utilización se lo denomina **localidad (proximidad)**.

- **Termporal**: datos utilizados se volverán a utilizar en el futuro cercano, por ej. variables locales.
- **Espacial**: datos cercanos (ubicación en memoria), por ej. arreglos.
- **Secuencial**: las insctrucciones de programas en genera tienen un comportamiento de uso secuencia

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE

El patrón de localidad permite ganar mucha eficiencia trabajando de a Páginas de memoria. Para ello se utiliza la idea de **memoria cache**.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE

El patrón de localidad permite ganar mucha eficiencia trabajando de a Páginas de memoria. Para ello se utiliza la idea de **memoria cache**.

- Mayor velocidad
- Más costosa
- Tamaño reducido

MEMORIA CACHE

MEMORIA RAM

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE

El patrón de localidad permite ganar mucha eficiencia trabajando de a Páginas de memoria. Para ello se utiliza la idea de **memoria cache**.

ORGANIZACIÓN DEL PROCESADOR

TERMINOLOGIA Y MEDIDAS DE EFICIENCIA

- **Hit:** Los datos requeridos de la memoria residen en la memoria (niveles más altos).
- **Miss:** Los datos requeridos de la memoria NO residen en la memoria (niveles más altos).
- **Hit rate:** Porcentaje de Hits.
- **Miss rate:** Porcentaje de Miss.
- **Hit time:** Tiempo de acceso cuando los datos residen en la memoria.
- **Miss Penalty:** Tiempo adicional requerido para el acceso cuando los datos NO residen en la memoria.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE IDEA

Cuando el CPU requiere obtener información que reside en la memoria:

- Primero se analiza si está en la memoria cache, si reside allí (una copia) entonces la obtiene. A esta situación se la considera un **HIT (acierto)**.

- Sin No está en la memoria cache **MISS (fallo)** entonces se la busca en la memoria. Para hacer mas eficiente el acceso y haciendo uso de la localidad del comportamiento, la memoria entre la cache y la principal se tramiten en **Bloques**.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE IDEA

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE IDEA

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE IDEA

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE IDEA

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE IDEA

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE IDEA

- ¿Cómo acomodamos los Bloques en la cache?
- ¿Cómo determinamos si una dirección está o no en la memoria cache?
- ¿Con qué política reemplazamos los Bloques existentes?

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING (ASOCIACIÓN DIRECTA)

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING (ASOCIACIÓN DIRECTA)

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING (ASOCIACIÓN DIRECTA)

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING (ASOCIACIÓN DIRECTA)

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING (ASOCIACIÓN DIRECTA)

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING - DIRECCIÓN A CACHE

Dirección de memoria 0406h

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING - DIRECCIÓN A CACHE

Dirección de memoria 0406h

0 0 0 0 0 0 1 0 0 0 0 0 0 1 1

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING - DIRECCIÓN A CACHE

Dirección de memoria 0406h

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - DIRECT MAPPING - DIRECCIÓN A CACHE

Dirección de memoria 0406h

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - FULL ASOCIATIVE

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - FULL ASOCIATIVE

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - FULL ASOCIATIVE - DIRECCIÓN A CACHE

Dirección de memoria 0406h

0 0 0 0 0 0 1 0 0 0 0 0 0 1 1

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - FULL ASOCIATIVE - DIRECCIÓN A CACHE

Dirección de memoria 0406h

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - SET ASOCIATIVE

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - SET ASOCIATIVE

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - SET ASOCIATIVE - DIRECCIÓN A CACHE

Dirección de memoria 0406h

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - SET ASOCIATIVE - DIRECCIÓN A CACHE

Dirección de memoria 0406h

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - TIPOS DE REEMPLAZO

Cuando un Bloque de la memoria cache necesita ser cargado desde la memoria por un **miss** y si la cache está llega (algo que debe suceder) debemos elegir un Bloque a reemplazar. Si es mapping directo, la decisión es trivial, sino :

- **LRU** (**L**east **R**ecently **U**sed): el más antiguo debe ser reemplazado.
- **FIFO** (**F**irst **I**n **F**irst **O**ut): comportamiento de **cola**.
- **RADOM**: se elige uno aleatoriamente.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - TIEMPO DE ACCESO EFECTIVO Y PORCENTAJE DE HITS

Tiempo de Acceso Efectivo

Promedio de Hits

$$EAT = H * AccesoC + (1 - H) * AccesoMP$$

Tiempo de acceso a Cache

Tiempo de acceso a Memoria Principal

ORGANIZACIÓN DEL PROCESADOR

MEMORIA CACHE - POLITICA DE ESCRITURA

Cuando el contenido de una dirección de memoria (que reside en la cache) es modificado, debemos tomar una política de actualización de la memoria principal para que la información quede consistente:

- **Write through**: cuando se modifica el valor en la memoria cache, se propaga y se modifica en la memoria principal.

- **Write back**: sólo se modifica en la memoria caché hasta que el Bloque se marcado como víctima para ser reemplazado, en ese momento se copia todo el Bloque a la memoria.

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - PAGINACIÓN

TABLA DE PÁGINAS

Página	Frame	Válida
0	1	1
1		0
2		0
3	0	1
...	...	...

MEMORIA PRINCIPAL

ALMACENAMIENTO HDD/SDD...

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - PAGINACIÓN

TABLA DE PÁGINAS

Página	Frame	Válida
0	1	1
1		0
2		0
3	0	1
...	...	...

MEMORIA PRINCIPAL

Página 3
Página 0
Página 13
Página 47
Página 15
Página 9
Página 18
...

Page Frame

ALMACENAMIENTO HDD/SDD...

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - PAGINACIÓN

TABLA DE PÁGINAS

Página	Frame	Válida
0	1	1
1		0
2		0
3	0	1
...	...	...

MEMORIA PRINCIPAL

ALMACENAMIENTO HDD/SDD...

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - DIRECCIÓN VIRTUAL

MEMORIA PRINCIPAL

0 0 0 0 0 0 0 1 1 0 0 0 0 1 1

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - DIRECCIÓN VIRTUAL

MEMORIA PRINCIPAL

ALMACENAMIENTO HDD/SDD...

0 0	0 0 0 0 0 0 0 1 1 0 0 0 0 1 1

DIRECCIÓN VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - DIRECCIÓN VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - DIRECCIÓN VIRTUAL

MEMORIA PRINCIPAL

TABLA DE PÁGINAS

Página	Frame	Válida
0	1	1
1		0
2		0
3	0	1
...	...	...

ALMACENAMIENTO HDD/SDD...

0 0	0 0 0 0 0 0 0 1 1	0 0 0 0 1 1
	PAGINA	**OFFSET**

DIRECCIÓN VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - DIRECCIÓN VIRTUAL

MEMORIA PRINCIPAL

TABLA DE PÁGINAS

Página	Frame	Válida
0	1	1
1		0
2		0
3	0	1
...	...	...

ALMACENAMIENTO HDD/SDD...

0 0	0 0 0 0 0 0 0 1 1	0 0 0 0 1 1
	PAGINA	OFFSET

DIRECCIÓN VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - DIRECCIÓN VIRTUAL

Página	Frame	Válida
0	1	1
1		0
2		0
3	0	1
...	...	...

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - DIRECCIÓN VIRTUAL

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - TABLAS DE PÁGINA

MEMORIA PROGRAMA

Página	Dirección	Valor
0	0000	A
	0001	B
1	0010	C
	0011	D
2	0100	E
	0101	F
3	0110	G
	0111	H
4	1000	I
	1001	J
5	1010	K
	1011	L
6	1100	M
	1101	N
7	1110	O
	1111	P

MEMORIA FÍSICA

FRAME	Dirección	Valor
0	000	C
	001	D
1	010	G
	011	H
2	100	A
	101	B
3	110	K
	111	L

TABLA DE PÁGINAS

Página	FRAME	Valid
0	2	1
1	0	1
2	-	0
3	1	1
4	-	0
5	3	1
6	-	0
7	-	0

DIRECCIÓN VIRTUAL

4 BITS

K

1 0 1	0
PAGINA	OFFSET

DIRECCIÓN FÍSICA

3 BITS

K

1 1	0
PAGINA	OFFSET

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - TABLAS DE PÁGINA

MEMORIA PROGRAMA

Página	Dirección	Valor
0	0000	A
	0001	B
1	0010	C
	0011	D
2	0100	E
	0101	F
3	0110	G
	0111	H
4	1000	I
	1001	J
5	1010	K
	1011	L
6	1100	M
	1101	N
7	1110	O
	1111	P

MEMORIA FÍSICA

FRAME	Dirección	Valor
0	000	C
	001	D
1	010	G
	011	H
2	100	A
	101	B
3	110	K
	111	L

TABLA DE PÁGINAS

Página	FRAME	Valid
0	2	1
1	0	1
2	-	0
3	1	1
4	-	0
5	3	1
6	-	0
7	-	0

DIRECCIÓN VIRTUAL

4 BITS

K

1 0 1	0
PAGINA	OFFSET

DIRECCIÓN FÍSICA

3 BITS

K

1 1	0
PAGINA	OFFSET

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - TABLAS DE PÁGINA

MEMORIA PROGRAMA

Página	Dirección	Valor
0	0000	A
	0001	B
1	0010	C
	0011	D
2	0100	E
	0101	F
3	0110	G
	0111	H
4	1000	I
	1001	J
5	1010	K
	1011	L
6	1100	M
	1101	N
7	1110	O
	1111	P

MEMORIA FÍSICA

FRAME	Dirección	Valor
0	000	C
	001	D
1	010	G
	011	H
2	100	A
	101	B
3	110	K
	111	L

TABLA DE PÁGINAS

Página	FRAME	Valid
0	2	1
1	0	1
2	-	0
3	1	1
4	-	0
5	3	1
6	-	0
7	-	0

DIRECCIÓN VIRTUAL

4 BITS

K

1 0 1	0
PAGINA	OFFSET

DIRECCIÓN FÍSICA

3 BITS

K

1 1	0
PAGINA	OFFSET

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - TABLAS DE PÁGINA

MEMORIA PROGRAMA

Página	Dirección	Valor
0	0000	A
	0001	B
1	0010	C
	0011	D
2	0100	E
	0101	F
3	0110	G
	0111	H
4	1000	I
	1001	J
5	1010	K
	1011	L
6	1100	M
	1101	N
7	1110	O
	1111	P

MEMORIA FÍSICA

FRAME	Dirección	Valor
0	000	C
	001	D
1	010	G
	011	H
2	100	A
	101	B
3	110	K
	111	L

TABLA DE PÁGINAS

Página	FRAME	Valid
0	2	1
1	0	1
2	-	0
3	1	1
4	-	0
5	3	1
6	-	0
7	-	0

DIRECCIÓN VIRTUAL

4 BITS

K

1 0 1	0
PAGINA	OFFSET

DIRECCIÓN FÍSICA

3 BITS

K

1 1	0
PAGINA	OFFSET

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - TABLAS DE PÁGINA

MEMORIA PROGRAMA

Página	Dirección	Valor
0	0000	A
	0001	B
1	0010	C
	0011	D
2	0100	E
	0101	F
3	0110	G
	0111	H
4	1000	I
	1001	J
5	1010	K
	1011	L
6	1100	M
	1101	N
7	1110	O
	1111	P

MEMORIA FÍSICA

FRAME	Dirección	Valor
0	000	C
	001	D
1	010	G
	011	H
2	100	A
	101	B
3	110	K
	111	L

TABLA DE PÁGINAS

Página	FRAME	Valid
0	2	1
1	0	1
2	-	0
3	1	1
4	-	0
5	3	1
6	-	0
7	-	0

DIRECCIÓN VIRTUAL

4 BITS

K

1 0 1	0
PAGINA	OFFSET

DIRECCIÓN FÍSICA

3 BITS

K

1 1	0
PAGINA	OFFSET

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - TABLAS DE PÁGINA

¿ Cuánto espacio ocupa la Tabla de página ?

Ejemplo:

32-bit Dirección Virtual, 30-bit Dirección física

12-bit Offset, Cada entrada 4 bytes

2^20 * 4 = 4 MBytes

TABLA DE PÁGINAS

Página	Frame	Válida
0	1	1
1		0
2		0
3	0	1
...	...	...

¿ Dónde se almacena ?

En la memoria. Cada acceso a una dirección de memoria (virtual) debe consultar (un acceso memoria) sobre la dirección física.

¿ Cómo lo optimizamos ?

Usando Cache, *Translation Lookaside Buffer (TLB)*

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - TRANSLATION LOOKASIDE BUFFER (TLB)

Memoria Cache específica para mantener tablas de página.

Tabla en Memoria

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - WORKFLOW DE ACCESO A MEMORIA

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - FRAGMENTACIÓN INTERNA

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - FRAGMENTACIÓN INTERNA

ORGANIZACIÓN DEL PROCESADOR

CACHE VS. MEMORIA VIRTUAL

	Memoria Caché	**Memoria Virtual**
Unidad	Bloque	Página
Falta	Miss	Page Fault
Tamaño	Bloque: 32-64B	Pág.: 4K-16KB
Mapeo	Direct Mapped, N-way Set Associative	Fully Associative
Reemplazo	LRU or Random	LRU
Escritura	Write Through or Back	Write Back
Manejo	Hardware	Hardware + Software (S.O.)

ORGANIZACIÓN DEL PROCESADOR

MEMORIA VIRTUAL - SEGMENTACIÓN

- Idea similar a la de Paginación
- Se divide la memoria en **Segmentos** de tamaño **variable.**
- Permite incorporar diferente información como permisos para compartir memoria con otros procesos.
- Se implementa mediante una tabla de segmentos: segmento, inicio, tamaño.
- Sufre de **Fragmentación Externa** (el espacio liberado por otro/s segmentos no es suficiente para incorporar un pedido de segmento más grande)
- En general se utiliza en combinación con Paginado. (Cada segmento se divide en Pág.)