



高集成度电源管理芯片 AXP305B

数据手册



文档版本: V1.2

发布日期: 2021-03-11



权利声明

著作权声明

版权所有2021 深圳芯智汇科技有限公司。保留一切权利。

本文档及内容受著作权法保护，其著作权由深圳芯智汇科技有限公司（“芯智汇”）拥有并保留一切权利。本文档是芯智汇的原创作品和版权财产，未经芯智汇书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本文档内容的部分或全部，且不得以任何形式传播。

商标声明

 （不完全列举）均为深圳芯智汇科技有限公司的商标或者注册商标。在本文档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与深圳芯智汇科技有限公司（“芯智汇”）之间签署的商业合同和条款的约束。本文档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本文档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超频，超温使用）造成的不利后果，芯智汇概不负责。

本文档作为使用指导仅供参考。由于产品版本升级或其他原因，本文档内容有可能修改，如有变更，恕不另行通知。芯智汇尽全力在本文档中提供准确的信息，但并不确保内容完全没有错误，因使用本文档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，芯智汇概不负责。本文档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本文档未以明示或暗示或其他方式授予芯智汇的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。芯智汇不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。芯智汇不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。

版本记录

版本	修订日期	修订说明
1.0	2020-05-22	初始版本
1.1	2020-06-01	1. 修改《电气参数》LDO 的驱动能力 2. 《多路转换器输出》增加默认电压和启动时序 3. 修改《寄存器默认值》
1.2	2021-03-11	1. 更新《电气参数》 2. 更新声明



目录

目录	4
1. 芯片简介	6
2. 主要特性	7
3. 应用电路	9
4. 结构框图	10
5. 管脚定义	11
6. 最大工作范围	14
7. 电气参数	15
8. 功能描述	20
8.1. 主模式	21
8.2. 从模式	22
8.3. 独立工作模式	23
8.4. 睡眠与唤醒	24
8.5. 基准、内部电源及中断	26
8.6. 多路转换器输出	26
8.7. 串行通信接口	28
9. 寄存器	30
9.1. 寄存器列表	30
9.2. 寄存器描述	31
9.2.1. REG 00: Startup Source	31
9.2.2. REG 03: IC Type NO	31
9.2.3. REG 04-07: 4 Data Buffers	31
9.2.4. REG 10: Output Power on-off Control 1	31

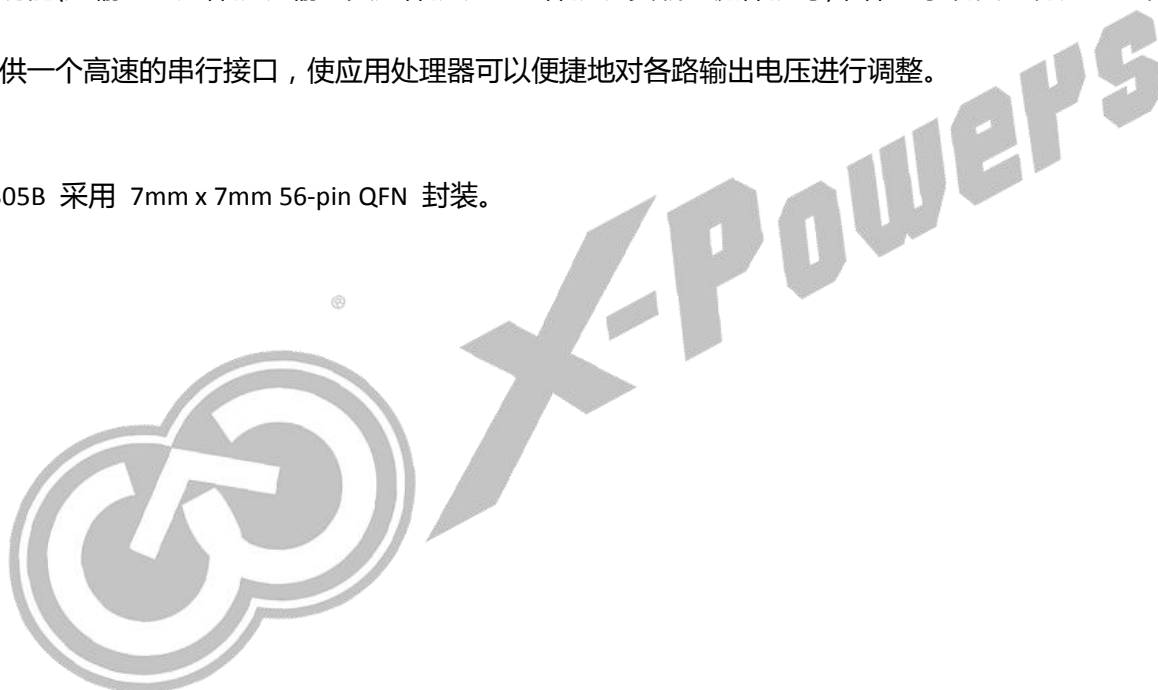
9.2.5. REG 11: Output Power on-off Control 2.....	32
9.2.6. REG 12: DCDC-A Voltage Control.....	32
9.2.7. REG 13: DCDC-B Voltage Control.....	33
9.2.8. REG 14: DCDC-C Voltage Control.....	33
9.2.9. REG 15: DCDC-D Voltage Control.....	33
9.2.10. REG 16: DCDC-E Voltage Control.....	34
9.2.11. REG 17: ALDO1 Voltage Control.....	34
9.2.12. REG 18: ALDO2 Voltage Control.....	34
9.2.13. REG 19: ALDO3 Voltage Control.....	34
9.2.14. REG 1A: DCDC Mode Control 1.....	34
9.2.15. REG 1B: DCDC Mode Control 2.....	35
9.2.16. REG 1C: DCDC Frequency Setting.....	35
9.2.17. REG 1D: Output Monitor Control.....	35
9.2.18. REG 1F: IRQ & PWROK & Off Discharge Setting.....	36
9.2.19. REG 20: BLDO1 Voltage Control.....	37
9.2.20. REG 21: BLDO2 Voltage Control.....	37
9.2.21. REG 22: BLDO3 Voltage Control.....	37
9.2.22. REG 23: BLDO4 Voltage Control.....	38
9.2.23. REG 24: CLDO1 Voltage Control.....	38
9.2.24. REG 25: CLDO2 Voltage Control.....	38
9.2.25. REG 26: CLDO3 Voltage Control.....	38
9.2.26. REG 31: Power Wakeup Ctrl & VOFF Setting.....	38
9.2.27. REG 32: Power Disable & Power Down Sequence.....	39
9.2.28. REG 35: Wakeup Pin Function Setting.....	40
9.2.29. REG 36: POK Setting.....	40
9.2.30. REG 3E: Interface Mode Select.....	41
9.2.31. REG 3F: Special Control Register.....	41
9.2.32. REG 40: IRQ Enable1.....	41
9.2.33. REG 41: IRQ Enable2.....	42
9.2.34. REG 48: IRQ Status1.....	42
9.2.35. REG 49: IRQ Status2.....	42
9.2.36. REG F3: VREF & Temperature Warning Level Setting.....	43
9.2.37. REG FE: Serial Interface Address Extension.....	43
9.2.38. REG FF: Register Address Extension.....	44
10. 封装.....	45

1. 芯片简介

AXP305B 是一款应用于 5V 输入的高集成度电源管理芯片，可以提供多路大电流电源。针对高性能的多核系统，AXP305B 可以组成多相供电提供高达 7.5A 的电流输出。它还可以与具有电池管理功能的电源管理芯片配合工作，为电池供电系统提供完整的电源解决方案。

AXP305B 提供 15 路电源输出(包括 5 路可调输出降压 DCDC，10 路可调输出 LDO)。AXP305B 内部集成多种保护功能(如输入过压保护、输入欠压保护、过温保护、负载过流保护等)，保证系统安全稳定地工作。同时提供一个高速的串行接口，使应用处理器可以便捷地对各路输出电压进行调整。

AXP305B 采用 7mm x 7mm 56-pin QFN 封装。



2. 主要特性

- **5 路同步降压转换器(DCDC)**
 - DCDC-A: PFM/PWM 两种工作模式 ,
0.6V~1.1V, 10mV/step, 51steps;
1.12V~1.52V, 20mV/step, 21steps,
驱动能力 2.5A
 - DCDC-B: PFM/PWM 两种工作模式 ,
1.0V~2.55V, 50mV/step, 32steps,
驱动能力 2.5A
 - DCDC-C: PFM/PWM 两种工作模式 ,
0.6V~1.1V, 10mV/step, 51steps;
1.12V~1.52V, 20mV/step, 21steps,
驱动能力 2.5A
 - DCDC-D: PFM/PWM 两种工作模式 ,
0.6V~1.5V, 20mV/step, 46steps;
1.6V~3.3V, 100mV/step, 18steps,
驱动能力 1.5A
 - DCDC-E: PFM/PWM 两种工作模式 ,
1.1V~3.4V, 100mV/step, 24steps,
驱动能力 1.5A
- **10 路线性稳压器(LDO)**
 - ALDO1: 0.7V~3.3V, 100mV/step, 27steps,
驱动能力 300mA, 输入电源是 ALDOIN
 - ALDO2: 0.7V~3.3V, 100mV/step, 27steps,
驱动能力 300mA, 输入电源是 ALDOIN
 - ALDO3: 0.7V~3.3V, 100mV/step, 27steps, 驱动能力 300mA, 输入电源是 ALDOIN
 - BLDO1: 0.7V~1.9V, 100mV/step, 13steps,
驱动能力 400mA, 输入电源是 BLDOIN
 - BLDO2: 0.7V~1.9V, 100mV/step, 13steps,
驱动能力 300mA, 输入电源是 BLDOIN
 - BLDO3: 0.7V~1.9V, 100mV/step, 13steps,
驱动能力 200mA, 输入电源是 BLDOIN
 - BLDO4: 0.7V~1.9V, 100mV/step, 13steps,
驱动能力 200mA, 输入电源是 BLDOIN
 - CLDO1: 0.7V~3.3V, 100mV/step, 27steps,
驱动能力 400mA, 输入电源是 CLDOIN
 - CLDO2: 0.7V~3.4V, 100mV/step, 28steps,
3.6~4.2V, 200mV/step, 4steps, 驱动能力 300mA, 输入电源是 CLDOIN
- **多相供电功能(Poly-Phase)**
 - DCDC A&B: Dual-phase, 驱动能力 5A
 - DCDC A&B&C: Tri-phase, 驱动能力 7.5A
 - DCDC D&E: Dual-phase, 驱动能力 3A
 - 其它特性: 开关频率 3MHz, 1.5uH/1uH, 内部软启动功能, DCDC A/C/D 具有 DVM 功能

- CLDO3: 0.7~3.3V, 100mV/step, 27steps, 驱动

能力 200mA, 输入电源是 CLDOIN

- 支持 TWSI(Two Wire Serial Interface)协议, 地址为 0x6C/0x6D

- IRQ 为开漏输出

- 内部过温保护

- 内部电压监视器, 监控 DCDC A/B/C/D/E 输出

电压, 内部输出 PWROK(开漏)信号

- 提供开关机键

- 开关: 导通电阻典型值为 90 mΩ

- 使用 QFN 7mmx7mm, 56Pin 封装

- **典型应用**

- STB
- OTT
- Tablet
- Smart phone
- Computer



3. 应用电路

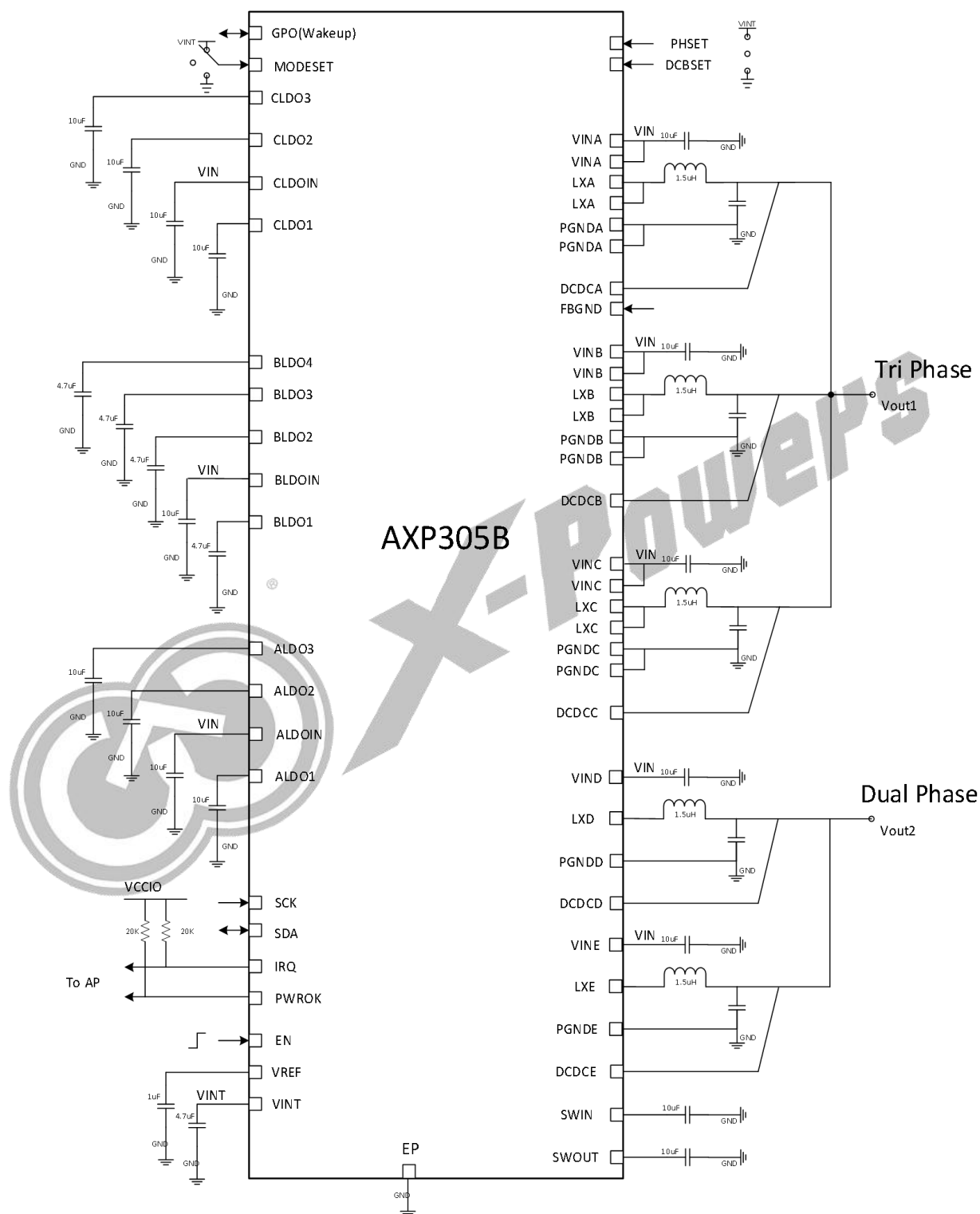


图 1. 典型应用电路

4. 结构框图

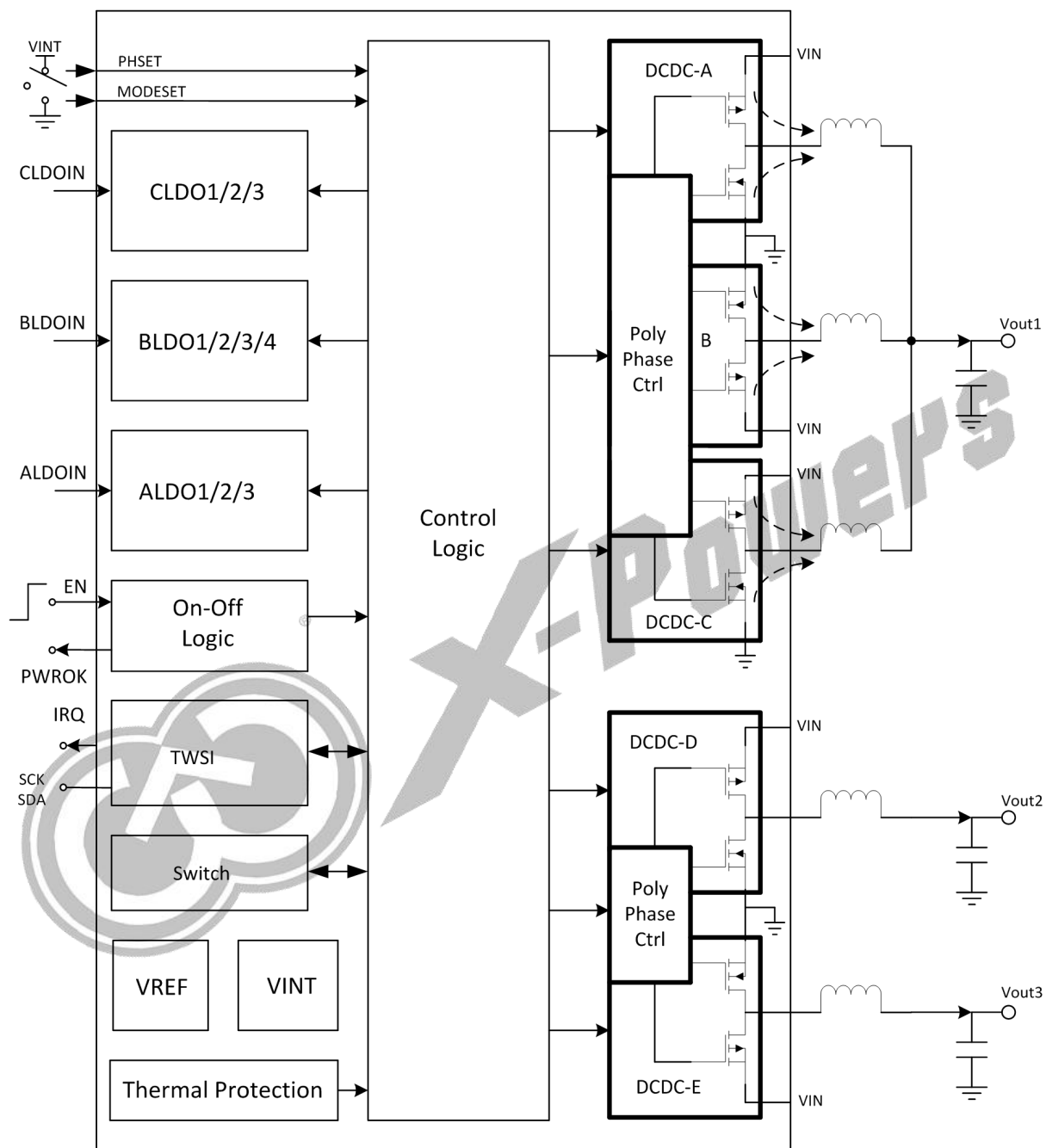


图 2. 模块功能框图

5. 管脚定义

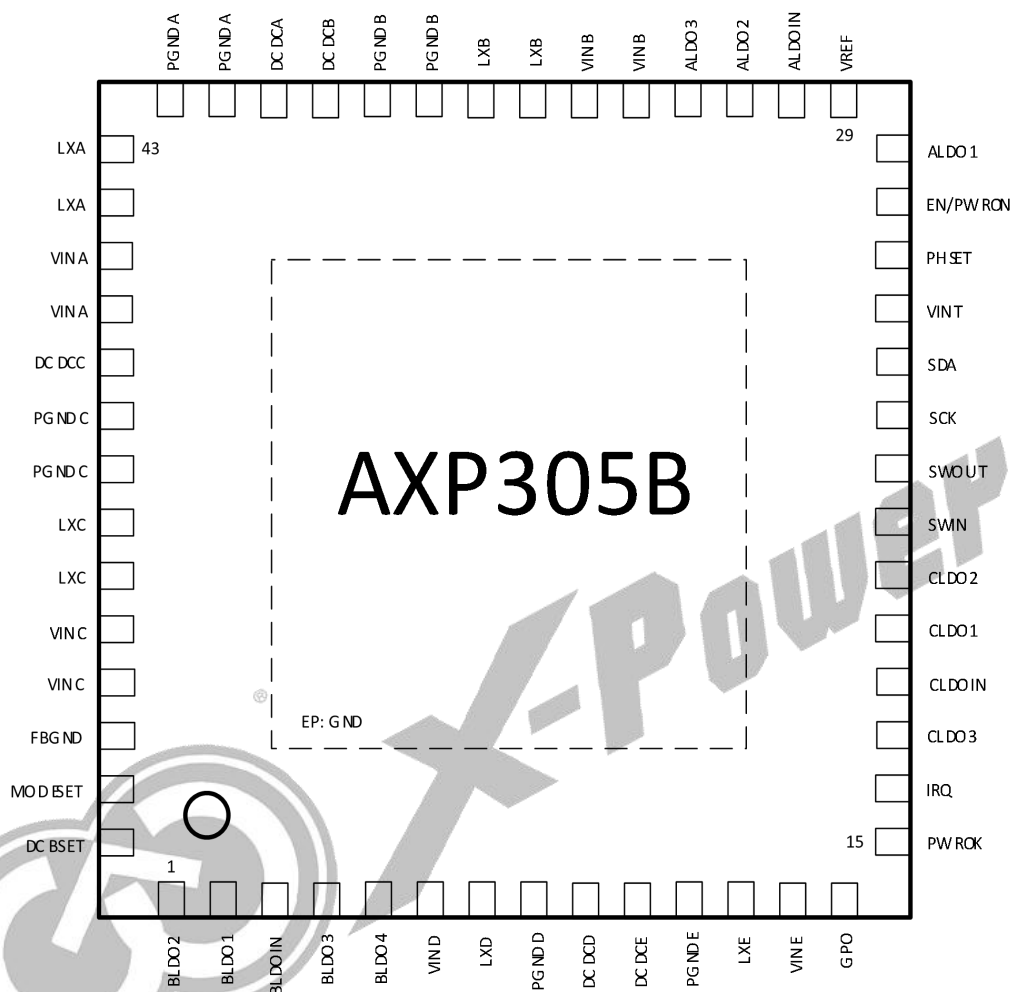


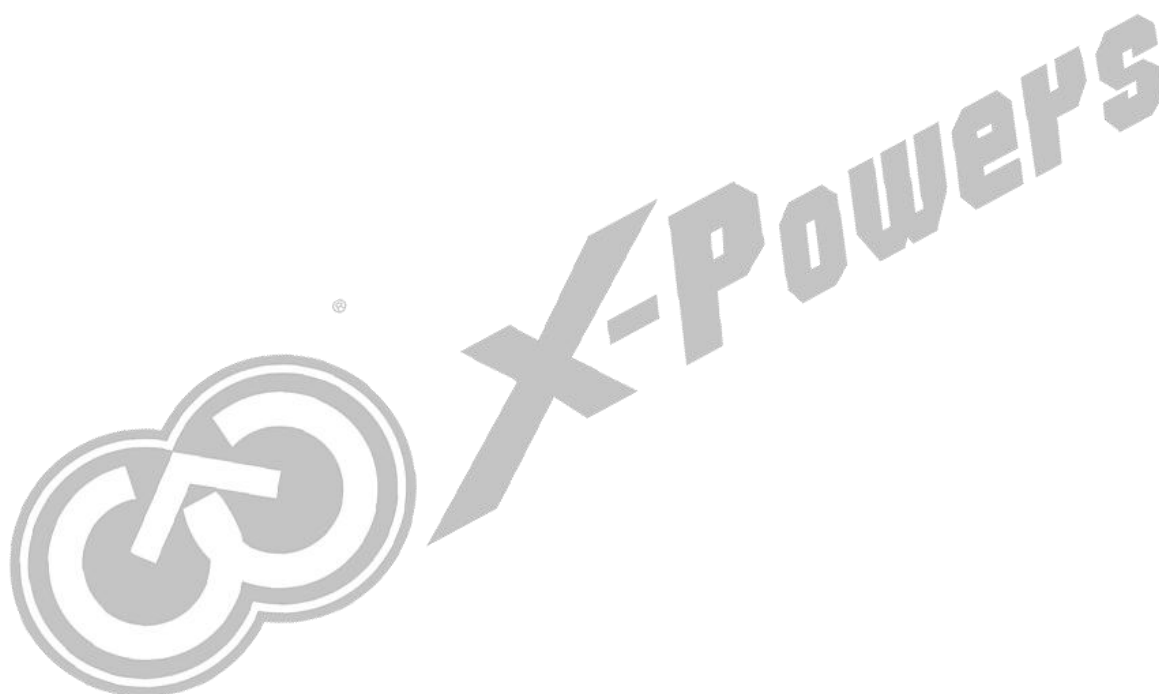
图 3. QFN-56 封装

表 1. 管脚描述

管脚序号	管脚符号	类型	描述
1	BLDO2	O	Output pin of BLDO2
2	BLDO1	O	Output pin of BLDO1
3	BLDOIN	PI	BLDOs input source
4	BLDO3	O	Output pin of BLDO3
5	BLDO4	O	Output pin of BLDO4
6	VIND	PI	DCDCD input source
7	LXD	IO	Inductor pin for DCDCD

8	PGNDD	G	NMOS GND for DCDCD
9	DCDCD	I	Feedback pin for DCDCD
10	DCDCE	I	Feedback pin for DCDCE
11	PGNDE	G	NMOS GND for DCDCE
12	LXE	IO	Inductor pin for DCDCE
13	VINE	PI	DCDCE input source
14	GPO	IO	GPO or Wakeup pin by REG35
15	PWROK	O	Power good indication output
16	IRQ	O	IRQ output
17	CLDO3	O	Output pin of CLDO3
18	CLDOIN	PI	CLDOs input source
19	CLDO1	O	Output pin of CLDO1
20	CLDO2	O	Output pin of CLDO2
21	SWIN	PI	Switch input source
22	SWOUT	O	Switch Output pin
23	SCK	I	Clock pin for serial interface. Connected to IO power by 2.2kohm resistor while use TWSI.
24	SDA	IO	Data pin for serial interface. Connected to IO power by 2.2kohm resistor while use TWSI.
25	VINT	O	Internal logic power, 1.8V
26	PHSET	I	Set DCDCA/B/C work mode (lonely/Dual-phase/Tri-phase)
27	EN	I	Enable pin for PMIC in master/slave mode. Or PWRON pin in self-work mode.
28	ALDO1	O	Output pin of ALDO1
29	VREF	O	Internal reference voltage
30	ALDOIN	PI	ALDOs input source
31	ALDO2	O	Output pin of ALDO2
32	ALDO3	O	Output pin of ALDO3
33	VINB	PI	DCDCB input source
34			
35	LXB	IO	Inductor pin for DCDCB
36			
37	PGNDB	G	NMOS GND for DCDCB
38			
39	DCDCB	I	Feedback pin for DCDCB
40	DCDCA	I	Feedback pin for DCDCA
41	PGNDA	G	NMOS GND for DCDCA
42			
43	LXA	IO	Inductor pin for DCDCA
44			
45	VINA	PI	DCDCA input source
46			
47	DCDCC	I	Feedback pin for DCDCC

48	PGNDC	G	NMOS GND for DCDCC
49			
50	LXC	IO	Inductor pin for DCDCC
51			
52	VINC	PI	DCDCC input source
53			
54	FBGND	I	Feedback minus pin for DCDCA
55	MODESET	I	Set work mode for PMIC. (GND: Slave mode; VINT: Master mode; Floating: Self-work mode)
56	DCBSET	I	Set default output voltage for DCDCA
57	EP	G	Exposed Pad, connected to system GND



6. 最大工作范围

表 2. 最大工作范围

参数	描述	范围	单位
VIN	DCDCs/LDOs Input Voltage	-0.3 ~ 6.3	V
Tj	Operating Junction Temperature Range	<125	°C
Ta	Operating Ambient Temperature Range	-20 ~ 85	°C
Tstg	Storage Temperature Range	-40 ~150	°C
T _{LEAD}	Maximum Soldering Temperature (at leads, 10sec)	260	°C
V _{ESD}	Maximum ESD stress voltage , Human Body Model	>=2000	V
PD	Internal Power Dissipation	TBD	mW

注意：最大工作范围是指无论在任何情况下都不能超过的额定值，超过上述标定的额定值，可能导致芯片永久性损坏。

7. 电气参数

(除非特殊说明 , $T_a = 25\text{ }^{\circ}\text{C}$)

表 3.电气参数

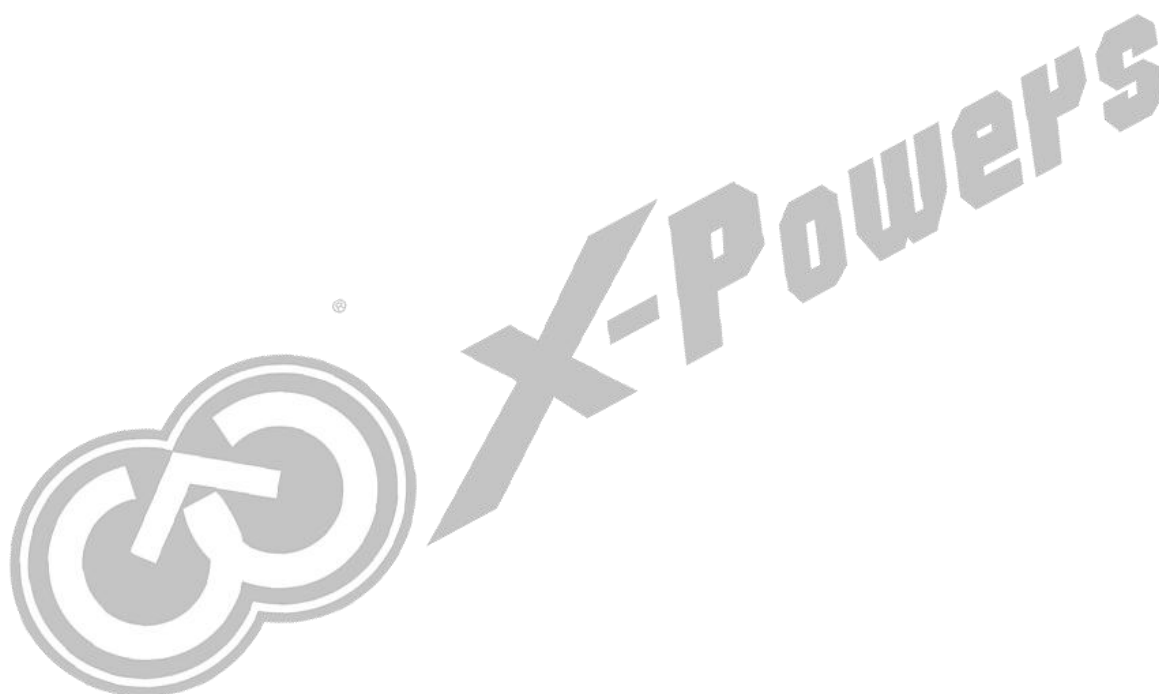
Symbol	Description	Conditions	Min	Typ	Max	Units
VIN						
V_{IN}	Input Voltage		3.0		5.5	V
V_{UVLO}	VIN Under Voltage Lockout		2.6	2.6	3.3	V
Off Mode Current						
I_{BATOFF}	OFF Mode Current	BAT=3.7V		25		μA
Logic						
V_{IL}	Logic Low Input Voltage			0.3		V
V_{IH}	Logic High Input Voltage			1.2		V
TWSI						
V_{CC}	Input Supply Voltage		1.8	3.3		V
Addr	TWSI Slave Address (7 bits)		0x36	0x36	0x37	
f_{SCK}	Clock Operating Frequency			400	1000	kHz
t_f	Clock Data Fall Time	2.2k Ω Pull High		60		ns
t_r	Clock Data Rise Time	2.2 k Ω Pull High		100		ns
RSB						
V_{CC}	Input Supply Voltage			1.8		V
Addr	RSB Slave Address		0x03A2	0x03A2	0x04E6	
f_{SCK}	Clock Operating Frequency			3000		kHz
DCDCs						
f_{OSC}	Oscillator Frequency	Default		3		MHz
DCDCA						
I_{VINA}	Input Current	PFM Mode $I_{DCDCAOUT} = 0$		50		μA
I_{LIMA}	PMOS Switch Current Limit			3000		mA
$I_{DCDCAOUT}$	Available Output Current	Single phase		2500		mA
		Dual phase (DCDCA&B)		5000		
		Tri phase (DCDCA&B&C)		7500		
$V_{DCDCAOUT}$	Output Voltage		0.6		1.52	V

V_{DCDCA_ACC}	Output Voltage Accuracy	$V_{DCDCA} = 0.9V$ $I_{DCDCAOUT} = 200mA$	-30		+30	mV
DCDCB						
I_{VINB}	Input Current	PFM Mode, $I_{DCDCBOUT} = 0$		40		μA
I_{LIMB}	PMOS Switch Current Limit			3000		mA
$I_{DCDCBOUT}$	Available Output Current			2500		mA
$V_{DCDCBOUT}$	Output Voltage	DCBSET is floating	1		2.55	V
V_{DCDCB_ACC}	Output Voltage Accuracy	$V_{DCDCB} = 1.8V$ $I_{DCDCBOUT} = 200mA$	-3%		+3%	
DCDCC						
I_{VINC}	Input Current	PFM Mode, $I_{DCDCCOUT} = 0$		40		μA
I_{LIMC}	PMOS Switch Current Limit			3000		mA
$I_{DCDCCOUT}$	Available Output Current			2500		mA
$V_{DCDCCOUT}$	Output Voltage		0.6		1.52	V
V_{DCDCC_ACC}	Output Voltage Accuracy	$V_{DCDCC} = 0.9V$ $I_{DCDCCOUT} = 200mA$	-30		+30	mV
DCDCD						
I_{VIND}	Input Current	PFM Mode, $I_{DCDCDOUT} = 0$		40		μA
I_{LIMD}	PMOS Switch Current Limit			2000		mA
$I_{DCDCDOUT}$	Available Output Current	Single phase		1500		mA
		Dual phase (DCDC D&E)		3000		
$V_{DCDCDOUT}$	Output Voltage		0.6		3.3	V
V_{DCDCD_ACC}	Output Voltage Accuracy	$V_{DCDCD} = 1.1V$ $I_{DCDCDOUT} = 200mA$	-3%		+3%	
DCDCE						
I_{VINE}	Input Current	PFM Mode, $I_{DCDCEOUT} = 0$		50		μA
I_{LIME}	Switch Current Limit Per PMOS			2000		mA
$I_{DCDCEOUT}$	Available Output Current			1500		mA
$V_{DCDCEOUT}$	Output Voltage		1.1		3.4	V
V_{DCDCE_ACC}	Output Voltage Accuracy	$V_{DCDCE} = 3.3V$ $I_{DCDCEOUT} = 200mA$	-3%		+3%	
ALDO1						
V_{ALDO1}	Output Voltage	$I_{ALDO1} = 1mA$	0.7		3.3	V
I_{ALDO1}	Output Current			300		mA
I_Q	Quiescent Current			50		μA

PSRR	Power Supply Rejection Ratio			TBD		dB
e _N	Output Noise,20Hz-80kHz	V _{ALDO1} =1.8V, I _{ALDO1} =10mA		40		μV _{RMS}
V _{ALDO1_ACC}	Output Voltage Accuracy	V _{ALDO1} = 3.3V I _{ALDO1} = 3mA	-3%		+3%	
ALDO2						
V _{ALDO2}	Output Voltage	I _{ALDO2} =1mA	0.7		3.3	V
I _{ALDO2}	Output Current			300		mA
I _Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e _N	Output Noise,20Hz-80kHz	V _{ALDO2} =1.8V, I _{ALDO2} =10mA		40		μV _{RMS}
V _{ALDO2_ACC}	Output Voltage Accuracy	V _{ALDO2} = 3.3V I _{ALDO2} = 3mA	-3%		+3%	
ALDO3						
V _{ALDO3}	Output Voltage	I _{ALDO3} =1mA	0.7		3.3	V
I _{ALDO3}	Output Current			300		mA
I _Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e _N	Output Noise,20Hz-80kHz	V _{ALDO3} =1.8V, I _{ALDO3} =10mA		40		μV _{RMS}
V _{ALDO3_ACC}	Output Voltage Accuracy	V _{ALDO3} = 3.3V I _{ALDO3} = 3mA	-3%		+3%	
BLDO1						
V _{BLDO1}	Output Voltage	I _{BLDO1} =1mA	0.7		1.9	V
I _{BLDO1}	Output Current			400		mA
I _Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
V _{BLDO1_ACC}	Output Voltage Accuracy	V _{BLDO1} = 1.8V I _{BLDO1} = 3mA	-3%		+3%	
BLDO2						
V _{BLDO2}	Output Voltage	I _{BLDO2} =1mA	0.7		1.9	V
I _{BLDO2}	Output Current			300		mA
I _Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
V _{BLDO2_ACC}	Output Voltage Accuracy	V _{BLDO2} = 0.9V I _{BLDO2} = 3mA	-30		+30	mV
BLDO3						
V _{BLDO3}	Output Voltage	I _{BLDO3} =1mA	0.7		1.9	V

IBLDO3	Output Current			200		mA
I_Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
V_{BLDO3_ACC}	Output Voltage Accuracy	V_{BLDO3} = 1.8V I_{BLDO3} = 3mA	-3%		+3%	
BLDO4						
V_{BLDO4}	Output Voltage	I_{BLDO4} = 1mA	0.7		1.9	V
I_{BLDO4}	Output Current			200		mA
I_Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
V_{BLDO4_ACC}	Output Voltage Accuracy	V_{BLDO4} = 1.8V I_{BLDO4} = 3mA	-3%		+3%	
CLDO1						
V_{CLDO1}	Output Voltage	I_{CLDO1} = 1mA	0.7		3.3	V
I_{CLDO1}	Output Current			400		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise, 20Hz-80kHz	V_{CLDO1} = 1.8V, I_{CLDO1} = 10mA		40		μV _{RMS}
V_{CLDO1_ACC}	Output Voltage Accuracy	V_{CLDO1} = 1.8V I_{CLDO1} = 3mA	-3%		+3%	
CLDO2						
V_{CLDO2}	Output Voltage	I_{CLDO2} = 1mA	0.7		4.2	V
I_{CLDO2}	Output Current			300		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise, 20Hz-80kHz	V_{CLDO2} = 1.8V, I_{CLDO2} = 10mA		40		μV _{RMS}
V_{CLDO2_ACC}	Output Voltage Accuracy	V_{CLDO2} = 4.2V I_{CLDO2} = 3mA	-3%		+3%	
CLDO3						
V_{CLDO3}	Output Voltage	I_{CLDO3} = 1mA	0.7		3.3	V
I_{CLDO3}	Output Current			200		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise, 20Hz-80kHz	V_{CLDO3} = 1.8V, I_{CLDO3} = 10mA		40		μV _{RMS}
V_{CLDO3_ACC}	Output Voltage Accuracy	V_{CLDO3} = 3.3V I_{CLDO3} = 3mA	-3%		+3%	

Switch						
Ron	Internal Ideal Resistance	Pin to Pin		90	100	mΩ



8. 功能描述

PMIC 有关机状态(power off)和开机状态(power on), 关机状态下关闭各路输出(VINT 除外), 此时芯片总功耗约 25uA。开机状态下各路输出有效, Serial Interface(TWSI or RSB)正常工作, 可更改各路输出状态, 在空载条件下芯片总功耗约 400uA。

5 路 DCDC、ALDO1、BLDO1/2、CLDO1 的默认输出电压、启动时序等可定制, 以满足各种不同应用需求。

其它各路 LDO 及 SW 默认不启动。PMIC 监控 5 路 DCDC 的输出, 提供输出过压/欠压保护。

PMIC 有一个 Switch, 内阻典型值为 90mΩ, 典型应用场景: 从 3.3V DCDC 电源取电, 经过开关后为 LCD Bias 供电。

PMIC 有一个 MODESET pin, 用于设定芯片处于主模式(Master)/从模式(Slave)/独立工作模式(Self-Work)模式。

三种模式下功能区别如下表:

modeset pin	MODE	EN/PWRON	内部VREF	扩展地址 bit0	PWROK工作方式			
					下拉方式	启动时检测 PWROK pin	下拉Restart (default)	正常关机 4ms delay
VINT	master	EN	ON	0	关机时下拉	N	N	N
GND	slave	EN	OFF	1	异常时下拉	N	N	N
floating	self-work	PWRON	ON	0	关机时下拉	Y	Y	Y

注:

(1) slave 模式下, VREF 可以关闭并接受外部输入;

(2) 关机时下拉: 在关机或开机过程中下拉PWROK pin, 其它时候floating; 异常时下拉: 芯片一般不下拉PWROK而是保持floating, 只在由异常情况导致的关机时才下拉PWROK(直到EN变为低电平或重新开机才恢复为floating);

(3) 4ms delay是指关机时序中下拉PWROK pin与关闭电源输出之间的延时(可通过REG1F[2] enable);

(4) 扩展地址：用于通信接口，详见Serial Interface部分。

芯片电源接入时，首先打开 VINT，延时 8ms 后根据 MODESET pin 状态判断工作模式(power on reset)，并将结果存入 REG00[7:6]。判断完成后根据工作模式设定 VREF 工作状态，然后判断芯片是否开机。

8.1. 主模式

在关机状态下，PWROK 保持下拉，如果 EN pin 电压从低电平变为高电平(电压高于 0.6V 即判定为高电平)；则 PMIC 开机，各路电源输出按照出厂设定的时序启动并输出电源，各路输出启动完成后经过 64ms 延时放开 PWROK 下拉。开机后可通过 serial interface 改变各寄存器值。

正常情况下，各路输出使能有效后电源可以很快上电完成，如 32ms 内各路电源还没有上电 OK，则表示输出负载异常，PMIC 下拉 PWROK 并自动清除开机信号，等待下一次开机信号触发。

在开机时，芯片可以检测 PWROK pin 状态来判定上电是否正常。若各路输出使能有效后 128ms 内 PWROK pin 都没有被拉高，则表示电源不能正常启动，PMIC 自动清除开机信号，等待下一次开机信号触发。在 Master Mode 下，此功能默认关闭，可由 REG32[5]打开。

在开机完成后，PWROK 将被外部上拉为高。若 PWROK 被外部按键或其它原因拉为低，PMIC 也不做响应，不进行 Restart。在 Master Mode 下，PMIC 的 Restart 只能通过向控制寄存器 REG32[6]写 1 来实现。

在开机状态下，如果

- (1) EN pin电压从高电平变为低电平；或
- (2) 向REG32[7]/REG3F[7]写1；或
- (3) ALDOINGOOD从高变为低(即ALDOIN<V_{OFF}(默认为2.6V)或ALDOIN>5.8V)；或
- (4) DCDC A/B/C/D/E 输出电压低于设定电压的85%(REG1D[7:3]决定是否打开)；或
- (5) 芯片内部过温，超过warning level 2 (135℃，REG32[1]决定是否打开)；

则启动 PMIC 关机流程以关闭各路输出(各路输出关闭时序由 REG32[3]决定),各路输出关闭后是否进行内部 discharge,取决于 REG1F[3]。注意:上述第 1&2 种关机源为正常关机,关机时下拉 PWROK pin 并关闭各路输出,下拉 PWROK pin 与关闭输出之间默认不进行 delay(可通过 REG1F[2]打开 4ms delay)。上述第 3~5 种关机源为异常关机,在关机时先下拉 PWROK pin,延时 4ms 后再关闭各路电源输出。

8.2. 从模式

在关机状态下, PWROK 保持 floating, 如果 EN pin 电压从低电平变为高电平(电压高于 0.6V 即判定为高电平);则 PMIC 开机,各路电源输出按照出厂时设定的时序启动并输出电源。如无异常情况各路电源可以正常上电,整个过程中 PWROK 保持 floating。

正常情况下,各路输出使能有效后电源可以很快上电完成,如 32ms 内各路电源还没有上电 OK,则表示输出负载异常,PMIC 下拉 PWROK 并自动清除开机信号,等待下一次开机信号触发。

在开机时,芯片可以检测 PWROK pin 状态来判定上电是否正常。若各路输出使能有效后 128ms 内 PWROK pin 都没有被拉高,则表示电源不能正常启动,PMIC 自动清除开机信号,等待下一次开机信号触发。在 Slave Mode 下,此功能默认关闭,可由 REG32[5]打开。

开机后可通过 serial interface 改变各寄存器值。在开机完成后, PWROK 将被外部上拉为高。若 PWROK 被外部按键或其它原因拉为低,PMIC 不做响应,不进行 Restart。在 Slave Mode 下,PMIC 的 Restart 只能通过向控制寄存器 REG32[6]写 1 来实现。

在开机状态下,如果

- (1) EN pin 电压从高电平变为低电平;或
- (2) 向 REG32[7]/REG3F[7]写 1;或
- (3) ALDOINGOOD 从高变为低(即 $ALDOIN < V_{OFF}$ (默认为 2.6V)或 $ALDOIN > 5.8V$);或
- (4) DCDC A/B/C/D/E 输出电压低于设定电压的 85%(REG1D[7:3]决定是否打开);或

(5) 芯片内部过温，超过 warning level 2 (135℃，REG32[1]决定是否打开)；

则启动 PMIC 关机流程以关闭各路输出(各路输出关闭时序由 REG32[3]决定),各路输出关闭后是否进行内部 discharge，取决于 REG1F[3]。注意：上述第 1&2 种关机源为正常关机，关机不下拉 PWROK pin，内部关机信号与关闭各路输出之间默认不进行 delay(可通过 REG1F[2]打开 4ms delay)。上述第 3~5 种关机源为异常关机，在关机时先下拉 PWROK pin，延时 4ms 后再关闭各路电源输出。

8.3. 独立工作模式

在 Self-Work Mode 下，EN/PWRON pin 的功能为 PWRON，内部上拉到 VINT，可在 PWRON 处连接一个开机按键。

在关机状态下，PWROK 保持下拉，如果

- (1) PWRON 按键拉低时间超过 ONLEVEL；或
- (2) ALDOINGOOD 从低电平变为高电平(可定制是否使能)；或
- (3) 若 REG1F[7]=1，且 IRQ 为低电平并通过内部 16ms de-bounce；

则 PMIC 开机，各路电源输出按照出厂时设定的时序启动并输出电源，各路输出启动完成后经过 64ms 延时放开 PWROK 下拉，完成整个启动过程。完成启动后可通过 serial interface 改变各寄存器值。

正常情况下，各路输出使能有效后电源可以很快上电完成，如 32ms 内各路电源还没有上电 OK，则表示输出负载异常，PMIC 下拉 PWROK 并自动清除开机信号，等待下一次开机信号触发。

在开机时，芯片可以检测 PWROK pin 状态来判定上电是否正常。若各路输出使能有效后 128ms 内 PWROK pin 都没有被拉高，则表示电源不能正常启动，PMIC 自动清除开机信号，等待下一次开机信号触发。在 Self-Work Mode 下，此功能默认打开。

在开机完成后，PWROK 将被外部上拉为高。若 PWROK 为高电平后再被外部按键或其它原因拉为低，则 PMIC 判定系统异常、进行 Restart。在 Self-Work Mode 下，PMIC 的 Restart 也可以通过向控制寄存器 REG32[6]

写 1 来实现。注意：在 Self-Work Mode 下进行 Restart 时，PMIC 在各路输出使能有效后 6s(不再是 128ms)内检测 PWROK pin 是否被成功的拉到高，如果被拉到高则结束 Restart 流程，如果不能被拉高则自动关机。(在外部电源异常而拉低 PWROK 时可以自动关机，设定为 6s 是为了防止 Reset 按键时间较长)。

注：拉低 PWROK 进行 Restart 的功能默认关闭，需通过 REG32[4]打开。

在开机状态下，如果

- (1) PWRON按键拉低时间超过OFFLEVEL(由REG36[3]决定该功能是否打开，由REG36[2]决定通过该功能关机后是否自动启动)；或
- (2) 向REG32[7]/REG3F[7]写1；或
- (3) ALDOINGOOD从高变为低(即 $ALDOIN < V_{OFF}$ (默认为2.6V)或 $ALDOIN > 5.8V$)；或
- (4) DCDC A/B/C/D/E 输出电压低于设定电压的85%(REG1D[7:3]决定是否打开)；或
- (5) 芯片内部过温，超过 warning level 2 (125℃，REG32[1]决定是否打开)。

则 PMIC 启动关机流程以关闭各路输出(各路输出关闭时序由 REG32[3]决定)，各路输出关闭后是否进行内部 discharge，取决于 REG1F[3]。注意：上述第 1&2 种关机源为正常关机，关机时先下拉 PWROK pin，默认延时 4ms 后再关闭各路输出(可通过 REG1F[2]关闭 4ms delay)。上述第 3~5 种关机源为异常关机，在关机时先下拉 PWROK pin，延时 4ms 后再关闭各路电源输出。

在开机状态下，PWRON 按键功能如下：

- (1) 如果POK脉冲宽度大于内部32ms de-bounce，且小于IRQLEVEL，则PMIC将发出POKSIRQ；
- (2) 如果POK脉冲宽度大于IRQLEVEL，则PMIC将发出POKLIRQ；
- (3) 如果 POK 脉冲宽度大于 16s，则 PMIC 强制关机，关机完成后延时 64ms 后进行 Power on reset 并开始检测开机源。(本功能可以通过 REG32[0]控制，默认不打开)

8.4. 睡眠与唤醒

PMIC 有一个 GPO pin 其功能由 REG35 设定，可用于 Wakeup 信号输入/输出。当用于输入时，PMIC 在 Standby

状态下接收到 Wakeup 信号即唤醒，内部 de-bounce 时间设定为 1ms；当用于输出时，PMIC 在 Standby 状态下需要唤醒时，首先在该 pin 发出 Wakeup 信号，等待 1ms 后再执行内部唤醒逻辑。

在 PMIC 开机的情况下，系统的 Standby & Wakeup 有以下两种方法。

方法一：CPU 少量控制，主要由 PMIC 完成

- (1) CPU将REG31_[3]写成1，PMIC保存REG31_[3]被写1前各路输出状态；
- (2) 系统保存状态并对PMIC各路输出进行调整；
- (3) 在多颗电源IC配合工作时，可能遇到需要同时关闭不同IC的一些电源的情况。此时处理流程为：
 - 分别将各芯片的 0x1F[6]写 1，并将 REG10/11 的目标值写入对应的缓冲寄存器；
 - 使用广播地址将 0x3F[6]写 1，各电源 IC 自动将缓冲寄存器里的值导出到 REG10/11 并清空标志位。

(协议详见[串行通信接口](#))

- (4) 若
 - REG31[5]/REG3F[5]被写 1(多颗芯片同时唤醒时必须写 REG3F[5])；或
 - POKNIRQ / POKLIRQ (Self-Work Mode，且对应 IRQ Enable 为高时有效)；或
 - REG1F[7]=1，IRQ 为低并通过 16ms de-bounce；或
 - Wakeup pin 接收到高电平/低电平(该 pin 的功能被配置为 Wakeup IN)；

则 PMIC 把 REG10/11 恢复到 REG31_[3]被写 1 前的状态，并由 REG31_[6]决定是否将各路输出电压恢复到 default 值。注 1：REG31_[3]被写 1 后有一个 8ms 的保护期，在此期间内不能被 Wakeup。注 2：当输出电压恢复到默认值时，注意 DCDC-B 的默认值是由 DCBSET pin 及定制情况共同决定的。

- (5) 各路输出恢复完成后 REG31_[3], REG31_[5] 和 REG3F[5]自动清零。恢复完成后 PWROK 是否要先 drive low 再 go high，取决于 REG31_[7].

方法二：完全由 CPUS 控制，与 REG31 无关

- (1) super standby条件满足后，CPUS先记住要关闭的power及其电压值，然后直接关闭相关power；

- (2) 系统进入super standby状态；
- (3) CPUS根据系统状态判断是否wakeup；
- (4) CPUS根据之前的记忆，逐一填写需打开的各路电源voltage register和on-off register；
- (5) PMIC各路输出wakeup；
- (6) CPUS经过足够的延时后，认为power恢复正常，并松开主CPU的reset，系统开始恢复。

新增 REG1A[3]，用于控制芯片 wakeup 时是否打开 DCDC A/C/D 的 DVM 功能。当 bit3 和 bit0/1/2 同时为 1 时，在 wakeup 时对应 DCDC 具有 DVM 功能。

8.5. 基准、内部电源及中断

芯片有一个 VINT pin，内置 LDO，输出 1.8V，给逻辑供电，需外接 4.7uF 电容。驱动能力>100mA。

芯片有一个 IRQ pin，OD 输出，一般接在主控的 NMI 上。当 AXP305B 检测到有按键、过温、欠压等情况，且对应的 IRQ enable 为 1 时，将把 IRQ pin 拉低，以通知主控。当 REG1F[7]=1 时，IRQ 内部提供一个 20uA 左右的弱上拉，若外部将 IRQ 拉低并通过 AXP305B 内部的 de-bounce 则 AXP305B 可以自动开机。

PMIC 的 VREF 可以接受外部输入。当芯片为 Master/Self-Work Mode 时，使用内部 VREF，当芯片为 Slave Mode 时，使用外部 VREF，关闭内部的 VREF 模块。

8.6. 多路转换器输出

AXP305B 共提供 5 路同步降压 DCDC、10 路 LDO 以及 1 路 Switch 输出。DCDC 默认使用 PFM/PWM 自动切换模式，开关频率 3MHz，典型情况电感使用 1.5uH，输出电容 10uF。各路输出电压范围和驱动能力如下表。

Rails	Enable Bit	Voltage Register	Output Range	Default Voltage	Startup Sequence	Max Load
DCDCA	REG10H[0]	REG12H	0.6V~1.52V	0.9V	2	2.5A
DCDCB	REG10H[1]	REG13H	1.0V~2.55V	1.8V	2	2.5A
DCDCC	REG10H[2]	REG14H	0.6V~1.52V	0.9V	2	2.5A
DCDCD	REG10H[3]	REG15H	0.6V~3.3V	1.1V	2	1.5A
DCDCE	REG10H[4]	REG16H	1.1V~3.4V	3.3V	2	1.5A

ALDO1	REG10H[5]	REG17H	0.7V~3.3V	3.3V	1	0.3A
ALDO2	REG10H[6]	REG18H	0.7V~3.3V	/	off	0.3A
ALDO3	REG10H[7]	REG19H	0.7V~3.3V	/	off	0.3A
BLDO1	REG11H[0]	REG20H	0.7V~1.9V	1.8V	1	0.4A
BLDO2	REG11H[1]	REG21H	0.7V~1.9V	0.9V	2	0.3A
BLDO3	REG11H[2]	REG22H	0.7V~1.9V	/	off	0.2A
BLDO4	REG11H[3]	REG23H	0.7V~1.9V	/	off	0.2A
CLDO1	REG11H[4]	REG24H	0.7V~3.3V	1.8V	2	0.4A
CLDO2	REG11H[5]	REG25H	0.7V~4.2V	/	off	0.3A
CLDO3	REG11H[6]	REG26H	0.7V~3.3V	/	off	0.2A
Switch	REG11H[7]	/	/	/	off	/

DCDC A&B 支持 Dual-Phase 模式，最大负载能力 5A。DCDC A&B&C 支持 Tri-Phase 模式，最大负载能力 7.5A。

PMIC 在开机时检测 PHSET pin 状态并保存到 REG1B[7:6]，开机完成后可通过 Serial Interface 改变 REG1B[7] 的值，从而改变工作模式。

PHSET pin 状态	GND	VINT	Floating
A/B/C 工作模式	A/B/C 独立工作	A&B Poly-Phase	A&B&C Poly-Phase
REG1B[7:6]对应值	00	01	10

DCDC D&E 也支持 Dual-Phase 模式，最大负载能力 3A。可定制该功能默认是否打开，由 REG1B[5]控制是否打开。

注：当打开 poly-phase 功能时，要改变其输出状态，只需要改变 DCDCA 或 DCDCD 的对应控制寄存器即可。

DCDC A/C/D 都具有 DVM 功能，可以由 REG1A 控制输出目标电压变化时，输出电压变化的斜率。

PMIC 的 DCDCA、FBGND 两个 pin 为 DCDC A 的反馈，用于设定其输出电压。应用方案上将 DCDCA pin 连接到负载点，将 FBGND pin 连接到负载的接地点，可以对 PCB 走线及 bonding 线的内阻进行补偿，使负载两端的电压为准确的设定值。开机时芯片通过判断 FBGND 是否接到地来决定是否开启补偿，不需要进行补偿时将 FBGND floating 即可。

所有 DCDC 和 LDO 都有限流保护功能，当负载电流大于限流值后输出电压将会下降。PMIC 的 monitor 将实

时监控 DCDC A/B/C/D/E 的输出电压，当输出电压低于目标电压一定比例后将使芯片启动关机流程(是否关机取决于对应的寄存器 REG1D)。

DCDC 电感自动检测功能：启动时如果 PMIC 检测到某路 DCDC 未接电感，则不启动该路 DCDC，并屏蔽该路输出的 monitor。

芯片有一个 DCBSET pin，用于设定 DCDC-B 默认输出电压。DCBSET 接 VINT 时默认输出 1.5V，DCBSET 接 GND 时默认输出 1.2V，DCBSET floating 时默认输出电压可定制，在芯片出厂时设定。

DCBSET	GND	VINT	floating
DCDCB 默认电压	1.2V	1.5V	可定制，默认为 1.1V

8.7. 串行通信接口

PMIC 支持两种通信协议(由 REG3E 决定采用何种协议并可定制默认使用的协议)：

- TWIS，地址 0x6C/0x6D, 0x6E/0x6F。
- RSB，地址 0x03A2, 0x04E6。

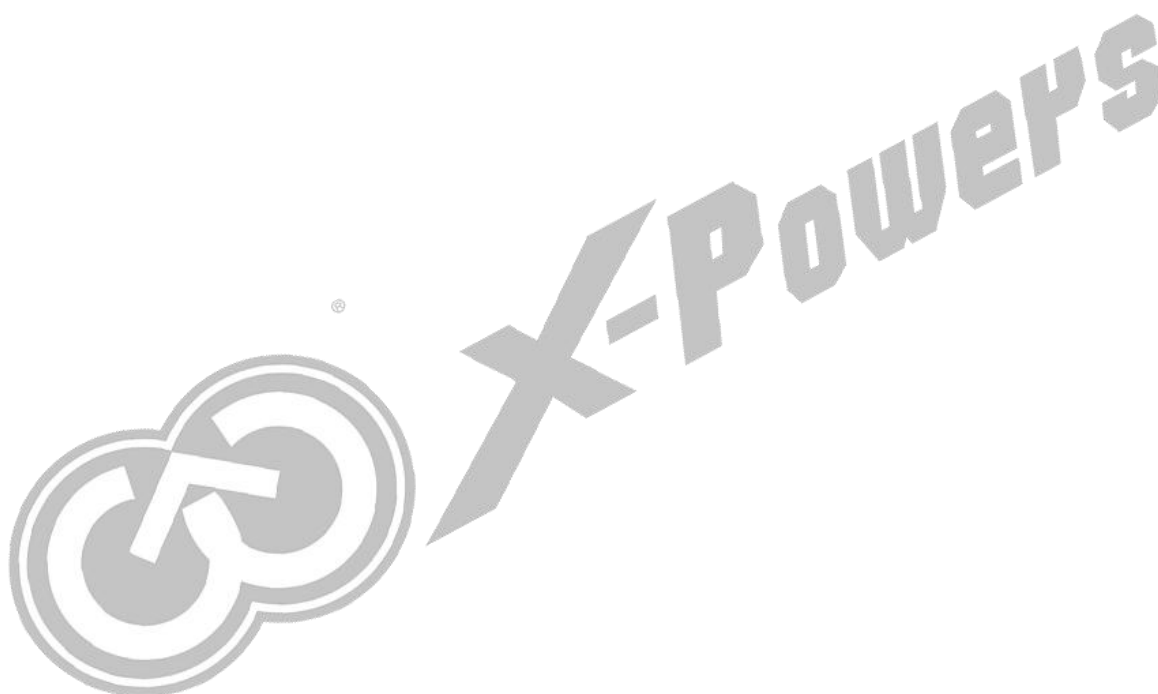
当有多颗 AXP305B 配合工作时，通信协议有以下要点：

- (1) 多个电源 IC 使用同一个通信地址，如 0x6C/0x6D，并挂在同一条总线上。
- (2) 新增寄存器 0xFE 的高 4 位为芯片的地址扩展位(其值可定制并由 MODESET 决定，多余的 bit 直接为 0)。多颗芯片的地址扩展位不同。
- (3) 当 0xFF 与 0xFE 的高 4 位相等时，芯片响应、可以进行读写，否则芯片不响应。
- (4) 0xFF 比较特殊，不管 0xFF 与 0xFE 是否匹配，只要通信地址正确就可以对 0xFF 进行写操作。但进行 0xFF 读操作时，只有 0xFF 与 0xFE 匹配的芯片才响应。
- (5) 通信时先对 0xFF 的高 4 位写入目标通信芯片的 0xFE 的值。
- (6) 对 0xFF 的高 4 位写不同的值，可以在总线上不同的芯片之间切换通信。

(7) 若0xFF高4位被写为全1时(广播地址), 不管0xFE的值是什么, 所有芯片都响应, 可以一次性对所有芯片进行写操作(不能读)。

注意：实际应用中此广播地址一般只在不同芯片需要协同时使用，只对已约定的特殊寄存器(如 0x3F)进行写操作。

(8) 以上更改不需对协议主机操作方式进行更改, 还是可以使用现有的TWSI/RSB主机。在将地址扩展寄存器0xFE高4位设置为0x0时(master/self-work mode), 通信过程与原有的协议完全相同, 不需对0xFF的高4位进行设置。



9. 寄存器

9.1. 寄存器列表

ADDR	Description	R/W	Default
REG00	Startup source	R	XXH
REG03	Chip ID	R	/
REG04-07	4 data buffers	RW	00H
REG10	On-off control 1	RW	3FH
REG11	On-off control 2	RW	13H
REG12	DCDC-A voltage control	RW	1EH
REG13	DCDC-B Voltage control	RW	10H
REG14	DCDC-C voltage control	RW	1EH
REG15	DCDC-D voltage control	RW	19H
REG16	DCDC-E Voltage control	RW	16H
REG17	ALDO1 voltage control	RW	1AH
REG18	ALDO2 voltage control	RW	00H
REG19	ALDO3 voltage control	RW	00H
REG1A	DCDC mode control1	RW	00H
REG1B	DCDC mode control2	RW	00H
REG1C	DCDC frequency setting	RW	08H
REG1D	output monitor control	RW	FDH
REG1F	IRQ & PWROK & Off discharge setting	RW	0XH
REG20	BLDO1 voltage control	RW	0BH
REG21	BLDO2 voltage control	RW	02H
REG22	BLDO3 voltage control	RW	00H
REG23	BLDO4 voltage control	RW	00H
REG24	CLDO1 voltage control	RW	0BH
REG25	CLDO2 voltage control	RW	00H
REG26	CLDO3 voltage control	RW	00H
REG31	power wakeup ctrl & VOFF setting	RW	00H
REG32	power disable & power down sequence	RW	X6H
REG35	Wakeup pin function setting	RW	00H
REG36	POK setting	RW	59H
REG3E	Interface mode select	RW	00H
REG3F	Special control register	RW	00H
REG40	IRQ enable1	RW	03H
REG41	IRQ enable2	RW	13H
REG48	IRQ status1	RW	00H
REG49	IRQ status2	RW	00H
REGF3	VREF & Temperature warning level setting	RW	01H
REGFE	Serial interface address extension	RW	00H
REGFF	Register address extension	RW	00H

寄存器有两种 reset 信号：

System reset：表示该寄存器或寄存器 bit 在开机时 reset；

Power on reset：表示该寄存器或寄存器 bit 在芯片上电时 reset.

9.2. 寄存器描述

9.2.1. REG 00 : Startup Source

Reset: system reset

Bit	Description	R/W
7-6	Chip Mode 00:Slave 11:Master 10:Self-Work 01:Reserved	R
5	Startup by ALDOINGOOD from low to high when EN is high	R
4	Startup by EN from low to high when ALDOINGOOD is high	R
3	Startup by IRQ pin	R
2	Startup by PWRON press	R
1	Startup by PWRON special sequence	R
0	Startup by ALDOIN from low to high	R

注: (1). 如果是 restart，则没有标志位 (2). 如果多个开机源同时到达，则都置高

9.2.2. REG 03 : IC Type NO.

Bit	Description	R/W
5-4	IC Version NO.	R
7-6 & 3-0	IC Type NO. 010000: IC is AXP305B Others: Reserved	R

9.2.3. REG 04-07 : 4 Data Buffers

Reset: power on reset

9.2.4. REG 10 : Output Power on-off Control 1

Default: 3FH

Reset: system reset

Bit	Description	R/W	Default
7	ALDO3 on-off control	RW	0
6	ALDO2 on-off control	RW	0
5	ALDO1 on-off control	RW	1
4	DCDC-E on-off control	RW	1
3	DCDC-D on-off control	RW	1
2	DCDC-C on-off control	RW	1
1	DCDC-B on-off control	RW	1
0	DCDC-A on-off control	RW	1

注：芯片内部设计了 REG10 的缓冲寄存器。当 REG1F[6]=0 时，对 0x10H 的寻址指向 REG10；当 REG1F[6] 被写 1 时，将 REG10 的值导出到其缓冲寄存器，对 0x10H 的寻址被指向缓冲寄存器而 REG10 的值不变；当 REG3F[6] 被写为 1 时，将缓冲寄存器中的值导出到 REG10，完成后自动将 REG1F[6]、REG3F[6] 置 0，对 0x10H 的寻址指向 REG10。

9.2.5. REG 11 : Output Power on-off Control 2

Default: 13H

Reset: system reset

Bit	Description	R/W	Default
7	SW on-off control	RW	0
6	CLDO3 on-off control	RW	0
5	CLDO2 on-off control	RW	0
4	CLDO1 on-off control	RW	1
3	BLDO4 on-off control	RW	0
2	BLDO3 on-off control	RW	0
1	BLDO2 on-off control	RW	1
0	BLDO1 on-off control	RW	1

注：芯片内部设计了 REG11 的缓冲寄存器。当 REG1F[6]=0 时，对 0x11H 的寻址指向 REG11；当 REG1F[6] 被写 1 时，将 REG11 的值导出到其缓冲寄存器，对 0x11H 的寻址被指向缓冲寄存器而 REG11 的值不变；当 REG3F[6] 被写为 1 时，将缓冲寄存器中的值导出到 REG11，完成后自动将 REG1F[6]、REG3F[6] 置 0，对 0x11H 的寻址指向 REG11。

9.2.6. REG 12 : DCDC-A Voltage Control

Default: 1EH

Reset: system reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6-0	DCDC-A voltage setting bit5-0: 0.6V~1.1V, 10mV/step, 51steps 1.12V~1.52V, 20mV/step, 21steps	RW	0011110

9.2.7. REG 13 : DCDC-B Voltage Control

Default: 10H

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	DCDC-B voltage setting bit4-0: 1.0V~2.55V, 50mV/step, 32steps	RW	10000

注：(1). Default 值根据应用由 DCBSET 决定;

(2). DCBSET 接 VINT 时默认输出 1.5V, DCBSET 接 GND 时默认输出 1.2V, DCBSET floating 时默认输出电压可定制;

(3). 定制范围 1.0V~2.55V.

9.2.8. REG 14 : DCDC-C Voltage Control

Default: 1EH

Reset: system reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6-0	DCDC-C voltage setting bit6-0: 0.6V~1.1V, 10mV/step, 51steps 1.12V~1.52V, 20mV/step, 21steps	RW	0011110

9.2.9. REG 15 : DCDC-D Voltage Control

Default: 19H

Reset: system reset

Bit	Description	R/W	Default
7-6	Reserved	RW	00
5-0	DCDC-D voltage setting bit5-0: 0.6~1.5V, 20mV/step, 46steps 1.6~3.3V, 100mV/step, 18steps	RW	011001

9.2.10. REG 16 : DCDC-E Voltage Control

Default: 16H

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	DCDC-E voltage setting bit4-0: 1.1~3.4V, 100mV/step, 24steps	RW	10110

9.2.11. REG 17 : ALDO1 Voltage Control

Default: 1AH

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	ALDO1 voltage setting bit4-0: 0.7~3.3V, 100mV/step, 27steps	RW	11010

9.2.12. REG 18 : ALDO2 Voltage Control

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	ALDO2 voltage setting bit4-0: 0.7~3.4V, 100mV/step, 27steps	RW	00000

9.2.13. REG 19 : ALDO3 Voltage Control

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	ALDO3 voltage setting bit4-0: 0.7~3.3V, 100mV/step, 27steps	RW	00000

9.2.14. REG 1A : DCDC Mode Control 1

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6	DCDC-D DVM voltage ramp control	0: 1step/15.625us RW	0
5	DCDC-C DVM voltage ramp control	1: 1step/31.250us RW	0

4	DCDC-A DVM voltage ramp control		RW	0
3	DVM on-off control when wakeup	0: Disable 1: Enable	RW	0
2	DCDC-D DVM on-off control	0: Disable	RW	0
1	DCDC-C DVM on-off control	1: Enable	RW	0
0	DCDC-A DVM on-off control		RW	0

9.2.15. REG 1B : DCDC Mode Control 2

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-6	DCDC A&B&C poly-phase control 00: No poly-phase 01: A&B Dual-phase 10: A&B&C Tri-phase 11: No poly-phase	RW	PHSET
5	DCDC D&E poly-phase control 0: No poly-phase 1: Poly-phase	RW	0
4-0	Reserved	RW	0

注：芯片启动时将 PHSET 的状态导入到 bit[7:6]，然后 bit[7:6]交由串行通信接口控制.bit[5]的 default 根据应用确定.

9.2.16. REG 1C : DCDC Frequency Setting

Default: 08H

Reset: system reset

Bit	Description	R/W	Default
7	DCDC frequency spread enable 0: Disable 1: Enable	RW	0
6	DCDC frequency spread range control 0: 50kHz 1:100kHz	RW	0
5-0	Reserved	RW	001000

9.2.17. REG 1D : Output Monitor Control

Default: FDH

Reset: Power on reset

Bit	Description	R/W	Default
-----	-------------	-----	---------

7	DCDC-E 85% low voltage turn off PMIC function 0: Disable 1: Enable	RW	1
6	DCDC-D 85% low voltage turn off PMIC function 0: Disable 1: Enable	RW	1
5	DCDC-C 85% low voltage turn off PMIC function 0: Disable 1: Enable	RW	1
4	DCDC-B 85% low voltage turn off PMIC function 0: Disable 1: Enable	RW	1
3	DCDC-A 85% low voltage turn off PMIC function 0: Disable 1: Enable	RW	1
2	Reserved	RW	1
1-0	DCDC A/B/C output voltage monitor de-bounce time setting 00: 62us 01: 124us 10: 186us 11: 248us	RW	01

9.2.18. REG 1F : IRQ & PWROK& Off Discharge Setting

Default: 0000 1xxx , Mode 表示根据芯片工作模式确定

Reset: Power on reset, bit6 为 System reset

Bit	Description	R/W	Default
7	IRQ pin turn on or wakeup AXP305B function enable when IC is Self-Work Mode; IRQ pin wakeup AXP305B function enable when IC is Master/Slave Mode. 0: Disable 1: Enable	RW	0
6	Register address 0x10/0x11 destination register control 0: REG10/11 1: REG10/11corresponding buffer register 以下两种情况也要将本 bit 清零: (1).发生Wakeup , 不需将缓冲寄存器导出到REG10/11即清零 (2).3F[6]写 1 , 将缓冲寄存器导出到 REG10/11 后再清零	RW	0
5	Reserved	RW	0
4	Reserved	RW	0
3	Internal off-discharge for DCDC&LDO 0: Disable 1: Enable	RW	1
2	PMIC normal power-off 4ms delay enable	RW	Mode

	0: Disable 1: Enable Default: 0 in Master/Slave Mode 1 in Self-Work Mode Note: 在 slave mode 指内部关机信号与关闭各路输出之间的 delay , 在 master/self-work mode 指拉低 PWROK 与关闭各路输出之间的 delay.		
1-0	Delay time between PWROK signal and power good time 00: 8ms 01: 16ms 10: 32ms 11: 64ms Default: 10 in Slave Mode 11 in Master/Self-Work Mode	RW	Mode

9.2.19. REG 20 : BLDO1 Voltage Control

Default: 0BH

Reset: system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO1 voltage setting bit4-0: 0.7~1.9V, 100mV/step, 13steps	RW	1011

9.2.20. REG 21 : BLDO2 Voltage Control

Default: 02H

Reset: system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO2 voltage setting bit3-0: 0.7~1.9V, 100mV/step, 13steps	RW	0010

9.2.21. REG 22 : BLDO3 Voltage Control

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO3 voltage setting bit3-0: 0.7~1.9V, 100mV/step, 13steps	RW	0000

9.2.22. REG 23 : BLDO4 Voltage Control

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO4 voltage setting bit3-0: 0.7~1.9V,100mV/step,13steps	RW	0000

9.2.23. REG 24 : CLDO1 Voltage Control

Default: 0BH

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	CLDO1 voltage setting bit4-0: 0.7~3.3V, 100mV/step, 27steps	RW	01011

9.2.24. REG 25 : CLDO2 Voltage Control

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	CLDO2 voltage setting bit4-0: 0.7~3.4V,100mV/step,28steps 3.6~4.2V,200mV/step,4steps	RW	0 0000

9.2.25. REG 26 : CLDO3 Voltage Control

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	CLDO3 voltage setting bit4-0: 0.7~3.3V, 100mV/step, 27steps	RW	0 0000

9.2.26. REG 31 : Power Wakeup Ctrl & VOFF Setting

Default: 00H

Reset: bit[3] is System reset, the others is Power on reset

Bit	Description	R/W	Default
7	PWROK drive low or not when Power wake up and REG31[3]=1 0: Not drive low 1: Drive low in wake up period	RW	0

6	Voltage recovery control when AXP305B wakeup (仅对默认值可定制的输出有效) 0: Recovery to the default 1: Remain the same	RW	0
5	Soft Power wakeup, write 1 to this bit, the output power will be waken up, and this bit will clear itself	RW	0
4	Control bit for IRQ output and wake up trigger when REG31[3] is 1 0 : IRQ pin is masked and IRQ can wake up AXP305B 1 : IRQ pin is normal and IRQ cannot wake up AXP305B	RW	0
3	Enable bit for the function that output power be waken up by REG31_[5], POKNIRQ, POKLIRQ or IRQ pin is Low.	RW	0
2-0	V _{OFF} setting bit2-0: 2.6~3.3V, 0.1V/step, 8steps	RW	000

9.2.27. REG 32 : Power Disable & Power Down Sequence

Default: 00x0 0110, Mode 表示根据芯片工作模式确定

Reset: bit [7:6] is system reset, the others is Power on reset

Bit	Description	R/W	Default
7	Power disable control. Write '1' to this bit will power off the PMIC, and this bit will clear itself	RW	0
6	Host restart the PMIC and clear itself	RW	0
5	Monitor PWROK pin status, and detect power-on normal or not 启动时监控 PWROK pin 状态，判断上电是否正常。 0: Disable 1: Enable Default: 0 in Master/Slave Mode 1 in Self-Work Mode	RW	Mode
4	Enable for restart the PMIC by PWROK drive low when IC is in Self-Work Mode 0: Disable 1: Enable	RW	0
3	Output power down sequence control 0: At the same time; 1: The reverse of the start-up sequence	RW	0
2	Die temperature detect enable 0 : Disable 1: Enable	RW	1
1	The PMIC shut down or not when die temperature is over the warning level 2 (125°C) 0: Not shutdown	RW	1

	1: Shutdown		
0	Enable for 16s POK shut the PMIC 0: Disable 1: Enable	RW	0

9.2.28. REG 35 : Wakeup Pin Function Setting

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3	Wakeup valid signal 0: Low level 1: High level	RW	0
2-0	Wakeup pin function setting bit[2:0] 000: Wakeup IN 001: Wakeup OUT 010: Drive low 011: Drive high(VINT) 1xx: Floating	RW	000

9.2.29. REG 36 : POK Setting

Default: 59H

Reset: bit[3] is system reset, the others is Power on reset

Bit	Description	R/W	Default
7-6	ONLEVEL setting 1-0 00: 128ms 01: 1s 10: 2s 11: 3s	RW	01
5-4	IRQLEVEL setting 1-0 00: 1s 01: 1.5s 10: 2s 11: 2.5s	RW	01
3	Enable bit for the function which will shut down the PMIC when POK is larger than OFFLEVEL 0: Disable 1: Enable	RW	1
2	The PMIC auto turn on or not when it shut down after OFFLEVEL POK 0: Not turn on 1: Auto turn on	RW	0
1-0	OFFLEVEL setting 1-0 00: 4s	RW	01

	01: 6s 10: 8s 11: 10s		
--	-----------------------------	--	--

9.2.30. REG 3E : Interface Mode Select

Default: 00H

Reset: power on reset

Bit	Description	R/W	Default
7-0	Interface mode select 0111,1100(7CH): RSB Others: TWSI	RW	00H

9.2.31. REG 3F : Special Control Register

Default: 00H

Reset: system on reset

Bit	Description	R/W	Default
7	Power disable control. Write “1” to this bit will power off the PMIC, and this bit will be cleared itself. (功能与 REG32[7]相同，一般用于控制多颗芯片同时关闭)	RW	0
6	写 1 后，将缓冲寄存器里的值导出到 REG10/11。导出完成后自动清空，同时将 REG1F[6]置为 0。	RW	0
5	Soft Power Wakeup. Write “1” to this bit, the output power will wake up, and this bit will be cleared itself (功能与 REG31[5]相同，一般用于控制多颗芯片同时 Wakeup)	RW	0
4-0	Reserved	RW	00000

9.2.32. REG 40 : IRQ Enable1

Default: 03H

Reset: system reset

Bit	Description	R/W	Default
7	Voltage of DCDC-E is under 85% of setting IRQ enable	RW	0
6	Voltage of DCDC-D is under 85% of setting IRQ enable	RW	0
5	Voltage of DCDC-C is under 85% of setting IRQ enable	RW	0
4	Voltage of DCDC-B is under 85% of setting IRQ enable	RW	0
3	Voltage of DCDC-A is under 85% of setting IRQ enable	RW	0
2	Reserved	RW	0

1	Die temperature is over the warning level 2 IRQ enable	RW	1
0	Die temperature is over the warning level 1 IRQ enable	RW	1

9.2.33. REG 41 : IRQ Enable2

Default: 13H

Reset: system reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6	POKPIRQ enable	RW	0
5	POKNIRQ enable	RW	0
4	Wakeup source enable in wakeup pin when it's wakeup IN	RW	1
3-2	Reserved	RW	00
1	POKSIRQ enable	RW	1
0	POKLIRQ enable	RW	1

9.2.34. REG 48 : IRQ Status1

Default: 00H

Reset: system reset (由 REGF2[7]控制复位信号)

Bit	Description	R/W	Default
7	Voltage of DCDC-E is under 85% of setting , writing 1 to this bit or the output rise to normal will clear it	RW	0
6	Voltage of DCDC-D is under 85% of setting , writing 1 to this bit or the output rise to normal will clear it	RW	0
5	Voltage of DCDC-C is under 85% of setting , writing 1 to this bit or the output rise to normal will clear it	RW	0
4	Voltage of DCDC-B is under 85% of setting , writing 1 to this bit or the output rise to normal will clear it	RW	0
3	Voltage of DCDC-A is under 85% of setting , writing 1 to this bit or the output rise to normal will clear it	RW	0
2	Reserved	RW	00
1	Die temperature is over the warning level 2 Writing 1 to it or temperature drop to level 2 will clear it	RW	0
0	Die temperature is over the warning level 1 Writing 1 to it or temperature drop to level 1 will clear it	RW	0

9.2.35. REG 49 : IRQ Status2

Default: 00H

Reset: system reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6	POKPIRQ	RW	0

	Writing 1 to it will clear it		
5	POKNIRQ Writing 1 to it will clear it	RW	0
4	Wakeup source is detected by wakeup pin Writing 1 to it will clear it	RW	0
3-2	Reserved	RW	00
1	POKSIRQ Writing 1 to it will clear it	RW	0
0	POKLIRQ Writing 1 to it will clear it	RW	0

9.2.36. REG F3 : VREF & Temperature Warning Level Setting

Default: 01H

Reset: Bit4 system reset, other power on reset

Bit	Description	R/W	Default
7	Control VREF power-saving or not when the PMIC is on 0: Not saving 1: Auto saving	RW	0
6-5	VREF power-saving cycle set 00: 16ms 01: 32ms 10: 48ms 11: 64ms	RW	00
4	VREF output resistor control for voltage sense 0: 20k 1: <1k	RW	0
3-2	Reserved	RW	00
1-0	Temperature warning level 1 & level 2 setting 01: 对应 level 1 = 125℃ , level 2 = 135℃ 每步调节 10℃ , level 1&2 联动(固定差 10℃)	RW	01

9.2.37. REG FE : Serial Interface Address Extension

Default: xxxx 0000

Bit	Description	R/W
7	地址扩展 bit3:0 (不能设置为全 1) Bit3:2 = 00 Bit1 可定制, default 是 0 MODESET=VINT/Floating(master/self-work mode): bit0=0	R
6		R
5		R
4		R

	MODESET=GND(slave mode):	bit0=1	
3-0	Not design		

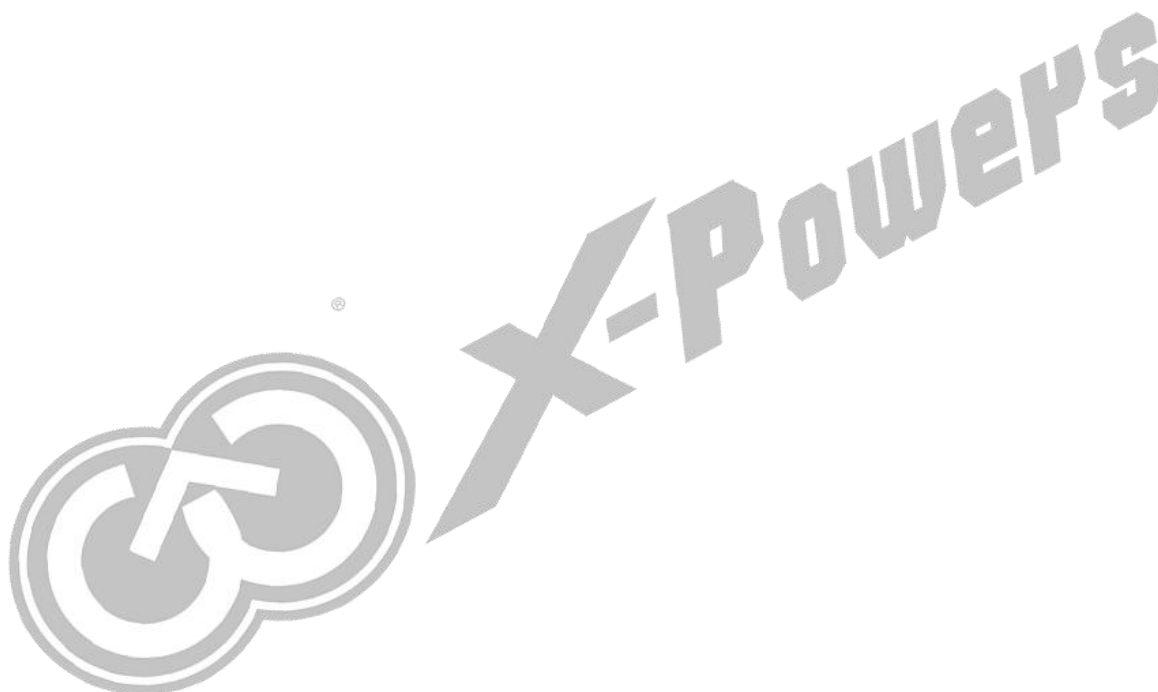
9.2.38. REG FF : Register Address Extension

Default: xxxx 0000

Reset: system reset

Bit	Description	R/W	Default
7-4	扩展地址动态值. 与 0xFE[7:4]相同时才能对芯片读写	RW	0000
3-0	Register address extension bit, map to the bit[11:8] of the address	RW	0000

注：不管高位是什么值，只要低 8 位地址是 FF，该 register 就要响应。



10. 封装

AXP305B 使用 QFN7mm x 7mm 56pin 封装，pitch 为 0.4mm，详细参数如图 4 所示。

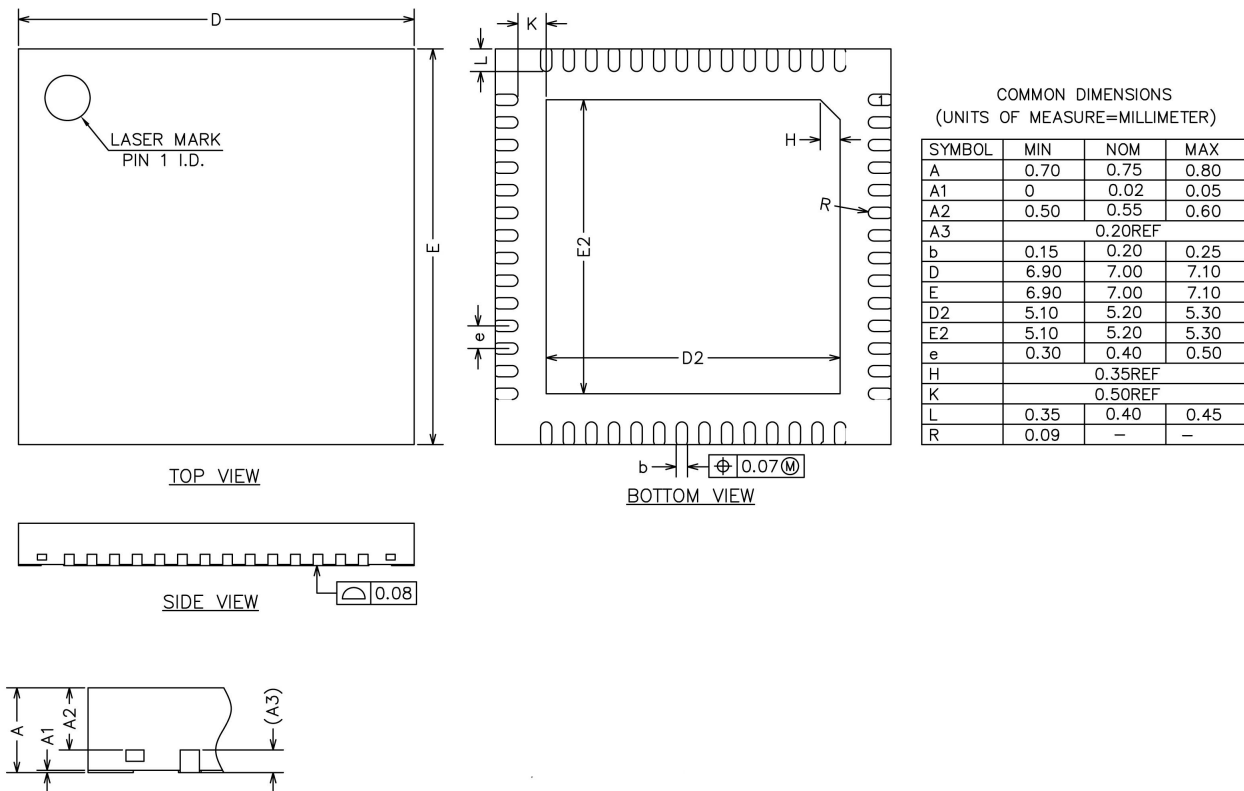


图 4. 封装尺寸信息

Order 信息:

类型	数量	型号
Tray	260Pcs/Tray 10Trays/package	AXP305B

Marking 说明:

前五位代表批号信息(lot ID)，如果前五位字符一样，则批号相同。第六位代表芯片的版本，最后四位(7~11)与封装信息相关。

Tray 信息:

类型	颜色	尺寸
Aluminum foil bags	Silvery White	540*300*0.14mm
Pearl cotton cushion(Vacuum bag)	White	12*680*185mm
Pearl cotton cushion(The Gap between vacuum bag and inside box)	White	Left-Right: 12*180*85mm Front-Back: 12*305*70mm
Inside Box	White	396*196*96mm
Outside Box	White	419*413*319mm

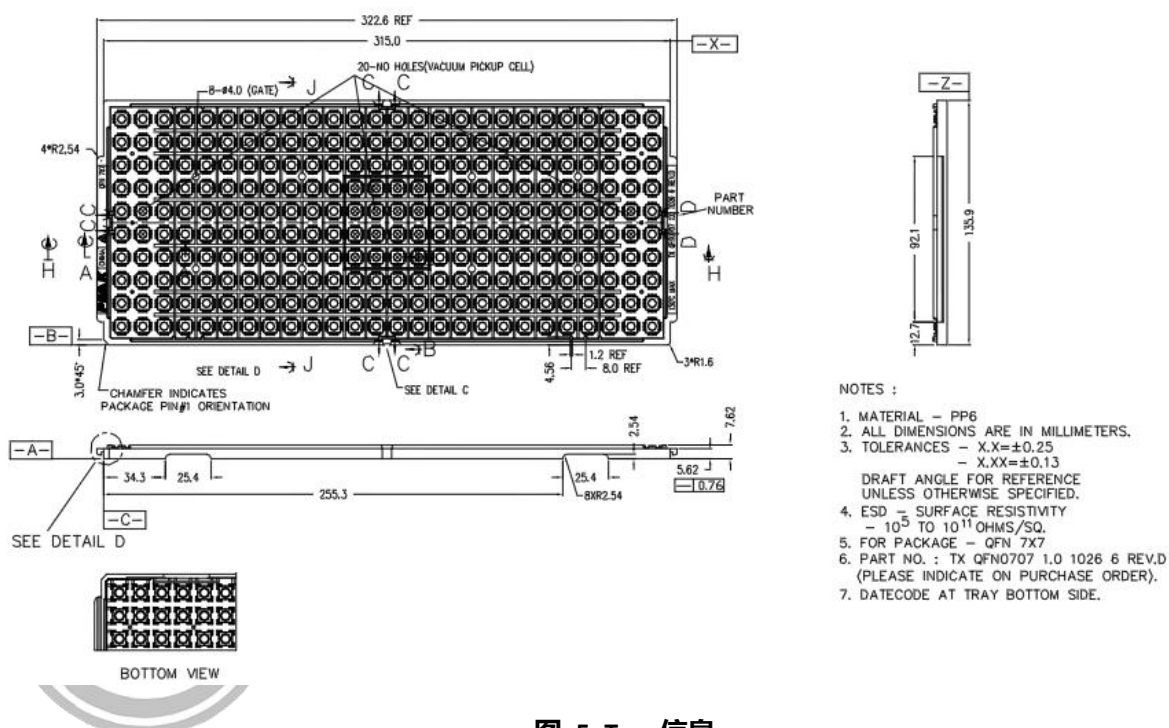


图 5. Tray 信息

回流焊曲线：

本文推荐的回流焊曲线是一种无铅回流焊曲线，适用于无铅焊膏的纯无铅技术。

图 6 为 AXP305B 的典型回流焊曲线。

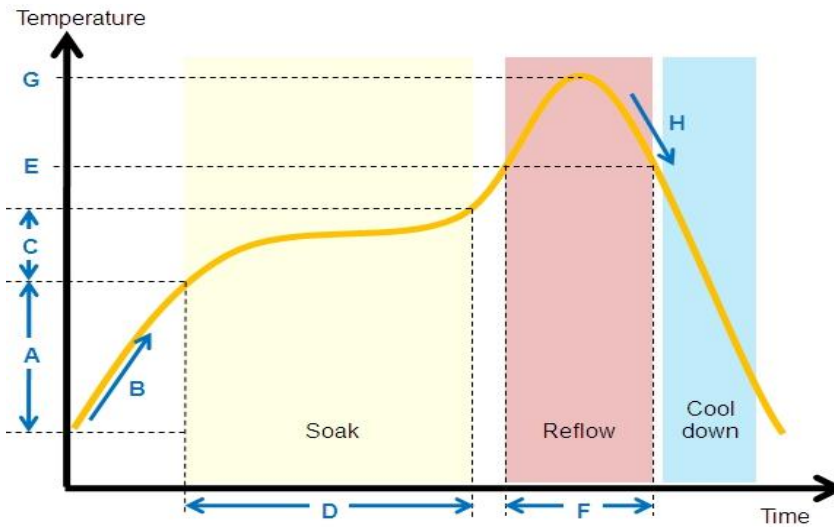


图 6. AXP305B 典型回流焊曲线

AXP305B 的回流焊曲线条件如下表所示。

QTI typical SMT reflow profile conditions (for reference only)		
Environment	Step	Reflow condition
	N2 purge reflow usage (yes/no)	Yes, N2 purge used
	If yes, O2 ppm level	O2 < 1500 ppm
A	Preheat ramp up temperature range	25°C -> 150°C
B	Preheat ramp up rate	1.5~2.5 °C/sec
C	Soak temperature range	150°C -> 190°C
D	Soak time	80~110 sec
E	Liquidus temperature	217°C
F	Time above liquidus	60-90 sec
G	Peak temperature	240-250°C
H	Cool down temperature rate	≤4 °C/sec