

Máster Universitario en Ingeniería de Sistemas Electrónicos



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Práctica E1: DDS

Jose Luis, Rocabado Rocha

Gianmarco Leopoldo, Sangoi Da Roza

03/04/2022

ÍNDICE

ÍNDICE	2
Recursos Hardware	7
Frecuencia de operación	7
Verificación.....	9
Resolución de problemas encontrados.....	11

ÍNDICE DE FIGURAS

<i>Fig. 1. Diagrama de bloques del diseño del sintetizador DDS mediante la herramienta de visualización de Quartus, RTL Viewer.</i>	<i>4</i>
<i>Fig. 2. Uso de recursos utilizados en la síntesis del diseño del DDS obtenidos del "Compilation Report" de Quartus.</i>	<i>7</i>
<i>Fig. 3. Resultado de la frecuencia máxima mediante la herramienta TimeQuest Timing Analyzer de Quartus.</i>	<i>8</i>
<i>Fig. 4. Camino crítico del circuito diseñado. Visualización realizada mediante el Technology Map Viewer.</i>	<i>8</i>
<i>Fig. 5. Resultados de la verificación mediante ModelSim para una frecuencia de 1KHz con M=27, L=15 y W = 14 bits.</i>	<i>9</i>
<i>Fig. 6. Resultados de la verificación mediante ModelSim para una frecuencia de 25MHz con M=27, L=15 y W = 14 bits.</i>	<i>10</i>
<i>Fig. 7. Resultados de la verificación mediante ModelSim para una frecuencia de 50MHz con M=27, L=15 y W = 14 bits.</i>	<i>10</i>

Descripción del módulo

El módulo diseñado emplea la síntesis digital directa (DDS) de manera parametrizable, este genera 3 ondas: la rampa, la cuadrada y la sinusoidal.

Un contador parametrizable es el encargado de generar las 3 señales deseadas. Para la señal sinusoidal el contador controla el direccionamiento de una memoria ROM que tendrá guardada la información de la señal senoidal (DDS basada en tablas), las otras dos señales se generan directamente a partir del contador y sirven para facilitar la comprensión y el debug del sistema. La señal cuadrada indicará el signo de la señal senoidal y la señal rampa mostrará los W bits MSB.

Para reducir el tamaño de la memoria ROM se utiliza el método de cuarto de onda que consiste en guardar únicamente un cuarto de onda de la señal senoidal aprovechando sus cualidades de simetría y periodicidad. Para poder reproducir la señal seno, se utiliza el MSB para indicar el signo y el segundo MSB controla la simetría con el eje vertical. El resto de los L bits más significativos del contador de M bits sirven para direccionar la memoria.

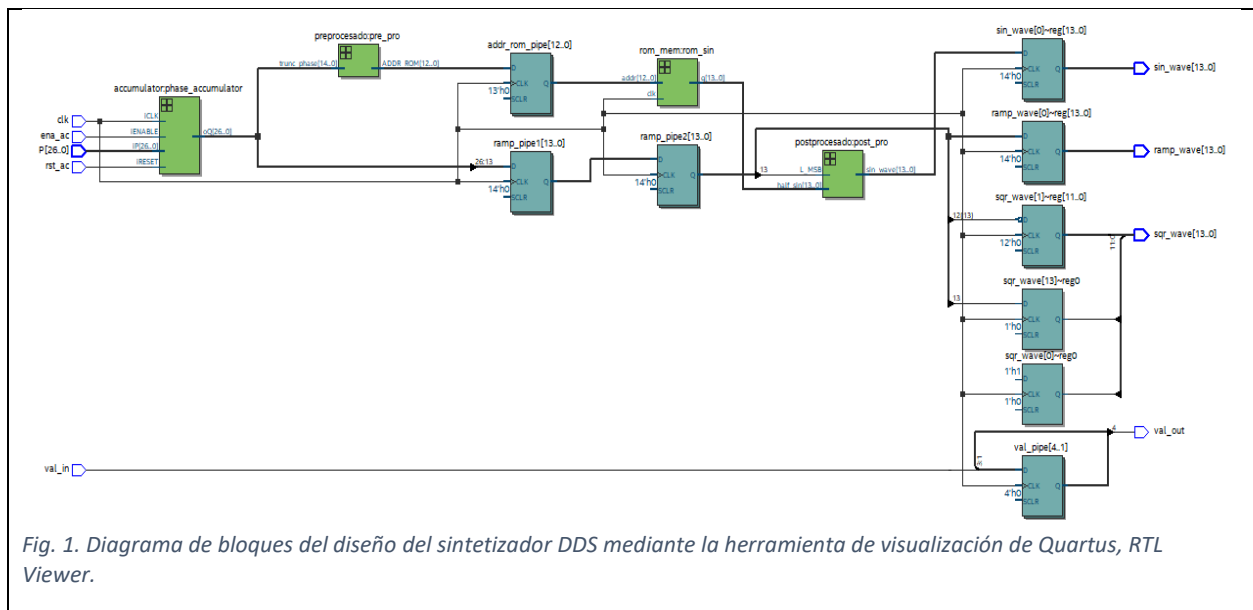


Fig. 1. Diagrama de bloques del diseño del sintetizador DDS mediante la herramienta de visualización de Quartus, RTL Viewer.

Interfaz

- Módulo DDS_test (TOP):

PARÁMETROS	
Nombre	Descripción
M	Tamaño del acumulador
L	Número de bits usados para truncar la fase del acumulador
W	Tamaño de los datos de salida

INTERFAZ			
Nombre	Tipo	Formato	Descripción
clk	in	bit	Entrada de reloj
rst_ac	in	bit	Reset síncrono del acumulador, activo a nivel bajo
ena_ac	in	bit	Clock enable del acumulador, activo a nivel bajo
val_in	in	bit	Entrada de validación del paso del acumulador
P	in	S[M, M]	Paso del acumulador
sin_wave	out	S[W, W-1]	Señal sinusoidal de frecuencia $f_o = P \cdot f_{clk} / 2^M$
sqr_wave	out	S[W, W-1]	Señal cuadrada de frecuencia $f_o = P \cdot f_{clk} / 2^M$
ramp_wave	out	S[W, W-1]	Señal rampa de frecuencia $f_o = P \cdot f_{clk} / 2^M$
val_out	out	bit	Señal de validación de la muestra de salida

- Módulo accumulator:

PARÁMETROS	
Nombre	Descripción
n	Tamaño del acumulador

INTERFAZ			
Nombre	Tipo	Formato	Descripción
iCLK	in	bit	Entrada de reloj
iRESET	in	bit	Reset síncrono del acumulador, activo a nivel bajo
iENABLE	in	bit	Clock enable del acumulador, activo a nivel bajo
iP	in	U[M, M]	Paso del acumulador
oQ	out	U[M, M]	Salida del acumulador (n bits)

- Módulo preprocesado:

PARÁMETROS	
Nombre	Descripción
L	Número de bits usados para truncar la fase del acumulador

INTERFAZ			
Nombre	Tipo	Formato	Descripción
trunc_phase	in	U[M, M]	Entrada del preprocesado, fase truncada
ADDR_ROM	out	U[L, L]	Salida de preprocesado, dirección de la ROM

- Módulo postprocesado:

PARÁMETROS	
Nombre	Descripción
W	Tamaño de los datos de salida

INTERFAZ			
Nombre	Tipo	Formato	Descripción
half_sin	in	U[W, W]	Entrada del postprocesado, mitad positiva de la señal sinusoidal
sin_wave	out	S[W, W-1]	Salida del postprocesado, señal sinusoidal de frecuencia $f_o = P \cdot f_{clk} / 2^M$.

- Módulo rom_mem:

PARÁMETROS	
Nombre	Descripción
DATA_WIDTH	Tamaño de la palabra
ADDR_WIDTH	Tamaño de la memoria

INTERFAZ			
Nombre	Tipo	Formato	Descripción
addr	in	U[L, L]	Entrada de la ROM, dirección de la memoria
clk	in	bit	Entrada de reloj
q	out	U[W, W]	Salida de la ROM, mitad positiva de la señal sinusoidal

Recursos Hardware

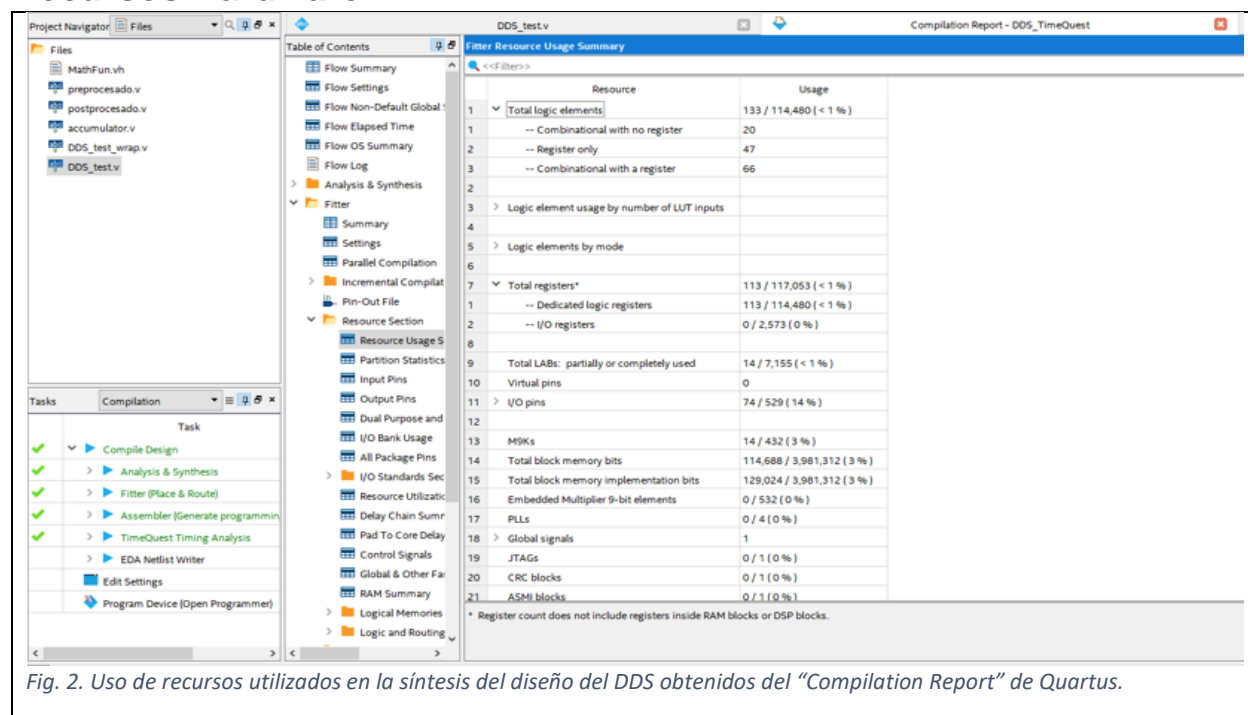


Fig. 2. Uso de recursos utilizados en la síntesis del diseño del DDS obtenidos del "Compilation Report" de Quartus.

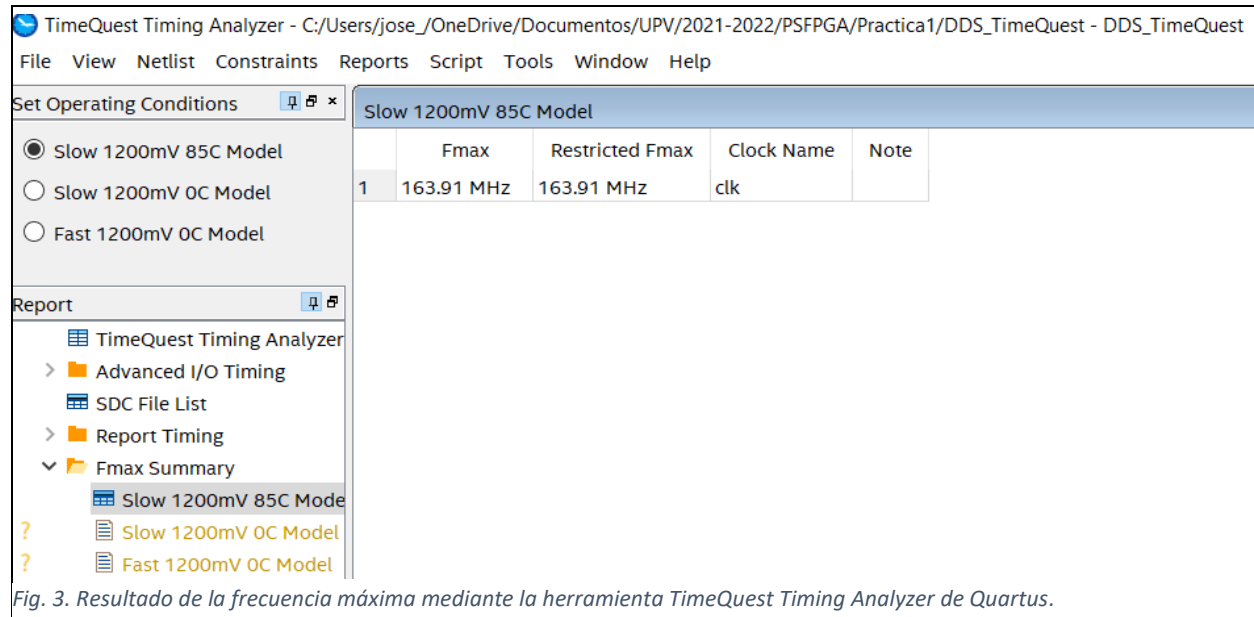
Tabla de recursos del módulo DDS_test	
Hardware	Cantidad
Elementos Lógicos	133
Multiplicadores	0
Memorias M9K	14

Los datos obtenidos luego de la compilación del módulo DDS muestran como los recursos utilizados para su generación se encuentran entre los esperados. Nuestro módulo no utiliza multiplicadores y en cuanto a la cantidad de memoria, al compilar con una $W = 14$ bit el sintetizador crea 14 memorias M9K lo cual corresponde con los $8K \times 14$ bits de memoria calculados.

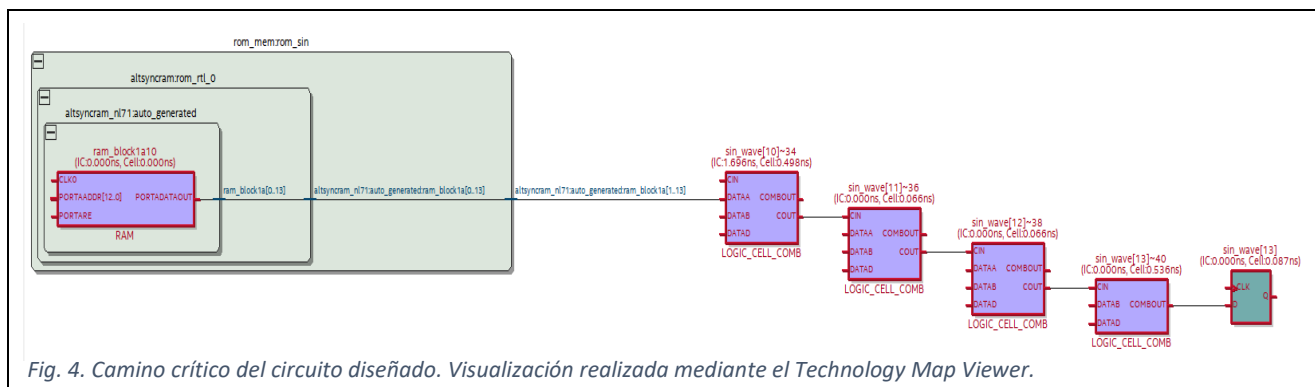
Frecuencia de operación

La placa utilizada en el laboratorio de prácticas consiste en una Cyclone IV DE-115 cuya frecuencia máxima es de 250MHz. Además, por especificaciones del diseño se debe alcanzar una frecuencia de operación superior a 125MHZ cuando el sistema DDS se configura con los parámetros $M=27$, $L=15$ y $W = 14$ bits.

Nuevamente, mediante la herramienta *TimeQuest Timing Analyzer*, podremos calcular la frecuencia máxima a la que trabajará el modelo diseñado. Utilizando el *wrapper* facilitado por los docentes hemos sido capaces de obtener una frecuencia máxima de trabajo de ~163MHz tal y como se observa en la siguiente figura.



También es posible realizar el análisis del camino crítico del modelo con la misma herramienta. Además, gracias al *Technology Map Viewer* podremos encontrar en que parte del circuito se encuentra.



Tal y como se observa en la figura anterior, el camino crítico se encuentra principalmente en la zona del postprocesamiento dado que es donde encontramos la simetría horizontal donde se obtiene el complemento a dos de la señal senoidal positiva. Por lo tanto, en el peor caso, el valor de acarreo debe arrastrarse hasta el último bit de la salida.

Verificación

Para verificar el sistema diseñado, se utilizará el documento de *TestBench* proporcionado en la práctica. Dicho documento, en conjunto con el archivo “.do” nos permitirá visualizar los resultados de las tres señales generadas por nuestro modelo DDS. Además, podremos comparar los resultados respecto a nuestro *Golden Model* creado mediante MATLAB tanto de forma visual como mediante un contador de errores que también nos indicará qué muestra de la señal no coincide con el modelo ideal.

Por definición, el sintetizador DDS puede generar frecuencias desde $f_{clk} \cdot (2^{-M})$, que coincidirá con un paso unitario, hasta $0.5 \cdot f_{clk}$ para poder cumplir con el teorema de Nyquist. En nuestro caso, con una configuración de los parámetros de $M=27$, $L=15$ y $W = 14$ bits y un reloj de 100MHz, nuestras frecuencias van desde $\sim 0.75\text{Hz}$ hasta 50MHz.

Dado que para una frecuencia tan pequeña se necesita un tiempo de simulación considerable para el modelo ideal, se decide validar el diseño (“error_cnt” = 0) para 1KHz, 25MHz y 50MHz tal y como se observa en las siguientes figuras, respectivamente.

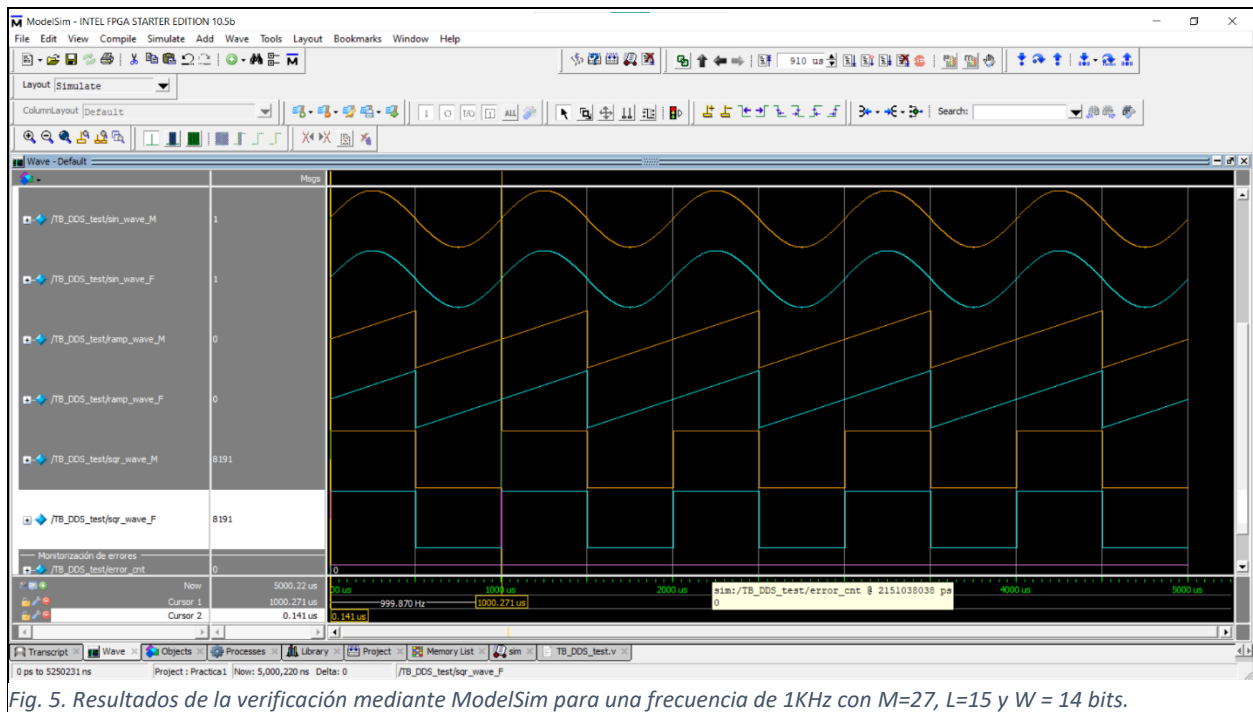


Fig. 5. Resultados de la verificación mediante ModelSim para una frecuencia de 1KHz con $M=27$, $L=15$ y $W = 14$ bits.

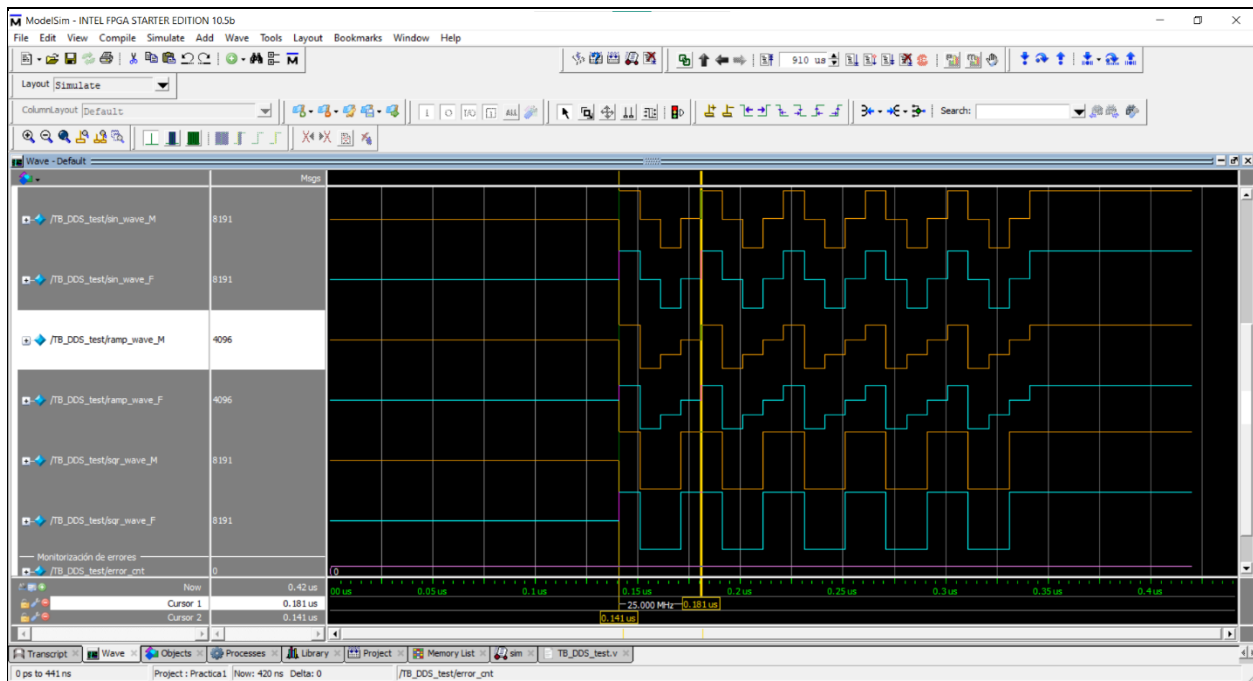


Fig. 6. Resultados de la verificación mediante ModelSim para una frecuencia de 25MHz con $M=27$, $L=15$ y $W = 14$ bits.

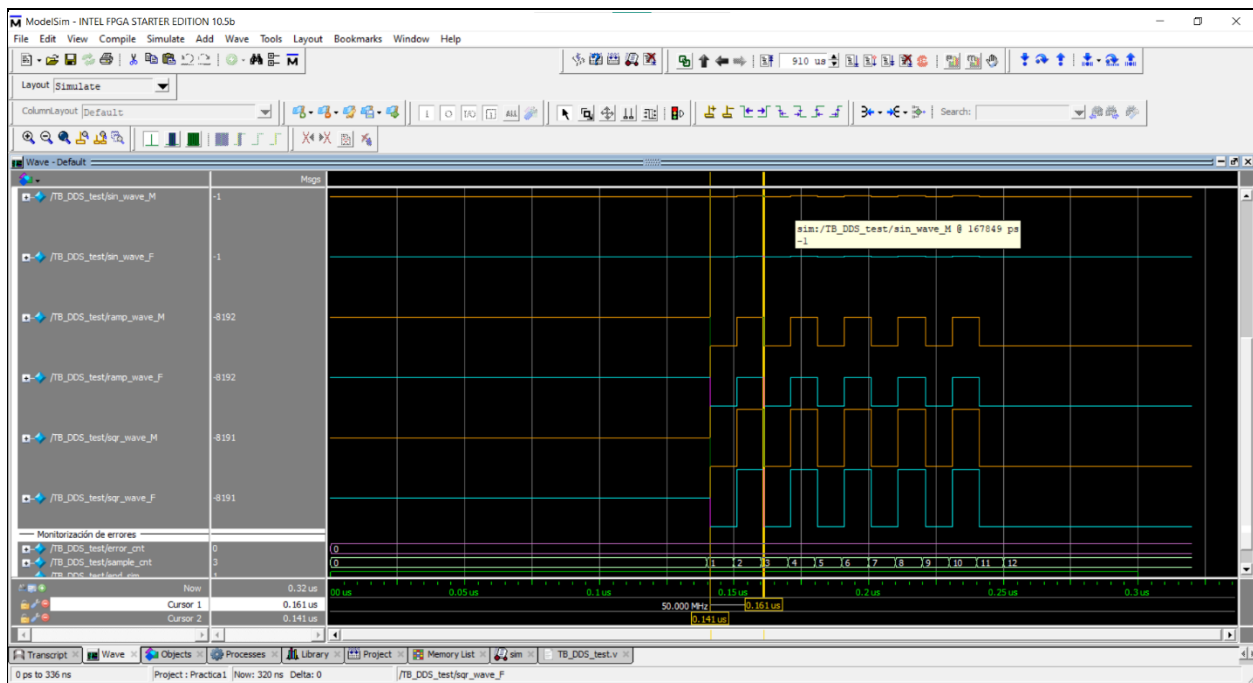


Fig. 7. Resultados de la verificación mediante ModelSim para una frecuencia de 50MHz con $M=27$, $L=15$ y $W = 14$ bits.

Resolución de problemas encontrados

Uno de los problemas con los que nos encontramos en el desarrollo de la práctica se encontraba en la generación de la señal senoidal pues se observaba como la señal senoidal cambiaba de signo con anterioridad a cuando lo hacía el *Golden model* y además los valores no coincidían con los almacenados en la ROM. Tras analizar el diseño, observamos que en el complemento a dos teníamos un bug en el que no se llegaba a realizar la suma de un bit y por lo tanto se realizaba el complemento a 1 incrementado los valores negativos en 1 bit.

También se observó que la disparidad entre nuestro diseño y el modelo de MATLAB se debía a que durante el post procesado se tenía en cuenta el MSB sin estar sincronizado con el *pipelining* introducido y por lo tanto la simetría sobre el eje horizontal se producía con anterioridad a la que se debería según el *golden model*. Este problema se solucionó utilizando el MSB tras dos etapas de registros. En nuestro caso, se utilizará el bit de dirección de la ROM que genera la señal cuadrada dado que tanto dicha señal como la rampa deben de estar sincronizadas con la sinusoidal.

Por último, se observó que en la síntesis del diseño se utilizaban 15 unidades de memoria M9K a pesar de que solo se utilizan 14 para la memoria ROM que contiene la información del seno. Esto se debe a que el compilador de Quartus interpretaba las etapas de *pipelining* de la señal de rampa como un *shift registers*, añadiendo así otra unidad M9K. Para poder solucionar esto, fue necesario utilizar el atributo de síntesis "ramstyle = logic".