

Máster Universitario en Ingeniería de Sistemas Electrónicos



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Práctica E3: Filtro Interpolador CIC

Jose Luis, Rocabado Rocha

Gianmarco Leopoldo, Sangoi Da Roza

04/08/2022

ÍNDICE

ÍNDICE	2
ÍNDICE DE FIGURAS.....	3
Descripción del módulo	4
Interfaz.....	4
Recursos Hardware	5
Bloques realizados	¡Error! Marcador no definido.
Problemas encontrados	9

ÍNDICE DE FIGURAS

Fig. 1. Snippet de las señales obtenidas en la simulación del bloque DDS utilizado en el modulador AM/FM. Se observa que el contador de errores valida dicho bloque. _____ ¡Error! Marcador no definido.

Fig. 2. Comprobación de la correcta generación y lectura de los ficheros (en este caso de configuración) para la simulación del TB con Modselsim. _____ ¡Error! Marcador no definido.

Descripción del módulo

El módulo diseñado consiste un filtro interpolador CIC, este módulo será implementado para la elaboración del modulador AM/FM, con el podremos cambiar la frecuencia de muestreo de 48KHz provenientes del módulo DDS (E1) a 96MHz que irán al módulo DP_MOD (E2).

La estructura del filtro interpolador CIC consta de 3 etapas:

1. Etapa de filtros peines (COMB): En esta etapa se implementa un filtro FIR denominado peine, el cual resta la entrada con la misma entrada retrasada, como se muestra en la siguiente formula:

$$H_c(z) = 1 - z^{-M}$$

Cabe mencionar que en esta etapa se implementa un arreglo en cascada de estos filtros para obtener una mayor respuesta en frecuencia, en nuestro caso nuestra etapa COMB tiene 3 filtros.

2. Etapa de muestreo ascendente: En esta etapa se expande la salida (introduciendo ceros entre muestras) y se genera la señal de habilitación de los filtros integradores.
3. Etapa de filtros integradores: En esta última etapa se implementa el mismo número de filtros integradores que los filtros peines usados, la función de estos filtros IIR es la de sumar la entrada con la salida retrasada, como se muestra en la siguiente formula:

$$H_i(z) = \frac{1}{1 - z^{-1}}$$

Interfaz

- Módulo CIC (top):

PARÁMETROS			
Nombre	Descripción		
Win	Tamaño de la entrada		
Wg	Guard Bits		
N	Número para determinar las etapas del filtro (tamaño de los wire)		
INTERFAZ			
Nombre	Tipo	Formato	Descripción
clk	in	bit	Entrada de reloj

rst	in	bit	Reset síncrono del filtro Interpolador CIC
val_in	in	bit	Entrada de validación de datos
i_data	in	S[M, M-1]	Entrada de datos filtro CIC
o_data	out	S[M, M-1]	Salida de datos.
val_out	out	bit	Salida de la señal de validación

- Módulos COMB, INT y R_INT:

PARÁMETROS			
Nombre	Descripción		
Win	Tamaño de la entrada		
Wg	Guard Bits		
INTERFAZ			
Nombre	Tipo	Formato	Descripción
clk	in	bit	Entrada de reloj
rst	in	bit	Reset síncrono del uilo COMB
val_in	in	bit	Entrada de validación de datos
i_data	in	S[M, M-1]	Entrada de datos filtro CIC
o_data	out	S[M, M-1]	Salida de datos.
val_out	out	bit	Salida de la señal de validación

Recursos Hardware

Tabla de recursos del módulo DP_MOD del sintetizador	
Hardware	Cantidad
Elementos Lógicos	363
Multiplicadores	0
Memorias MK9	0

	Resource	Usage
1	▼ Total logic elements	363 / 114,480 (< 1 %)
1	-- Combinational with no register	6
2	-- Register only	165
3	-- Combinational with a register	192
2		
3	> Logic element usage by number of LUT inputs	
4		
5	▼ Logic elements by mode	
1	-- normal mode	37
2	-- arithmetic mode	161
6		
7	▼ Total registers*	357 / 117,053 (< 1 %)
1	-- Dedicated logic registers	357 / 114,480 (< 1 %)
2	-- I/O registers	0 / 2,573 (0 %)
8		
9	Total LABs: partially or completely used	32 / 7,155 (< 1 %)
10	Virtual pins	0
11	> I/O pins	36 / 529 (7 %)
12		
13	M9Ks	0 / 432 (0 %)
14	Total block memory bits	0 / 3,981,312 (0 %)
15	Total block memory implementation bits	0 / 3,981,312 (0 %)
* Register count does not include registers inside RAM blocks or DSP blocks.		

Los elementos lógicos del CIC serian ($W_{in} = 16$ y $W_g = 22$):

$(16+17+18 + 38 \times 3 = 165)$ solo registros

(

Frecuencia máxima

La placa utilizada en el laboratorio de prácticas consiste en una Cyclone IV DE-115 cuya frecuencia máxima es de 250MHz.

Set Operating Conditions

☒ Slow 1200mV 85C Model
☐ Slow 1200mV 0C Model
☐ Fast 1200mV 0C Model

Report

- TimeQuest Timing Analyzer
 - Advanced I/O Timing
 - SDC File List
 - Fmax Summary
 - Slow 1200mV 85C Model
 - Slow 1200mV 0C Model
 - Fast 1200mV 0C Model

Tasks

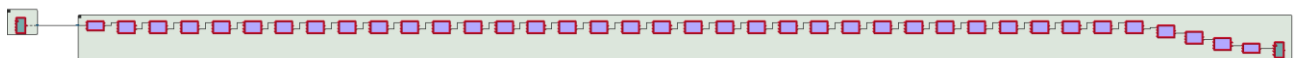
- Report Setup Summary
- Report Hold Summary
- Report Recovery Summary
- Report Removal Summary
- Report Minimum Pulse V
- Report Max Skew Summ
- Report Net Delay Summ
- Datasheet
 - Report Fmax Summary

Slow 1200mV 85C Model				
	Fmax	Restricted Fmax	Clock Name	Note
1	221.34 MHz	221.34 MHz	clk	

Mediante la herramienta *TimeQuest Timing Analyzer*, podremos calcular la frecuencia máxima a la que trabajará el modelo diseñado. Utilizando el *wrapper* (instanciación con registros en las entradas y salidas) creado, hemos sido capaces de obtener una frecuencia máxima de trabajo de ~221.3MHz tal y como se observa en la siguiente figura.

Camino critico

El camino critico es aquel en que la señal tarda más desde su ingreso hasta su destino. Mediante el *Technology Map Viewer* podremos encontrar en que parte del circuito se encuentra.



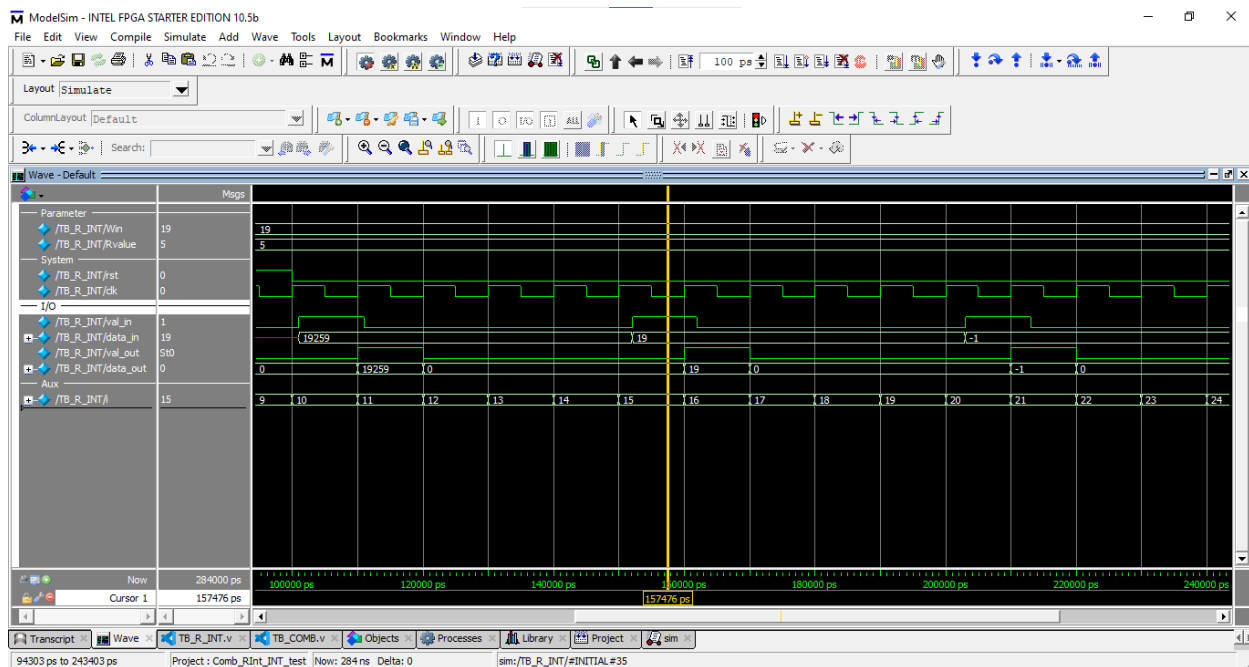
El camino critico de nuestro modulo CIC se encuentra desde la etapa de interpolación, pasando por etapa de los filtros integradores hasta la salida ya que estos requieren mayor cantidad de registros en comparación con la etapa COMB.

Verificación

Para la verificación de las celdas básicas se generan los *TestBench* correspondientes que de forma sencilla nos permiten validar la ejecución correcta de las operaciones.

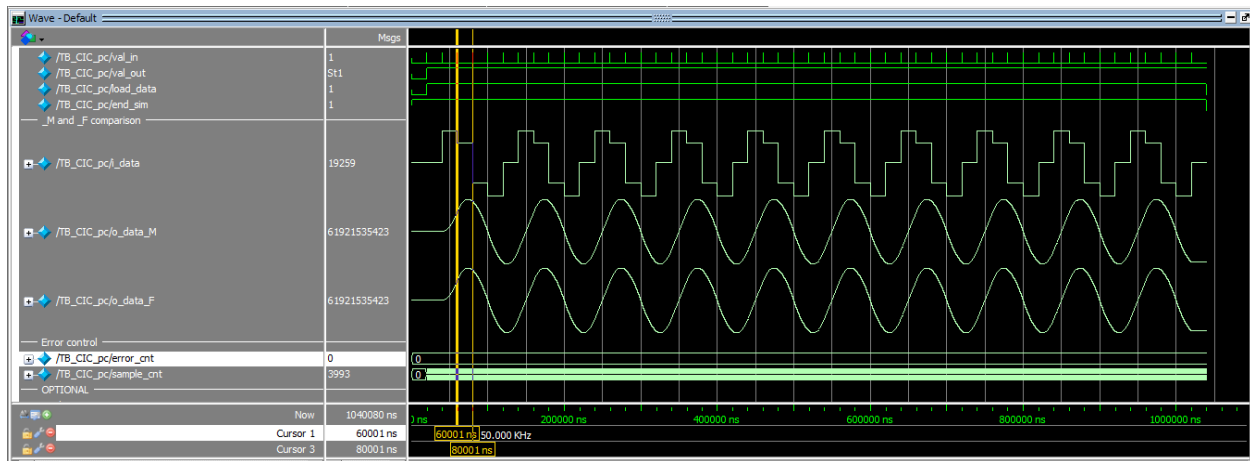
Para la celda “peine”, se comprobará que la resta de la entrada con la entrada anterior se realiza cada vez que “val_in” se encuentra a nivel alto. Se consideran suficientes 4 datos de entrada.

Para la etapa de *upsampling* el TB generará un dato cada “R_Value” ciclos de reloj obteniendo así un $f_{SL} = f_{CLK} / R_value$. Posteriormente, con un periodo de muestreo de $f_{SH} = f_{CLK}$ se rellenará con R_value – 1 ceros. Para agilizar la simulación de la validación del módulo, se utilizará un factor de *upsampling* de 5 tal y como se observa en la siguiente figura.



Por último, la celda básica integradora consistirá en un acumulador. Se debe comprobar que la entrada se suma con la anterior salida. Sin embargo, dado que se trata de un sistema síncrono, la anterior salida se corresponde directamente con la salida registrada (al igual que un acumulador).

A continuación, se realiza la validación del módulo *top* “CIC_pc.v” que contiene el filtro completo con las etapas peine/integración y *upsampling* correspondiente. Para validar el diseño, se utilizará el *golden model* con cuantificación generado mediante Matlab y con diferentes señales de entrada. En la siguiente figura podemos observar el resultado para la validación con una señal de entrada de tipo senoidal donde se comprueba además que la frecuencia de muestreo de las entradas es de 50kHz.



Resolución de problemas encontrados

Dado a problemas con el tiempo de realización de la práctica, no ha sido posible realizar la validación del modelo con la señal truncada. Aun así, se comprueba que el diseño de las celdas básicas del filtro es correcto y que para realizar esta última parte únicamente se debe de seleccionar los bits más significativos que se desean para obtener el tamaño de la palabra truncada.