Máster Universitario en Ingeniería de Sistemas Electrónicos

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Práctica E4.1: Filtro FIR Compensador del CIC

Jose Luis, Rocabado Rocha

Gianmarco Leopoldo, Sangoi Da Roza

04/28/2022

ÍNDICE

ÍNDICE DE FIGURAS

Descripción del módulo

Cuando implementamos un filtro CIC interpolador, como el realizado en la práctica 3 para nuestro sistema de modulador AM/FM normalmente queremos un paso de banda plano y estrecho en la región de transición, estas son cualidades deseadas que sin embargo no son propias de un filtro CIC debido a la caída prolongada en la banda de paso, es por esto por lo que se implementa un filtro compensador que en conjunto con el filtro CIC nos permita obtener una banda de paso con ganancia constante.

Si observamos la respuesta en frecuencia del filtro CIC y del filtro compensador (figura 1 y figura 2 respectivamente) podemos comprobar que obtenemos el efecto deseado.

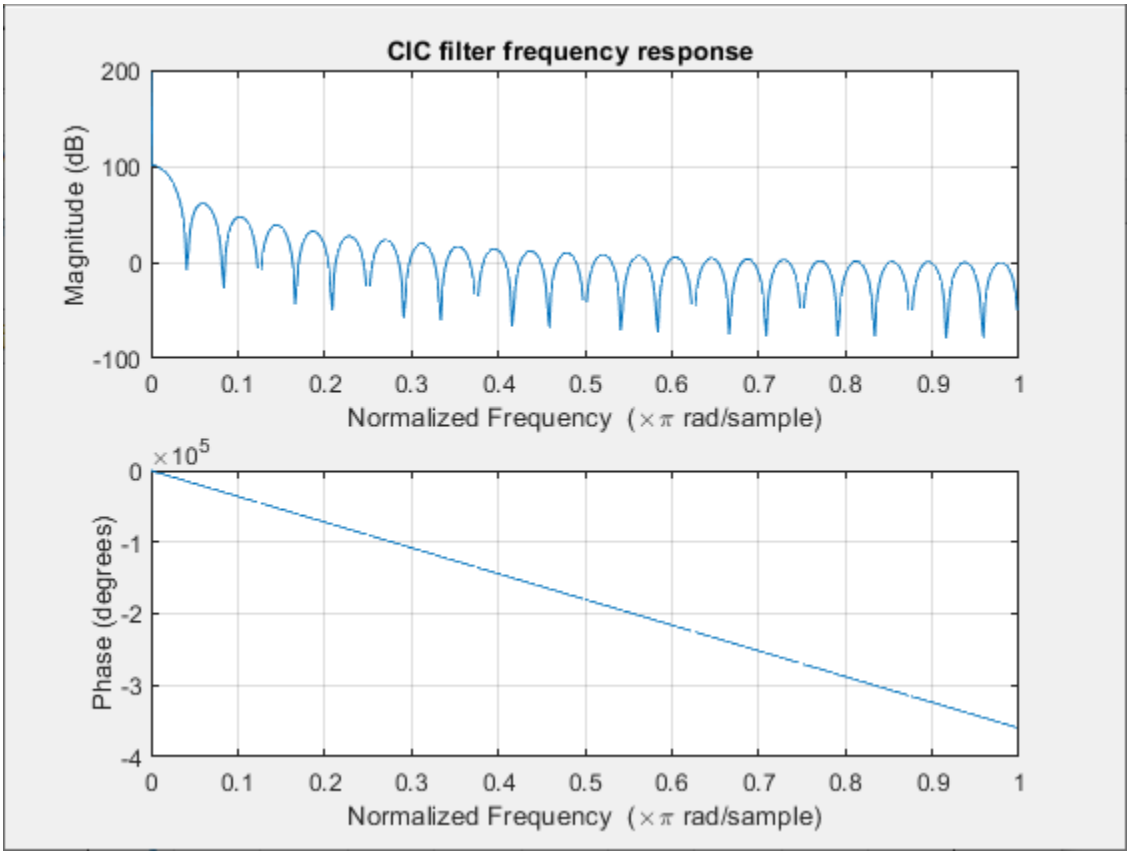

Fig. 1. Respuesta en frecuencia del filtro CIC de tres etapas implementado en la práctica anterior.

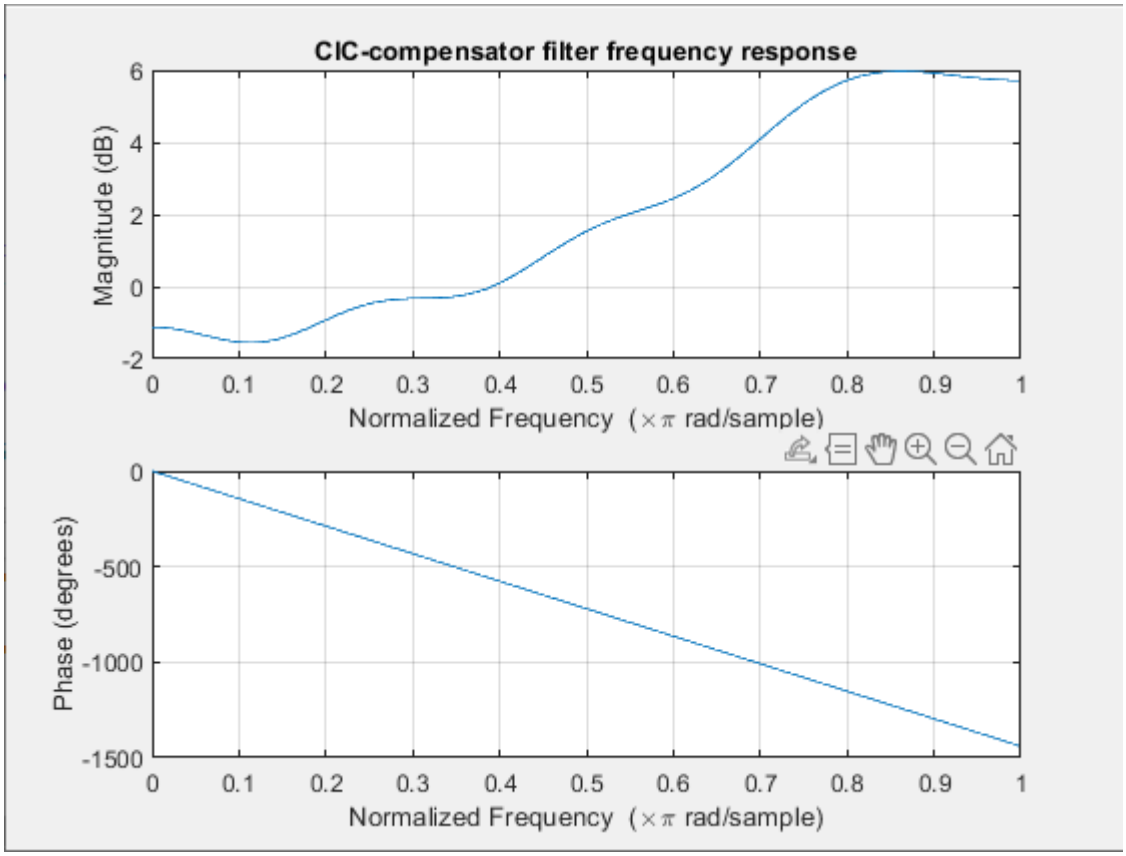

Fig. 2. Respuesta en frecuencia del filtro compensador de 17 coeficientes.

Es necesario remarcar que Matlab tiene una normalización [0,1] donde 0.5 correspondería con la mitad de la frecuencia de muestreo. Por otro lado, se ha de tener en cuenta que el filtro CIC introduce un *upsampling* cambiando la frecuencia de muestreo. Por esta razón, si analizamos las dos respuestas en frecuencia respecto a frecuencias analógicas podremos comprobar como el filtro compensador afectará únicamente a la banda pasante del filtro CIC permitiéndonos obtener el resultado deseado.

En esta práctica se realizará un módulo de filtro FIR secuencial compensador para el filtro CIC realizado con anterioridad. La frecuencia de muestreo de los datos de entrada será de 50kHz, mientras que la frecuencia de reloj del filtro será de 100MHz.

El filtro se constituirá de 4 bloques:

1) Un registro de desplazamiento y multiplexor para la salida.
2) Un multiplicador más acumulador (celda básica en filtros secuenciales)
3) Una ROM
4) Una máquina de estados para direccionar la memoria ROM, la celda del multiplicador acumulador y el registro de salida

Para poder comprender mejor el sistema y entender las características de las señales de entrada y de salida esperada, y así poder realizar un diseño coherente, se realiza varias simulaciones. Dese comparar el modelo ideal con el modelo cuantificado con precisión completa, a obtener la respuesta ante el impulso y realizar un barrido en frecuencia.

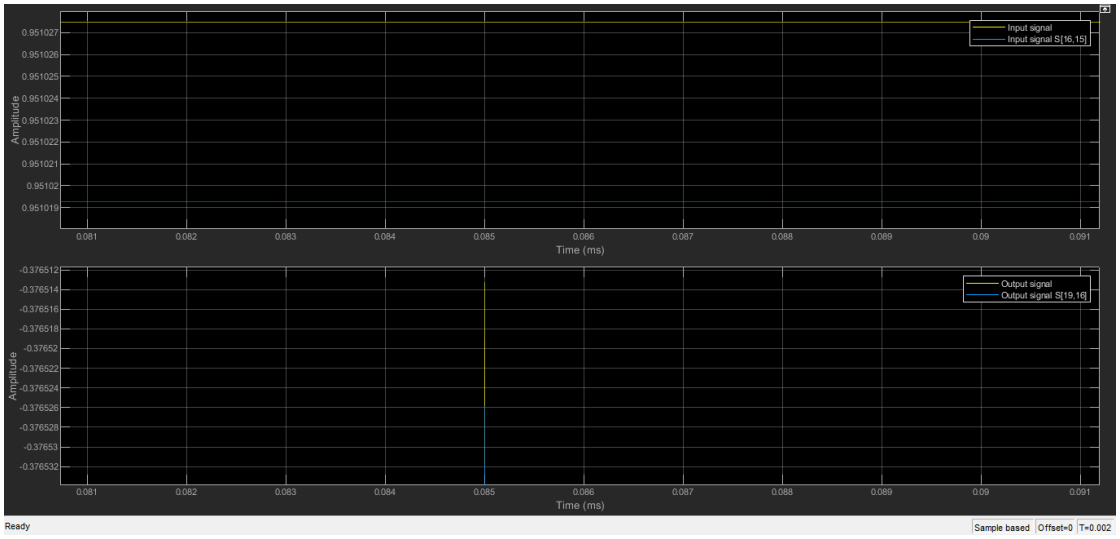

Fig. 3. Zoom de la simulación de Simulink que compara el modelo ideal con el modelo cuantificado con precisión completa.

Cuando comparamos ambos modelos (figura 3), se puede observar que se obtiene un error prácticamente negligible debido a la cuantificación. En cuanto a la respuesta al impulso, se espera obtener por definición los coeficientes del filtro tal y como se observa en la siguiente figura.

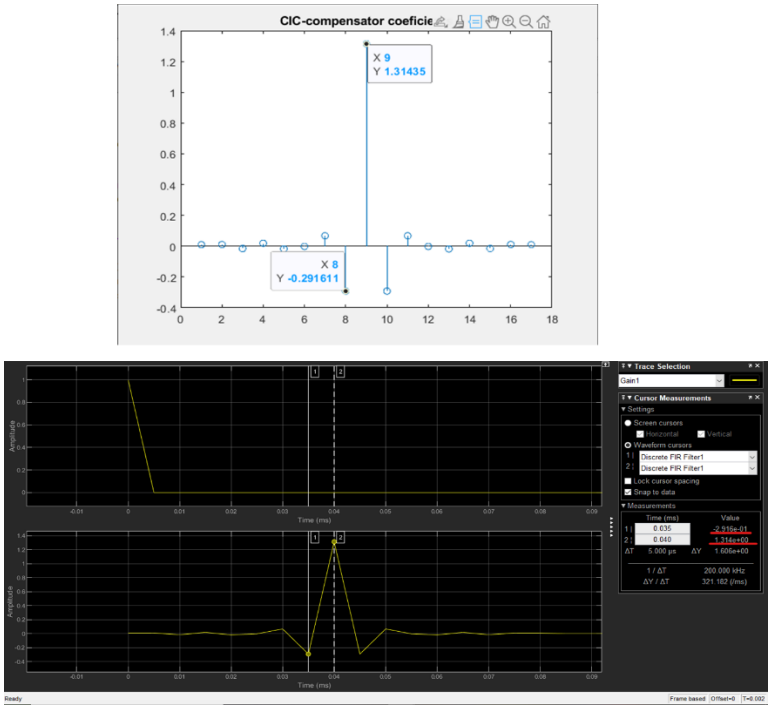

Fig. 4. Arriba: Plot de los coeficientes del filtro cuantificados.
Abajo: Resultado de la respuesta ante el impulso en Simulink.

Por último, al observar la salida ante una señal senoidal de 1V de amplitud y diferentes frecuencias se pretende comprobar cómo, para frecuencias mayores de señal, realmente se amplifican para compensar el filtro CIC permitiéndonos obtener una banda pasante con una ganancia constante (figura 5).

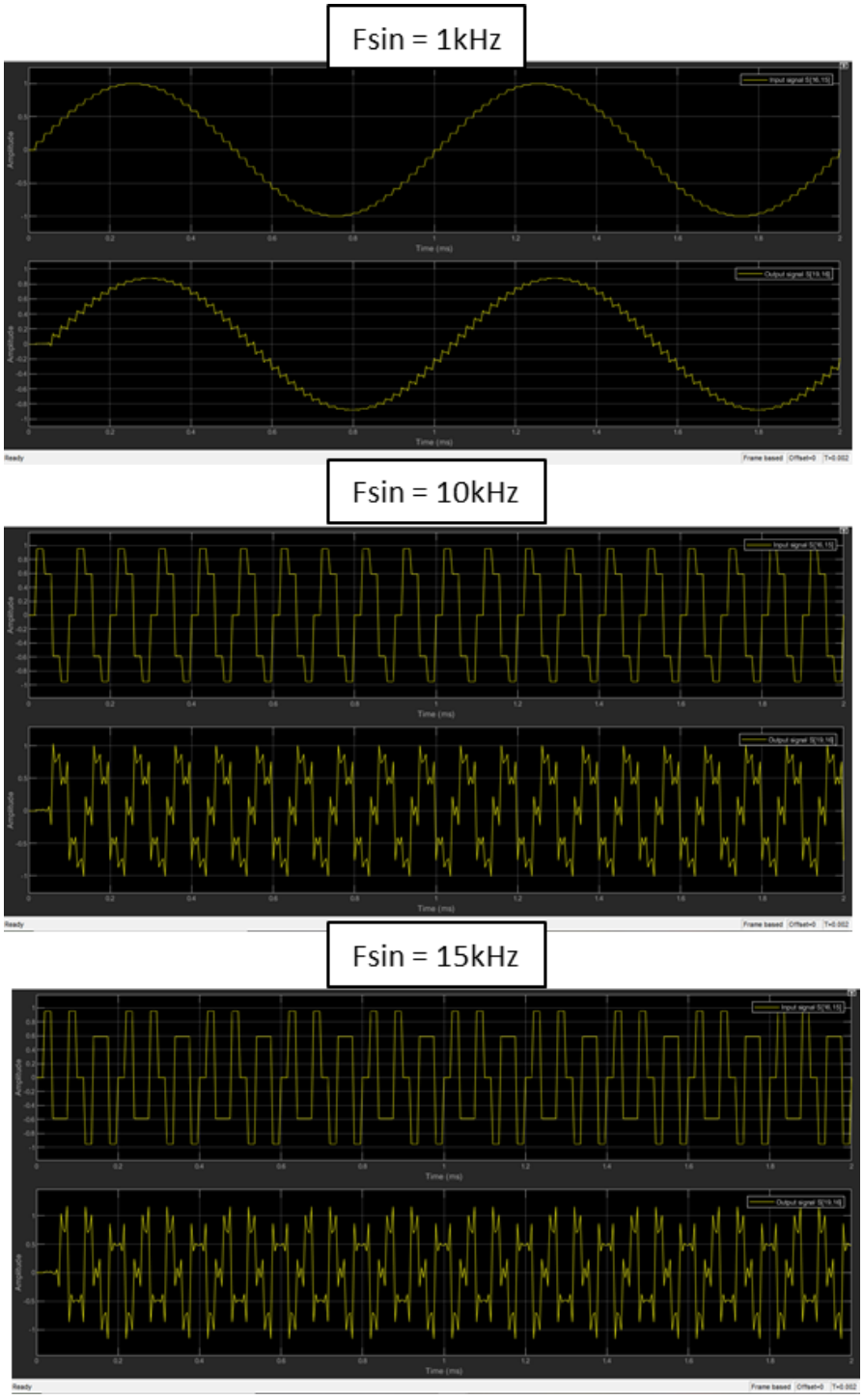

Fig. 5. Resultados de la señal filtrada para una señal senoidal de frecuencia 1kHz, 10kHz y 15 kHz.

Bloques realizados

Se ha podido realizar la implementación de la mayoría de los módulos que incorporan el filtro compensador CIC. La etapa que implementa el registro de desplazamientos se decide realizar mediante el uso de una memoria M9K para poder reducir el uso de recursos de la placa de desarrollo teniendo en cuenta que este módulo formará parte de un sistema todavía mayor que realizará la modulación AM/FM.

Por otro lado, la implementación de la MAC se ha diseñado para que se obtenga el resultado en un ciclo de reloj, aunque sería posible segmentar dado que tenemos ciclos de operación suficientes para un filtro de 17 coeficientes. Además, se ha diseñado el módulo para que la señal de control que reinicia el registro del acumulador sea independiente al control que habilita la MAC. En la siguiente figura podemos observar el código utilizado.

```
module MULT_ACC
#(parameter Win=16,       // Cuantificacion de la entrada y salida
  parameter Wc = 18)    // Cuantificacion coeficientes
  (input  signed [Win-1:0] din  , // entrada
   input   signed [Wc-1:0] coef , // coeficiente
   input  clk,
   input rst,                // reset del acumulador
   input ce,        // habiliatacion del acumulador
   output signed [Win+Wc-1:0] dout); // salida Win+Wc

  //Auxiliar variables
  wire signed [Win+Wc-1:0]mult_res;
  reg signed [Win+Wc-1:0]acc_res; // acumulator register

  //Definiendo la MAC sin segmentación, es posible que se necesite posteriormente
  //Realizando la multiplicación
  assign mult_res = din * coef;
  assign dout = (ce)? mult_res + acc_res : 0;
  //acumulador
  always @(posedge clk ) begin
    if (rst)
      acc_res <= 0;
    else if(ce)
      acc_res <= dout;
  end

endmodule
```

Fig. 6. Snippet de código verilog que implementa el multiplicador acumulador.

Para la instanciación de la ROM que contiene los coeficientes se ha utilizado la función $readmemb para inicializar la memoria y un bloque *always* que nos permitirá direccionar la ROM adecuadamente.

En cuanto al control delo filtro, se ha planteado la máquina de estados con 17 estados. Un estado inicial y posteriormente 16 estados adicionales que serán secuenciales y se corresponden a los 17 ciclos necesarios para realizar el filtrado de una entrada. Se quería plantear que sea posible ejecutar la secuencia de los 16 estados en bucle sin necesidad de pasar por el estado inicial.

Problemas encontrados

Por temas de tiempo, no se ha podido realizar completamente los códigos de los bloques *top* y control del filtro compensador. Tampoco se ha podido realizar la simulación ni validar el sistema. Sin embargo, el sistema está realmente planteado y se verían dar algunos repuntes mediante la simulación para obtener el resultado requerido.