

Máster Universitario en Ingeniería de Sistemas Electrónicos



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Práctica E5: Escritura y lectura de registros de configuración

Jose Luis, Rocabado Rocha

Gianmarco Leopoldo, Sangoi Da Roza

05/30/2022

ÍNDICE

| | |
|---|----------|
| ÍNDICE | 2 |
| ÍNDICE DE FIGURAS | 3 |
| Descripción del módulo | 4 |
| Interfaz | 9 |
| Recursos estimados | 11 |
| Frecuencia máxima..... | 11 |
| Camino critico | 12 |
| Verificación..... | 13 |
| Resolución de problemas encontrados | 16 |

ÍNDICE DE FIGURAS

| | |
|--|-----------|
| <i>Ilustración 1. Módulo top CONF_CONTROL.....</i> | <i>4</i> |
| <i>Ilustración 2. Recepción y envío de datos mediante la interfaz RS232.....</i> | <i>4</i> |
| <i>Ilustración 3. Módulo REGS_CONF (3 registros).....</i> | <i>5</i> |
| <i>Ilustración 4. Máquina de estados MAIN_CONTROL.....</i> | <i>6</i> |
| <i>Ilustración 5. Máquina de estados WR_CONTROL.....</i> | <i>6</i> |
| <i>Ilustración 6. Máquina de estados RD_CONTROL.....</i> | <i>7</i> |
| <i>Ilustración 7. Bytes de escritura y lectura</i> | <i>7</i> |
| <i>Ilustración 8. Orden de transmisión de los 11 bytes.....</i> | <i>8</i> |
| <i>Ilustración 9. Tabla de recursos del módulo top CONF_CONTROL</i> | <i>11</i> |
| <i>Ilustración 10. Frecuencia máxima del módulo top_DE2115.....</i> | <i>12</i> |
| <i>Ilustración 11. Camino crítico del módulo top_DE2115.....</i> | <i>12</i> |
| <i>Ilustración 12. Testbench máquina de estados MAIN_CONTROL</i> | <i>13</i> |
| <i>Ilustración 13. Testbench máquina de estados RD_CONTROL</i> | <i>14</i> |
| <i>Ilustración 14. Testbench máquina de estados WR_CONTROL</i> | <i>14</i> |
| <i>Ilustración 15. Testbench del módulo CONF_CONTROL.....</i> | <i>15</i> |
| <i>Ilustración 16. Diagrama del módulo top_DE2115.....</i> | <i>15</i> |
| <i>Ilustración 17. Simulación del módulo top_DE2115 con la herramienta SignalTAP Logic Analyzer.....</i> | <i>16</i> |
| <i>Ilustración 18. Estructura de shift register dada en la asignatura.</i> | <i>17</i> |

Descripción del módulo

En esta práctica se realizará el módulo que nos permitirá comunicar la computadora con el dispositivo FPGA. Este módulo permitirá que podamos escribir y leer los registros de configuración del modulador AM/FM a través de un puerto serie RS232.

El módulo elaborado consta de 4 bloques principales:

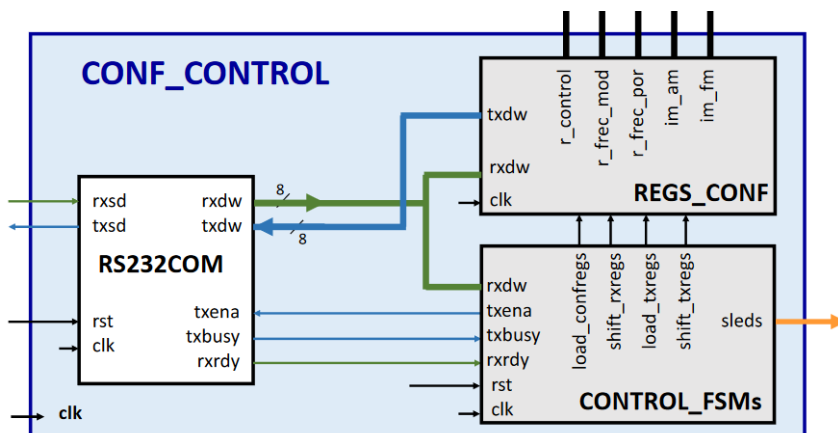


Ilustración 1. Modulo top CONF_CONTROL

- **PLL**

Este bloque es el encargado de proporcionar la frecuencia de reloj de 230400KHz a partir del reloj de 50MHz de la placa DE2-115 (Ya dado por el docente de la asignatura). Su instanciación realmente será afuera del módulo elaborado: CONF_CONTROL, esto se debe a que se usará un módulo TOP proporcionado por el docente para poder instanciar nuestro modulo junto al PLL, los switches y LEDs de la placa.

- **RS232COM**

Este bloque descrito en HDL es el encargado de realizar la capa física para la comunicación RS232 (Ya dado por el docente de la asignatura). El funcionamiento de la interfaz se da en las siguientes ilustraciones de recepción y envío respectivamente:

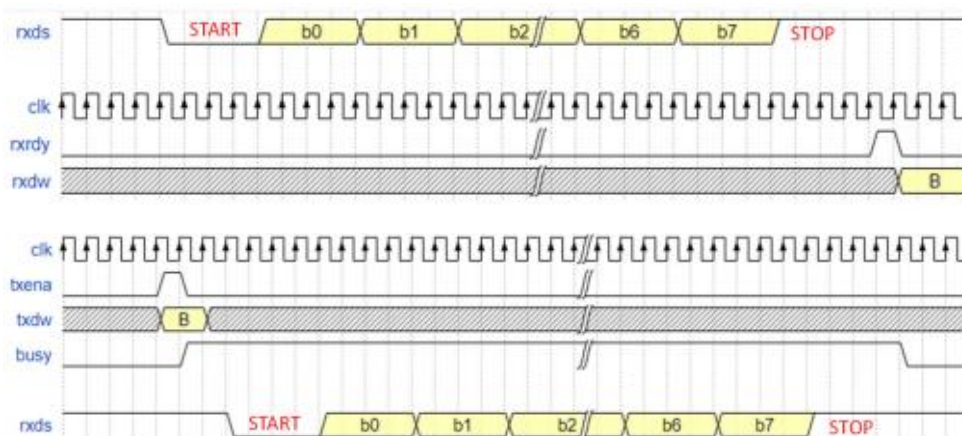


Ilustración 2. Recepción y envío de datos mediante la interfaz RS232.

- **REGS_CONF**

Este bloque es el que contiene los registros para la configuración del modulador AM/FM. Esta diseñado en base a 3 registros de 11 bytes, desplazamiento de lectura, desplazamiento de escritura y el registro de configuración. En el siguiente diagrama se podrá observar su estructura:

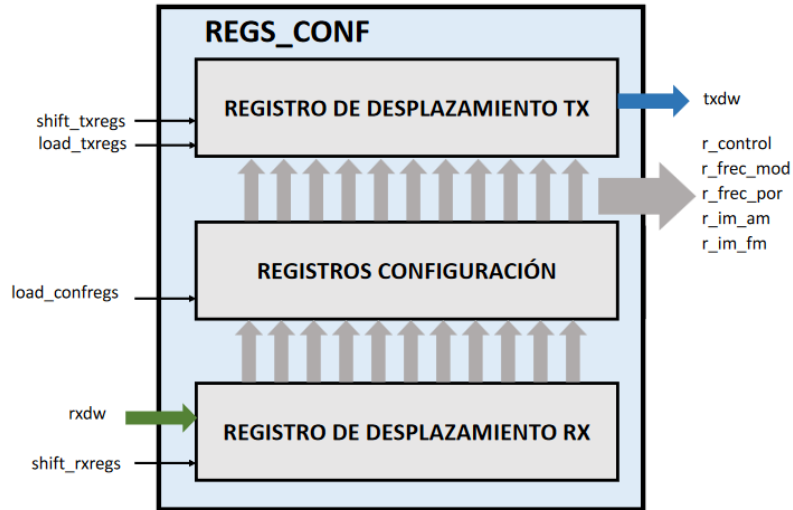


Ilustración 3. Módulo REGS_CONF (3 registros)

- **CONTROL_FSMs**

Este bloque se basa en 3 maquinas de estados que controlan el envío y recepción de los bytes del REGS_CONF:

- Máquina de estado MAIN_CONTROL (principal):

| Source State | Destination State |
|--------------|-------------------|
| 1 idle | idle |
| 2 idle | read |
| 3 idle | write |
| 4 read | idle |
| 5 read | rest |
| 6 rest | idle |
| 7 rest | rest |
| 8 write | idle |
| 9 write | rest |

Transitions / Encoding

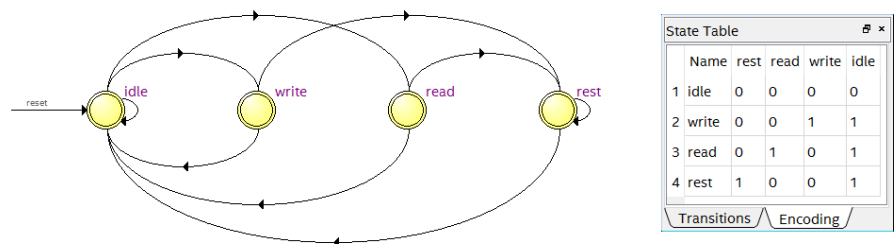


Ilustración 4. Máquina de estados MAIN_CONTROL.

- Máquina de estado RD_CONTROL (escritura):

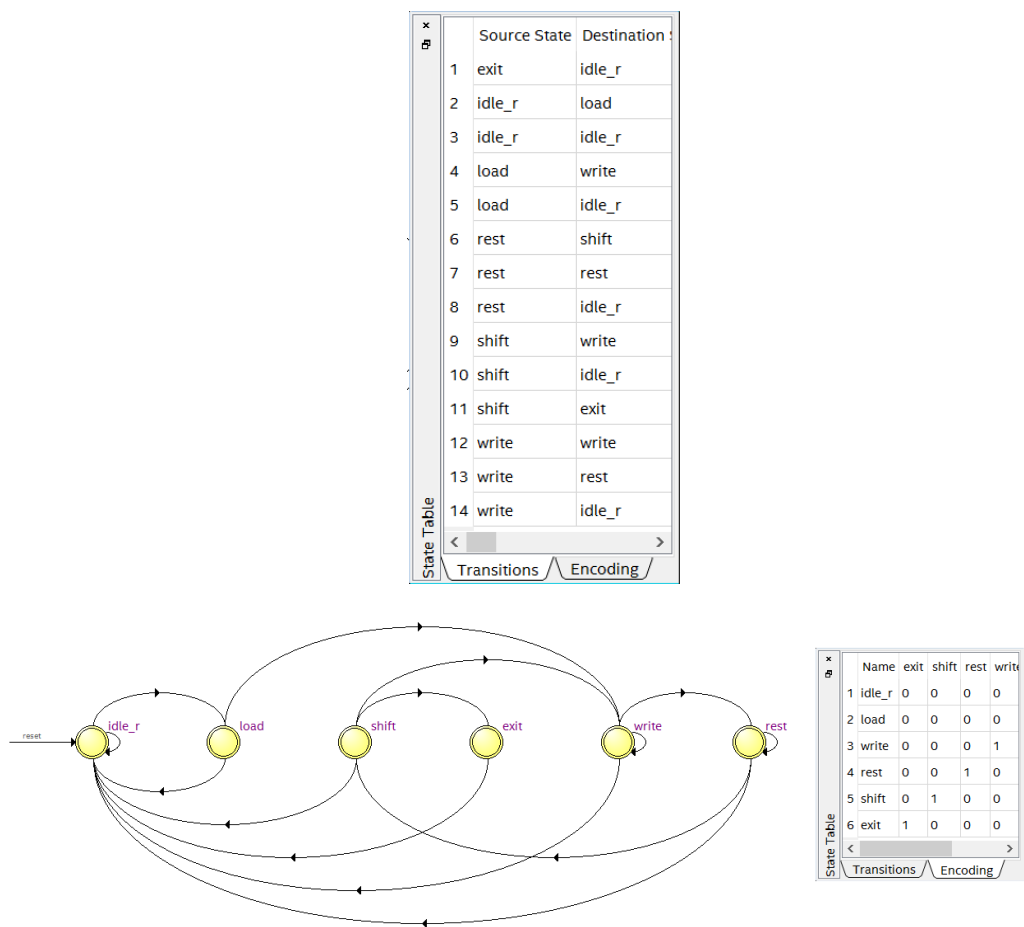
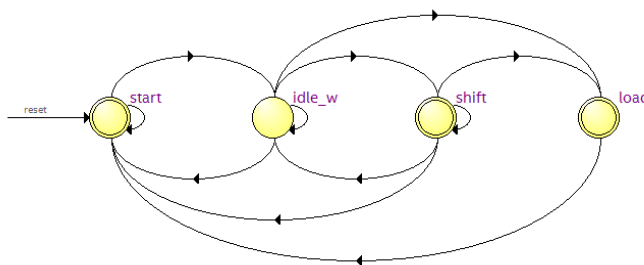


Ilustración 5. Máquina de estados WR_CONTROL.

- Máquina de estado WR_CONTROL (lectura):

| State Table | Source State | Destination State |
|-------------|--------------|-------------------|
| 1 | idle_w | start |
| 2 | idle_w | shift |
| 3 | idle_w | idle_w |
| 4 | idle_w | load |
| 5 | load | start |
| 6 | shift | start |
| 7 | shift | shift |
| 8 | shift | idle_w |
| 9 | shift | load |
| 10 | start | start |
| 11 | start | idle_w |



| State Table | Name | load | shift | idle_w | start |
|-------------|--------|------|-------|--------|-------|
| 1 | start | 0 | 0 | 0 | 0 |
| 2 | idle_w | 0 | 0 | 1 | 1 |
| 3 | shift | 0 | 1 | 0 | 1 |
| 4 | load | 1 | 0 | 0 | 1 |

Ilustración 6. Máquina de estados RD_CONTROL.

El funcionamiento conjunto de las máquinas de estado es de la siguiente manera:

Primero el modulo se encarga de detectar el primer byte transmitido desde la PC (MATLAB) a nuestra FPGA, este nos indica si el procedimiento es el de lectura o escritura del REGS_CONF:

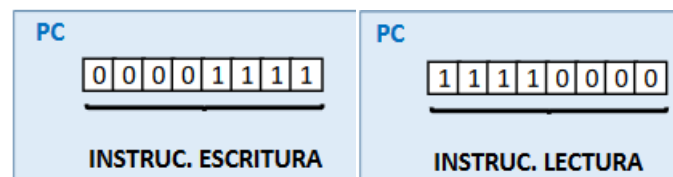


Ilustración 7. Bytes de escritura y lectura

Una vez que se interpreta este comando se procede a realizar el desplazamiento de bytes de los registros de lectura y escritura que posee el bloque REGS_CONF, lo hace en base al siguiente orden:

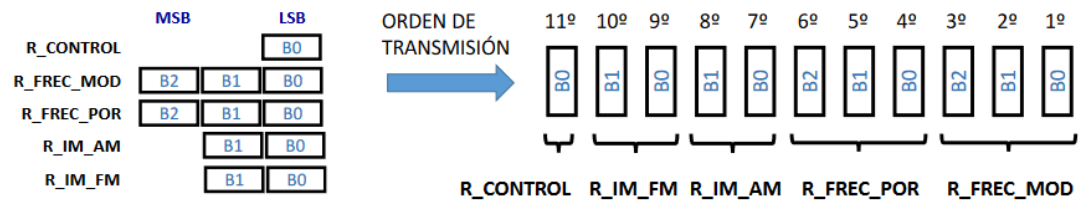


Ilustración 8. Orden de transmisión de los 11 bytes.

Si el procedimiento es de escritura primero realiza el desplazamiento de los 11 bytes al registro de escritura y luego los carga en el registro de configuración para poder configurar nuestro modulador AM/FM. Si el procedimiento es de lectura, primero se carga los bytes en el registro de lectura desde el registro de configuración y luego se desplazan 1 a 1 para poder ser leídos.

Interfaz

| Módulo RS232 | | | |
|---------------|------|---------|---|
| Nombre | Tipo | Formato | Descripción |
| clk | In | Bit | Entrada de reloj |
| rst | In | Bit | Entrada de reset, activa a nivel alto |
| rxsd | In | Bit | Dato serie recibido en el puerto RS232 |
| txsd | out | Bit | Dato serie transmitido por el puerto RS232 |
| rxdw | out | 8 bits | Dato (byte) recibido |
| txdw | in | 8 bits | Dato (byte) a transmitir |
| txena | In | bit | entrada de validación de transmisión; cuando se activa (a nivel alto) el byte presente en txdw se transmite en serie a través de txsd |
| txbusy | out | bit | salida de estado, activa a nivel alto, que indica que el bloque RS232COM está ocupado transmitiendo un byte (y no se puede realizar otra transmisión) |
| rxrdy | out | bit | salida que indica que se ha recibido un dato por el puerto serie y está disponible en rxdw |

| Módulo REGS_CONF | | | |
|---------------------|------|----------|--|
| Nombre | Tipo | Formato | Descripción |
| clk | in | Bit | Entrada de reloj |
| rxdw | in | 8 bits | Dato (byte) recibido |
| txdw | out | 8 bits | Dato (byte) a transmitir |
| shift_rxregs | in | bit | Señal de activación (a nivel alto) del desplazamiento del registro de desplazamiento de RX |
| load_conregs | in | bit | Señal de activación (a nivel alto) de la carga del registro de configuración |
| load_txregs | in | bit | Señal de activación (a nivel alto) de la carga del registro de desplazamiento de TX |
| shift_txregs | in | bit | Señal de activación (a nivel alto) del desplazamiento del registro de desplazamiento de TX |
| r_control | out | Byte | Registro de control |
| r_freq_mod | out | U[24,24] | Paso del DDS para generar la frecuencia moduladora |
| r_freq_por | out | U[24,24] | Paso del DDS para generar la frecuencia portadora |
| r_im_am | out | U[16,15] | Índice de modulación de AM |
| r_im_fm | out | U[16,16] | Índice de modulación de FM |

| Módulo CONTROL_FSMs | | | |
|---------------------|------|---------|--|
| Nombre | Tipo | Formato | Descripción |
| clk | in | bit | Entrada de reloj |
| rst | in | bit | Entrada de reset activa a nivel alto |
| rxdw | in | 8 bits | Dato (byte) recibido |
| txena | out | bit | Señal de validación (activa a nivel alto) de transmisión |
| txbusy | in | bit | Señal de estado (activa a nivel alto) que indica que el bloque RS232COM está ocupado transmitiendo un byte |
| rxrdy | in | bit | Señal (activa a nivel alto) que indica que se ha recibido un dato por el puerto serie |
| shift_rxregs | out | bit | Señal de activación (a nivel alto) del desplazamiento del registro de desplazamiento de RX |
| load_conregs | out | bit | Señal de activación (a nivel alto) de la carga del registro de configuración |
| load_txregs | out | bit | Señal de activación (a nivel alto) de la carga del registro de desplazamiento de TX |
| shift_txregs | out | bit | Señal de activación (a nivel alto) del desplazamiento del registro de desplazamiento de TX |
| sleds | out | 9 bits | Salidas (9 bits) de monitorización de los estados de las máquinas de estado |

Recursos estimados

Los recursos de nuestro módulo top_DE2115 fueron los siguientes:

| | Resource | Usage |
|---|---|---------------------------|
| 1 | ▼ Total logic elements | 1,333 / 114,480 (1 %) |
| 1 | -- Combinational with no register | 318 |
| 2 | -- Register only | 417 |
| 3 | -- Combinational with a register | 598 |
| 2 | | |
| 3 | ▼ Logic element usage by number of LUT inputs | |
| 1 | -- 4 input functions | 401 |
| 2 | -- 3 input functions | 299 |
| 3 | -- <=2 input functions | 216 |
| 4 | -- Register only | 417 |
| 4 | | |
| 5 | ▼ Logic elements by mode | |
| 1 | -- normal mode | 813 |
| 2 | -- arithmetic mode | 103 |
| 6 | | |
| 7 | ▼ Total registers* | 1,015 / 117,053 (< 1 %) |
| 1 | -- Dedicated logic registers | 1,015 / 114,480 (< 1 %) |
| 2 | -- I/O registers | 0 / 2,573 (0 %) |

Ilustración 9. Tabla de recursos del módulo top top_DE2115

Registros aproximados

- Registros por el módulo REGS_CONF: $8 \times 11 \times 3 = 264$ aprox.
- Registros en del módulo RS232COM: $4+3+2+2+8+2+9+6+4+4 = 44$ aprox
- Registros del módulo de control: $9+8 = 17$ aprox

Frecuencia máxima

La placa utilizada en el laboratorio de prácticas consiste en una Cyclone IV DE-115 cuya frecuencia máxima es de 250MHz.

| Slow 1200mV 85C Model | | | | |
|-----------------------|------------|-----------------|---------------------|------|
| | Fmax | Restricted Fmax | Clock Name | Note |
| 1 | 71.79 MHz | 71.79 MHz | altera_reserved_tck | |
| 2 | 116.18 MHz | 116.18 MHz | clk | |

Ilustración 10. Frecuencia máxima del módulo top_DE2115

Mediante la herramienta *TimeQuest Timing Analyzer*, podremos calcular la frecuencia máxima a la que trabajará el modulo diseñado instanciado con el top_DE2115. En este caso la frecuencia máxima de trabajo de ~116.18MHz tal y como se observa en la ilustración.

Camino critico

El camino critico es aquel en que la señal tarda más desde su ingreso hasta su destino. Mediante el *Technology Map Viewer* podremos encontrar en que parte del circuito se encuentra.

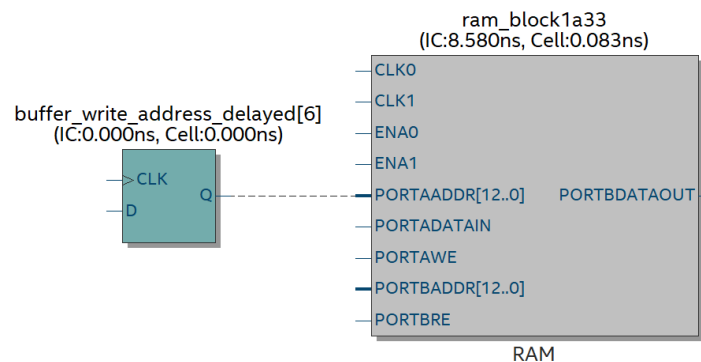


Ilustración 11. Camino crítico del módulo top_DE2115

Verificación

Para la verificación de esta entrega se realizaron 3 tipos de verificaciones distintas:

1. Verificación Testbenchs:

El primer método de verificación utilizado fue el de simulación mediante testbenchs con la herramienta *MODELSIM*. Se procedió a realizar un testbench para cada máquina de estado diseñada y luego de comprobar su correcto funcionamiento se usó el testbench dado por el docente (CONF_CONTROL_TB.v) para poder verificar el módulo de REGS_CONTROL y el módulo de control CONTROL_FSMs.

- MAIN_CONTROL:

Esta es la máquina de estados que se encarga de leer el byte que contiene el comando de escritura o lectura dirigirse al estado de ese procedimiento, luego de acabar el procedimiento la maquina debe de volver al estado inicial.

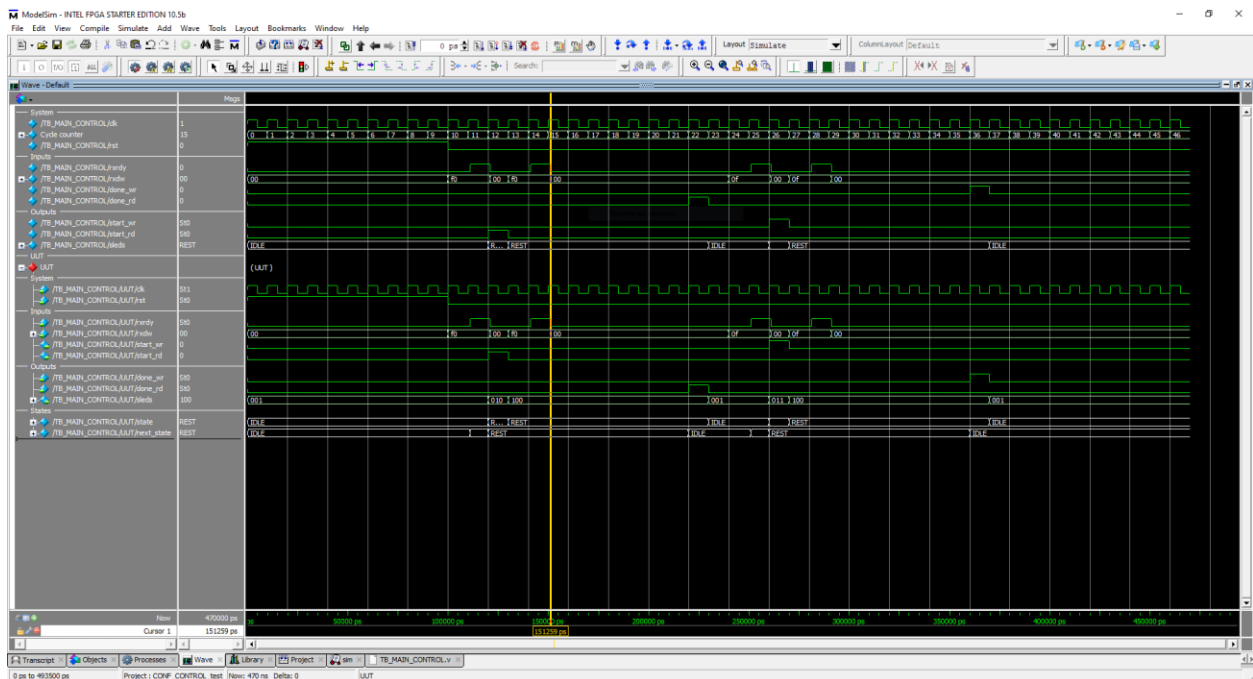
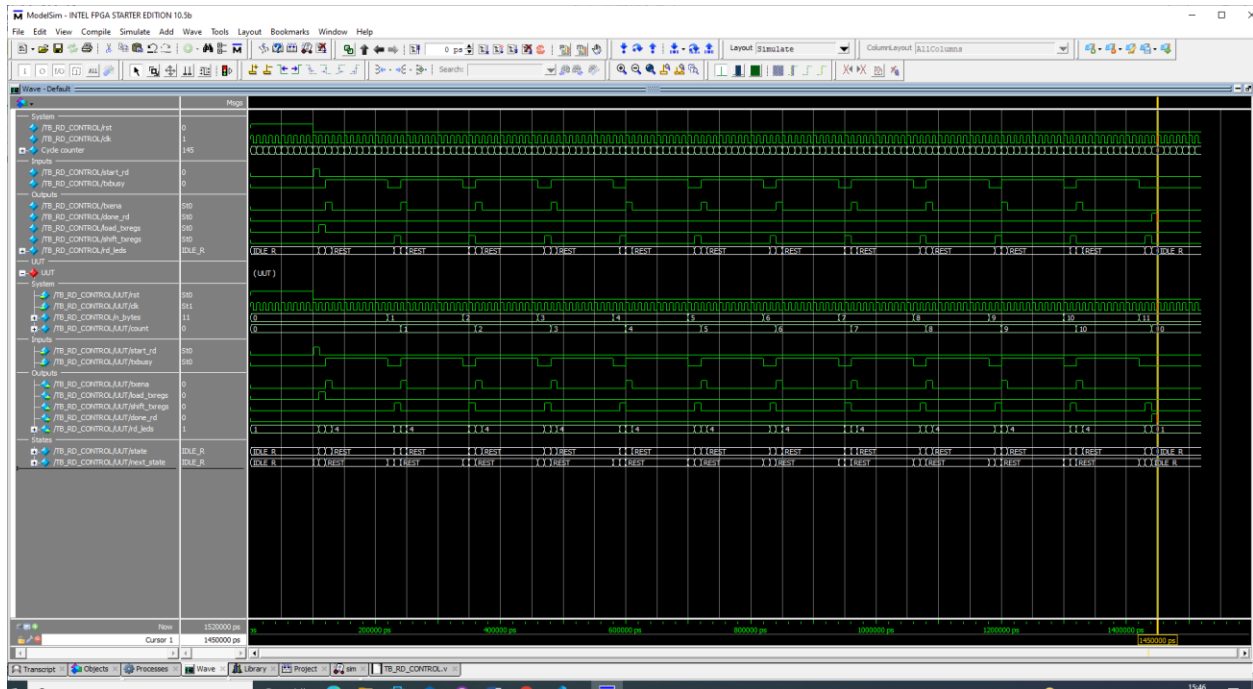


Ilustración 12. Testbench máquina de estados MAIN_CONTROL

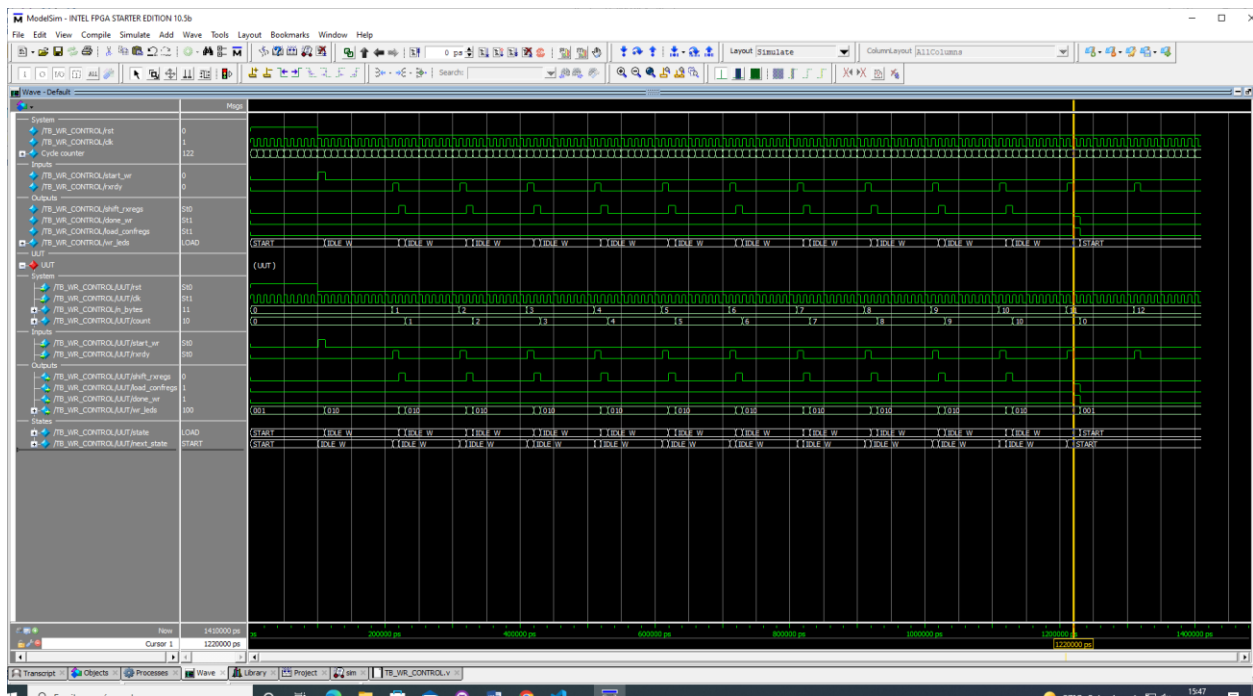
- RD_CONTROL:

Esta es la máquina de estados que se encarga de controlar la transmisión de los 11 bytes del registro de desplazamiento tx de REGS_CONF cuando la PC los solicite.



- WR_CONTROL:

Esta es la máquina de estados que se encarga de escribir los 11 bytes que provienen de la PC en el módulo CONF_REGS.



- CONF_CONTROL:

Finalmente el modulo top CONF_CONTROL fue simulado con el testbench que nos proporcionó el docente. Este le inyecta a nuestro modulo el “comando” de escritura junto con los 11 bytes de configuración a transmitir. Luego le pasa el comando de lectura y revisa que los bytes han sido desplazados correctamente desde el registro de desplazamiento tx.

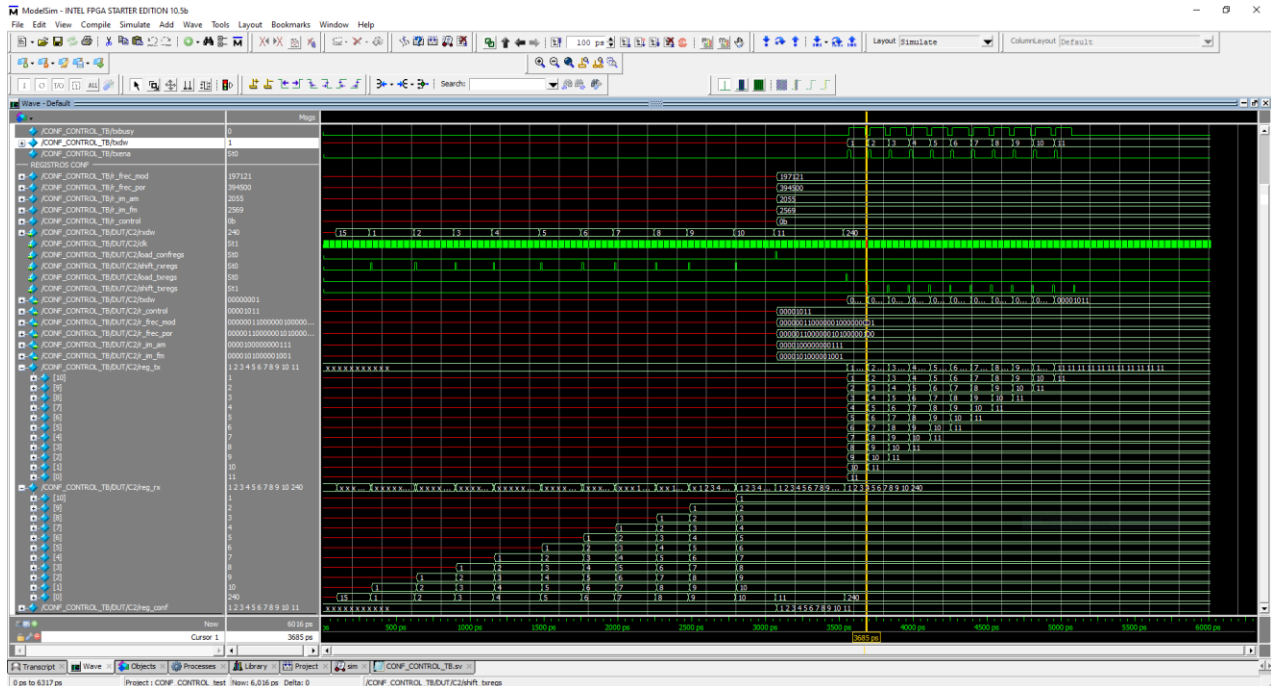


Ilustración 15. Testbench del módulo CONF_CONTROL

2. Verificación física:

Al diseñar nuestra maquina de estados se le asigno a cada estado un valor de 4 bits que representa 4 LEDs de la placa. Esto se hizo para que en conjunto con el modulo top proporcionado por el docente (top_DE2115) y el archivo de asignación de pines se pudiera verificar el funcionamiento del módulo físicamente.

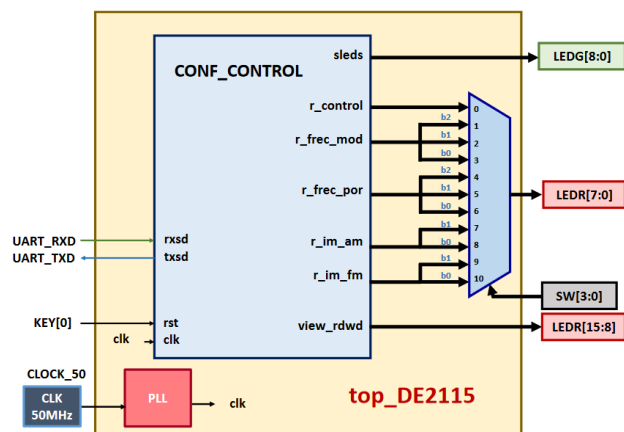


Ilustración 16. Diagrama del módulo top DE2115

Shift register

```

wire clk,ce;
wire [7:0] D;
wire [7:0] Q;

reg [7:0] SR [3:0];

integer i;

always @ (posedge clk)
  if (ce)
    begin
      SR[0] <= D0;
      for (i = 3; i>0; i = i-1)
        SR[i] <= SR[i-1];
    end

assign Q = SR[3];

```

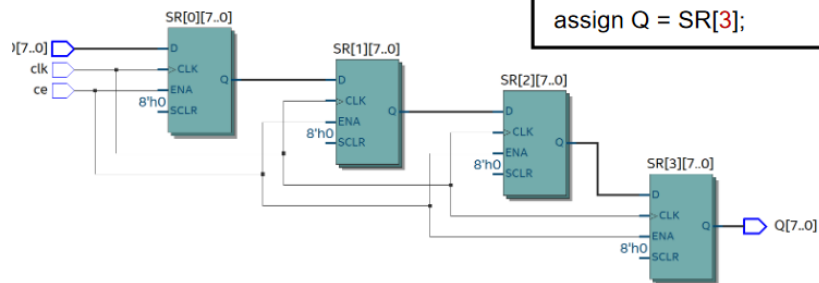


Ilustración 18. Estructura de shift register dada en la asignatura.