

Máster Universitario en Ingeniería de Sistemas Electrónicos



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Práctica E6: Modulador AM/FM configurable basado en FPGA

Jose Luis, Rocabado Rocha

Gianmarco Leopoldo, Sangoi Da Roza

06/05/2022

ÍNDICE

ÍNDICE	2
ÍNDICE DE FIGURAS	3
Descripción del sistema elaborado.....	4
Interfaz del módulo DP_COMPLETMOD	5
Recursos del sistema.....	6
Frecuencia máxima del sistema	7
Camino Crítico del sistema.....	7
Verificación del sistema	8
Resolución de problemas encontrados	11

ÍNDICE DE FIGURAS

<i>Ilustración 1. Modulo DP_COMPLETMOD</i>	<i>4</i>
<i>Ilustración 2. Sistema completo del Modulador AM/FM.....</i>	<i>4</i>
<i>Ilustración 3. Recursos del sistema</i>	<i>6</i>
<i>Ilustración 4. Frecuencia máxima del sistema</i>	<i>7</i>
<i>Ilustración 5. Camino crítico del sistema</i>	<i>7</i>
<i>Ilustración 6. Ejemplo de modulación AM para una señal senoidal de 1KHz.</i>	<i>8</i>
<i>Ilustración 7. Ejemplo de modulación FM para una señal en rampa de 5KHz.</i>	<i>8</i>
<i>Ilustración 8. Comprobación de la lectura de los registros de control mediante Matlab.</i>	<i>9</i>
<i>Ilustración 9. Visualización en placa del byte de control correspondiente con el byte 1 de la frecuencia de la portadora.....</i>	<i>10</i>
<i>Ilustración 10. Resultados mediante SignalTap del modelo final del modulador AM/FM.....</i>	<i>11</i>

Descripción del sistema elaborado

Para completar nuestro modular AM/FM primero se debe crear el módulo de la ruta de datos en su totalidad. Este módulo se basará en los siguientes módulos de prácticas anteriores:

- Modulo DDS
- Modulo compensador de CIC
- Modulo Filtro CIC
- Modulo Ruta de datos AM/FM (Modulador)

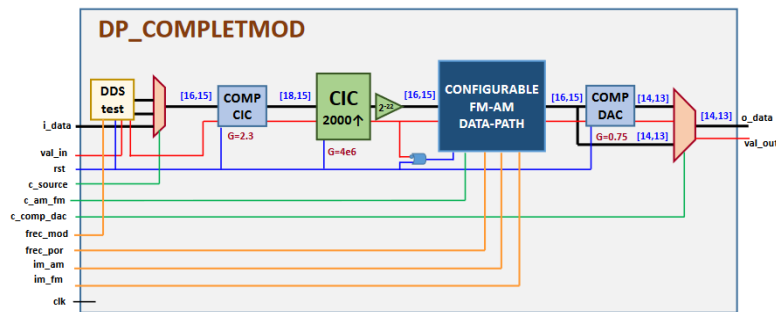


Ilustración 1. Módulo **DP_COMPLETMOD**

Una vez elaborado el modulador tal como en la ilustración anterior (en nuestro caso no usamos un compensador DAC a la salida del bloque modulador) se procede a interconectar este módulo con el de control elaborado en la práctica 5 y los módulos para entrada de audio, PLL y comunicación RS232COM proporcionados por el docente de la asignatura. El diseño del módulo es el siguiente:

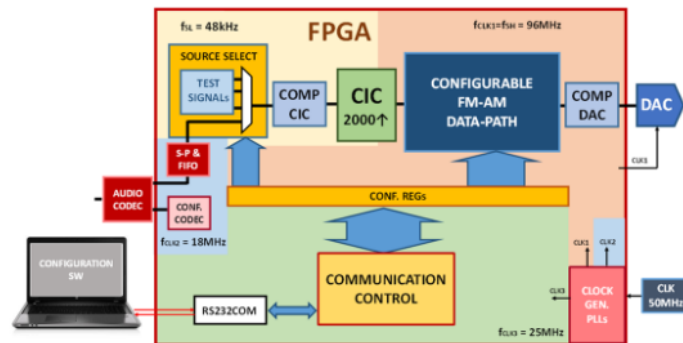


Ilustración 2. Sistema completo del Modulador AM/FM

El DDS genera 3 señales moduladoras internas (cuadrada, rampa o sinusoidal) que nos servirán para verificar el funcionamiento del módulo. Con el multiplexor seleccionamos la entrada deseada entre estas señales y la obtenida por codificador de audio. La señal moduladora se filtra con un filtro FIR que compensa la respuesta en frecuencia del filtro CIC interpolador. La señal moduladora se genera y filtra con una tasa de muestreo de 48 kHz y el filtro interpolador CIC la interpola por un factor 2000 para muestrearla a una tasa de 96 MHz y modularla con el modulador configurable de FM-AM. Por último, el bloque de control lee los parámetros de configuración que se envían desde el PC mediante el puerto serie y configura el equipo.

Interfaz del módulo DP_COMPLETMOD

INTERFAZ			
Nombre	Tipo	Formato	Descripción
clk	in	bit	Entrada de reloj
rst	in	bit	Reset síncrono
val_in	in	bit	Entrada de validación de datos
i_data	in	Signed 16 bits	Señal moduladora
c_source	in	2 bit	Selección fuente de señal moduladora
c_fm_am	in	bit	Control modo fm/am
c_comp_dac	in	bit	Control Multiplexor del DAC (no utilizado)
frec_mod	in	3 bytes	Configuración de la señal moduladora
frec_por	in	3 bytes	Configuración de la señal portadora
im_fm	in	2 bytes	Entrada del índice de modulación FM
im_am	in	2 bytes	Entrada del índice de modulación AM
o_data	out	Signed 14 bits	Salida de datos.
val_out	out	bit	Salida de la señal de validación

Recursos del sistema

Al ser un sistema elaborado producto de los módulos desarrollados en anteriores prácticas, podemos esperar una gran cantidad recursos. Como estimación dichos recursos se deben aproximar a la suma de los recursos que hemos obtenido y estimado en las anteriores prácticas. En la siguiente ilustración se observan los recursos totales obtenidos en nuestro sistema.

	Resource	Usage
1	▼ Total logic elements	1,829 / 114,480 (2 %)
1	-- Combinational with no register	390
2	-- Register only	419
3	-- Combinational with a register	1020
2		
3	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	515
2	-- 3 input functions	555
3	-- <=2 input functions	340
4	-- Register only	419
4		
5	▼ Logic elements by mode	
1	-- normal mode	1019
2	-- arithmetic mode	391
6		
7	▼ Total registers*	1,439 / 117,053 (1 %)
1	-- Dedicated logic registers	1,439 / 114,480 (1 %)
2	-- I/O registers	0 / 2,573 (0 %)
8		
9	Total LABs: partially or completely used	165 / 7,155 (2 %)
10	Virtual pins	0
11	➤ I/O pins	101 / 529 (19 %)
12		
13	M9Ks	35 / 432 (8 %)
14	Total block memory bits	270,336 / 3,981,312 (7 %)
15	Total block memory implementation bits	322,560 / 3,981,312 (8 %)
16	Embedded Multiplier 9-bit elements	8 / 532 (2 %)
17	PLLs	3 / 4 (75 %)
18	➤ Global signals	5
19	JTAGs	0 / 1 (0 %)
20	CRC blocks	0 / 1 (0 %)

Ilustración 3. Recursos del sistema

Frecuencia máxima del sistema

La placa utilizada en el laboratorio de prácticas consiste en una Cyclone IV DE-115 cuya frecuencia máxima es de 250MHz.

Selected Operating Conditions

☒ Slow 1200mV 85C Model

☐ Slow 1200mV 0C Model

☐ Fast 1200mV 0C Model

report

TimeQuest Timing Analyzer

Advanced I/O Timing

SDC File List

Fmax Summary

Slow 1200mV 85C Model

Slow 1200mV 85C Model

	Fmax	Restricted Fmax	Clock Name	Note
1	79.95 MHz	79.95 MHz	pll_inst1 altpll_component auto_generated pll1 clk[0]	
2	144.2 MHz	144.2 MHz	clock_m	
3	224.97 MHz	224.97 MHz	pll_inst2 altpll_component auto_generated pll1 clk[0]	

Ilustración 4. Frecuencia máxima del sistema

Mediante la herramienta *TimeQuest Timing Analyzer*, podremos calcular la frecuencia máxima a la que trabajará nuestro sistema modulador AM/FM con el top del sistema completo (MOD_COMP). En este caso la frecuencia máxima de trabajo de ~ 144.2 MHz tal y como se observa en la ilustración.

Camino Critico del sistema

El camino critico es aquel en que la señal tarda más desde su ingreso hasta su destino. Mediante el *Technology Map Viewer* podremos encontrar en que parte del circuito se encuentra. El camino critico de todo el sistema usando como top el fichero MOD_COMP se muestra en la siguiente ilustración:

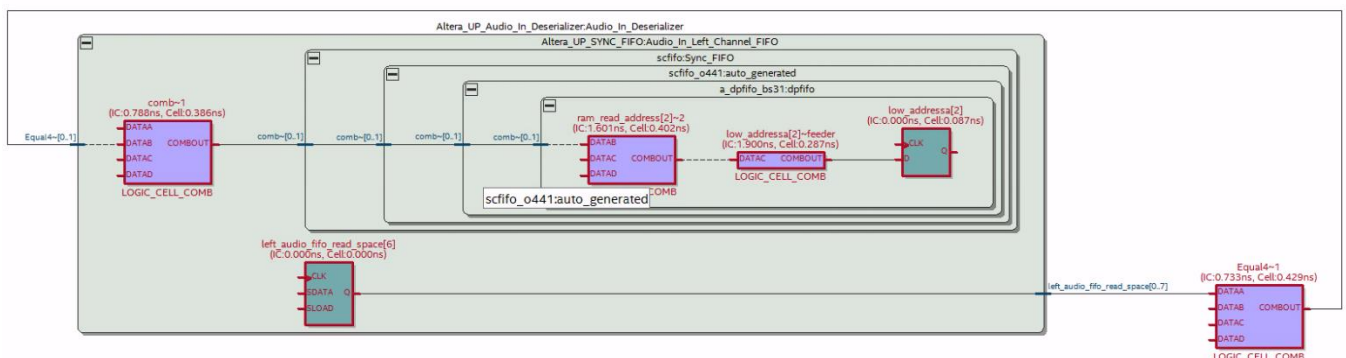


Ilustración 5. Camino crítico del sistema

Verificación del sistema

La verificación realizada para el sistema completo se ha realizado una verificación tanto por simulación y comparación con el Golden Model en Modelsim como por verificación en placa utilizando la herramienta SignalTap que incorpora Quartus.

Para la simulación se sigue el método utilizado a lo largo de todas las prácticas y se utiliza el modelo de Simulink facilitado por los docentes en la práctica. Se completa el *script* de Matlab para guardar los coeficientes del filtro de compensación, la configuración del modulador, la señal de entrada y la salida. A continuación, se hace la validación con diferentes señales de entrada y diferentes frecuencias. Podemos ver algunos ejemplos en las siguientes imágenes donde el contador de errores se mantiene a 0.

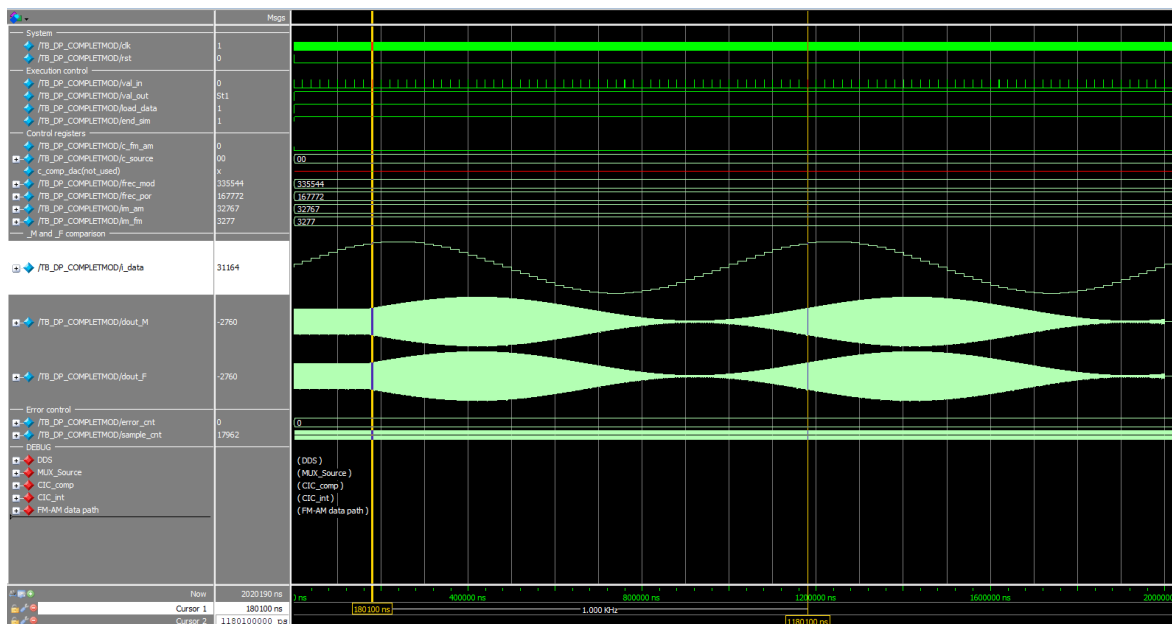


Ilustración 6. Ejemplo de modulación AM para una señal senoidal de 1KHz.

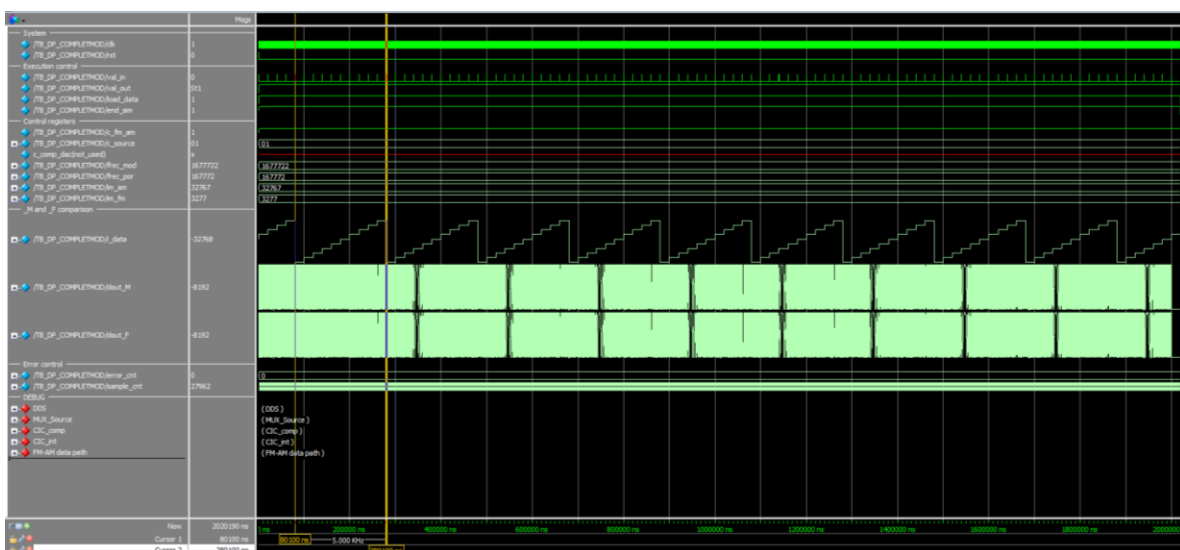


Ilustración 7. Ejemplo de modulación FM para una señal en rampa de 5KHz.

Tras la verificación mediante simulación, es necesario generar el documento de Matlab que nos permitirá transmitir los bytes de configuración. Para validar el *script* se utilizará el diseño de la práctica anterior y se utilizará los LEDs y los Switches para visualizar los registros de control enviados desde Matlab.

En las siguientes figuras encontraremos como los valores enviados y recibidos se corresponden además de una imagen donde se observa que el byte enviado se corresponde con el guardado en los registros en la placa.

The screenshot shows a MATLAB editor window with two tabs: 'configura_modulador.m' and 'configura_modelo_dp_complemod.m'. The 'configura_modulador.m' script contains the following code:

```

19 source_sel = 2;
20
21 % FM modulation index (kHz)
22 Kfm=5000; % kHz
23
24 % AM modulation index (range [0,1])
25 m_am=1*(1-2^-15);
26
27 % Carrier frequency (MHz)
28 fc=1; % MHz
29
30 % Modulating frequency (kHz)
31 fmod= 1; % kHz
32
33 % Sampling frequency (MHz)
34 fsc=100; % MHz
35
36 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

The Command Window shows the following output:

```

>> configura_modulador
Warning: Odd order symmetric FIR filters must have a gain of zero at the Nyquist frequency. The order is being increased by one..
Alternatively, you can pass a trailing 'h' argument, as in firpm(N,F,A,W,'h'), to design a type 4 linear phase filter.
> In firpm (line 116)
   In firpm (line 135)
   In remez (line 24)
   In conf_mod_filter_design (line 107)
   In configura_modulador (line 39)

*****
Values read from DE2-115
*****
c_on_off = 1
c_fm_am = 1
c_source = 2
freq_mod = 335544
freq_por = 167772
im_am = 32767
im_fm = 3277
*****

```

Ilustración 8. Comprobación de la lectura de los registros de control mediante Matlab.

		1000 1111			
HEX	8F			f_interpolacion	2000
DEC	143			f_max_comp	0.4000
OCT	217			f_scala	0.7500
BIN	1000 1111			fc	1
				fmod	1
				frec_mod	335544
				frec_mod_b0	184
				frec_mod_b1	30
				frec_mod_b2	5
				frec_por	167772
				frec_por_b0	92
				frec_por_b1	143
				frec_por_b2	2

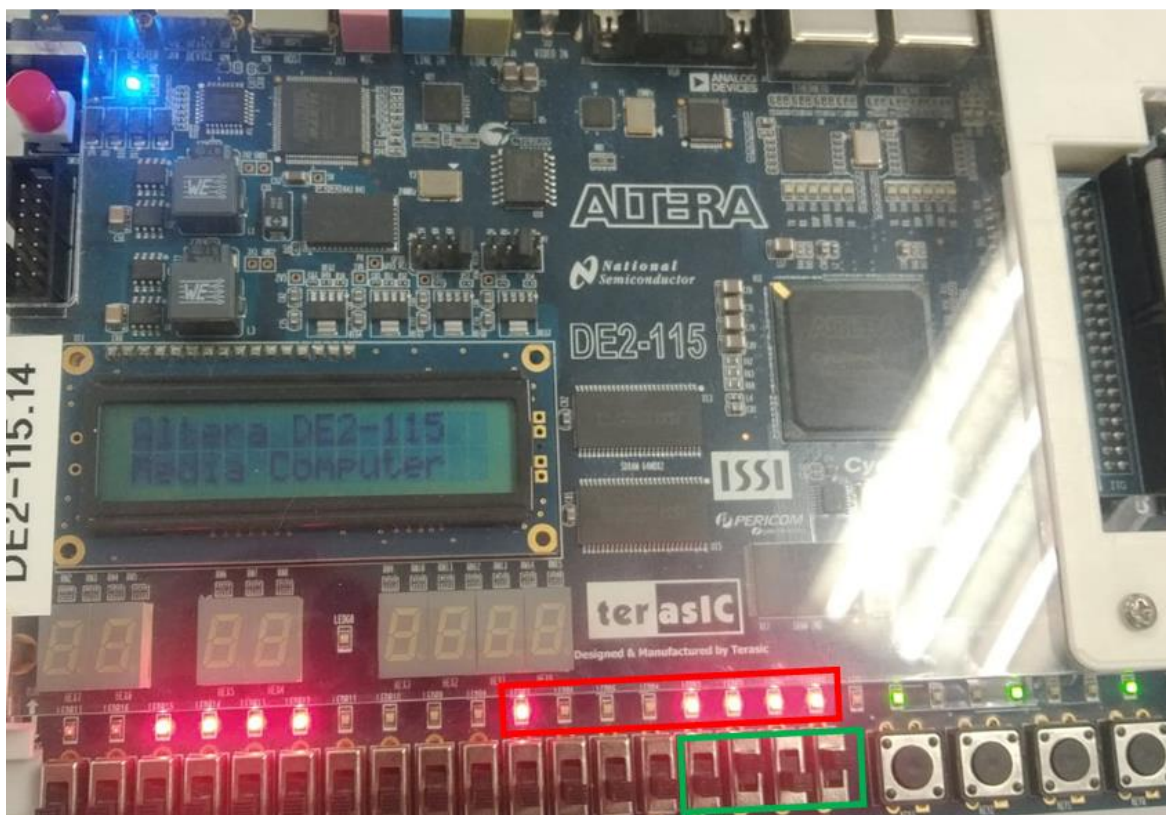
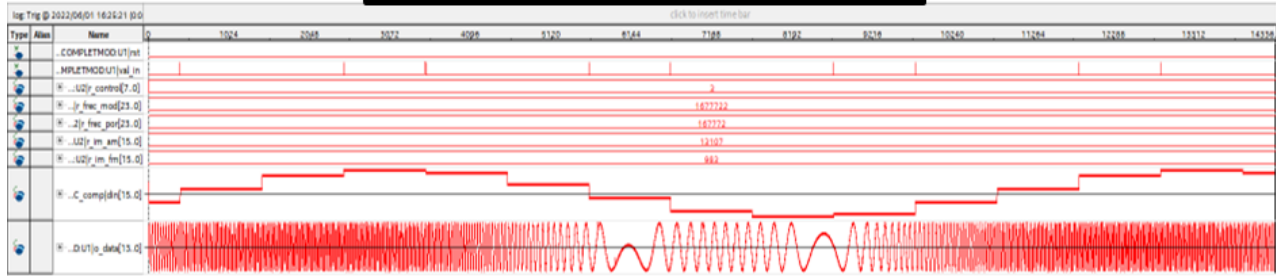


Ilustración 9. Visualización en placa del byte de control correspondiente con el byte 1 de la frecuencia de la portadora.

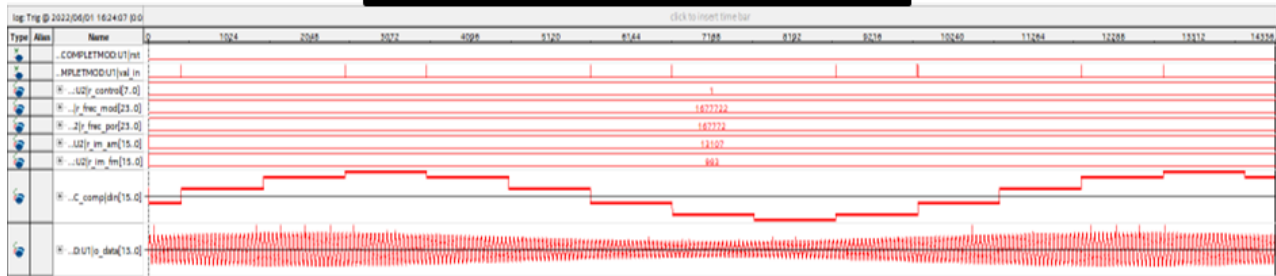
Por último, se procede a la validación del sistema completo mediante la herramienta de SignalTap. Para ello, se configura la herramienta para que almacene los valores de los registros de control, la señal modulada y la salida de la modulación. Para ello se utilizará como *trigger* la señal *enable* de control y únicamente se guardarán las señales cuando haya un cambio para reducir los recursos de memoria utilizados por SignalTap.

En la siguiente figura, encontramos algunos ejemplos de lo obtenido en la placa para diferentes señales de 5KHz (para poder visualizar al menos un ciclo en cada adquisición) y índices de modulación.

Modulación FM (0.01) Senoidal



Modulación AM (0.5) Senoidal



Modulación AM (0.99997) Cuadrada

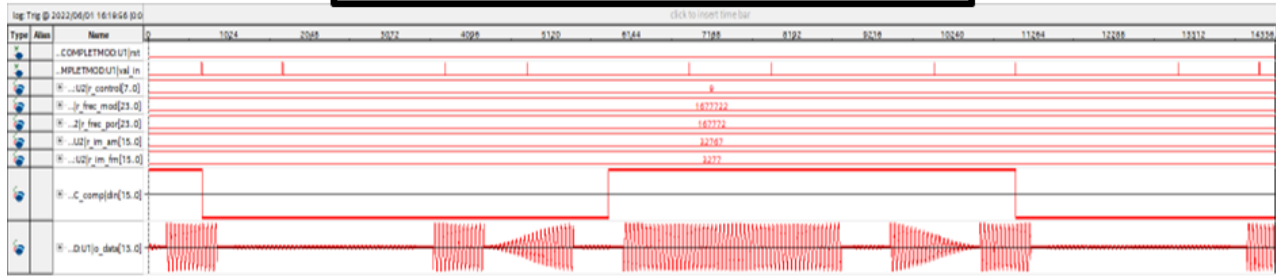


Ilustración 10. Resultados mediante SignalTap del modelo final del modulador AM/FM

Tras la validación realizada se puede concluir que el diseño completo es correcto. Aun así, sería necesario comprobar el funcionamiento con un receptor AM/FM además de con una señal de audio, validando así definitivamente el diseño.

Resolución de problemas encontrados

Dado que los diferentes submódulos se han ido validando práctica a práctica, no se han encontrado problemas mayores. El único problema se encontró en el módulo CIC, en los bloques peine. Dado que no se realizaba la inicialización del registro de captura de la señal de entrada, se realizaba la suma con valores “XXX” arrastrando el fallo hasta el final del sistema. Se debe inicializar dicho registro cuando se produce un reset del sistema.

Por último, se observó mediante el TB que a medida que se incrementa la frecuencia de la señal a modular, aparecen errores de $\sim 1\text{LSB}$ en la comparación con el Golden Model. Es un error negligible y se podría explicar al error introducido por el DDS que no se tiene en cuenta en el modelo de Simulink.