

Máster Universitario en Ingeniería de Sistemas Electrónicos



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Práctica E2: DP MOD

Jose Luis, Rocabado Rocha

Gianmarco Leopoldo, Sangoi Da Roza

03/25/2022

ÍNDICE

ÍNDICE	2
ÍNDICE DE FIGURAS	3
Descripción del módulo	4
Interfaz	4
Recursos Hardware	5
Frecuencia máxima.....	7
Camino critico	8
Verificación.....	8
Resolución de problemas encontrados	9

ÍNDICE DE FIGURAS

<i>Ilustración 1. Recursos usados de nuestro módulo DP_MOD.</i>	<i>6</i>
<i>Ilustración 2. Bloques DSP utilizados por el sintetizador que contienen los multiplicadores.</i>	<i>7</i>
<i>Ilustración 3. Fmax.</i>	<i>7</i>
<i>Ilustración 4. Camino critico</i>	<i>8</i>
<i>Ilustración 5. Simulación de la señal FM de nuestro modulo con el Golden model.</i>	<i>9</i>
<i>Ilustración 6. Simulación de la señal AM de nuestro modulo con el Golden model.</i>	<i>9</i>
<i>Ilustración 7. Solución encontrada para la suma del 1 en la ruta AM.</i>	<i>9</i>

Descripción del módulo

El módulo diseñado consiste en la ruta de datos que servirá posteriormente para el modulador configurable AM/FM.

Este módulo nos permite seleccionar mediante 2 multiplexores controlados por un bit, el índice de modulación (AM o FM) que queremos combinar con los datos de entrada y nuestra frecuencia portadora.

- Para poder obtener una señal AM a la salida la fórmula es la siguiente:

$$s_{AM}(n) = (1 + m_{AM}x(n))\cos(2\pi f_c n)$$

Por lo que se multiplica primero los datos de entrada por el índice de modulación AM y luego se multiplica esto por el resultado de pasar la frecuencia portadora por el módulo de síntesis digital directa (DDS).

- Para obtener una señal FM a la salida la fórmula es la siguiente:

$$s_{FM}(n) = \cos\left(2\pi f_c n + 2\pi m_{FM} \sum_{k=0}^{n-1} x(k)\right)$$

En este caso una vez multiplicados el índice de modulación con los datos de entrada, estos se suman a la frecuencia portadora antes del DDS, formando así la señal FM que deseamos.

Interfaz

- Módulo DP_MOD (top):

INTERFAZ			
Nombre	Tipo	Formato	Descripción
clk	in	bit	Entrada de reloj
rst	in	bit	Reset síncrono del acumulador, activo a nivel bajo
c_fm_am	in	bit	Selector de ruta (bit selector de los mux)
val_in	in	bit	Entrada de validación del paso del acumulador
i_data	in	S[M, M-1]	Entrada de datos a modular
im_am	out	U[W, W-1]	Índice de modulación AM
im_fm	out	U[W, W]	Índice de modulación FM
freq_por	out	U[W, W]	Frecuencia de la portadora
o_data		S[W, W-1]	Salida de datos modulados.
val_out	out	bit	Señal de validación de la muestra de salida

- Módulo DDS_test:

PARÁMETROS	
Nombre	Descripción
M	Tamaño del acumulador
L	Número de bits usados para truncar la fase del acumulador
W	Tamaño de los datos de salida

INTERFAZ			
Nombre	Tipo	Formato	Descripción
clk	in	bit	Entrada de reloj
rst_ac	in	bit	Reset síncrono del acumulador, activo a nivel bajo
ena_ac	in	bit	Clock enable del acumulador, activo a nivel bajo
val_in	in	bit	Entrada de validación del paso del acumulador
P	in	S[M, M]	Paso del acumulador
sin_wave	out	S[W, W-1]	Señal sinusoidal de frecuencia $f_o = P \cdot f_{clk} / 2^M$
val_out	out	bit	Señal de validación de la muestra de salida

Recursos Hardware

Tabla de recursos del módulo DP_MOD del sintetizador	
Hardware	Cantidad
Elementos Lógicos	166
Multiplicadores	3
Memorias MK9	16

	Resource	Usage
1	▼ Total logic elements	166 / 114,480 (< 1 %)
1	-- Combinational with no register	47
2	-- Register only	40
3	-- Combinational with a register	79
2		
3	> Logic element usage by number of LUT inputs	
4		
5	▼ Logic elements by mode	
1	-- normal mode	65
2	-- arithmetic mode	61
6		
7	▼ Total registers*	119 / 117,053 (< 1 %)
1	-- Dedicated logic registers	119 / 114,480 (< 1 %)
2	-- I/O registers	0 / 2,573 (0 %)
8		
9	Total LABs: partially or completely used	18 / 7,155 (< 1 %)
10	Virtual pins	0
11	> I/O pins	93 / 529 (18 %)
12		
13	M9Ks	16 / 432 (4 %)
14	Total block memory bits	131,072 / 3,981,312 (3 %)
15	Total block memory implementation bits	147,456 / 3,981,312 (4 %)

Ilustración 1. Recursos usados de nuestro módulo DP_MOD.

- Elementos Lógicos (LEs):

Los elementos lógicos del DDS serían (M = 24, L = 15 y W = 16):

$$4 + 2 + 24 + (15-2) + 16 + 16 * 3 + 2 + 16 = 125 \text{ LEs.}$$

El resto consiste en los LE implementados para la ruta de datos AM/FM los cuales son multiplicadores y sumadores:

$$12 * 16 (\text{aprox}) + 7 (\text{val_out}) = 199 \text{ LEs.}$$

Esto quiere decir que según nuestros cálculos deberíamos tener un aproximado a 324 elementos lógicos. Sin embargo, como en la captura se aprecia 166, esta diferencia tan grande se debe a que los registros que están en los multiplicadores no los se toman en cuenta como elementos lógicos.

- Multiplicadores:

	Name	Mode	Location	Sign Representation
1	lpm_mult:Mult2[mult_56:auto_generated mac_out2]	Simple Multiplier (18-bit)	DSPOUT_X44_Y58_N2	
1	lpm_mult:Mult2[mult_56:auto_generated mac_mult1]		DSPMULT_X44_Y58_N0	Signed
2	lpm_mult:Mult1[mult_56:auto_generated mac_out2]	Simple Multiplier (18-bit)	DSPOUT_X44_Y69_N2	
1	lpm_mult:Mult1[mult_56:auto_generated mac_mult1]		DSPMULT_X44_Y69_N0	Signed
3	lpm_mult:Mult0[mult_66:auto_generated mac_out2]	Simple Multiplier (18-bit)	DSPOUT_X44_Y67_N2	
1	lpm_mult:Mult0[mult_66:auto_generated mac_mult1]		DSPMULT_X44_Y67_N0	Signed

Ilustración 2. Bloques DSP utilizados por el sintetizador que contienen los multiplicadores.

Los multiplicadores implementados son 3 y cómo podemos apreciar en la imagen están dentro de bloques DSP por lo cual acá nos encontramos los 192 registros faltantes (aproximadamente).

- Memoria MK9:

Las memorias se encuentran todas en el DDS y al implementar una palabra de 16bits el sintetizador crea 9 memorias MK9.

Frecuencia máxima

La placa utilizada en el laboratorio de prácticas consiste en una Cyclone IV DE-115 cuya frecuencia máxima es de 250MHz.

The screenshot shows the 'Set Operating Conditions' dialog box with the 'Slow 1200mV 85C Model' selected. The 'Report' tab is active, showing a tree view with 'Fmax Summary' expanded. The 'Tasks' tab is also visible, showing a list of tasks including 'Report Fmax Summary'.

	Fmax	Restricted Fmax	Clock Name	Note
1	122.5 MHz	122.5 MHz	clk	

Ilustración 3. Fmax

Mediante la herramienta *TimeQuest Timing Analyzer*, podremos calcular la frecuencia máxima a la que trabajará el modelo diseñado. Utilizando el *wrapper* (instanciación con registros en las entradas y salidas) creado, hemos sido capaces de obtener una frecuencia máxima de trabajo de ~122.5MHz tal y como se observa en la siguiente figura.

Camino critico

El camino critico es aquel en que la señal tarda más desde su ingreso hasta su destino. Mediante el *Technology Map Viewer* podremos encontrar en que parte del circuito se encuentra.

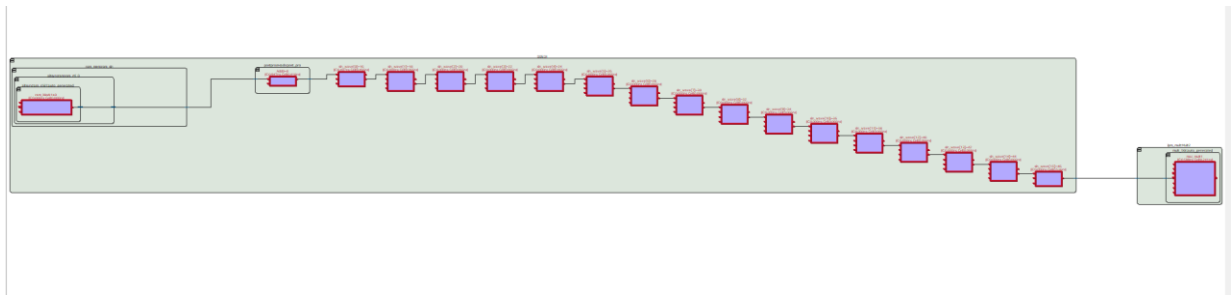


Ilustración 4. Camino critico

El camino critico de nuestro modelo DP_MOD se encuentra claramente en el DDS ya que este es el que posee la memoria con la tabla para generar la señal sinusoidal, el resto del circuito consiste en una serie de multiplicadores, sumadores y multiplexores, los cuales no retardan mucho la señal en comparación a la generación por tablas de la señal sinusoidal.

Verificación

Para la verificación del sistema diseñado, se creó un testbench (TB_MOD_DP.v) y un archivo “.do” para poder tener la lista de las señales a visualizar (im_am, im_fm, o_data...). Luego se elaboró un archivo en Matlab para poder inyectarle a nuestro modelo las señales deseadas y a su vez comparar este con el *Golden Model* proporcionado por el docente.

El fichero de testbench se obtuvo a partir de la plantilla del ejercicio de verificación proporcionado en clase, se dispone de un sincronizador de entrada/salida de datos, además de un control de inicio de lectura de datos y un control de fin de simulación.

En el fichero Matlab creado se establece la frecuencia de muestreo (100MHz) y las siguientes entradas y salidas:

- A) Los datos a modular, en este caso le inyectamos una señal sinusoidal a nuestro modelo.
- B) La entrada de control de los multiplexores, en caso de ser 1 la señal resultante será la FM (0 = AM).
- C) Las señales de índice de modulación (AM/FM) de 16 bits.
- D) La frecuencia portadora ($f_c/f_{sc} \cdot 2^{24}$).

- FM

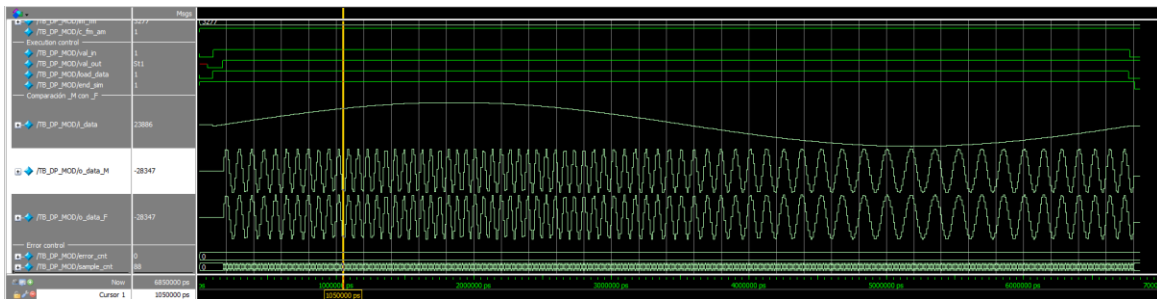


Ilustración 5. Simulación de la señal FM de nuestro modulo con el Golden model.

- AM

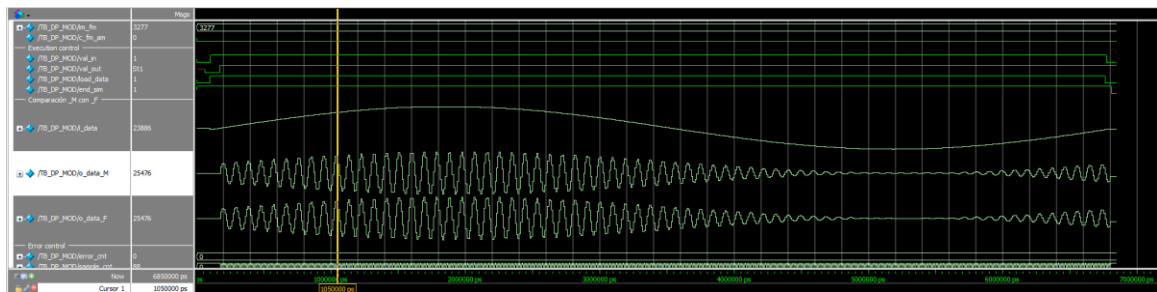


Ilustración 6. Simulación de la señal AM de nuestro modulo con el Golden model.

Tanto la señal FM como la AM nos dio igual al *Golden model*, comprobamos las multiplicaciones y sumas en cada una de las rutas y el valor era el mismo.

Resolución de problemas encontrados

Para la elaboración de este módulo tuvimos 2 problemas:

- El primero consiste en que en la operación de multiplicación no hacíamos creábamos una variable intermedia, entonces al hacer el shift el Modelsim nos fallaba.
- El segundo problema consistió en la suma a 1 en la ruta de la señal AM, no teníamos declarado correctamente esta variable y a la salida la onda nos arroja un problema de *Wrap*, Lo solucionamos escribiendo el "1" con concatenación.

```
// 12 register
always @(posedge clk )
begin
    uno_sum <= im_am_x_i_data_pipe_3 + $signed({1'b0, (1 <<< 15)});
end
```

Ilustración 7. Solución encontrada para la suma del 1 en la ruta AM.

