Máster Universitario en Ingeniería de Sistemas Electrónicos

**Imagen que contiene Texto

Descripción generada automáticamente**

**Práctica E6: Modulador AM/FM configurable basado en FPGA**

Jose Luis, Rocabado Rocha

Gianmarco Leopoldo, Sangoi Da Roza

06/05/2022

# **ÍNDICE**

[**ÍNDICE** 2](#_Toc105294708)

[**ÍNDICE DE FIGURAS** 3](#_Toc105294709)

[Descripción del sistema elaborado 4](#_Toc105294710)

[Interfaz del módulo DP\_COMPLETMOD 5](#_Toc105294711)

[Recursos del sistema 6](#_Toc105294712)

[Frecuencia máxima del sistema 7](#_Toc105294713)

[Camino Critico del sistema 7](#_Toc105294714)

[Verificación del sistema 8](#_Toc105294715)

[Resolución de problemas encontrados 11](#_Toc105294716)

# **ÍNDICE DE FIGURAS**

[Ilustración 1. Modulo DP\_COMPLETMOD 4](#_Toc105294717)

[Ilustración 2. Sistema completo del Modulador AM/FM 4](#_Toc105294718)

[Ilustración 3. Recursos del sistema 6](#_Toc105294719)

[Ilustración 4. Frecuencia máxima del sistema 7](#_Toc105294720)

[Ilustración 5. Camino crítico del sistema 7](#_Toc105294721)

[Ilustración 6. Ejemplo de modulación AM para una señal senoidal de 1KHz. 8](#_Toc105294722)

[Ilustración 7. Ejemplo de modulación FM para una señal en rampa de 5KHz. 8](#_Toc105294723)

[Ilustración 8. Comprobación de la lectura de los registros de control mediante Matlab. 9](#_Toc105294724)

[Ilustración 9. Visualización en placa del byte de control correspondiente con el byte 1 de la frecuencia de la portadora. 10](#_Toc105294725)

[Ilustración 10. Resultados mediante SignalTap del modelo final del modulador AM/FM 11](#_Toc105294726)

# Descripción del sistema elaborado

Para completar nuestro modular AM/FM primero se debe crear el módulo de la ruta de datos en su totalidad. Este módulo se basará en los siguientes módulos de prácticas anteriores:

* + Modulo DDS
  + Modulo compensador de CIC
  + Modulo Filtro CIC
  + Modulo Ruta de datos AM/FM (Modulador)

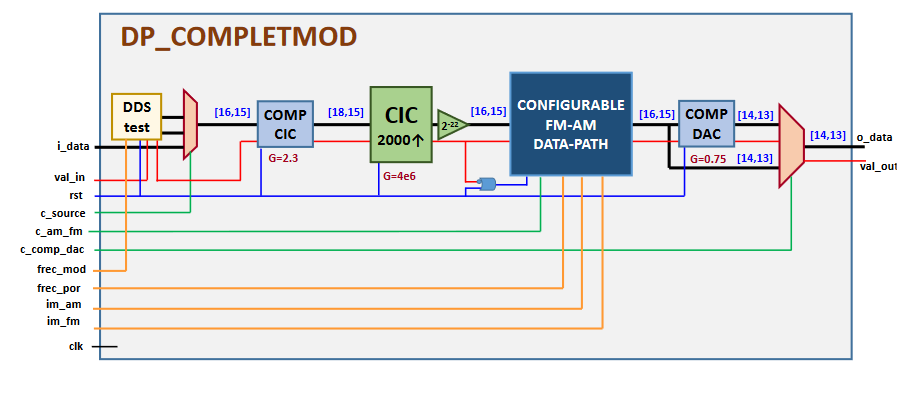


Ilustración 1. Modulo DP\_COMPLETMOD

Una vez elaborado el modulador tal como en la ilustración anterior (en nuestro caso no usamos un compensador DAC a la salida del bloque modulador) se procede a interconectar este módulo con el de control elaborado en la práctica 5 y los módulos para entrada de audio, PLL y comunicación RS232COM proporcionados por el docente de la asignatura. El diseño del módulo es el siguiente:

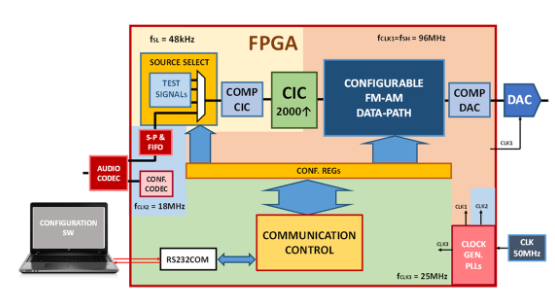


Ilustración 2. Sistema completo del Modulador AM/FM

El DDS genera 3 señales moduladoras internas (cuadrada, rampa o sinusoidal) que nos servirán para verificar el funcionamiento del módulo. Con el multiplexor seleccionamos la entrada deseada entre estas señales y la obtenida por codificador de audio. La señal moduladora se filtra con un filtro FIR que compensa la respuesta en frecuencia del filtro CIC interpolador. La señal moduladora se genera y filtra con una tasa de muestreo de 48 kHz y el filtro interpolador CIC la interpola por un factor 2000 para muestrearla a una tasa de 96 MHz y modularla con el modulador configurable de FM-AM. Por último, el bloque de control lee los parámetros de configuración que se envían desde el PC mediante el puerto serie y configura el equipo.

# Interfaz del módulo DP\_COMPLETMOD

|  |  |  |  |
| --- | --- | --- | --- |
| **INTERFAZ** | | | |
| **Nombre** | **Tipo** | **Formato** | **Descripción** |
| clk | in | bit | Entrada de reloj |
| rst | in | bit | Reset síncrono |
| val\_in | in | bit | Entrada de validación de datos |
| i\_data | in | Signed 16 bits | Señal moduladora |
| c\_source | in | 2 bit | Selección fuente de señal moduladora |
| c\_fm\_am | in | bit | Control modo fm/am |
| c\_comp\_dac | in | bit | Control Multiplexor del DAC (no utilizado) |
| frec\_mod | in | 3 bytes | Configuración de la señal moduladora |
| frec\_por | in | 3 bytes | Configuración de la señal portadora |
| im\_fm | in | 2 bytes | Entrada del índice de modulación FM |
| im\_am | in | 2 bytes | Entrada del índice de modulación AM |
| o\_data | out | Signed 14 bites | Salida de datos. |
| val\_out | out | bit | Salida de la señal de validación |

# Recursos del sistema

Al ser un sistema elaborado producto de los módulos desarrollados en anteriores prácticas, podemos esperar una gran cantidad recursos. Como estimación dichos recursos se deben aproximar a la suma de los recursos que hemos obtenido y estimado en las anteriores prácticas. En la siguiente ilustración se observan los recursos totales obtenidos en nuestro sistema.

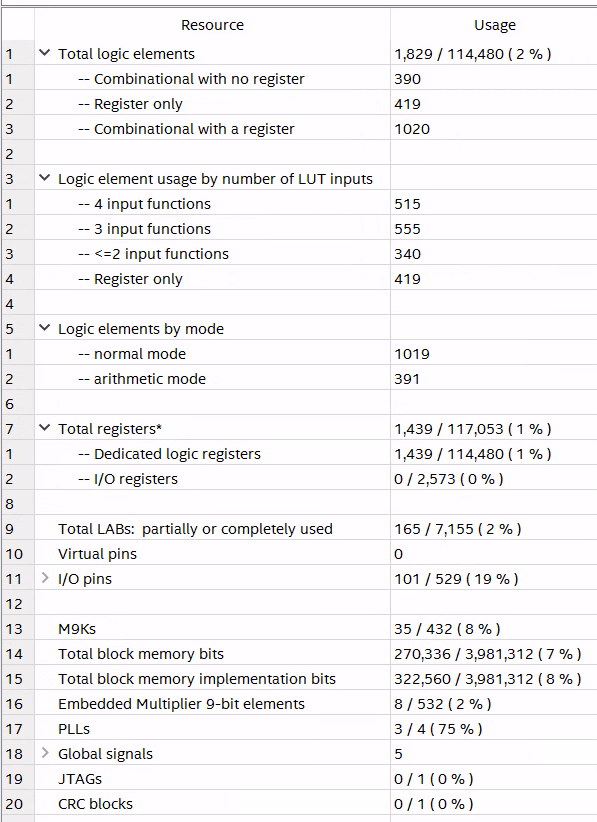


Ilustración 3. Recursos del sistema

# Frecuencia máxima del sistema

La placa utilizada en el laboratorio de prácticas consiste en una Cyclone IV DE-115 cuya frecuencia máxima es de 250MHz.

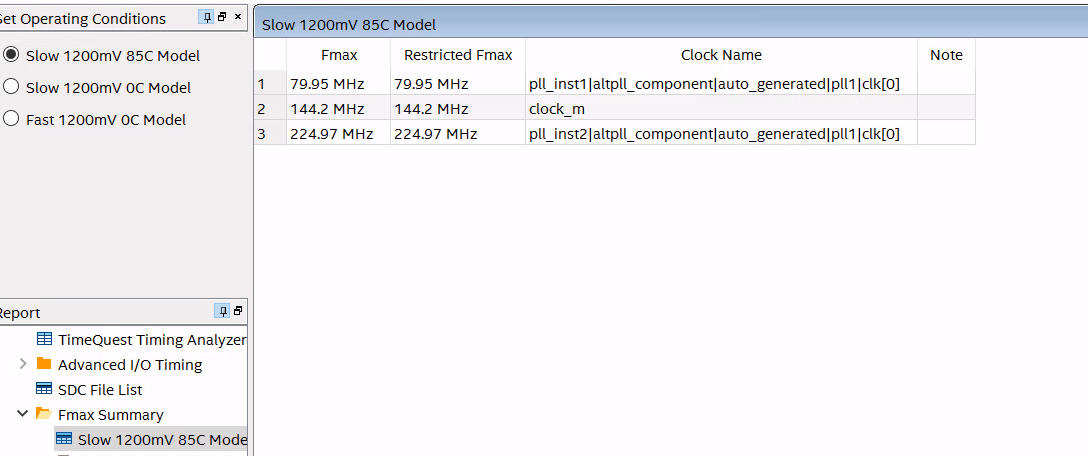


Ilustración 4. Frecuencia máxima del sistema

Mediante la herramienta *TimeQuest Timing Analyzer*, podremos calcular la frecuencia máxima a la que trabajará nuestro sistema modulador AM/FM con el top del sistema completo (MOD\_COMP). En este caso la frecuencia máxima de trabajo de ~ 144.2 MHz tal y como se observa en la ilustración.

# Camino Critico del sistema

El camino critico es aquel en que la señal tarda más desde su ingreso hasta su destino. Mediante el *Technology Map Viewer* podremos encontrar en que parte del circuito se encuentra. El camino critico de todo el sistema usando como top el fichero MOD\_COMP se muestra en la siguiente ilustración:

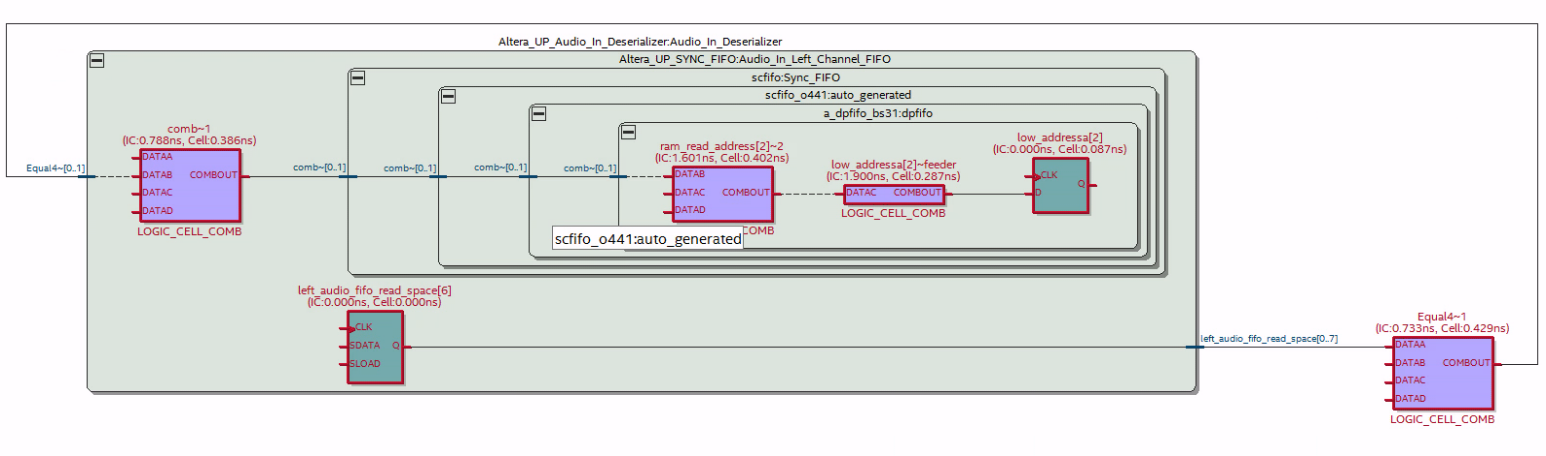


Ilustración 5. Camino crítico del sistema

# Verificación del sistema

La verificación realizada para el sistema completo se ha realizado una verificación tanto por simulación y comparación con el Golden Model en Modelsim como por verificación en placa utilizando la herramienta SignalTap que incorpora Quartus.

Para la simulación se sigue el método utilizado a lo largo de todas las prácticas y se utiliza el modelo de Simulink facilitado por los docentes en la práctica. Se completa el *script* de Matlab para guardar los coeficientes del filtro de compensación, la configuración del modulador, la señal de entrada y la salida. A continuación, se hace la validación con diferentes señales de entrada y diferentes frecuencias. Podemos ver algunos ejemplos en las siguientes imágenes donde el contador de errores se mantiene a 0.

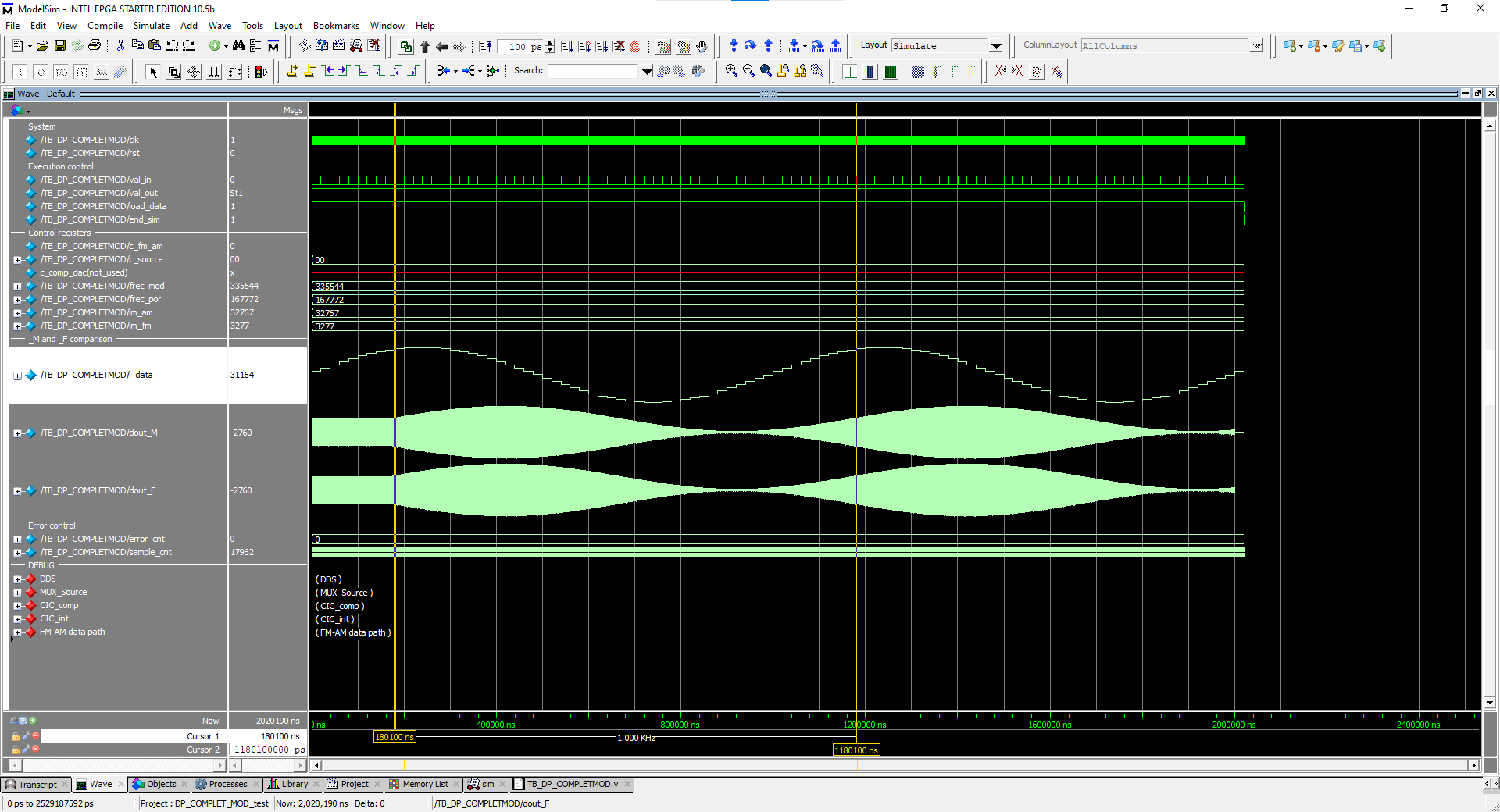


Ilustración 6. Ejemplo de modulación AM para una señal senoidal de 1KHz.

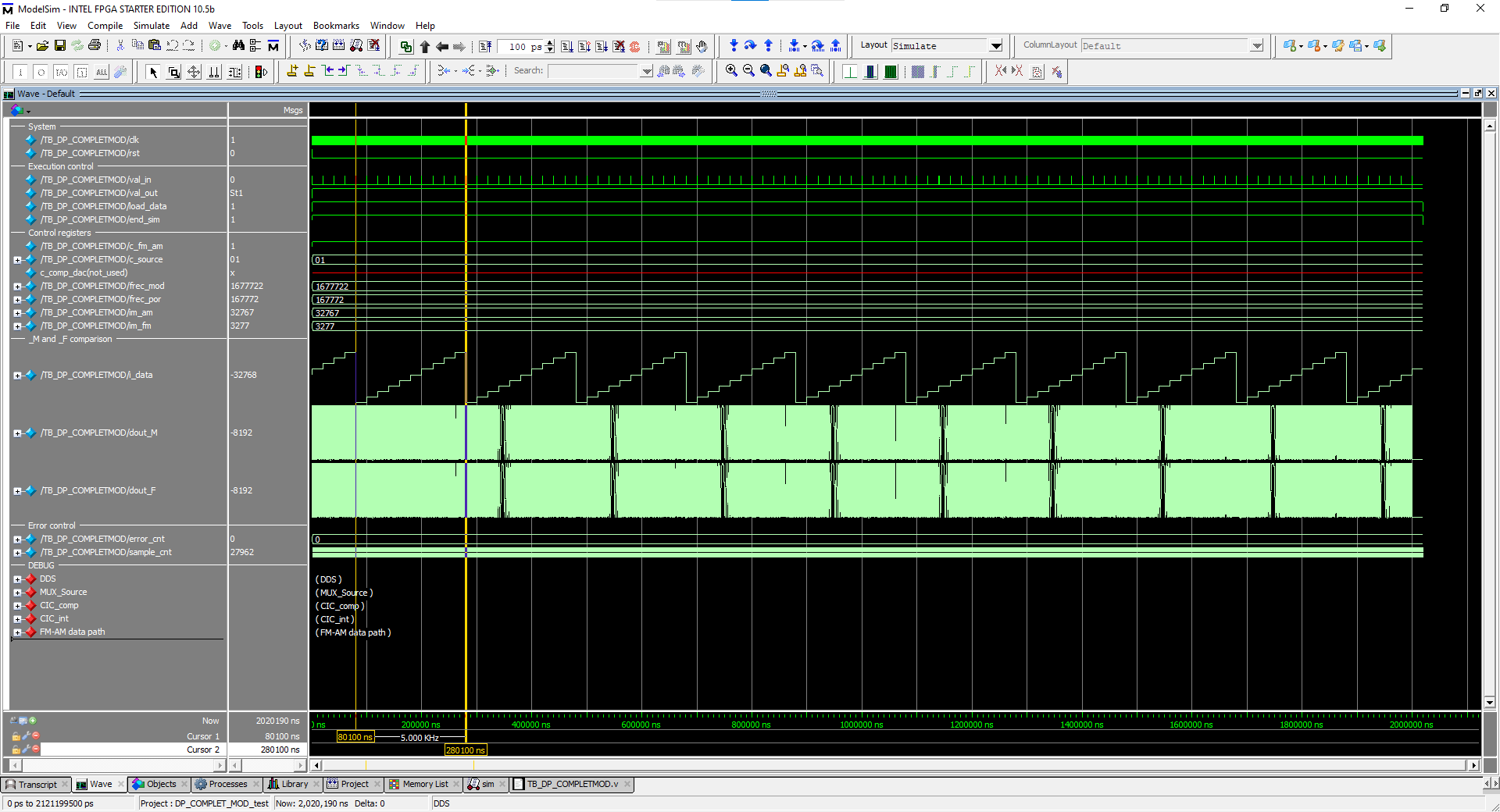


Ilustración 7. Ejemplo de modulación FM para una señal en rampa de 5KHz.

Tras la verificación mediante simulación, es necesario generar el documento de Matlab que nos permitirá transmitir los bytes de configuración. Para validar el *script* se utilizará el diseño de la práctica anterior y se utilizará los LEDs y los Switches para visualizar los registros de control enviados desde Matlab.

En las siguientes figuras encontraremos como los valores enviados y recibidos se corresponden además de una imagen donde se observa que el byte enviado se corresponde con el guardado en los registros en la placa.

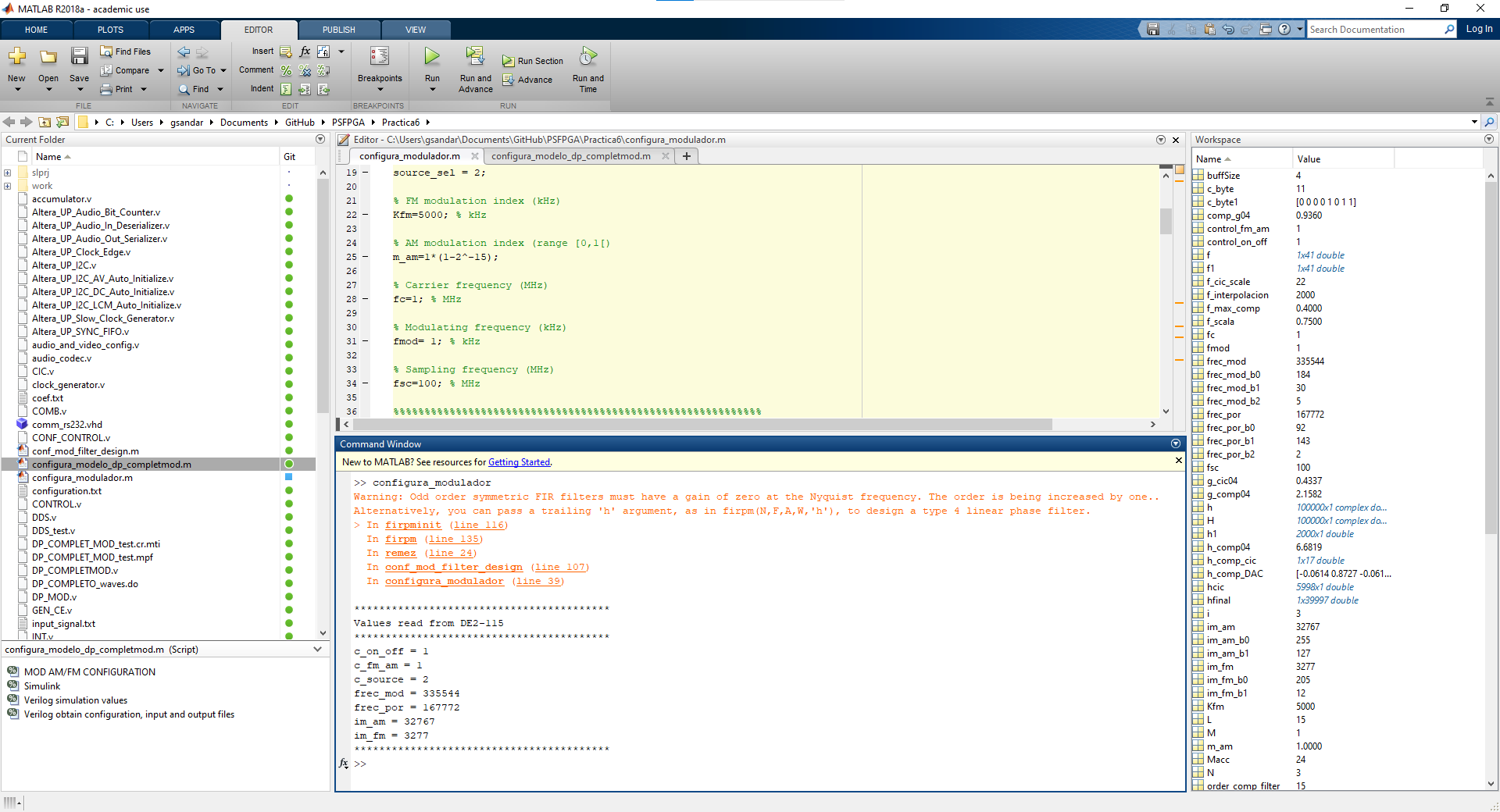


Ilustración 8. Comprobación de la lectura de los registros de control mediante Matlab.

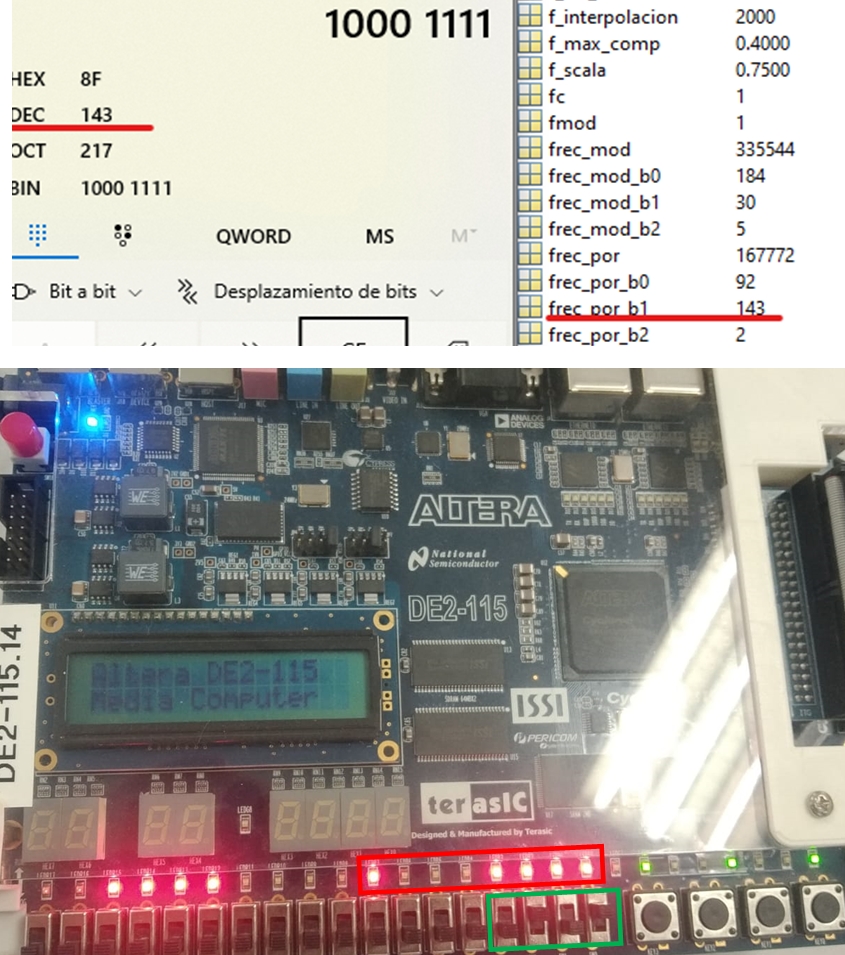


Ilustración 9. Visualización en placa del byte de control correspondiente con el byte 1 de la frecuencia de la portadora.

Por último, se procede a la validación del sistema completo mediante la herramienta de SignalTap. Para ello, se configura la herramienta para que almacene los valores de los registros de control, la señal modulada y la salida de la modulación. Para ello se utilizará como *trigger* la señal *enable* de control y únicamente se guardarán las señales cuando haya un cambio para reducir los recursos de memoria utilizados por SignalTap.

En la siguiente figura, encontramos algunos ejemplos de lo obtenido en la placa para diferentes señales de 5KHz (para poder visualizar al menos un ciclo en cada adquisición) y índices de modulación.

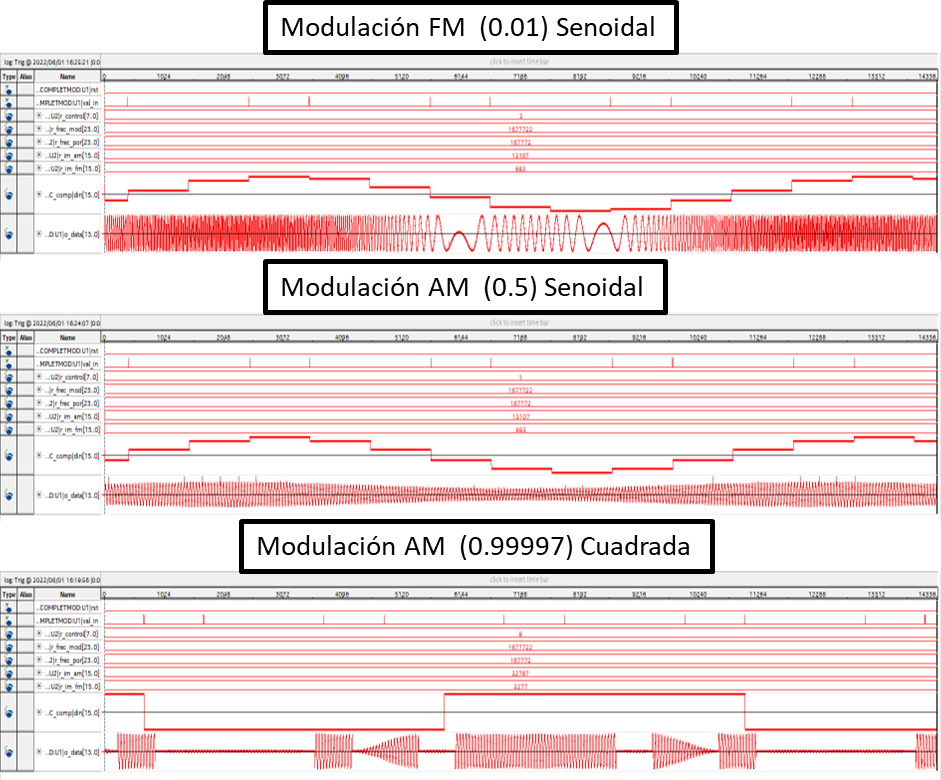


Ilustración 10. Resultados mediante SignalTap del modelo final del modulador AM/FM

Tras la validación realizada se puede concluir que el diseño completo es correcto. Aun así, sería necesario comprobar el funcionamiento con un receptor AM/FM además de con una señal de audio, validando así definitivamente el diseño.

# Resolución de problemas encontrados

Dado que los diferentes submódulos se han ido validando práctica a práctica, no se han encontrado problemas mayores. El único problema se encontró en el módulo CIC, en los bloques peine. Dado que no se realizaba la inicialización del registro de captura de la señal de entrada, se realizaba la suma con valores “XXX” arrastrando el fallo hasta el final del sistema. Se debe inicializar dicho registro cuando se produce un reset del sistema.

Por último, se observó mediante el TB que a medida que se incrementa la frecuencia de la señal a modular, aparecen errores de ~1LSB en la comparación con el Golden Model. Es un error negligible y se podría explicar al error introducido por el DDS que no se tiene en cuenta en el modelo de Simulink.