

Máster Universitario en Ingeniería de Sistemas Electrónicos



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Sistemas Integrados Digitales

Tarea 2

ÍNDICE

ÍNDICE	2
Introducción del ejercicio	3
Mapa de registros	3
Registro “Period”	3
Registro “Threshold”	4
Registro “Control”	4
Registro “Status”	4
Directorio de proyectos	4

Introducción del ejercicio

Para la Tarea 2, se realizará el diseño, validación mediante simulación e implementación de un periférico contador-*timer* compatible con el microprocesador Nios II. En el sistema de qsys final, se incluye además del diseño del *timer* se añadirá el decodificador de hexadecimal a siete segmentos desarrollado en la primera parte de la tarea.

Dicho periférico se comportará como un Avalon MM *slave* cuyas especificaciones son las siguientes:

- Cuenta de 32bits programable
- El inicio y parada del componente serán programables.
- Conteo continuo a no ser que se realice una parada del componente
- Línea de interrupción de fin de cuenta cuya activación es programable.
- Valor umbral programable con interfaz externo que se activará siempre que la cuenta sea mayor o igual al valor programado.
- El tamaño mínimo de bits para las direcciones será de 3bits, aunque el usuario use menos registros de los direccionables con 3bits.

Mapa de registros

El periférico diseñado contiene 4 registros de 32 bits donde 3 de ellos son de lectura y escritura que nos permitirán configurar y controlar el *timer*. A continuación, encontramos la información del mapa de registros.

Offset	Name	R/W	Descripción de bits			
			31	...	1	0
0	Period	RW	Timeout period [31:0]			
1	Threshold	RW	Threshold period [31:0]			
2	Control	RW	*		CLR_IRQ	START
3	Status	R	Current count value [31:0]			
*Unused bits. Write 0 to ensure proper peripheral functioning.						

Registro "Period"

Registro de lectura/escritura que nos permitirá configurar el módulo del *timer*

Registro "Threshold"

Registro de lectura/escritura que nos permitirá configurar el valor del *threshold* que activará la señal del interfaz externo.

Registro "Control"

Registro de lectura/escritura que nos permitirá tanto como iniciar o parar el *timer* como activar y desactivar las interrupciones. Un nivel alto en el bit 0 de este registro habilitará el periférico, de lo contrario, el *timer* estará parado. Tras una secuencia de *start/stop* el timer continuará la cuenta desde el último valor de cuenta.

Por otro lado, un valor alto en el bit 1 del registro borrará la señal de interrupción y deshabilitará que se generen futuras interrupciones. Un valor bajo, habilitará nuevamente las interrupciones. Una vez se ha generado una interrupción, no se podrán generar más interrupciones hasta que se borre la interrupción actual.

Registro "Status"

Registro de solo lectura que contiene el valor actual del contador.

Directorio de proyectos

A continuación, se especifica los diferentes directorios donde se encuentra cada proyecto en cada fase de diseño.

- Fase 1: Generación del componente
.\\Timer_A-MM_Slv : Este directorio contiene el proyecto de Quartus, con los archivos de verilog usados para la generación del componente en QSys y el archivo tcl generado tras la creación del IP.
- Fase 2: Sistema de platform designer y simulación ModelSim
.\\Timer_A-MM_Slv : Aquí encontramos el proyecto de Quartus y el fichero qsys que nos permitirá realizar la simulación de Modelsim con los IP de los modelos funcionales de buses del *Avalon MM Master* y *Avalon Interrupt sink*.
.\\avalon_timer_32b_qsys\\testbench\\avalon_timer_32b_qsys_tb\\simulation : En este subdirectorio encontramos los ficheros necesarios para hacer la simulación mediante ModelSim.
- Fase 3: Integración del *timer* en el proyecto Reloj de la tarea anterior
.\\DE2_115_Media_Computer : Directorio con el proyecto de Quartus que contiene también el archivo qsys del sistema Nios II con los IPs desarrollados en la práctica.
.\\myIPs : Este subdirectorio contiene los ficheros de los IPs necesarios para la integración de los periféricos en Platform Designer. Si no aparecen en el proyecto de Qsys, es necesario añadir el *path* al "*IP search Path*" desde Platform Designer (Tools -> Options... -> Add).
.\\Software : Subdirectorio que contiene el proyecto BSP de Eclipse con la programación en C del microprocesador.

Por último, se muestra una imagen con la simulación del IP desarrollado donde se puede observar su correcto funcionamiento y la generación adecuada de las señales del *timer*. Cabe comentar que, en el directorio de la simulación, se añade un fichero “timer_validation.do” que nos permitirá visualizar las señales de forma ordenada.

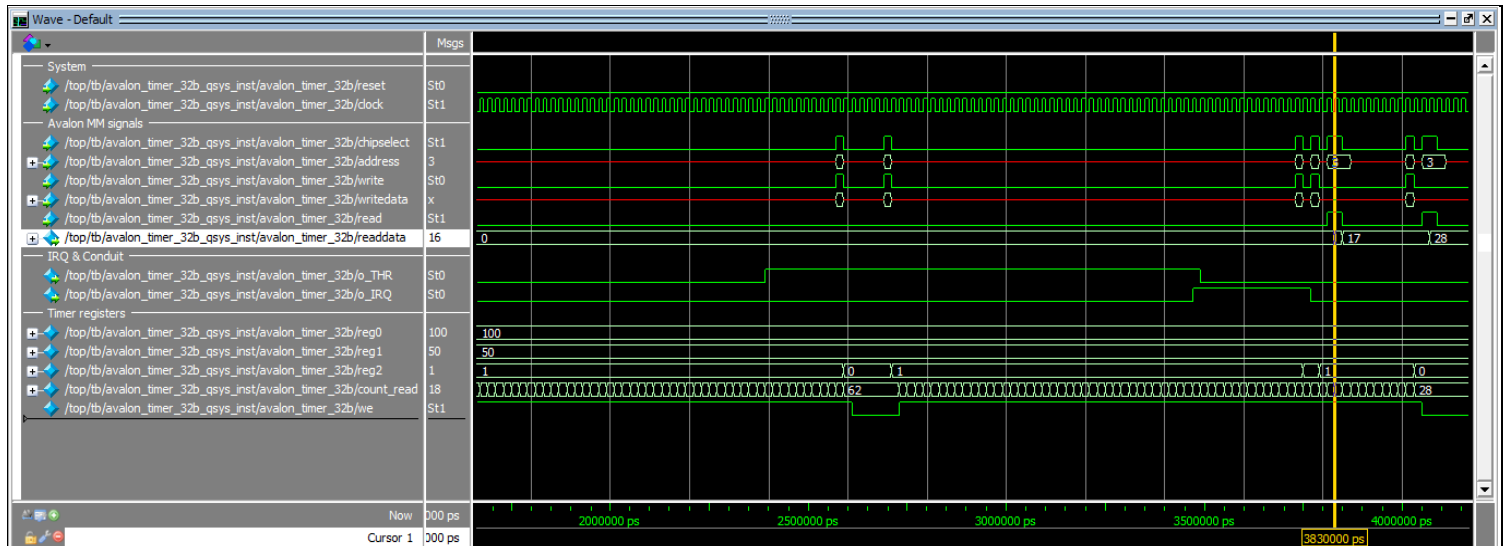


Fig. 1. Waveforms de la simulación en ModelSim del IP del timer.