

电子科技大学
UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

硕士学位论文

MASTER THESIS



论文题目 **DDR 存储器接口测试模块的
设计与实现**

学科专业 **仪器科学与技术**

学 号 **202021060126**

作者姓名 **周建民**

指导教师 **戴志坚 正高级高级工程师**

学 院 **自动化工程学院**

分类号 TH7 密级 公开
UDC ^{注 1} 681.2

学 位 论 文

DDR 存储器接口测试模块的设计与实现

(题名和副题名)

周建民

(作者姓名)

指导教师 戴志坚 正高级高级工程师
电子科技大学 成 都
(姓名、职称、单位名称)

申请学位级别 硕士 学科专业 仪器科学与技术
提交论文日期 2023 年 3 月 9 日 论文答辩日期 2023 年 5 月 10 日
学位授予单位和日期 电子科技大学 2023 年 6 月
答辩委员会主席 _____
评阅人 _____

注 1: 注明《国际十进分类法 UDC》的类号。

Design and Implementation of DDR Memory Interface Test Module

A Master Thesis Submitted to
University of Electronic Science and Technology of China

Discipline **Instrument Science and Technology**

Student ID **202021060126**

Author **Zhou Jianmin**

Supervisor **Prof. Dai Zhijian**

School **School of Automation Engineering**

摘 要

并行总线是一种常用的数据传输总线。当前并行总线单通道的速率达到了每秒吉比特量级，反射、串扰等信号完整性问题已不容忽视。DDR SDRAM 是一种基于并行总线的动态随机存取存储器，在实际应用中，其超高的接口速率暴露出严重的信号完整性问题，通常用于评估高速接口信号性能的方式有两种：眼图测试和抖动容限测试。这两种测试方法需要依赖于数字通信分析仪、误码仪等通用仪器设备搭建起一个复杂的测试平台，这无疑是耗时且成本昂贵的。

针对 DDR 接口信号完整性的测试需求，本课题设计了一款基于 FPGA 的高速并行总线接口测试模块，实现对 DDR 接口物理层性能的评估。课题的主要研究内容如下：

1. 硬件方案与电路设计。根据测试指标需求，设计可以承载课题功能验证的硬件方案。具体包括低抖动时钟电路、引脚驱动/测量电路以及系统通信方案等。其中，引脚驱动/测量电路通过电子引脚(Pin Electronics, PE)芯片和 ADC 模数转换芯片配合实现。

2. 误码率(BER)眼图扫描和眼图参数估算。眼图分析是评价物理层(PHY)高速信号质量的重要方式之一，本文根据 BER 眼图的原理，基于 FPGA 高速收发器内部时钟数据恢复(CDR)单元实现时间和幅值平面内的偏移采样和误码统计，对平面内 BER 等高线进行着色得到完整的 BER 眼图。通过分析眼图中各采样点的误码率数据，进行眼高、眼宽等参数的估算。

3. 测试向量合成与收发功能设计。FPGA 高速收发器串行化和解串化功能支持超高速率的数据收发，本文设计了一种基于码型展宽的向量合成方法，通过操作并串转换过程中并行数据位宽来实现串行化数据边沿位置和输出速率的调整，实现边沿调节分辨率为 40ps 的测试向量合成。

4. 抖动注入方法的研究与实现。DDR 接口抖动容限测试需要测试系统合成抖动大小可控的码型向量，本文分析抖动从参考时钟到高速数据的传递过程，研究时钟抖动的注入方法，提出精细相移法和抽头延时法两种边沿抖动注入方案。

最后，对系统的各项功能和指标进行了测试验证，结果表明，本课题设计的 128 通道 DDR 接口测试系统支持 BER 眼图扫描、边沿抖动注入和引脚电参数测量功能，各项指标满足高速并行接口的测试需求。

关键词： 高速接口测试，BER 眼图，抖动，误码率，DDR SDRAM

ABSTRACT

Parallel bus is a commonly used data transmission bus. At present, the speed of parallel bus single channel is up to the order of gigabit per second, so the signal integrity problems such as reflection and crosstalk can not be ignored. DDR SDRAM is a kind of dynamic random access memory based on parallel bus. In practical application, its ultra-high interface rate exposes serious signal integrity problems. There are two ways to evaluate the signal performance of high-speed interface: eye graph test and jitter tolerance test. These two testing methods need to rely on digital communication analyzer, bit error meter and other general instruments to build a complex testing platform, which is undoubtedly time-consuming and expensive.

In order to meet the testing requirements of signal integrity of DDR interface, a high-speed parallel bus interface test system based on FPGA is designed to evaluate the performance of DDR interface physical layer. The main research contents of the topic are as follows:

1. Hardware scheme and circuit design. According to the requirements of the test index, the hardware scheme which can carry the functional verification of the subject is designed. It includes low jitter clock circuit, pin drive / measurement circuit and system communication scheme. Among them, the pin drive / measurement circuit is realized by the cooperation of Pin Electronics (PE) chip and ADC analog-to-digital converter chip.

2. Bit Error Rate (BER) eye diagram scanning and parameter estimation. Eye diagram analysis is one of the important methods to evaluate the quality of high-speed signals in PHY layer. In this thesis, based on the principle of BER eye diagram, the error statistics of each offset sampling point in the time and amplitude plane are realized by the CDR unit of the FPGA high-speed transceiver. The complete BER eye diagram is obtained by coloring the BER contour lines in the plane. The error rate data of each sampling point in the eye diagram are analyzed to achieve the estimation of eye height, eye width, and other parameters.

3. Design of test vector synthesis and transceiver function. FPGA high-speed transceiver serialization and de-serialization function enables it to support ultra-high speed data transceiver. This thesis proposes a vector synthesis method based on code pattern broadening, which adjusts the edge position and output rate of serialized data by

operating the parallel data bit width in the process of parallel-serial conversion. On this basis, the test vector synthesis with edge adjustment resolution of 40ps is realized.

4. Research and implementation of jitter injection method. The jitter tolerance test of DDR interface requires the test system to synthesize the code pattern vector with controllable jitter. This thesis analyzes the transmission process of jitter from reference clock to high-speed data, studies the injection method of clock jitter, and puts forward two edge jitter injection schemes: fine phase shift method and tap delay method.

Finally, the functions and indexes of the system are tested and verified. the results show that the 128channel DDR interface test system designed in this thesis supports BER eye image scanning, edge jitter injection and pin electrical parameter measurement, and each index meets the testing requirements of high-speed parallel interface.

Keywords: High-Speed Interface Testing, BER Eye Diagram, Jitter, Bit Error Rate, DDR SDRAM

目 录

第一章 绪论.....	1
1.1 研究工作的背景与意义.....	1
1.2 国内外研究历史与现状.....	2
1.3 课题技术指标与主要工作	4
1.4 本论文的结构安排.....	5
第二章 测试需求分析与硬件方案设计	6
2.1 影响 DDR 并行总线信号完整性的因素	6
2.2 DDR 存储器接口测试需求分析	8
2.2.1 眼图测试.....	8
2.2.2 抖动容限测试.....	10
2.2.3 误码率测试.....	11
2.3 系统总体方案设计.....	11
2.3.1 总体方案设计.....	11
2.3.2 系统结构方案设计	12
2.4 功能模块的硬件设计与实现	13
2.4.1 功能模块方案设计	13
2.4.2 引脚驱动/测量电路的设计与实现	14
2.4.3 时钟电路的设计与实现.....	18
2.4.4 ARM 辅助控制电路的设计与实现.....	22
2.5 系统通信方案.....	23
2.5.1 系统通信架构.....	23
2.5.2 PCI Express(PCIe)通信方案实现	23
2.5.3 板间高速串行通信方案实现.....	24
2.6 本章小结.....	27
第三章 DDR 接口眼图功能的设计与实现.....	28
3.1 BER 眼图扫描的实现.....	28
3.1.1 抖动和 BER 的关系	28
3.1.2 BER 眼图的原理	30
3.1.3 基于偏移采样的 BER 眼图扫描实现.....	32
3.2 BER 眼图参数获取.....	36
3.2.1 眼图参数的定义.....	36
3.2.2 BER 眼图参数提取与估算.....	38
3.2.3 基于 BER 眼图的抖动估算.....	41
3.3 本章小结.....	43

第四章 测试码型合成与抖动注入的实现	44
4.1 测试向量的合成与收发方案	44
4.1.1 高速向量收发的实现.....	44
4.1.2 高分辨率测试向量的合成.....	46
4.1.3 高速收发器的均衡技术.....	48
4.2 边沿抖动注入的研究与实现	51
4.2.1 抖动的传递.....	51
4.2.2 基于精细时钟相移的抖动注入方法.....	52
4.2.3 基于延时线的抖动注入方法.....	54
4.3 本章小结.....	58
第五章 功能与关键指标测试	59
5.1 关键参数测试.....	59
5.1.1 通道数据速率测试.....	60
5.1.2 向量边沿调节分辨率测试.....	61
5.1.3 通道同步精度测试.....	62
5.1.4 驱动电平测试.....	63
5.1.5 引脚电参数测量功能测试.....	64
5.2 眼图扫描测试.....	65
5.2.1 BER 眼图扫描功能测试	65
5.2.2 BER 眼图参数估算测试	66
5.3 抖动注入功能测试.....	67
5.3.1 基于精细相移法的抖动注入测试.....	67
5.3.2 基于抽头延时法的抖动注入测试.....	68
5.4 本章小结.....	72
第六章 总结与展望	73
6.1 全文总结.....	73
6.2 工作展望.....	73
参考文献.....	74
附录.....	77

第一章 绪论

1.1 研究工作的背景与意义

随着集成电路和移动终端的快速发展，各种高性能的 CPU、SOC 等片上系统不断突破摩尔定律，向着更高集成度的方向发展，随之而来的是对高速大批量数据传输和存储的需求。双倍速率同步动态随机存储器(DDR SDRAM)拥有高速、可靠、大容量、低功耗等优点，被广泛应用于各种移动终端的数据缓存中，成为中大型数字系统中不可或缺的一部分^[1]。

与传统的单边沿操作模式相比，DDR 的双倍速率的特性可以在时钟的上升下降沿各操作一次数据，这使数据速率与传统的 SDRAM 相比提升了一倍。随着 DDR 技术的发展和工艺制程的进步，如今 DDR SDRAM 已经迭代到第五代，目前广泛商用的为第四代 DDR4 SDRAM，历代 DDR 设备的特性如表 1-1 所示。

表 1-1 各代 DDR 存储器规格

参数	DDR1	DDR2	DDR3	DDR4
接口数据速率 (MT/s)	200~400	400~800	800~1600	1600~3200
接口电压 (V)	2.5	1.8	1.5	1.2
电平标准	SSTL_2	SSTL_18	SSTL_15	POD_12
ODT	不支持	支持	支持	支持
选通信号类型	单端	单端	差分	差分
Package	TSOP	FBGA	FBGA	FBGA
Writing Leveling	不支持	不支持	支持	支持

从初代 DDR 到当前大规模商用的 DDR4，接口速率不断提升，电压功耗不断下降，单比特数据周期和时序容限也越来越小，存储器出厂设计必须保证足够的性能容限，DDR 存储器接口总线的信号完整性已成为设计者日益关注的问题^[2]。芯片接口对信号完整性和电源完整性的要求也越来越高，DDR 接口对 PHY 层的信号质量要求越来越严格^[3-5]。因此，DDR 存储芯片流片后高速接口性能测试、接口抖动容限的评估、引脚电参数测试等实际问题急需解决。

基于上述实际背景，对高速并行接口的测试方法进行研究，设计一款能够实现 DDR 存储器接口信号眼图、抖动容限、交直流特性等参数测试的设备是非常有意义的。

1.2 国内外研究历史与现状

数据传输速率的提升使并行接口的验证与测试变得更为严格，国内外学者和相关仪器设备公司针对高速接口信号完整性问题的研究也越来越多。高速传输链路和高速接口的抖动、眼图、误码率等问题已经成为国内外学者研究的热点。

峰值失真分析(Peak Distortion Analysis, PDA)是一种分析信号传输过程中最大失真度的方法，可以确定高速链路中最坏眼图情况^[6-7]，有助于识别潜在的信号完整性问题。2004年，Sander. A 及其团队引入了统计眼图的概念，其主要思想是在多个采样周期内进行数据统计分析，得到包含时间和电压信息的眼图，这种新颖的建模方法为高速接口设计提供了新的分析方法^[8]。Sinky. J. H 等人提出了一种统计学分析方法的框架来进一步深入探究噪声和抖动的机理^[9]，该方法旨在为高速接口的信号质量分析提供支持，并将结合多个方面的数据，包括传输线路、布局设计和电源稳定性等，来解释和识别信号中的噪声和抖动。

Stojanovic. V 和 Horowitz. M 提出了一种高速串行链路模型^[10]，该模型包括锁相环电路(Phase Lock Loop, PLL)和时钟数据恢复(Clock Data Recovery, CDR)电路，他们认为，最主要的噪声和抖动干扰不能被简单地视为标准的白噪声，而应该被看作是有界有色的噪声^[11]，这对高速串行链路的设计和性能产生重大影响。由于这些干扰在高速串行链路中非常显著，因此必须加以考虑，并且必须采用有效的对策来消除或减小它们的影响。

Casper. B. K 和 Sanders. A 提出了一种思路，使用接收端的抖动分布来模拟高速接口发送端和接收端的抖动^[8]，这种方式在描述接收端的抖动方面是比较理想的，但是对于描述发送端的抖动情况，尤其是高频抖动方面，该方法并不准确^[12]。因此，在研究高速接口的抖动特性时需要考虑到不同端的抖动情况可能存在差异，为了解决这一问题，Balamurugan. G 等人在时域的仿真中研究了抖动成分对系统性能的影响，并采用了等效电压噪声的方法来模拟抖动成分的影响^[13]，具体来说，等效电压噪声是指将抖动成分转换为电压噪声信号加入到系统中，在时域上进行仿真分析得到系统输出的波形图和相关性能指标。这种方法的优点是可以准确地模拟抖动成分与电路的耦合关系，因此能够更精确地预测系统的抖动性能并提供更好的设计指导，同时，该方法还具有计算简便、易于实现等特点，因此在高速传输电路设计中得到广泛应用。

Oh. D 等人开展了一系列关于时钟和数据信号之间抖动的研究，着重探讨时钟与数据信号的抖动来源及其关联性^[14]。他们提出时钟抖动和数据信号抖动具有某些共同的抖动源，如电源噪声、温度变化等因素。在此基础上，他们还提出了一种混合仿真方法，即将在时域和频域中对时钟和数据信号进行建模，通过连接

两个域的仿真可以更加准确地分析时钟抖动和数据信号抖动之间的相互作用^[15]。这种混合仿真方法不仅可以有效地分析系统的抖动问题，同时还能够指导系统设计和优化。Matoglu. E 提出了一种全链路实验设计法，它可以用于 DDR 的设计实例，通过这个实验设计法，可以分析相应时域裕量的敏感性^[16]。这个实验设计法可以帮助人们更好地理解 DDR 系统中不同因素对时域裕量的影响，例如时钟抖动、信号完整性和噪声等因素。

上述相关研究为高速接口测试奠定了理论基础。在工程应用方面，基于自动测试设备(ATE)进行芯片接口测试是目前被应用最为广泛的测试方法之一^[17]。ATE 测试方法是根据不同芯片的测试需求，选择合适的测试机台和板卡，测试机台通过接口板(Device Interface Board, DIB)与被测芯片(DUT)连接，机台产生激励信号并捕捉 DUT 返回的响应信号，将响应信号与期望值对比，来判断该条测试案例 pass 或者 fail。一般 ATE 工程师可根据测试需求，在 ATE 机台上开发测试程序，设计满足不同场景的测试 pattern，以满足大批量流水线式的测试需求。

当前主流的 ATE 设备基本被国外垄断，例如日本的爱德万(Advantest)，美国的泰瑞达(Teradyne)等公司。日本爱德万公司在 2013 年就推出了 DDR3、DDR4 存储器完整的测试方案，该方案基于爱德万公司的高端 ATE 测试平台 V93000 HSM3G，提供了全范围并行的交直流参数测试以及眼图测量功能，提高了多点测试效率^[18]。2014 年，爱德万推出存储器专用的测试解决方案 T5503HS，该测试仪的运行速度最高可达 4.5 Gbps，足以对最先进的 DDR 存储器执行全覆盖测试，此外，该系统使用单独的级别设置和数据总线反转(DBI)来最大限度地提高测试高速设备的吞吐量，T5503HS 自动生成循环冗余校验(CRC)码和命令/地址(CA)奇偶校验码，可以匹配任意 DUT 的 I/O 数据速率和地址^[19]。2018 年，爱德万 T5503HS2 存储器测试仪，该系统成为当前唯一支持 LP-DDR5 和 DDR5 芯片高级功能的量产测试机，其强大的算法图形发生器(ALPG)有利于快速、高质量地测试创新设备功能。此外，该测试仪支持扩展，可支持未来几代更快速的存储器设备。

除了上述提到的 ATE 专用测试机台，各大仪器设备公司也在致力于开发出高效的组合测试方案。2013 年，泰克公司推出 JEDEC DDR4、DDR3 和 DDR3L 存储器标准的性能及一致性分析方案 MCA4000，其可编程前端模块能够观测接口信号眼图，以图形的方式展现 DDR 接口的 PHY 层性能以及信号完整性^[20]。除此之外，有部分研究尝试开发出集测试激励产生，眼图、抖动、电平、误码率等接口参数测试于一体的便携式测试设备，加拿大 Introspect 公司推出的 Introspect C 系列便携式模块化仪^[21]，可针对当前主流的 DDR4 甚至 DDR5 接口进行并行

PHY 验证，支持误码检测与最坏眼图生成等功能，并拥有极小的体积，极大简化了 DDR 接口 PHY 层的测试难度。

与 ATE 自动测试设备不同，仪器设备公司开发的测试方案大多并非是针对 DDR 存储器全功能以及存储坏点进行测试，而是从高速并行接口信号时序、信号质量、一致性等角度入手，通过眼图、误码率、抖动、电平 parameters 来评价其接口信号质量的好坏。PHY 层接口参数测试能够确定电压电平、时序和信号保真度是否足以让系统正常运行，一般需要使用示波器、信号源和 BERT 误码仪等设备并配合专用的测试软件搭建起一个复杂的测试平台。

JEDEC 规范对 DDR 高速并行接口时钟抖动、建立和保持时序、信号过冲、转换电压等参数进行了规定^[22]，按照规范执行测试存在着许多挑战，这些挑战可能是复杂且耗时的。高端 ATE 测试机可以做到对 DDR 高速并行接口的全性能测试，但是存在测试系统价格昂贵、测试 pattern 设计难度大等缺点；通用仪器搭建的测试平台可以对各种高速接口进行针对性测试，但也存在便携性差、设备成本高、通用性差等弊端。

1.3 课题技术指标与主要工作

本课题旨在研究高速并行接口的测试方法，基于这些测试方法研制一款板级 DDR 接口测试模块，覆盖当前主流 DDR 存储器接口的数据速率，满足基本 PHY 层参数的测量与验证。该模块拥有 128 个测试通道，最高支持 2.5Gbps 测试速率，支持引脚静态电参数测量、眼图扫描、抖动注入、误码统计等功能，其主要技术指标如表 1-2 所示。

表 1-2 DDR 存储器接口测试模块主要参数指标

项目	主要指标
通道数	128
最高测试速率	2.5Gbps
边沿调节分辨率	$\leq 100\text{ps}$
通道同步精度	$\leq 100\text{ps}$
施压范围	$-1.5\text{V} \sim +4.5\text{V}$
施压精度	$\pm 10\text{mV}$
测压精度	$\pm 30\text{mV}$
抖动注入	支持周期抖动注入
眼图测试	支持眼高、眼宽、眼幅等参数测量

为了判断 DDR 并行总线上的数据信号是否满足电气特性与时序特性的要求,需要对 DDR 并行总线进行眼图、抖动等物理层参数的测试与分析^[23-24]。主要工作内容如下:

1. 误码率(BER)眼图扫描和眼图参数估算: 基于 FPGA 高速收发器内部时钟数据恢复(CDR)单元实现时间和幅值平面内的偏移采样和误码统计, 对平面内 BER 等高线进行着色得到完整的 BER 眼图。通过分析眼图中各采样点的误码率数据, 进行眼高、眼宽等参数的估算。
2. 测试向量合成与收发功能设计: 设计一种基于码型展宽的向量合成方法, 通过操作并串转换过程中并行数据位宽来实现串行化数据边沿位置和输出速率的调整。在此基础上实现边沿调节分辨率为 40ps 的测试向量合成。
3. 抖动注入方法的研究与实现: 分析抖动从参考时钟到高速数据的传递过程, 研究时钟抖动的注入方法, 提出精细相移法和抽头延时法两种边沿抖动注入方案。

1.4 本论文的结构安排

本文共分为绪论、测试需求与硬件方案设计、DDR 接口眼图功能的设计与实现、测试码型合成与抖动注入的实现、功能与关键参数测试和总结与展望六个章节, 各章节的基本结构安排如下:

第一章, 绪论部分。介绍本文的背景与意义, 归纳总结国内外在 DDR 存储器测试领域的探索进程与研究现状, 明确本课题设计的 DDR 接口测试模块的功能指标以及本论文结构安排。

第二章, 测试需求与硬件方案设计。介绍影响 DDR 总线信号完整性的主要因素与评价指标, 在此基础上提出本课题的总体设计方案、硬件实现方案和系统通信方案。

第三章, DDR 接口眼图功能的设计与实现。介绍 BER 眼图扫描的实现原理, 基于高速收发器内部 CDR 功能的偏移采样实现全幅 BER 眼图扫描, 并根据 BER 数据对眼图的关键参数和边沿抖动进行估算。

第四章, 测试码型合成与抖动注入的实现。介绍 FPGA 高速收发器的结构, 基于高速收发器实现测试向量的收发和高分辨率的边沿调节。研究边沿抖动的注入方法, 分别采用 MMCM 的精细相移法和抽头延时法实现抖动注入。

第五章, 功能与关键参数测试。通过实验对本课题的关键电路、关键指标和关键功能进行测试验证, 并对测试结果进行分析。

第六章, 总结与展望。总结本课题所做的工作, 提出本课题研究过程中仍然存在的不足并阐述后续可优化改进的方向。

第二章 测试需求分析与硬件方案设计

本章首先根据 DDR 并行总线上数据传输的特点，分析影响其 PHY 层信号完整性的因素以及评价指标，明确 DDR 存储器接口的测试需求。在此基础上，根据课题功能和指标要求，选择合适的 FPGA 器件作为硬件资源中心，制定测试模块的硬件方案。

2.1 影响 DDR 并行总线信号完整性的因素

1. 码间干扰(ISI)

码间干扰(ISI)是指二进制数字传输系统中前后周期内的相互干扰。在高速数据传输过程中，若前一个码元的电平还未趋于稳定，后一个码元数据已经开始传输到总线上，前后码元之间就会相互影响，形成码间干扰。码间干扰示意图如图 2-1 所示^[25]，图中信号可以看作一个脉冲信号，其中主光标是脉冲发生的位置，由于前光标和后光标的存在就形成了码间干扰，若码间干扰严重，可能会导致传输误码。

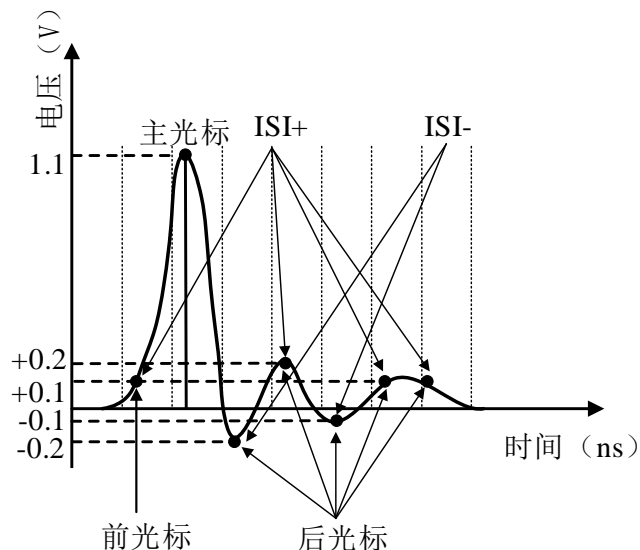


图 2-1 ISI 示意图

工程上常用削弱码间干扰的方法主要有两种，一种是通过端接匹配阻抗的方式减小反射，从而达到减小 ISI 的目的；另一种是通过均衡的方式来补偿链路的损耗，减弱信号的拖尾现象，使码型的上升下降时间减小，进而减小 ISI^[26]。通

过均衡电路补偿信号来减小 ISI 的原理与具体实现将在本文第四章向量合成与收发部分详细介绍。

2. 串扰(Cross-talk)

串扰是信号传输链路中相邻的信号路径之间或信号平面与电源平面之间的相互干扰。在相邻两条传输线上，由于互感和互容现象的存在会产生感应电压和感应电流，二者的大小如式(2-1)和(2-2)所示^[25]。

$$V_{L_m} = L_m \frac{dI}{dt} \quad (2-1)$$

$$I_{C_m} = C_m \frac{dV}{dt} \quad (2-2)$$

式(2-1)中， V_{L_m} 表示感生串扰电压， L_m 表示传输线之间互感大小， dI/dt 表示电流变化率；式(2-2)中， I_{C_m} 表示感生串扰电流， C_m 表示传输线之间互容大小， dV/dt 表示电压变化率。

从式(2-1)和式(2-2)中可以看出，只有传输线中信号的电压或电流发生变化时，才会产生串扰，传输线上串扰的强弱与传输线之间互感和互容大小、线路中电压和电流变换率的大小有关。由串扰引起的抖动一般为有界不相关抖动(BUJ)，通道间数据干扰模型如图 2-2 所示，这种相邻通道的串扰也被称为通道间干扰(CCI)^[25]。

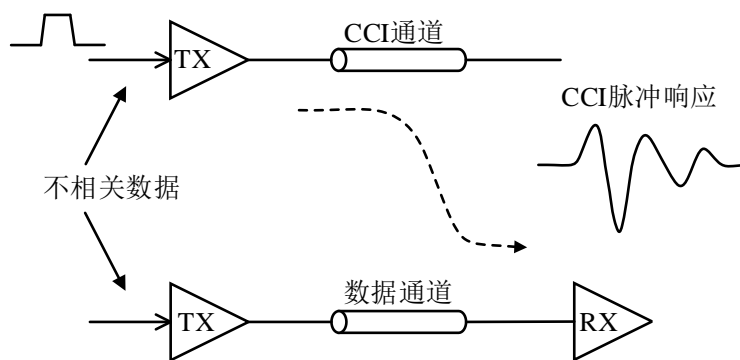


图 2-2 CCI 模型

串扰对 DDR 总线信号完整性的影响主要有两个方面，一方面是造成信号边沿上的波动，导致通道噪声容限减小；另一方面是造成信号时序边沿的波动，导致通道抖动容限减小。

3. 反射(Reflection)

反射是指传输链路中信号在阻抗不连续的地方发生折返。信号传输过程中反射现象的示意图如图 2-3 所示^[25]。

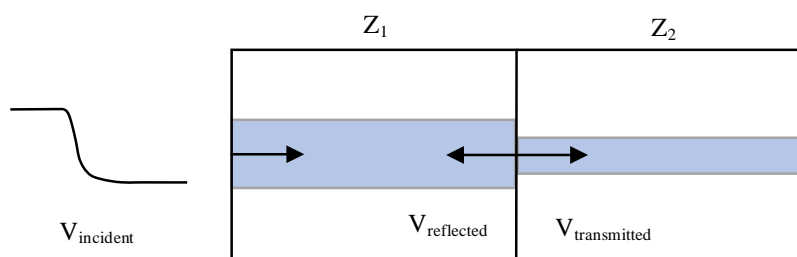


图 2-3 反射现象示意图

回波信号与原始信号的电压之比被定义为反射系数，一般用 ρ 表示， ρ 可由式(2-3)定义^[25]：

$$\rho = \frac{V_{reflect}}{V_{incident}} = \frac{Z_2 - Z_1}{Z_2 + Z_1} \quad (2-3)$$

式中， $V_{incident}$ 表示原始信号强度， $V_{reflect}$ 表示回波信号强度， Z_2 表示远端负载阻抗， Z_1 表示传输线阻抗。二者阻抗差异越大，回波信号强度就越强，当负载开路时，负载阻抗趋于无穷大，理论上原始信号会被全部反射回去。反射现象会使信号质量严重下降，反射的回波与原信号相互耦合，可能造成过冲、下冲、振铃等现象，造成信号失真。

从 DDR2 开始，DDR 存储器新增了片内端接(ODT)功能，ODT 功能将终端电阻集成在了存储器内部，原因在于外部端接容易出现阻抗不连续现象导致反射，片内端接相对更容易调节控制阻值，对阻抗控制更加方便。随着 DDR 接口速率的提高，即使存在片内端接的功能，反射仍然是影响 DDR 存储器接口信号质量不可忽略的因素之一。

2.2 DDR 存储器接口测试需求分析

DDR 总线采用源同步的技术、多比特并行通信的机制，总线中会存在同步开关噪声和串扰等问题；信号速率持续提升，单个比特位宽收窄，导致时序裕度变的很紧张，抖动问题也越发明显，眼图、抖动容限、误码率等指标常常被用来表征高速接口的 PHY 层性能。

2.2.1 眼图测试

眼图(Eye Diagram)是表征高速数字系统信号质量的重要手段，传统眼图是由一长段信号波形以周期为单位进行截断、位移并叠加，得到一幅形状类似于“眼

睛”的信号图谱，传统眼图的生成原理如图 2-4 所示^[27]。

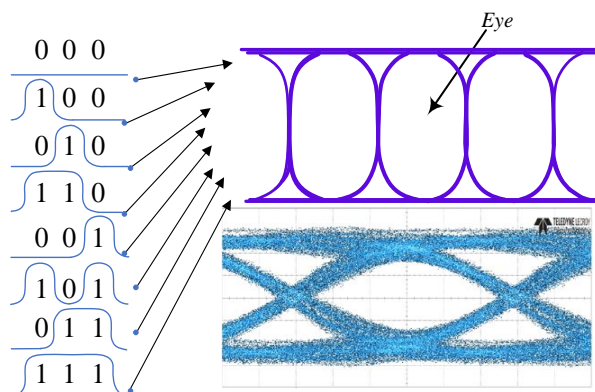


图 2-4 传统眼图原理

眼图既包含幅度信息又包含时间信息，眼图的眼廓可以直观的描述高速信号的整体特征，眼图张度反应了比特流在幅度上的一致程度，影响眼图张度的因素主要有反射、串扰、幅度噪声和信道的衰减等；眼图的宽度反应了多周期比特流时序上的一致性，影响眼宽的主要因素有上升/下降时间和边沿抖动^[28]。总之，同速率信号流的眼图张开程度越高，表明该信号对外部干扰和抖动的容限越大，接收机能够正确判决信号的概率越大，信号传输过程中产生误码的概率就越低^[29]。其中，眼图内部最小轮廓被称为最坏眼图，最坏眼图是评判系统数据传输稳定性的重要依据。

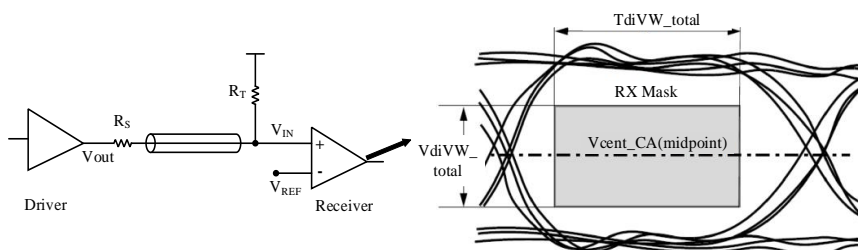


图 2-5 眼图示意图

JEDEC 协会对 DDR 并行总线信号数据有效窗口和眼图轮廓做了明确规范，以 DDR4 为例，信号在接收机入口的眼宽和眼高分别为 $TdiVW_total$ 和 $VdiVW_total$ ，其具体定义和数值要求如图 2-5 和表 2-1 所示。

表 2-1 DDR4 并行总线眼图特性要求

参数名称	DDR4-1660/1866/2133	DDR4-2400	DDR4-2666	DDR4-2993	DDR4-3200
$TdiVW_total$	$\leq 0.2UI$	$\leq 0.15UI$	$\leq 0.15UI$	$\leq 0.13UI$	$\leq tbd$
$VdiVW_total$	$\leq 150mV$	$\leq 120mV$	$\leq 120mV$	$\leq 110mV$	$\leq tbd$

高速信号的眼图可以比较直观的显示高速信号的信号质量。在 DDR 存储器接口测试过程中，需要对并行总线接口信号的眼图信息进行提取，对总线接口数据质量进行评估。因此，眼图扫描的实现以及眼图参数的提取是本课题重点研究内容之一。

2.2.2 抖动容限测试

抖动的定义可以概括为信号理想边沿位置与实际边沿位置在时域上存在的偏差^[30]。

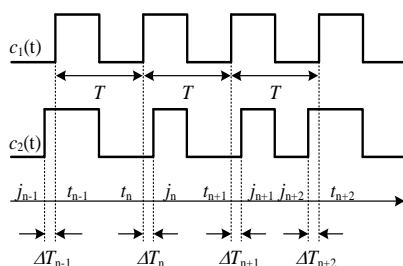


图 2-6 边沿抖动（相位抖动）

图 2-6 为理想时钟信号与抖动时钟信号的波形对比，由图可知抖动信号 $c_2(t)$ 在每个时钟边沿与理想信号之间存在一定偏差，偏差的大小即为抖动大小，可定量描述为 $\Delta T_n = j_n - t_n$ 。

上述边沿抖动的大小以时间为单位，在数字系统中，单比特数据位宽受到时钟周期的影响，若以时间为单位定义抖动大小，无法直观的看出抖动与系统时钟周期的相对量。因此，抖动的大小也常常用“UI”表示，对于 UI 的定义，数字信号与时钟信号有所区别。如图 2-7(a)所示，一般数字信号的一个码元间隔为 1 个 UI。如图 2-7(b)所示，时钟信号的一个周期为 1 个 UI。

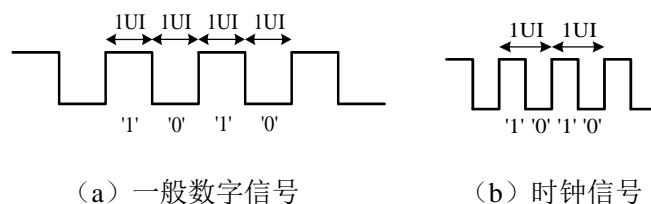


图 2-7 边沿抖动单位 UI 的定义

抖动容限(Jitter Tolerance)是指在数字传输系统中，确保数据正确传输情况下系统能够容忍的最大抖动量级^[31]。通常硬件或系统原因引入的抖动在低速数据传输中带来的影响几乎可以忽略不计，因此在低速数字系统中基本不讨论抖动所带来的影响。随着 DDR 接口速率的不断提升，目前单位比特的数据宽度达到了 ps 量级，抖动越大，数据有效窗口越小，DDR 接口的抖动容限也就越小。

抖动容限测试的一般方法是在信号的发送端注入一定量级的抖动，在接收端采集带有抖动的信号，当采集到的数据开始出现误码时，发送端注入抖动的量级即为该系统抖动容限的大小。

本课题拟对 DDR 接口测试的高速测试向量进行可控抖动的注入，为 DDR 接口抖动容限测试提供有效的参考输入。因此，可控抖动的注入是本课题需要重点研究的内容之一，其具体的实现方案在本文第四章详细介绍。

2.2.3 误码率测试

误码率是指在通信或者数据传输过程中发生错误比特的概率^[32]。在高速数字系统中，边沿抖动、串扰、反射、衰减等现象都有可能引起误码，误码率是评价高速接口数据传输性能的重要指标之一。DDR 总线中任意一个信道的数据准确性都决定了 DDR 读写功能是否能正常运行，在其接口参数的测试中，误码率指标是衡量 DDR 接口 PHY 层性能的重要参数。因此，DDR 接口的误码统计也是 DDR 存储器接口测试的重要需求之一。

2.3 系统总体方案设计

2.3.1 总体方案设计

本课题根据 DDR 接口 PHY 层参数的测试需求，设计一款板级 DDR 接口测试模块样机，覆盖当前主流 DDR 存储器接口的数据速率，满足常用 DDR 接口 PHY 层参数的测量与验证。实现高速测试码型的收发、DDR 接口眼图扫描测试、误码计数统计、引脚电参数测量等功能。

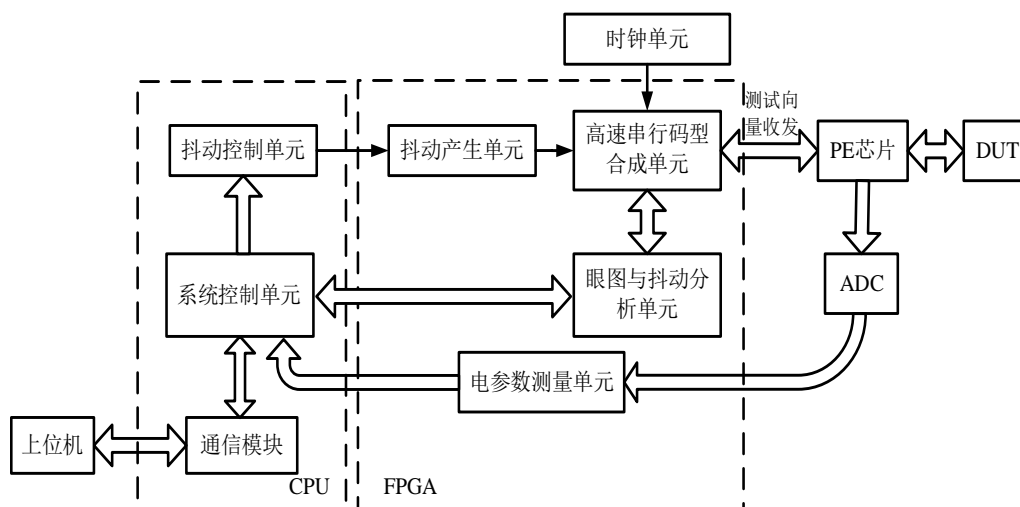


图 2-8 系统功能框图

DDR 存储器接口测试模块的功能框图如图 2-8 所示, 各模块完成的主要功能如下:

1. 高速码型合成单元负责测试向量的产生与波形的合成, 该部分在 FPGA 内部实现, 合成的波形数据由高速收发器输出, 输出的测试波形经过电子引脚(PE)芯片来驱动激励被测器件(DUT), 同样被测器件管脚的输出信号通过 PE 芯片的高速比较单元采集并送至 FPGA 进行处理。测试信号收发均要通过 FPGA 的高速收发器和 PE 芯片配合实现。

2. 眼图与抖动分析单元通过分析 DDR 总线上的信号实现眼图测试, 并进行眼高眼宽等参数信息的估算, 测试参数通过通信模块传输至上位机, 上位机软件绘制出眼图轮廓并存储测试数据。该模块是 DDR 接口 PHY 层测试的关键部分, 其具体实现过程将在本文第三章 BER 眼图扫描部分详细介绍。

3. 抖动控制单元与抖动产生单元完成抖动的合成与注入, 通过时钟相移、抽头延时等方式产生可控时钟抖动, 并通过参考时钟和高速输出向量之间的耦合关系将时钟抖动传递至测试向量中输出, 带有抖动的测试向量为高速接口的抖动容限测试与最坏眼图测试提供有效的激励信号。抖动注入的具体实现过程将在本文第四章详细介绍。

4. 电参数测量单元主要完成 DDR 总线接口上电压、电流等静态电参量的测量, PE 芯片内置电子引脚测量功能, 其测量结果以模拟电压的形式被 ADC 采集并送至 FPGA 电参数测量单元进行处理, 最终校准过后的测量结果同样通过通信模块上传至 CPU。

5. 时钟单元为整个系统提供低抖动参考时钟, 本课题设计的测试模块共有 128 个数字通道, 由多块功能子板模块共同组成, 不同子板 FPGA 之间有严格的时钟同步要求, 时钟单元专门为各个分立器件提供稳定可靠的同步时钟, 也是多通道同步设计的关键。

6. 系统控制单元主要进行各模块控制命令的产生与下发、测试结果的计算与汇总、各模块的状态监控等功能。

2.3.2 系统结构方案设计

硬件架构主要由 4 个核心部分组成: 主控计算机、系统底板、功能板和电源模块。另外, 还有散热、高速连接线缆和显示设备等辅助设备为模块的正常工作提供保障。整体硬件结构框图如图 2-9 所示。

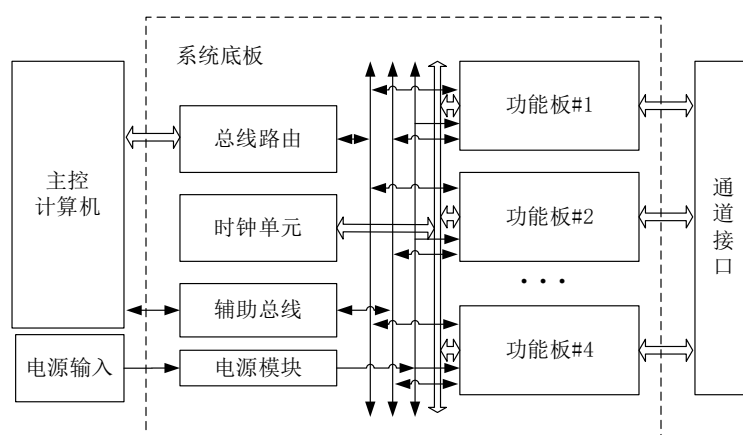


图 2-9 系统硬件结构框图

主控计算机作为人机交互的枢纽，负责上层程序的运行与指令的下发，并显示测试结果。主控计算机通过通信总线与系统底板进行信息交互，底板 FPGA 通过本地总线路由将通信接口拓展到四块功能板插槽，指令信息通过高速总线传输到各个功能板模块。底板上的时钟管理单元为各个功能板提供稳定的参考时钟，可通过同步触发操作实现多功能板的时钟同步。辅助总线提供多组双向通信接口，包括 UART，SPI 等，为 FPGA 外围辅助芯片的配置与寄存器参数的读取提供通信支持。电源管理单元为系统提供 12V 直流电源，分布在底板和功能板上的 DCDC 模块和 LDO 模块为系统提供期望幅值的供电电压。

2.4 功能模块的硬件设计与实现

2.4.1 功能模块方案设计

功能板是单独设计的功能实现模块，测试向量的产生、边沿抖动的注入、眼图数据的采集、引脚电参数的测量等功能的实现都在功能板上进行。系统底板上共搭载 4 个功能板卡槽，每块功能板提供 32 个通道，共组成 128 个独立可配的测试通道。

其中，FPGA 器件是本课题进行数据处理和数据发生的硬件资源中心，FPGA 普通 IO 口由于速率的限制无法满足精细的边沿调节。吉比特高速收发器 (Gigabyte Transceiver) 是赛灵思公司 FPGA 的高速串行接口，其本质是集成在 FPGA 内部的 SerDes 硬核，能够提供超高的数据传输速率。考虑到本课题测试速率、通道数量和边沿调节分辨率等指标的需求，FPGA 器件选用赛灵思公司 Virtex UltraScale+ 系列的 XCVU3P^[33]。Virtex UltraScale+ 系列 FPGA 的高速收发器

被称为 GTY 收发器，每片 XCVU3P 拥有 40 组独立的 GTY 收发器，可为本课题高速串行通信和高速码型收发提供硬件基础。

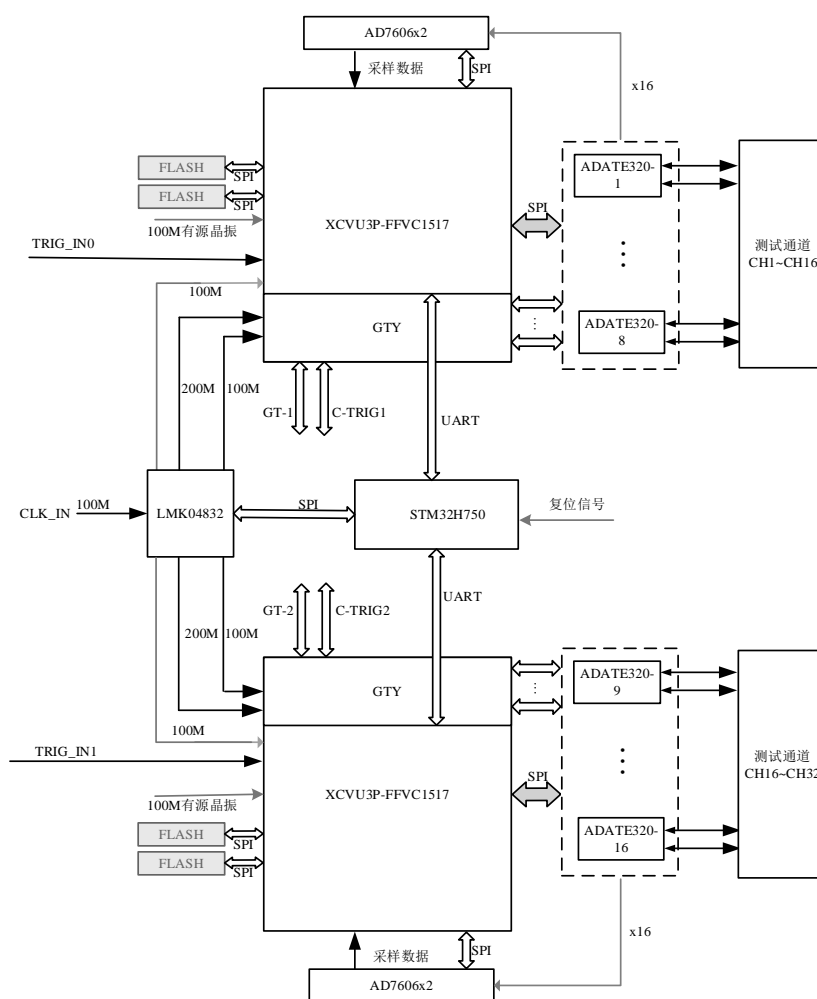


图 2-10 单块功能板的硬件框图

单块功能板的硬件框图如图 2-10 所示。功能板的核心是两片 FPGA，数据通信、码型产生、眼图扫描、抖动控制、ADC 采样数据的处理以及外围芯片的配置等都在 FPGA 内部完成。此外功能板内部主要包括引脚驱动/测量电路、时钟电路和 ARM 辅助控制电路等，下文将对功能板内各部分电路进行介绍。

2.4.2 引脚驱动/测量电路的设计与实现

引脚驱动/测量单元也称电子引脚(Pin Electronics, PE)，在集成电路测试中用于放大数字码型来驱动被测器件，同时通过其内部的高速比较器回采引脚电平并输出比较结果。本课题采用 ADI 公司的 ADATE320 芯片作为测量通道的引脚驱动和比较单元，ADATE320 单芯片能够实现完整的 ATE 电子引脚测量解决方案，

每片 ADATE320 具有两个独立的通道，这两个通道既可以作为单端测量通道，又可以组合起来作为差分引脚测量通道。每个通道可独立执行引脚驱动（Driver）、高速电平采集与比较(Comparator)、引脚参数精确测量(PPMU)等功能。驱动器与比较器具备可编程电平功能，其电压范围为-1.5V 至+4.5V，可通过的最高数字信号速率为 2.5Gbps。

驱动功能(Driver)具有三种有源模式：高、低和高阻抗抑制模式。当驱动器没有直接作用在负载上时，芯片内部高阻抑制状态与集成的动态钳位状态相结合，可以显著衰减传输线反射。驱动器的电路如图 2-11 所示。DUT 端口是输出端，输出端口的状态由差分数据输入(DAT/ $\overline{\text{DAT}}$)和差分开关信号输入(RCV/ $\overline{\text{RCV}}$)共同决定。输出状态的真值表如表 2-2 所示。当差分开关信号为逻辑 0 时，驱动器打开，DUT 的高低状态由差分数据输入端口的状态决定，输出电平幅度由芯片内部的可编程数模转换器(DAC)决定，ADATE320 内置多个 DAC 用于满足芯片内部各种电平需求，其中，驱动器高输出电平(VIH)与驱动器低输出电平(VIL)满足 DUT 输出端的高低幅度需求，VCH 和 VCL 是高低钳位电平 DAC，用于芯片的钳位保护。

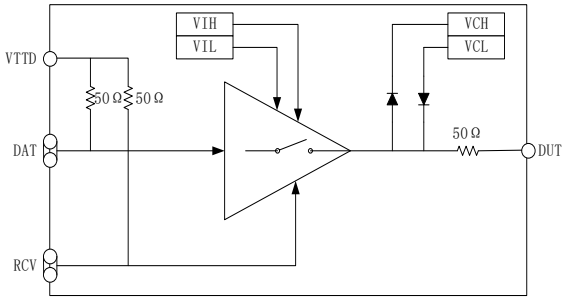
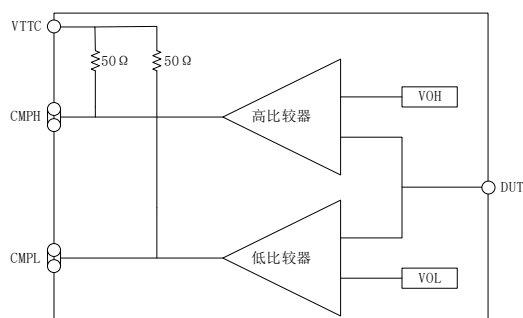


图 2-11 ADATE320 驱动器原理框图

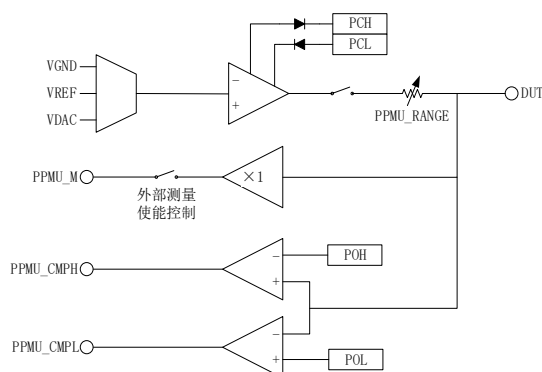
表 2-2 ADATE320 驱动器真值表

DRIVE_ENABLE	DAT/ $\overline{\text{DAT}}$	RCV/ $\overline{\text{RCV}}$	驱动输出
1	0	0	输出驱动低电平(VIL)
1	1	0	输出驱动高电平(VIH)
1	x	1	高阻接收/端接电平
0	x	x	低漏电流模式

高速比较器(Comparator)是用于外部引脚电平比较和判决的功能模块。每个通道都配有专用的比较电路，其主要作用是采集和判决 DUT 引脚上的电平状态，将比较结果通过高低逻辑值输出至芯片的特定引脚。高速比较器的原理框图如图 2-12 所示，比较信号由 DUT 引脚送入双比较器的输入端口，比较参考电平由专



引脚参数精确测量(PPMU)单元是用于 DUT 引脚电参数测量的功能模块。其原理框图如图 2-13 所示。每通道的测量单元都单独支持施流(FORCE-I)、施压(FORCE-V)、测流(MEAS_I)、测压(MEAS_V)等多种工作模式,其施压和测压的电压范围为-1.5V 至+4.5V。在施流和测流工作模式下,共有 2uA、10uA、100uA、1mA、40mA 五种电流量程可控,模块通过驱动器向 DUT 负载施加电压,测量单元内部有一个可配置的采样电阻,配置不同采样电阻的阻值可以实现不同量程电压到电流的转换。模块的测量结果以模拟量的形式输出至 PPMU_M 引脚。另外,测量单元内部还包含一组比较器,该比较器的结构与上述高速比较器(Comparator)模块类似,通过设置高低比较阈值来设计比较器的输出逻辑,与之不同的是,引脚参数测量单元的比较器只能输出低速率下的逻辑电平值,无法完成高速高切换率的数据采样与比较。



中国知网 <https://www.cnki.net>

引脚参数测量功能旨在测量 DUT 管脚上的电压和电流参数, 根据上述测量单元的工作原理, 测量结果会以模拟量的形式输出至 ADATE320 芯片的 PPMU_M 引脚, 若想获得精确的测量结果, 可用模数转换器(ADC)实现模拟量到数字量的转换, 将得到的数据反馈给 FPGA 即可实现精准电参数的测量。每块功能板共有 32 个测试通道, 每个通道均可独立进行测量, 因此共有 32 路模拟信号需要采样转换。考虑到成本和精度的要求, 最终选用四片 AD7606 组合成 32 路采集电路。AD7606 是一款 16 位 8 通道的 ADC, 模拟输入量程有 $\pm 10\text{ V}$ 和 $\pm 5\text{ V}$ 两种可配, 每通道都具有数字滤波和过采样功能。电参数测量部分硬件设计框图如图 2-14 所示, ADATE320 芯片输出的模拟量经过匹配网络与 AD7606 的输端口实现电平匹配, AD7606 采样转换后将数字量输入至 FPGA, 最终测量数据被传送给主控计算机进行计算转换。

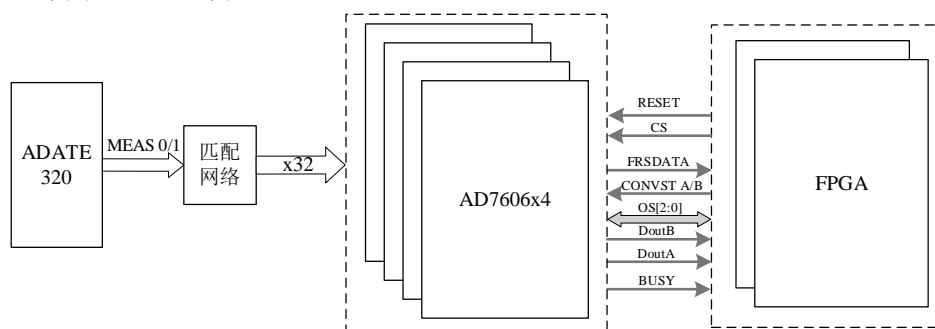


图 2-14 引脚参数测量单元硬件设计框图

AD7606 的采集输出以二进制补码的方式进行编码, 单个 LSB 的大小为 $\text{FSR}/65536$, 其模数转换特性曲线如图 2-15 所示。

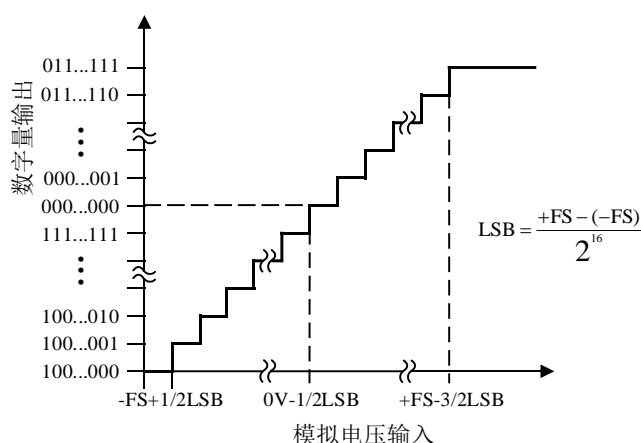


图 2-15 AD7606 转换特性曲线

其中, 当选择 $\pm 10\text{ V}$ 的输入量程时, 输入电压与输出数字量的转换关系为:

$$CODE = \frac{VIN}{10} \times 32768 \times \frac{REF}{2.5} \quad (2-4)$$

当选择 $\pm 5\text{ V}$ 的输入量程时，输入电压与输出数字量的转换关系为：

$$CODE = \frac{VIN}{5} \times 32768 \times \frac{REF}{2.5} \quad (2-5)$$

上式中 $CODE$ 表示转换过后的数字量大小， VIN 表示输入模拟量的幅值， REF 表示外部参考电压。FPGA 采集到数字量后，上位机同样根据式(2-4)和式(2-5)反算出模拟电压的大小。

ADATE320 芯片是实现引脚驱动和测量的关键器件。测试码型驱动输出、高速数字码型比较采集、通道静态电参数的测量都是基于 ADATE320 芯片设计实现的。DDR 接口测试码型由 FPGA 生成，通过 ADATE320 驱动单元实现电平调节与驱动输出，同时，DDR 总线的反馈信号通过 ADATE320 的高速比较器进行比较采集至 FPGA。ADATE320 的引脚参数测量单元与外部 ADC 采样电路配合实现 DDR 接口静态电参量的测量与采集。

2.4.3 时钟电路的设计与实现

本课题设计包括多功能板模块以及底板之间的协同工作，跨板间不同通道的同步误差往往是由参考时钟不同步引起的，另外，参考时钟的抖动噪声等干扰也会使输出的测试向量面临信号完整性问题。因此需要使用相应的时钟调理电路与触发，确保所有时序数字器件工作在同步模式下。

LMK04832 是一款符合 JESD204B 标准的超低抖动时钟调节芯片。该芯片拥有 14 路可编程时钟输出，最高时钟输出频率为 3255MHz，可灵活配置在双环 PLL 或单环 PLL 模式下工作，输出时钟 3200MHz 以下时具有低于 67fs RMS 的超低抖动。LMK04832 既具有出色的性能，又具有功率和性能均衡调节、双 VCO、动态数字延迟和保持模式等多种特性，是提供灵活高性能时钟树的理想器件。十分符合本课题功能板的设计需求。

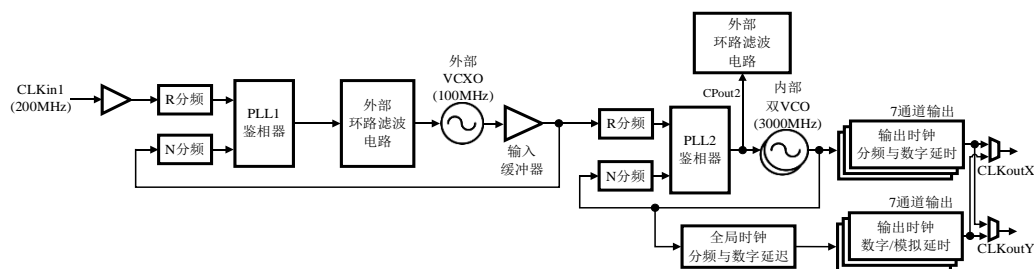


图 2-16 双 PLL 模式下 LMK04832 原理框图

LMK04832 在双环 PLL 工作模式下的原理框图如图 2-16 所示。基参考时钟通过 CLK_in 管脚输入，经过 R 分频器分频后输入第一级鉴相器，PLL1 与外部 VCXO 共同组成第一级环路，其中 PLL1 设置为窄环路带宽抑制 VCXO 的相位噪声，VCXO 的输出经过 R 分频后为第二级 PLL 环路提供低相噪的基准时钟输入，第二级环路通过 LMK04832 内部 VCO 与外部环路滤波器配合实现降噪消抖，最终通过驱动器输出稳定、低抖、低相噪的差分时钟。双环 PLL 结构在保证时钟精度的同时能最大限度的抑制相位噪声，图 2-17 是输出在 100MHz 至 200MHz 频率范围内相位噪声情况，由图可知在上述频率范围内输出时钟的相位噪声均方根仅有 60fs。

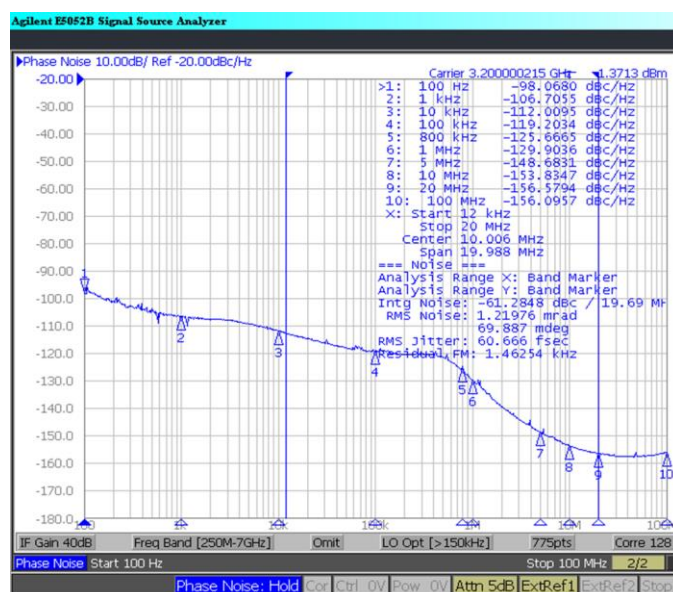


图 2-17 双环 PLL 模式下 LMK04832 输出时钟的相位噪声

外部环路滤波电路如图 2-18 所示，锁相环电路闭环传递函数呈低通特性，误差传递函数呈高通特性。

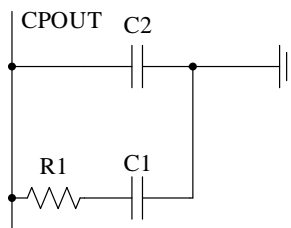
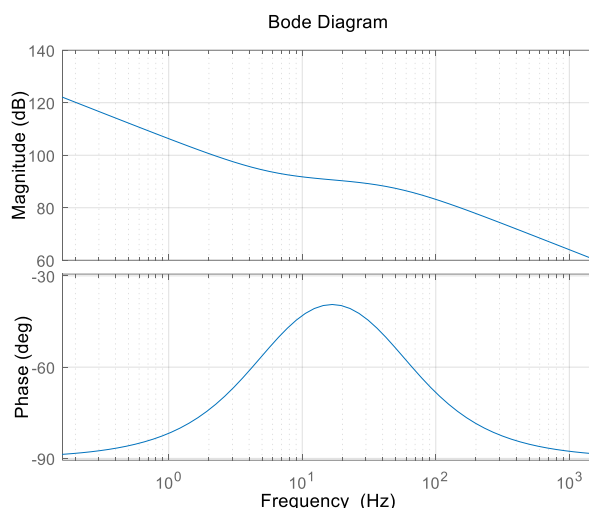
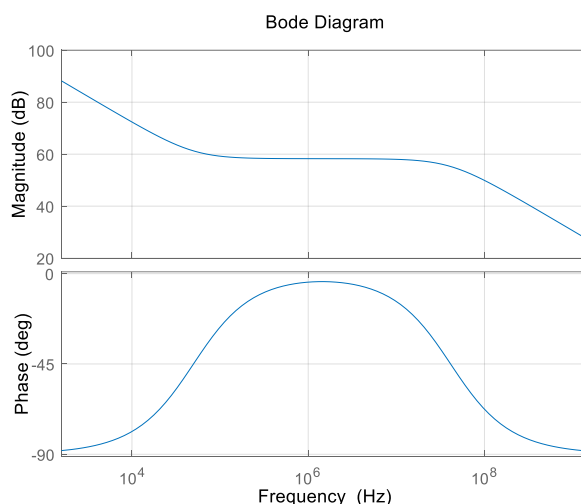


图 2-18 外部环路滤波电路

环路滤波电路频率特性曲线如图 2-19 所示。



(a) PLL1 外部环路滤波电路波特图



(b) PLL2 外部环路滤波电路波特图

图 2-19 两级锁相环外部环路滤波电路波特图

功能板上的 XCVU3P FPGA 拥有 40 对高速收发器，40 对高速收发器在 FPGA 内部被划分为 10 个 Quad 组，高速收发器作为高速测试码型的收发单元，为了保证输出码型的同步性能，不同 Quad 之间参考时钟需要严格同步。LMK04832 支持双环 PLL 结构下的 0 延时工作模式。LMK04832 在 0 延时工作模式下的原理框图如图 2-20 所示，与普通双环 PLL 模式不同的是，在 0 延时工作模式下，PLL1 的反馈时钟由双环 PLL 输出时钟驱动，而并非 VCXO 的输出时钟驱动，这样在鉴相器的作用下保证了输出时钟和基准时钟相位的一致性，进而保证所有输出时钟的同步性能。

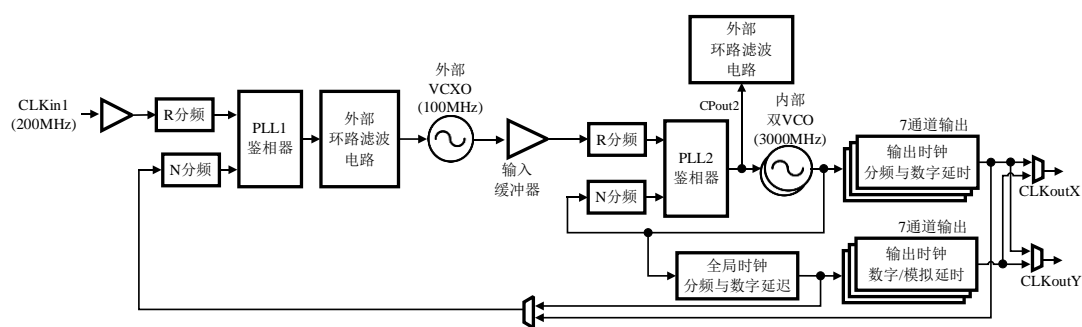


图 2-20 LMK04832 双环 0 延时模式原理框图

高速收发器每相邻两个 Quad 组可共用一对差分参考时钟，另外，FPGA 处理内部逻辑还需要一组时钟。因此，确保 XCVU3P 能够正常工作至少需要 6 路差分时钟，功能板上共有两片 FPGA，因此，每块功能板对差分时钟的总需求是 12 对，使用一片 LMK04832 即可满足功能板的时钟需求。功能板时钟单元的硬件原理框图如图 2-21 所示，200MHz 基准时钟由系统底板通过板间连接器接入，LMK04832 时钟芯片由 ARM 辅助控制单元通过 SPI 总线进行配置，LMK04832 输出两路 100MHz 时钟和 10 路 200MHz 时钟，100MHz 时钟用于 FPGA 初始化启动与基本逻辑处理，200MHz 时钟作为高速收发器的参考时钟。

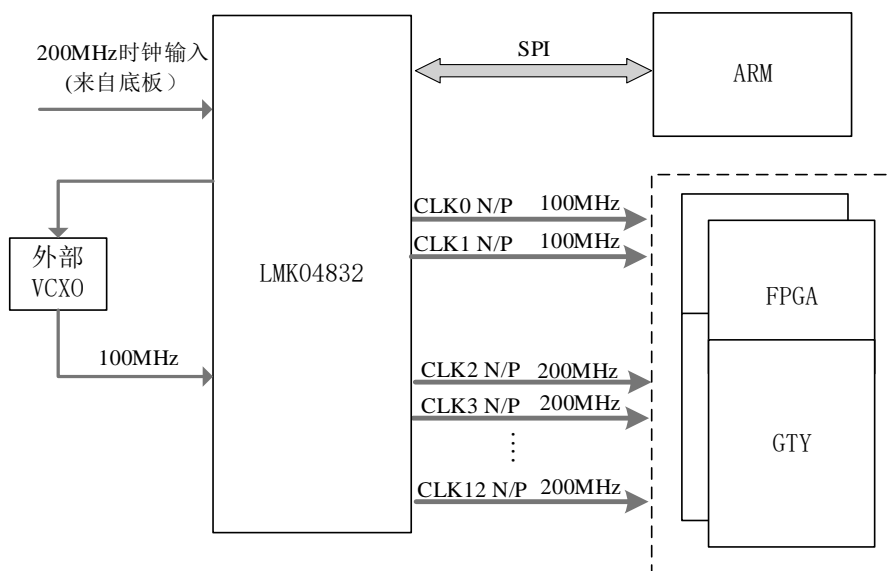


图 2-21 功能板时钟单元框图

每块系统底板上装配 4 块功能板，共同组成 128 通道的测试模块。执行测试流程时，不同子板的通道间需要协同工作，共同完成 DDR 颗粒并行管脚的接口

测试，跨板的时钟同步性能直接决定系统能否正常工作。功能板的基准时钟由系统底板提供，底板上同样采用 LMK04832 时钟芯片进行多路同步时钟输出，整个系统的全局时钟网络如图 2-22 所示。

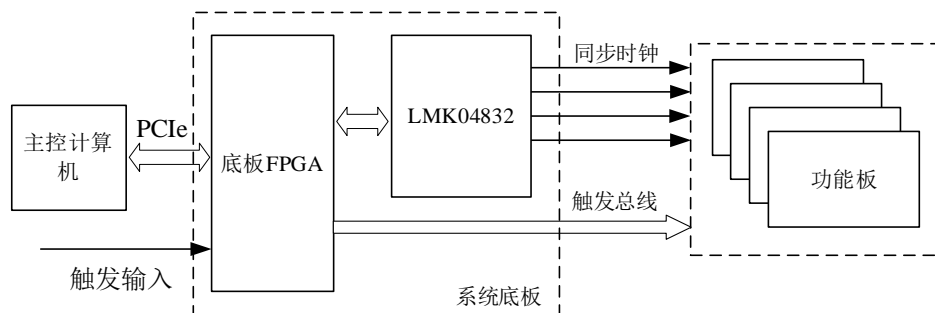


图 2-22 系统时钟分配

2.4.4 ARM 辅助控制电路的设计与实现

功能板上的辅助控制单元完成 FPGA 上电顺序控制、温度监控、功能芯片寄存器参数读写等辅助控制功能，由一片 ARM 微控制器实现，本课题选用的 STM32H750 是一款基于 Cortex M7 内核设计的高性能微控制器，具有低功耗、中断响应快等诸多优点。

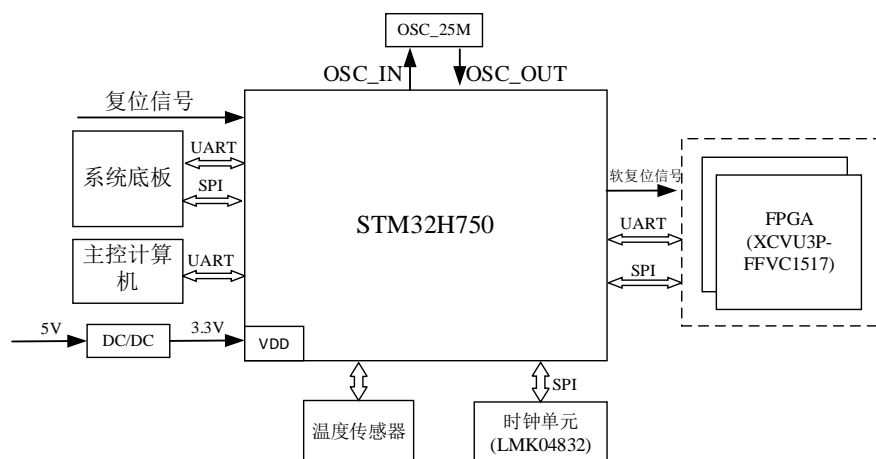


图 2-23 ARM 辅助控制单元

功能板上 ARM 辅助控制单元的硬件框图如图 2-23 所示。3.3V 供电由系统底板的 5V 输入通过 DCDC 降压得到。STM32H750 丰富的内部资源支持拓展大量外设，其中，ARM 芯片与系统底板以及功能板内部两片 FPGA 预留 UART 和 SPI 两种通信总线；ARM 通过 SPI 总线配置并监控 LMK04832 时钟芯片，为功能板

提供多组高精度的参考时钟；分布在发热元件附近的温度传感器会将采集的温度信息汇聚到 ARM，ARM 根据温度信息实时做出中断反应，实现过温保护；ARM 的固件升级由主控计算机通过串口烧录完成。

2.5 系统通信方案

2.5.1 系统通信架构

DDR 存储器接口测试模块的硬件部分由系统底板以及多块功能板共同组成，控制执行流程是主控计算机下发指令信息，系统底板进行指令信息的预处理并将其分别下发至各个功能板，功能板根据指令信息执行相应的功能流程。在这个过程中，主控计算机、系统底板以及功能板之间有着频繁的数据交互，各部分之间数据通信的稳定性、安全性、实时性有着较高的要求。

底板作为整个测试系统的中间层，既要完成控制指令的接收与分发，又要完成测试数据的汇集与上传。系统底板与主控计算机之间选择 PCIe 协议进行通信，系统底板与功能板之间则通过高速串行接口进行通信。系统的通信架构如图 2-24 所示。

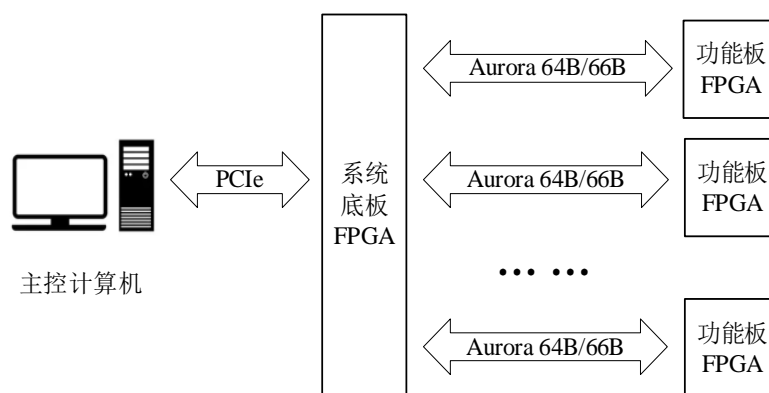


图 2-24 系统通信结构框图

2.5.2 PCI Express (PCIe) 通信方案实现

PCI Express (PCIe) 是一种通用串行总线接口标准^[34]，被主要用于在计算机系统和外围设备之间传输数据，它的特点是带宽高、延迟低和可靠性高，是现代计算机系统中的主流数据传输接口，PCIe 通信还有一个非常重要的优势，即它支持动态分配带宽，这意味着在系统中有多多个设备在同时使用带宽，大大提高了通信效率。

DMA/Bridge Subsystem for PCI Express(XDMA)是赛灵思开发专门用于 PCIe 通信协议的 IP core, 该核心可以实现 PCIe 总线与 AXI 总线的协议转换, 支持以直接存储访问(DMA)的方式与 AXI 内存单元直接进行数据交换, 以满足系统低延时数据传输的需求。Ultrascale+系列的 FPGA 最高支持 X16 的 PCIe 链路, 最高实现 80Gbps 的通信带宽。

图 2-25 展示了 PCI-Express 桥接系统 IP core 的核心结构图。其中, H2C 通道负责主机到子系统的 DMA 传输, C2H 通道负责子系统到主机的 DMA 传输; 另外, PCIe 主机还可以通过 AXI4-Lite 主从接口访问用户逻辑, 此接口传输带宽相对较低, 主要用于对传输带宽要求不高的用户寄存器访问与配置。IQR 模块用于处理来自于用户逻辑的中断请求, 该模块可配置, 最高可提供 16 条中断线。

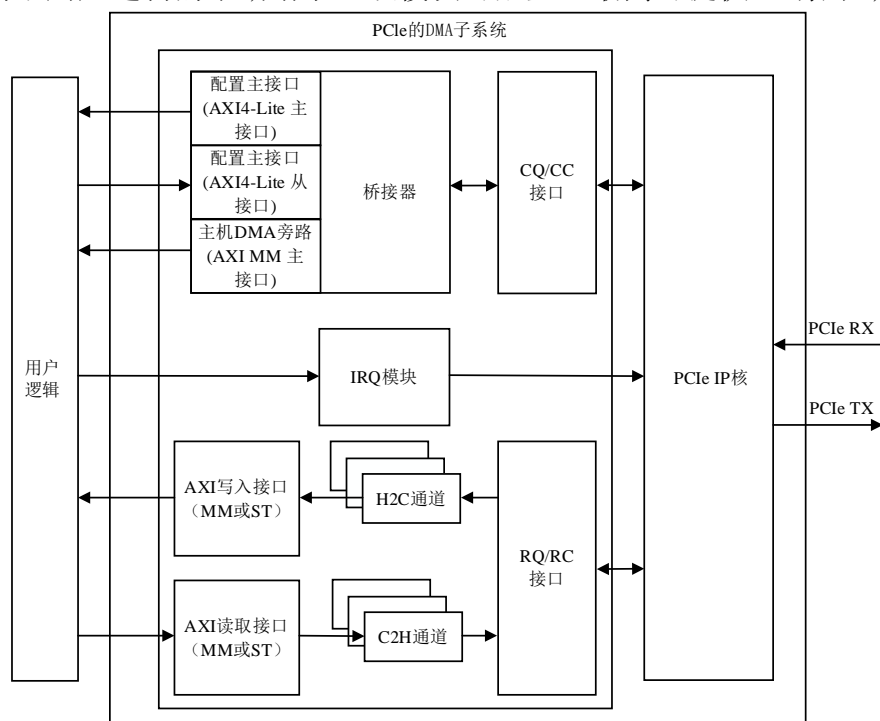


图 2-25 XDMA 系统结构图

主控计算机通过 PCIe 总线向系统底板传输控制指令并且回读测试数据, 系统底板上的 FPGA 利用 XDMA 核完成 PCIe 协议到 AIX4 协议的转换, 系统底板解析控制指令后再将指令分发到对应的功能板执行操作。

2.5.3 板间高速串行通信方案实现

系统底板与功能板之间通信本质上是 FPGA 片间的数据交互。片间数据交互可选择的方法有很多, 基于 FPGA 内丰富的 IO 引脚资源, SPI、UART、IIC 等通信协议经常被用于实现片间数据交互。这些协议本身不复杂, 且硬件连接线路简

单，可以满足大部分场景下的通信需求。缺点在于这些协议都是时钟线与数据线配合在时钟边沿完成数据的变更与采样，通信带宽受到时钟速率的限制，若时钟线与数据线存在延时误差，还可能造成数据出错。且没有特定的码流控制机制，应答机制也不够完善，无法满足高带宽、大批量数据的片间交互。

系统底板与多块功能板之间是分布式的通信方式，对通信的带宽和实时性有较为严格的要求，基于普通 IO 引脚和低速通信协议的片间通信方式已不能满足系统需求。高速串行通信又称为高速 SerDes 通信。SerDes(Serializer/Deserializer)是一种高速数字通信技术，它可以在高带宽信道上传输数据。广泛应用于高速板级数据传输、计算机网络、高清视频传输、数据中心等领域。它通过串行化数据并在传输通道上传输，再通过反串行化将数据还原为原始数据，从而保证了数据的准确性和稳定性。

与低速并行传输方案不同的是，SerDes 的数据传输通道上没有专用的时钟线，时钟信号与数据信号耦合在一起，通过 TX 差分数据端口发出，这样就避免了在高速传输下时钟边沿与数据边沿的延时偏差带来的数据错位，采样差分信号传输具有更强的抗干扰能力，抑制了通道走线上各种信号完整性问题，简化了 PCB 设计难度。高速串行传输克服了并行传输低通信带宽的限制，可以提供高达几十 Gbps 的传输速率。

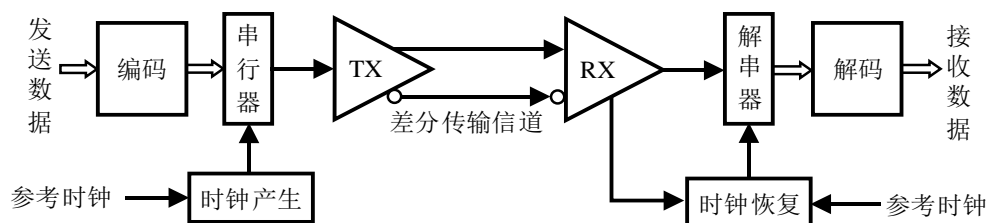


图 2-26 SerDes 通信传输示意图

SerDes 的传输原理示意图如图 2-26 所示，在 TX 发送端，并行数据经过一定的编码规则后（例如 8B/10B、64B/66B 编码等）被输入到序列串行器，序列串行器将并行数据流转换为高速串行数据流，经过外部通道传输至接收端。在 RX 接收端，高速串行数据被捕获后，时钟数据恢复电路(CDR)从高速数据流中恢复时钟，序列解串器将串行数据转化成多路并行数据，这一过程通常使用解析器和移位寄存器来实现，并使用同步字来确定数据流的起始位置，最后通过解码器将数据输出给用户。在序列解串过程中，解串器通常还会对接收到的数据进行校验，以确保数据的完整性和正确性。如果接收到的数据存在错误，解串器可以使用错误检测和校正算法（例如纠错码）进行数据修正，以保证数据的准确性^[35]。

本课题选用的 Ultrascale+ 系列 FPGA 的共有 40 组 GTY 收发器^[36], 其中 32 组用于高速测试向量的收发, 另外 8 组用于板间通信和板间同步校准。SerDes 的发送端和接收端的物理层电路全部被集成在 GTY 硬核内。GTY 收发器最高支持 32.75Gbps 的数据传输速率, 可为板间 FPGA 提供高带宽的串行通信方案。

在实现板间高速串行通信方案时, GTY 收发器作为通信协议的物理层载体, 用于完成不同 SerDes 设备之间的 bit 级数据传输。还需要选择合适的链路层协议来支撑数据编码(Encoding)、解码(Decoding)、纠错(FEC)等序列控制功能。Aurora 64B/66B 是一种可扩展、轻量化的高速数据通信协议^[37], 它的特点是使用 64 位或 66 位的数据帧来传输数据, 这些数据帧包括预定义的帧同步字节、纠错码和数据字节, 高效的帧同步和纠错机制是其主要特点之一, 能够提高数据传输的准确性和安全性。Aurora 64B/66B 协议支持多种数据速率, 可以根据应用场景的需要选择合适的速率。此外, Aurora 64B/66B 协议还具有低开销、易于实现等优点, 因此在高速数据传输环境中得到了广泛的应用。Aurora 64B/66B 最高支持 16 条 GTY 收发链路, FPGA 内部逻辑占用少。十分适合用于系统底板和功能板板间通信。

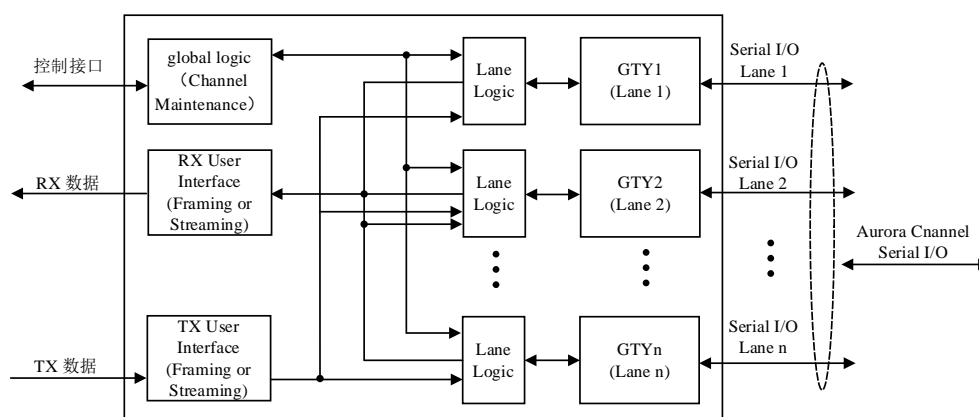


图 2-27 Aurora 64B/66B 内核结构框图

图 2-27 展示了 Aurora 64B/66B 内核结构框图。GTY 收发器由通道逻辑(Lane Logic)模块的实例驱动, 该实例对每个单独的收发器进行初始化, 处理控制字符的编码和解码, 并执行错误检测机制; 全局逻辑(Global Logic)模块执行通道的映射, 进行通道初始化, 在操作期间, 通道跟踪由 Aurora 64B/66B 协议定义的未就绪空闲字符来进行通道逻辑的纠错和监控; RX User Interface 和 TX User Interface 是高速串行数据与 FPGA 内部逻辑的交互接口, 高速串行数据转换成 AXI4 协议提供给内部逻辑使用。

本设计中，上位机与系统底板 FPGA 采用 PCIe 总线进行通信，在系统底板 FPGA 上完成 PCIe 到 AXI4 的协议转换，再通过 Aurora 64B/66B 逻辑核模块与功能板的 FPGA 建立通信连接。片内采用 AXI4 协议进行数据传输^[38]，片间采用高速串行协议(Aurora 64B/66B)建立连接。在这种主从的通信模式下，上位机可以通过 DMA 的方式直接访问各个子板的地址空间，提高了系统通信效率。

2.6 本章小结

本章首先介绍了 DDR 存储器接口信号完整性的几个影响因素，然后介绍眼图、抖动容限、误码率等表征 DDR 接口 PHY 层信号质量的关键参数，分析高速并行接口的测试需求。在此基础上，分别介绍本课题 DDR 存储器接口测试系统的总体设计方案、硬件电路实现方案和通信方案。测试系统的功能实现和详细设计过程将在本文的第三章和第四章进行阐述。

第三章 DDR 接口眼图功能的设计与实现

DDR 存储器接口速率的提升使得微小抖动可能也会影响系统正常工作。传统眼图扫描需要分析、截取、叠加大量数据，过程耗时且复杂，因此，基于统计学的 BER 眼图扫描应运而生。本章首先介绍 BER 眼图的基本原理，基于 FPGA 高速收发器的 CDR 单元实现 BER 眼图扫描，并根据 BER 数据获得眼高、眼宽、眼幅等关键参数。

3.1 BER 眼图扫描的实现

3.1.1 抖动和 BER 的关系

BER(Bit Error Rate)是指在信号在判决中出现错误的概率，即误码率。通常，数据的抖动是一个满足高斯分布的随机变量，因此，研究抖动幅度的分布时常会用到概率分布函数(Cumulative Distribution Function, CDF)^[39]，CDF 的定义为：

$$P(X) = \int_{-\infty}^a p(x)dx \quad (3-1)$$

式(3-1)中 $P(X)$ 表示随机变量的取值落在在 $[-\infty, a]$ 区间上的概率， $p(x)$ 表示随机变量的概率密度函数 (Probability Density Function, PDF)。当用 CDF 和 PDF 来描述抖动时， $[-\infty, a]$ 区间表示抖动大小的取值范围。根据概率的定义可知，时序抖动的大小落在整个时间轴上的概率之和为 1。因此，落在 $[a, +\infty]$ 的概率可用式(3-2)表示。

$$P(X) = 1 - \int_{-\infty}^a p(x)dx \quad (3-2)$$

图 3-1 表示时序抖动引入误码的概率密度函数(PDF)示意图。当二进制码型从逻辑“0”跳变到逻辑“1”时，理论上只要电平的幅度采样值大于阈值电压，就会采到正确的逻辑“1”电平。但由于时序抖动的存在，实际采样点时常会和理想采样位置之间存在偏差，阴影部分的面积表示由于时序抖动存在采样点偏移至 t_s 时造成误码的概率，若将采样点时刻 t_s 作为自变量，系统的误码率作为因变量，就可以得到因为时序抖动而引入的 BER 概率分布函数(CDF)。

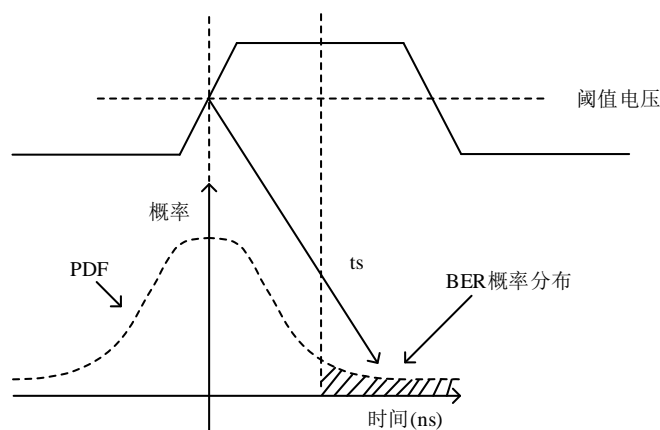


图 3-1 时序抖动与 BER 的关系

图 3-1 展示了在二进制码型从逻辑“0”到“1”单次跳变时的误码情况，在实际的二进制数据传输过程中，既有“0”到“1”的跳变，又有“1”到“0”的跳变，时序抖动引起的 BER 需要考虑双边沿的跳变情况。

假设上升沿时刻抖动的概率密度函数(PDF)为 $f_{01}(\Delta t)$ ，则上升沿 BER 概率分布函数(CDF)为：

$$F_{01}(t_s) = \int_{t_s}^{+\infty} f_{01}(\Delta t) d\Delta t \quad (3-3)$$

假设下降沿时刻抖动的概率密度函数(PDF)为 $f_{10}(\Delta t)$ ，则下降沿 BER 概率分布函数(CDF)为：

$$F_{10}(t_s) = \int_{-\infty}^{t_s} f_{10}(\Delta t) d\Delta t \quad (3-4)$$

系统总体的 BER 概率分布函数包含上升下降沿两部分，假设系统出现上升沿和下降沿的概率都是 0.5，则总体的 BER 分布函数为：

$$F(t_s) = 0.5 \times \int_{t_s}^{+\infty} f_{01}(\Delta t) d\Delta t + 0.5 \times \int_{-\infty}^{t_s} f_{10}(\Delta t) d\Delta t \quad (3-5)$$

式(3-5)中，自变量 t_s 表示实际采样时刻，因变量 $F(t_s)$ 表示由于时序抖动引入的 BER 采样误码率。根据式(3-5)可绘制出系统误码率 $F(t_s)$ 关于采样时间点 t_s 的函数图像如图 3-2 所示。这幅函数图形被称为浴盆曲线(Bathtub Curve)，浴盆曲线反应了采样点位置变化对采样结果出错概率的影响，揭示了时序抖动与 BER 的关系。由信号的浴盆曲线可以看出，采样时刻越靠近数据周期的中心时，由于时序抖动造成误码的可能性就越小。

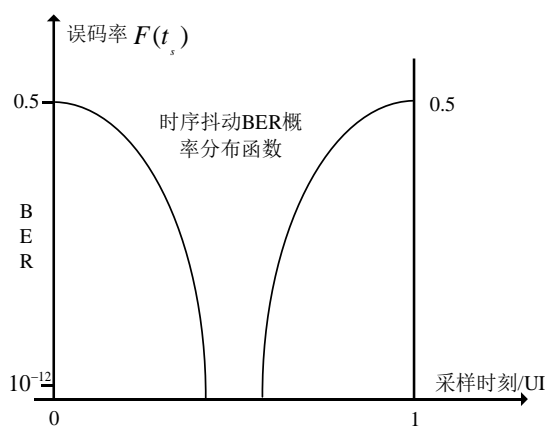


图 3-2 时序抖动引入的 BER 概率分布函数图像

上述 BER 概率分布函数，是从概率的角度讨论了 BER 与时序抖动的关系。在实际测量误码率时，通常是在接收端直接统计传输过程中错误 bit 数量，然后用错误 bit 数量除以总 bit 数得到统计意义上的误码率，如(3-6)式所示。

$$BER = \frac{N_{error}}{N} \quad (3-6)$$

式中，BER 表示统计时段的误码率， N_{error} 表示误码的个数， N 表示统计时段的总比特数。

3.1.2 BER 眼图的原理

3.1.1 小节分析了误码率和时序抖动的关系，时序抖动是造成误码的重要成因，在信号幅值方向，幅度噪声同样也会导致误码。二进制数字系统的信号传输过程中，由于热噪声、串扰、ISI 等因素的存在，信号幅值会呈现出不确定的现象，这种不确定现象与时序抖动类似，也可认为是呈高斯分布，因此，幅度噪声与误码率的关系也类似于时序抖动。

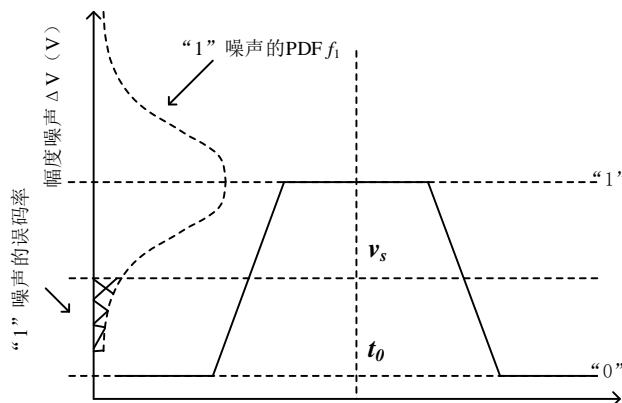


图 3-3 幅度噪声与 BER 的关系

幅度噪声的分布与 BER 误码率的关系如图 3-3 所示。当高电平信号上存在幅度噪声时，波形的幅度会在高电平幅值附近上下摆动，若幅度噪声过大，导致信号幅度越过了门限电平 v_s ，就会造成逻辑误判产生误码^[40-42]。图 3-3 中阴影部分的面积就表示由于幅度噪声导致系统将逻辑“1”误判成逻辑“0”的概率。

假设高电平时幅度噪声的概率密度函数(PDF)为 $f_1(\Delta v)$ ，则当信号处于高电平时幅度噪声引入的 BER 概率分布函数(CDF)为：

$$F_1(v_s) = \int_{v_s}^{+\infty} f_1(\Delta v) d\Delta v \quad (3-7)$$

当信号处于逻辑“0”状态时，幅度噪声引起的波动同样会导致误码，假设低电平时幅度噪声的概率密度函数(PDF)为 $f_0(\Delta v)$ ，则低电平时幅度噪声引入的 BER 概率分布函数(CDF)为：

$$F_0(v_s) = \int_{-\infty}^{v_s} f_0(\Delta v) d\Delta v \quad (3-8)$$

假设系统出现逻辑“1”和逻辑“0”的概率都是 50%，则由幅度噪声引起的总体 BER 分布函数为：

$$F(v_s) = 0.5 \times \int_{v_s}^{+\infty} f_1(\Delta v) d\Delta v + 0.5 \times \int_{-\infty}^{v_s} f_0(\Delta v) d\Delta v \quad (3-9)$$

式(3-9)中，自变量 v_s 表示逻辑判决的门限电平，因变量 $F(v_s)$ 表示由于幅度噪声引入的 BER 采样误码率。根据式(3-9)可绘制出 BER 误码率关于判决门限电平的概率分布图像，如图 3-4 所示，此函数图像被称为幅度上的浴盆曲线，由图可以看出当门限电平越靠近高低电平的幅值中心时，由于幅度噪声造成误码的概率越小。

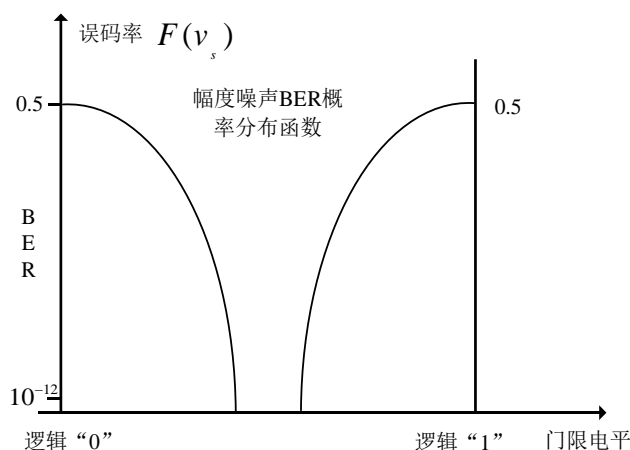


图 3-4 幅度噪声引入的 BER 概率分布函数图像

由上述分析可得，二进制数字系统数据传输过程中的 BER 主要会受到时序抖动和幅度噪声这两大因素的影响，系统的 BER 概率分布函数应该是一个关于采样时间 t_s 和门限电平 v_s 的二元函数。将时间和幅值两个维度上的 BER 分布函数综合起来，可得到完整的 BER 分布函数图像如图 3-5 所示。该图像也被称为三维浴盆曲线，该函数有 t_s 和 v_s 两个自变量，XY 平面内任意一个二维组合 (t_s, v_s) 都可以得到一个 BER 值，将 Z 轴上任意函数值所在的等高平面内的点连接起来可以得到一个椭圆形的等高线，该等高线的轮廓表示在此函数值对应的误码等级下的 BER 眼图，例如，在 Z 轴上 10^{-12} 值平面内的等高线即为 10^{-12} 误码等级下的 BER 眼图轮廓，BER 眼图原理示意图如图 3-6 所示。

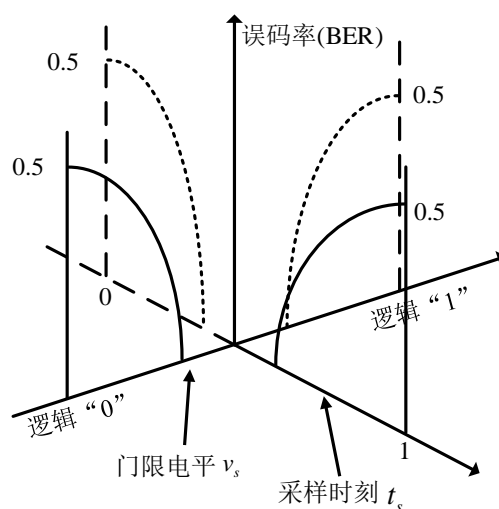


图 3-5 三维浴盆曲线

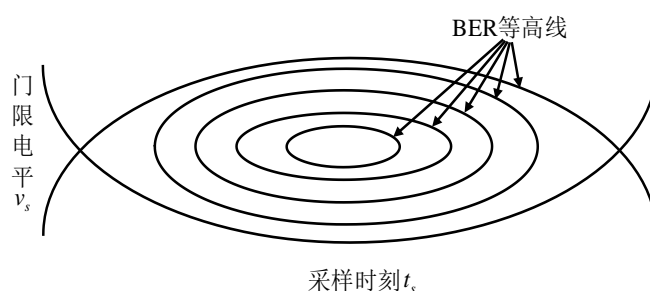


图 3-6 BER 眼图示意图

3.1.3 基于偏移采样的 BER 眼图扫描实现

GTY 收发器 RX 端提供了一种 BER 扫描方案，对经过均衡器后的数据进行多次偏移采样，将偏移采样数据与原样本数据进行比对计算得到 (t_s, v_s) 平面内任

意点的 BER 数据，将整个平面内的 BER 数据的值按照色阶进行渲染，即可得到一幅可视化的 BER 眼图。

BER 眼图扫描的硬件载体是 GTY 高速收发器，其 RX 端 BER 眼图扫描的原理框图如图 3-7 所示。外部高速信号从 RX 数据接口流入后，在 CDR 模块内部信号分别被送到样本数据采样器和偏移数据采样器。在样本数据采样器中，CDR 恢复的高速时钟在信号相位和幅度的中心点对其进行采样，得到一个样本逻辑值；在偏移采样器中，分别在该信号不同的相位偏移点和判决门限电平偏移点对其进行采样，得到该点的偏移逻辑值，将偏移逻辑值与样本逻辑值进行对比，即可得到该偏移点的测量结果是否有误码，逻辑值对比真值表如表 3-1 所示。对一个偏移点进行多次统计，即可对该偏移点的 BER 值进行计算。

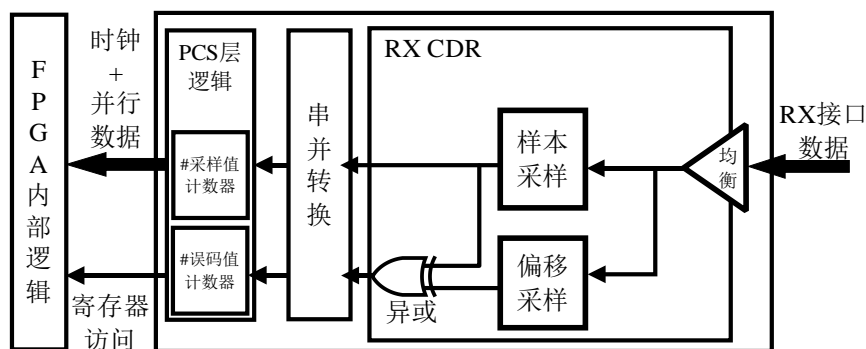


图 3-7 BER 眼图扫描原理框图

表 3-1 偏移样本逻辑值 BER 判定

样本逻辑值	偏移逻辑值	误码判定
0	0	0
0	1	1
1	0	1
1	1	0

高速信号在 CDR 模块内部进行样本采样和偏移采样的原理框图如图 3-8 所示。在偏移采样过程中，相位偏移由集成在 CDR 内部的相位插值器完成，相位插值器对 CDR 恢复的高速时钟进行相位调整，实现不同相位的数据采样，相位偏移量通过 `HORZ_OFFSET` 寄存器写入。判决门限电平偏移由集成在 CDR 内部的 DAC 数模转换器完成，通过向偏移控制 DAC 中写入不同的抽头系数，来调整采样器的判决门限电平，门限电平偏移量由 `VERT_OFFSET` 寄存器写入。偏移采样

和样本采样的数据通过分别通过 Sdata 端口和 Rdata 端口进入 PCS 层进行数据分析与误码统计。

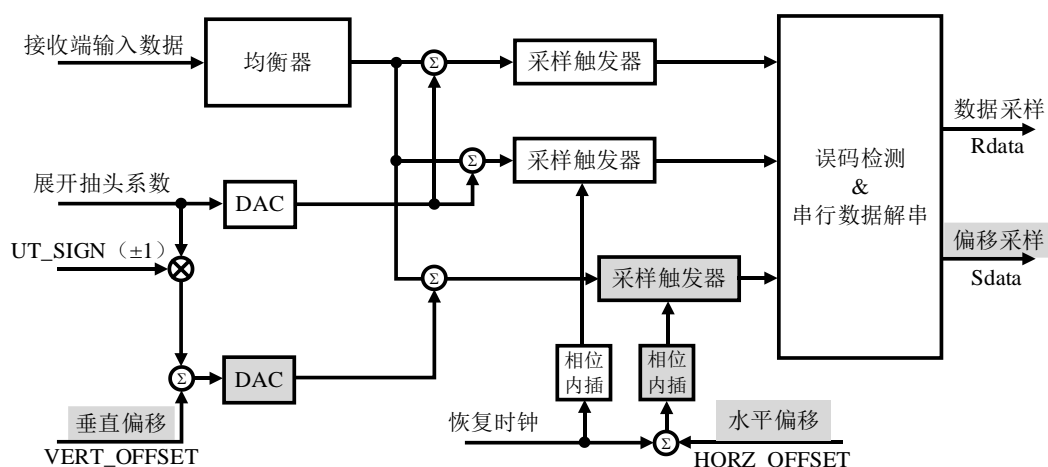


图 3-8 样本采样和偏移采样的原理框图

PCS 层用于 BER 眼图误码统计的计数流程如图 3-9 所示，其中，Rdata 是经过样本采样的数据，Sdata 是经过偏移采样的数据，Rdata 和 Sdata 经过 FIFO 缓冲后分别进入样本数据计数器和误码计数器，二者在误码计数器中完成误码的判断和计数，数据总样本量和误码量分别被存储在 Sample_count 和 Error_count 两个寄存器中便于用户计算该偏移点的 BER 值。

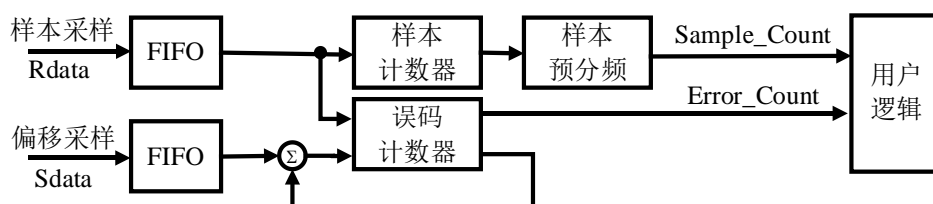


图 3-9 BER 眼图误码统计流程

CDR 对偏移点同一个偏移点进行多次误码扫描后，误码计数结果进入用户逻辑进行该偏移点的 BER 计算，计算公式如下：

$$BER = \frac{Error_Count}{Sample_Count \times 2^{(1+PRESCALE)} \times Datawidth} \quad (3-10)$$

其中，Datawidth 表示 Rdata 和 Sdata 总线有效数据位宽，PRESCALE 表示样本计数器的预分频系数。

在 FPGA 用户逻辑层，通过 DRP 动态配置端口配置 PCS 层 BER 眼图扫描寄存器，并将偏移点的 BER 数值反馈给上位机，单幅 BER 眼图扫描流程如图 3-10 所示。眼图扫描流程由运行在主控计算机上的上位机软件统一控制，眼图扫描参数由 PCIe 总线下发至 FPGA，在 FPGA 内部执行样本计数和误码计数流程，计数数据暂存在 FPGA 内部 BRAM 存储器里，单幅眼图扫描完成后上位机计数值并计算每个偏移坐标点的 BER 值。

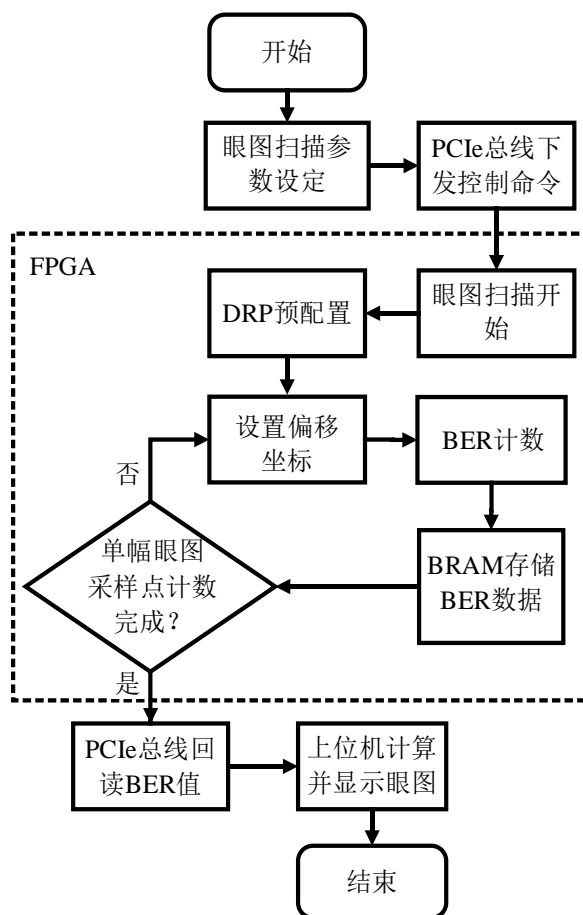


图 3-10 单幅 BER 眼图扫描流程

单幅眼图扫描水平方向偏移范围为 $\pm 2\text{UI}$ ，偏移步进为 $1/64\text{UI}$ ，水平方向共有 128 个采样点；垂直方向的偏移范围为 $\pm 1024\text{mV}$ ，偏移步进为 8mV/div ，垂直方向共有 256 个采样点，单幅眼图共扫描 128×256 个偏移坐标点，上位机将 128×256 个坐标点的 BER 值按照色阶渲染，得到如图 3-11 的眼图轮廓。

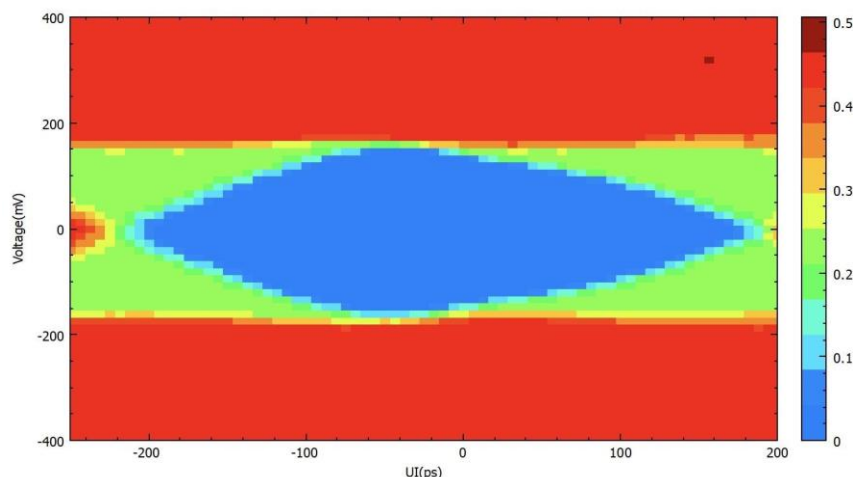


图 3-11 上位机渲染的单幅 BER 眼图

3.2 BER 眼图参数获取

3.2.1 眼图参数的定义

眼图的张度可以直观的反应信号质量，张度一般用眼高、眼宽、上升/下降时间等参数定量描述，上一小节详细介绍了基于 FPGA 实现 BER 眼图轮廓扫描的原理，本小节将介绍眼图参数的定义与计算。

垂直方向的参数包括眼幅(Eye Amplitude)和眼高(Eye Height)。

图 3-12 所示是眼图垂直方向参数示意图。其中，眼幅是指高低电平的均值之差，眼幅表征了信号平均 VPP 的大小。

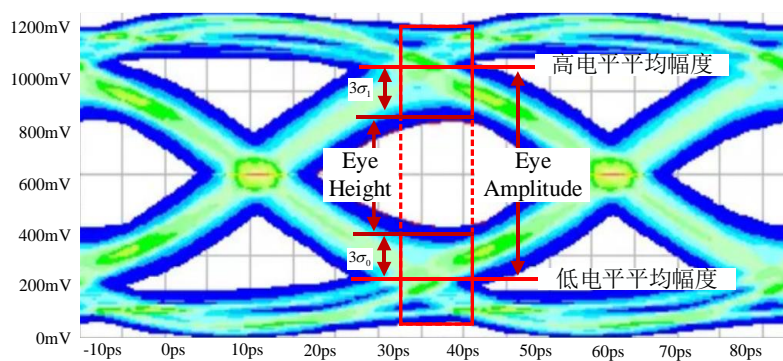


图 3-12 眼图垂直方向参数示意图

设高电平的幅值平均值是 High Level，低电平的幅值平均值是 Low Level，由眼幅的定义可得：

$$Eye_Amplitude = High_Level - Low_Level \quad (3-11)$$

RX CDR 在垂直方向共有 256 个偏移点，对应垂直方向 256 个小格 每个小格的垂直步进是 8mV/div。假设高电平平均垂直偏移量为 Offset1，低电平平均垂直偏移量为 Offset0，则：

$$Eye_Amplitude = (Offset1 - Offset0) \times 8mV / div \quad (3-12)$$

眼高是指眼图内侧轮廓的最大高度，眼幅与眼高之差反应信号在垂直方向上幅度噪声的大小，眼高和眼幅之比反应眼的张开程度。由于幅度噪声的存在，高电平和低电平的幅值在其均值附近呈高斯分布，眼幅的上下边界可看作是高斯分布的均值点，根据高斯分布的性质，幅度值分布在 $(\mu - 3\sigma, \mu + 3\sigma)$ 内的概率为 0.9974，其中 μ 为分布的均值， σ 为标准差。可将 3σ 看作是分布的边界点，因此可取高低电平幅值分布的 3σ 点作为眼高的上下边界点。本设计中， σ 可通过上位机软件分析垂直方向的 BER 值获得。

假设高电平幅值噪声的标准差为 σ_1 ，低电平幅值噪声的标准差 σ_0 ，可得眼高的计算公式为：

$$Eye_Height = \{(Offset1 - 3\sigma_1) - (Offset0 + 3\sigma_0)\} \times 8mV / div \quad (3-13)$$

水平方向的参数包括眼宽(Eye Width)、上升时间(Rise time)和下降时间(Fall time)。

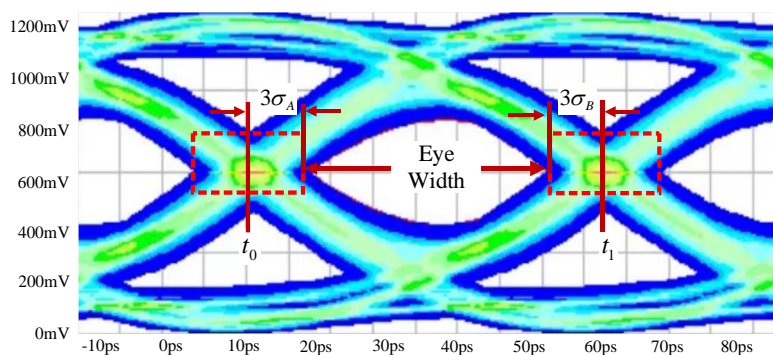


图 3-13 眼宽(Eye Width)示意图

眼宽是指眼图在水平时间轴上的张开程度，表征信号时序抖动的大小，其求解方式与眼高类似，抖动在时间轴上的分布同样服从高斯分布。如图 3-13 所示，左右两副眼图的交汇点 t_0 和 t_1 ，两个沿抖动分布的标准差 σ_A 和 σ_B ，同样以 3σ 点作为水平方向的边界点，得到眼宽的计算公式如式(3-14)所示。

$$Eye_Width = (t_1 - 3\sigma_B) - (t_0 - 3\sigma_A) \quad (3-14)$$

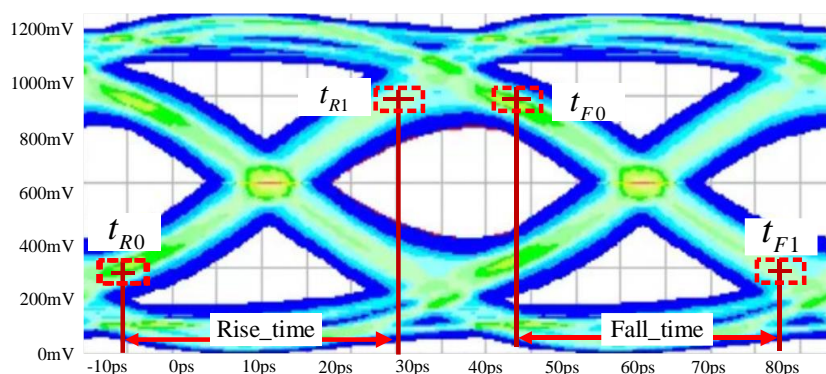


图 3-14 上升时间(Rise time)和下降时间(Fall time)示意图

上升时间是指信号的垂直幅度从 10% 上升至 90% 所用的时间，下降时间是指信号的垂直幅度从 90% 下降至 10% 所用的时间。如图 3-14 所示，设 10% 幅值和 90% 幅值的横坐标点 t_{R0} 和 t_{R1} ，下降沿 0% 幅值和 90% 幅值的横坐标点 t_{F0} 和 t_{F1} ，可得到上升下降时间如下。

$$Rise_Time = t_{R1} - t_{R0} \quad (3-15)$$

$$Fall_Time = t_{F1} - t_{F0} \quad (3-16)$$

3.2.2 BER 眼图参数提取与估算

3.2.1 小节介绍的眼图参数是基于传统叠加眼图而定义的，对其进行统计计算的基础是进行大量波形片段的截取叠加，并且幅度噪声和时序抖动符合高斯分布这一特征。而 BER 眼图是基于大量偏移点的误码统计后，通过偏移采样点的误码率数据模拟出眼图特征。两种眼图的合成原理有所不同，BER 眼图参数的获取与叠加眼图参数测量也有所区别。

在 BER 眼图中，每个像素点对应在该偏移点进行多次采样统计得到的误码率值，眼图参数需要通过分析不同采样点的误码率数据获得。

如图 3-15 所示是本设计通过偏移采样获得的一幅 BER 眼图。其中，眼图中的蓝色区域采样点的误码计数统计为 0，眼图中心的蓝色区域边界即为该信号的内眼轮廓。红色区域是信号幅值无法达到的电平边界区域，红色区域的采样点的高低状态是随机的，因此误码率接近 0.5。对于中间的青色区域，由于信号幅值噪声和时域抖动的存在，使被测信号时间方向的边沿和幅值上的边沿有一定概率落在青色区域上的任意位置，因此该区域的偏移采样误码率在 0~0.5 之间。

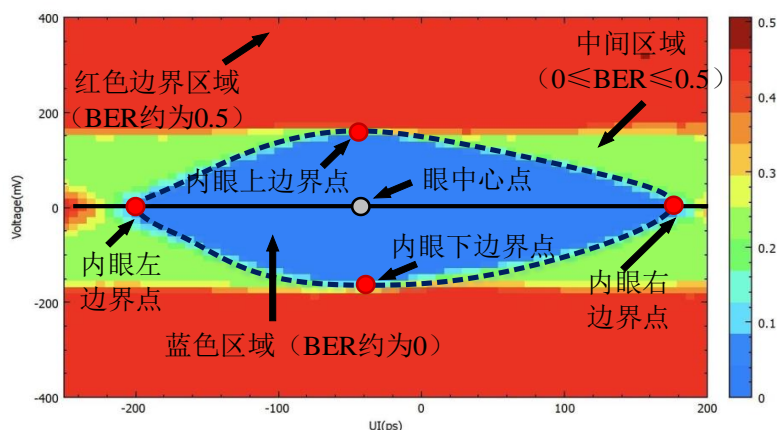


图 3-15 BER 眼图的关键信息

首先，根据蓝色内眼区域的 BER 误码率数据，确定幅值方向内眼上边界点与下边界点位置，上下边界点的纵向坐标是眼高信息提取的关键。分析红色区域上下边界线的纵向坐标确定被测信号幅值的最大边界线。通过内眼的上下边界点和幅值的边界线的纵向坐标信息可以确定信号幅值方向的浴盆曲线，如图 3-16 所示。

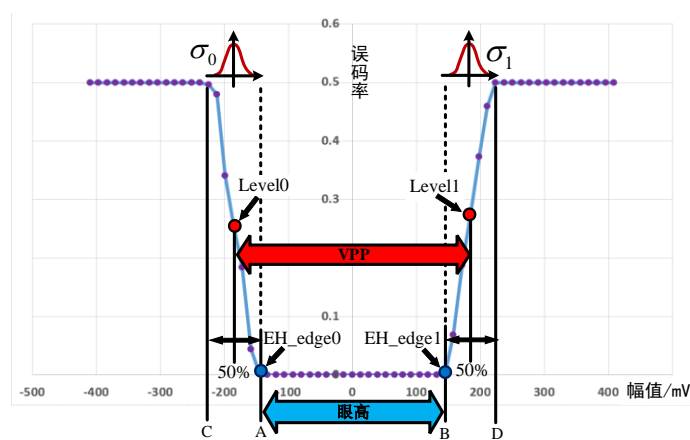


图 3-16 幅值方向浴盆曲线

其中，A 点和 B 点代表内眼上下边界点，C 点和 D 点代表信号幅值的边界点，由式(3-11)眼幅的定义可得到 BER 眼图的眼幅如式(3-17)所示：

$$V_{PP} = V_{Level1} - V_{Level0} = \frac{V_B + V_D}{2} - \frac{V_A + V_C}{2} \quad (3-17)$$

其中， V_{Level1} 和 V_{Level0} 表示眼图幅值方向的高、低电平的平均电压， V_A 和 V_B 表示眼图内眼边界点对应的电压， V_C 和 V_D 表示幅值上下边界点对应的电压。

由式(3-13)眼高的定义可得到 BER 眼图的眼高的计算公式如式(3-18)所示：

$$Eye_Height = (V_{Level1} - 3\sigma_1) - (V_{Level0} + 3\sigma_0) \quad (3-18)$$

其中， σ_1 为眼图上边界幅值噪声的标准差， σ_0 为眼图下边界幅值噪声的标准差。

信号的幅度噪声服从高斯分布，由于幅度噪声的 3σ 点已经非常接近于 BER 眼图的 0 误码区域，可将 A 点和 B 点近似看作幅度噪声分布的 3σ 点，因此式(3-18)可改写为：

$$Eye_Height = V_B - V_A \quad (3-19)$$

与幅度方向类似，在水平时间轴方向，通过 BER 眼图水平的误码率数据。可以确定内眼左边界点与右边界点位置，根据水平方向的误码坐标同样可以得到时间方向的浴盆曲线，如图 3-17 所示。

由式(3-14)眼宽的定义可得到 BER 眼图的眼宽的计算公式如式(3-20)所示：

$$Eye_Width = \left(\frac{T_3 + T_4}{2} - 3\sigma_B \right) - \left(\frac{T_1 + T_2}{2} - 3\sigma_A \right) \quad (3-20)$$

其中， T_1 表示眼图左交叉区域全误码点结束的时间， T_2 表示眼图左交叉区域 0 误码点开始的时间， T_3 表示眼图右交叉区域 0 误码点结束的时间， T_4 表示眼图右交叉区域全误码点开始的时间， σ_A 表示左交叉区域时序抖动的标准差， σ_B 表示眼图右交叉区域时序抖动的标准差。

与幅度噪声的 3σ 点类似，时序抖动的 3σ 点也非常接近于 BER 眼图的 0 误码区域，可将 T2 点和 T3 近似看作幅度噪声分布的 3σ 点，因此式(3-20)可改写为：

$$Eye_Width = T_3 - T_2 \quad (3-21)$$

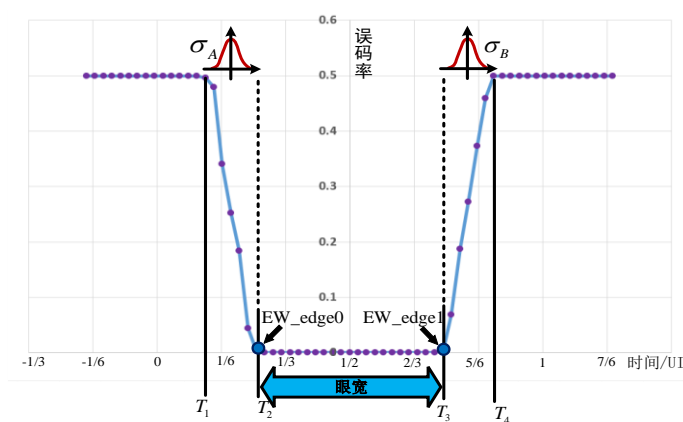


图 3-17 水平方向浴盆曲线

对于上升下降时间, 取 10% 和 90% 的眼高值, 分别找到眼图左右两端 10% 眼高值和 90% 眼高值对应采样时间坐标, 记为 T_{R10} 、 T_{R90} 、 T_{F10} 和 T_{F90} 。如图 3-18 所示, 由于眼图交叉区域的存在, 眼高 10% 处的采样点实际上已经越过了交叉区域, 信号实际上升时间要考虑眼图交叉区域之前、交叉区域以及交叉区域之后这三个部分, 由于交叉区域前后眼图是对称的, 这二者的时间可由 10% 和 90% 眼高值对应的采样时间点求得。眼图交叉区域是由前后两个 UI 眼图的交汇形成的, 其在时间轴上的宽度 ΔC 可由眼图的左边界点到首个最大误码率点的时间差来获得, 最大误码率取 0.5。因此, 上升时间可由式(3-22)得到:

$$Rise_Time = 2 \times (T_{R90} - T_{R10}) + \Delta C \quad (3-22)$$

同理, 下降时间可由式(3-23)得到:

$$Fall_Time = 2 \times (T_{F10} - T_{F90}) + \Delta C \quad (3-23)$$

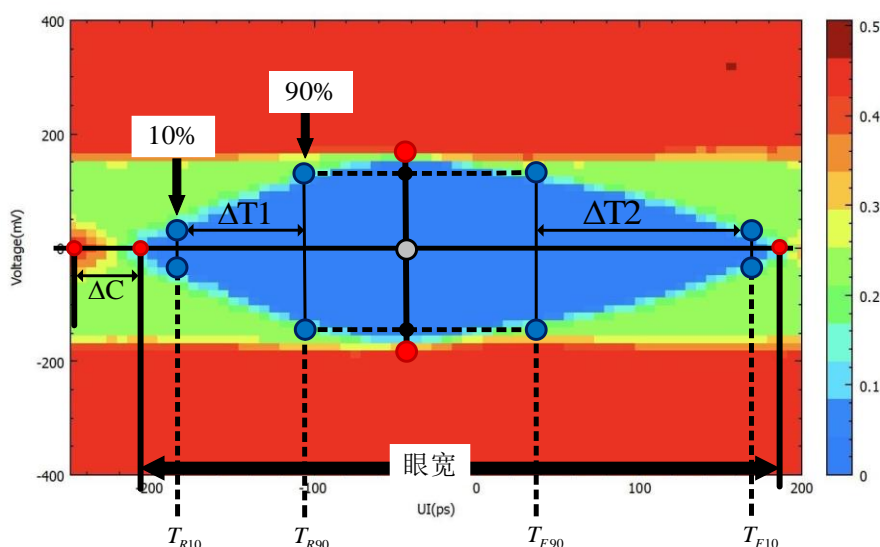


图 3-18 BER 眼图上升下降时间提取

3.2.3 基于 BER 眼图的抖动估算

抖动是导致高速信号质量恶化的主要因素之一, 在 DDR 接口测试中, 对 DDR 地址数据总线接口进行抖动测量很有必要。3.1.1 小节介绍了抖动和 BER 的关系, 时间轴上的 BER 分布函数由抖动的概率密度函数(PDF)推出, 水平方向的浴盆曲线反应采样时间点和误码率之间的关系。其中, 眼图、抖动的 PDF 和 BER 值的关系可由图 3-19 表示。

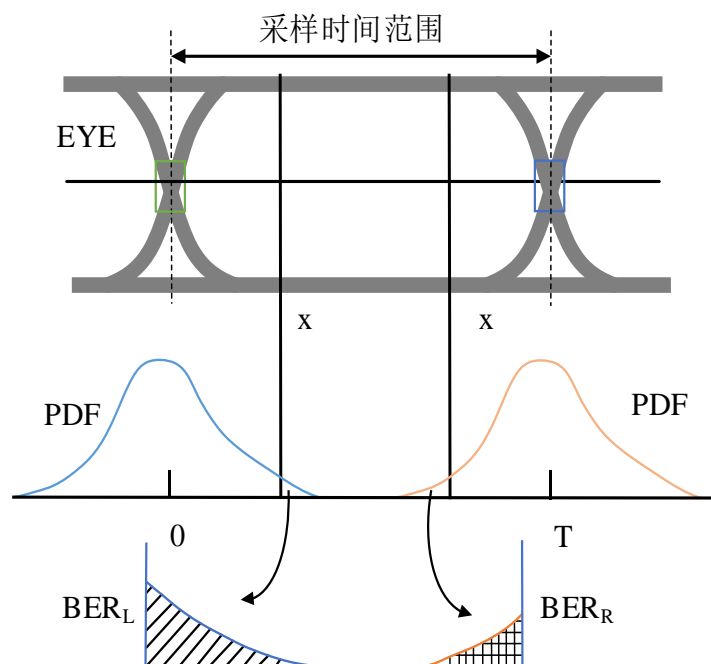


图 3-19 眼图、抖动 PDF 和 BER 值之间的关系

在 BER 眼图扫描的过程中，分别对水平方向和幅值方向进行偏移采样，得到整个扫描平面 128×256 个采样点的 BER 数据，按照 BER 数值大小对采样点进行色阶着色，即可得到一幅完整的 BER 眼图。在 BER 眼图平面内，每一行数据表示在某一个固定的门限电平下，在周期内进行相位偏移采样得到的不同采样位置的 BER 数据。以采样时间为横坐标，某一行的 BER 值为纵坐标，可得到该门限电平下水平方向的浴盆曲线，如图 3-20 所示。

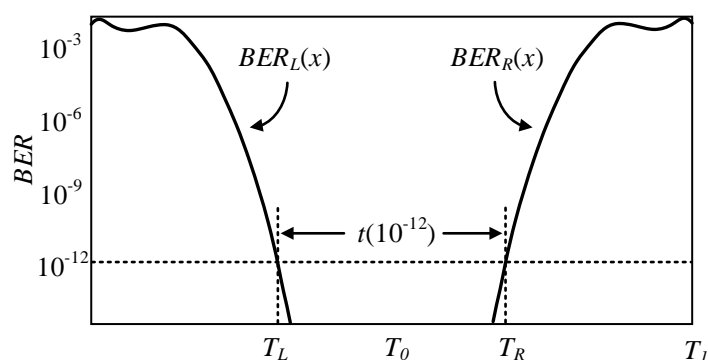


图 3-20 通过水平方向的 BER 值

在 BER 眼图参数的提取过程中，眼高和眼宽参数可分别由幅值方向以及水平方向的浴盆曲线进行提取估算，总体抖动的大小也可以通过水平方向的浴盆曲线进行估算。许多协议规范规定以误码率为 10^{-12} 点为抖动的边界点，图 3-20 中虚

线与浴盆曲线的交点表示在一定的判决门限电平下，当误码率为 10^{-12} 时对应的采样点的位置，设整个采样周期为 T_1 ，理想采样位置为 T_0 ，采样周期内误码率为 10^{-12} 时对应的采样位置为 T_L 和 T_R ，该门限电平下抖动大小可由式(3-24)估算。

$$TJ(BER = 10^{-12}) = T_1 - (T_R - T_L) \quad (3-24)$$

本设计中，在 FPGA 内部完成偏移采样和 BER 计数，每个偏移采样点的样本计数值和 BER 计数值通过 PCIe 总线回传至上位机软件，在上位机完成 BER 计算，选取特定门限电平下的水平 BER 数据进行浴盆曲线的绘制并根据式(3-24)进行抖动的估算，抖动估算的流程如图 3-21 所示。

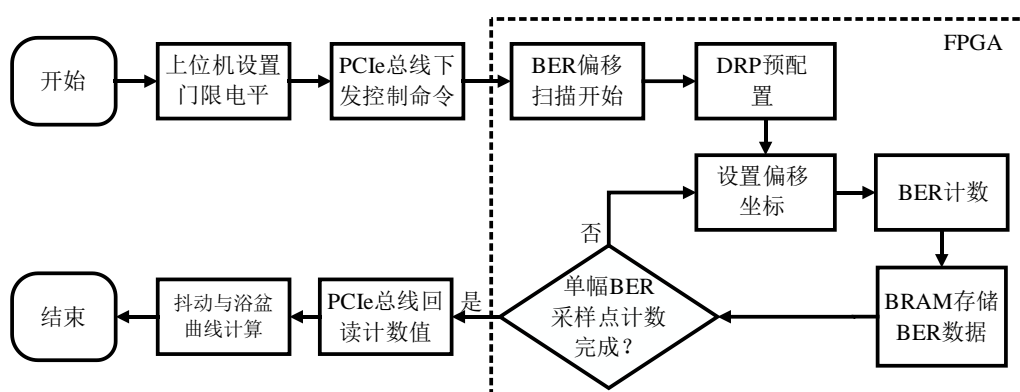


图 3-21 基于 BER 眼图的抖动估算流程

3.3 本章小结

本章首先介绍了 BER 眼图的原理，设计了 BER 误码计数的功能模块，在上位机软件上对 BER 数据进行色阶渲染实现眼图扫描；然后根据眼图参数的定义，分析整幅眼图的 BER 数据，实现眼图参数的提取和信号抖动的估算。

第四章 测试码型合成与抖动注入的实现

本章将对发送端码型合成与测试向量抖动注入的实现进行详细阐述。介绍 GTY 高速收发器的结构，基于 GTY 数据展宽和相位插值实现高分辨率的边沿调节和测试向量合成。分析边沿抖动在 FPGA 内部从参考时钟到高速数据的传递过程，最终采用精细时钟相移和抽头延时线两种方式实现边沿抖动的注入。

4.1 测试向量的合成与收发方案

4.1.1 高速向量收发的实现

Virtex UltraScale+系列 FPGA 内嵌有丰富的 GTY 吉比特高速收发器，GTY 高速收发器最高支持 32.75Gbps 的数据速率，并且可以通过其内部锁相环实现输出速率和边沿的精细调节。GTY 发送器和接收器的内部结构框图如图 4-1 所示^[36]。

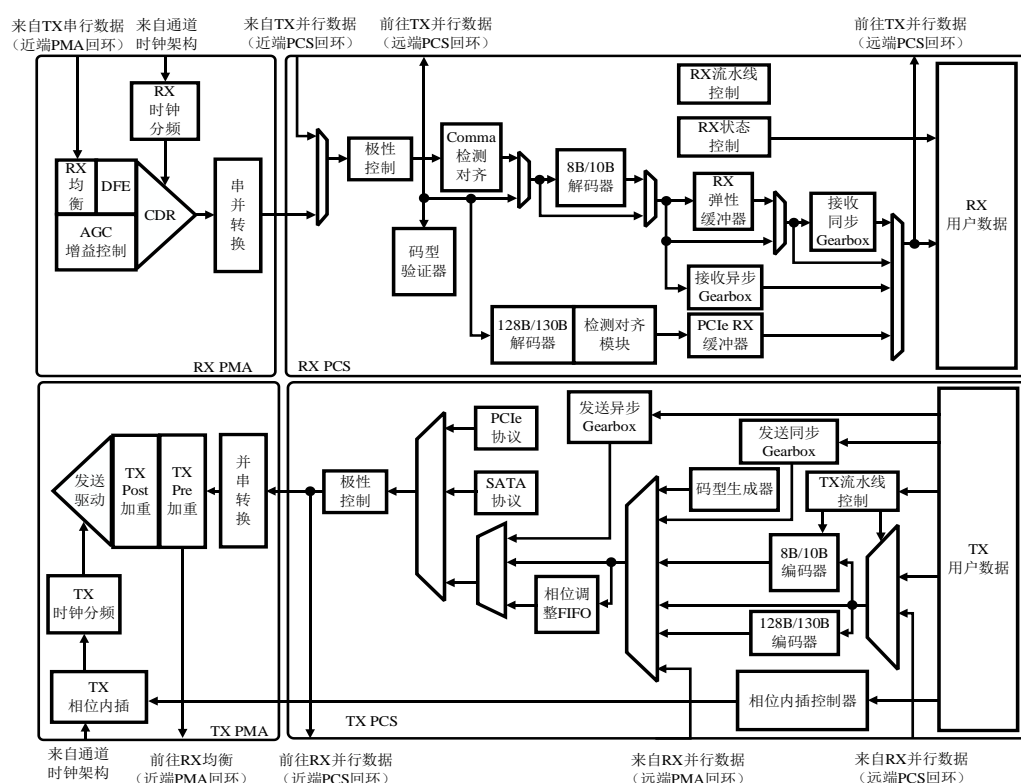


图 4-1 GTY 高速收发器内部结构图

每个 GTY 高速收发器都包含一个独立的发送器 (TX) 和一个独立的接收器 (RX)。二者都是由物理编码子层 (Physical Coding Sublayer, PCS) 和物理媒介适配

层(Physical Media Attachment, PMA)组成。高速串行数据可以通过近端回环(Near-End loopback)和远端回环(Far-End loopback)两种方式输入 RX 接收器,近端回环是指数据在高速收发器的 TX 发送端和 RX 接收端在内部进行回环传输,不涉及外部链路的传输;远端回环是指两个高速收发器经过外部传输通道连接,以全双工的方式进行高速数据的传输回环。

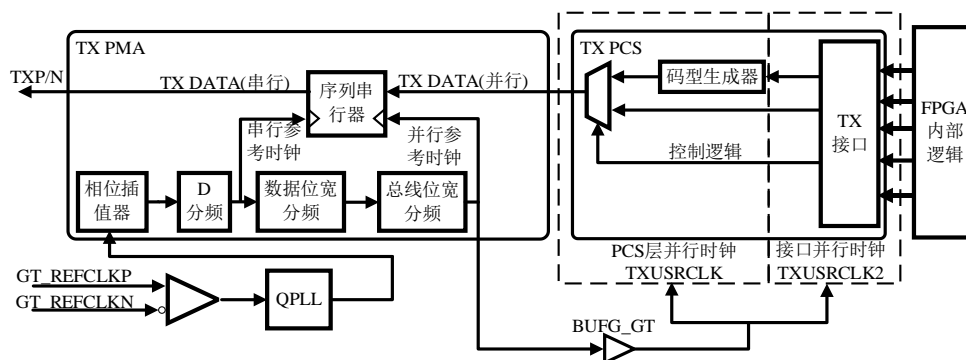


图 4-2 TX 发送器的时钟与数据架构

对于 TX 发送端,其本质是多位宽的并行数据进行串行化,通过驱动单元输出高速串行码流的过程。TX 端数据与时钟架构框图如图 4-2 所示。其中,参考时钟源通过 GT_REFCLKN/P 外部引脚输入,此时钟是功能板的时钟单元提供的高精度同步时钟,时钟经过 GTY 内部锁相环 QPLL 进行倍频,产生高速串行时钟,然后经过相位插值器和 D 分频器进行相位和频率的调整,最后进入序列串行器作为并串转换单元的串行参考时钟。

串行参考时钟经过两个位宽分频器进行降频,得到串行参考时钟,数据在序列串行器中将低速的并行数据转换成高速串行数据,最终经过驱动单元输出。序列串行器的串行参考时钟和并行参考时钟的关系由并行数据的位宽决定。并行参考时钟经过 GT 专用的时钟缓冲单元 BUFG_GT 后得到 TXUSRCLK 和 TXUSRCLK2。TXUSRCLK 进入 PCS 层,用于码型逻辑处理,TXUSRCLK2 进入用户逻辑接口,作为用户逻辑的数据采样时钟。并行数据既可以在 FPGA 内部逻辑中由用户自定义,又可以在 PCS 层的码型生成器中以一定的规则自动生成。

RX 接收器的功能是 TX 发送器的逆过程,其本质是接收高速串行数据经过解串行化得到低速多位宽并行数据。RX 端数据与时钟架构框图如图 4-3 所示,同一个 GTY 的 TX 端和 RX 端的参考时钟来自同一个差分时钟引脚 GT_REFCLKN/P。CDR 时钟数据恢复电路从高速串行数据中恢复出串行时钟,串行数据经过序列解串器实现并行化,并行数据在 PCS 层经过相位调整和跨时钟域处理后流入 FPGA 内部逻辑提供给用户使用。

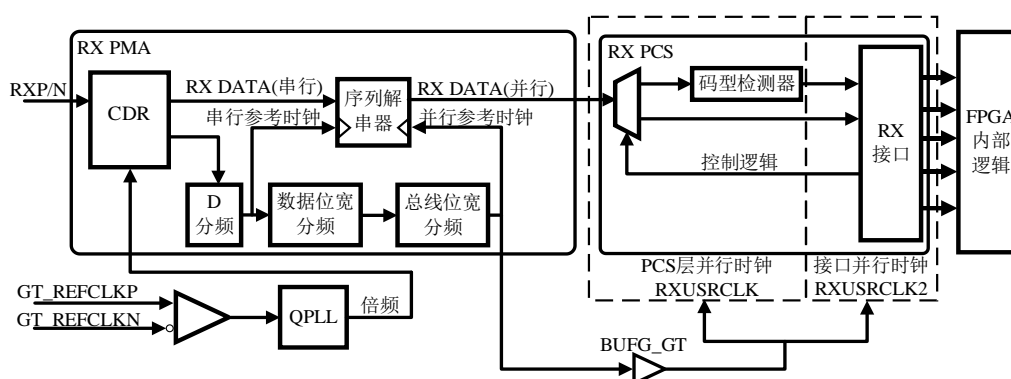


图 4-3 RX 发送器的时钟与数据架构

其中，时钟数据恢复(CDR)功能是 RX 端接收高速数据的核心，CDR 主要功能是接收输入高速串行信号并判断信号的相位，从中提取出时钟信息。CDR 电路的基本原理如图 4-4 所示。CDR 电路能够根据本地时钟和输入数据的相位差来正确的调整本地采样时钟的相位，以保证采样时钟的相位能够位于输入数据码元的中间位置^[43]。

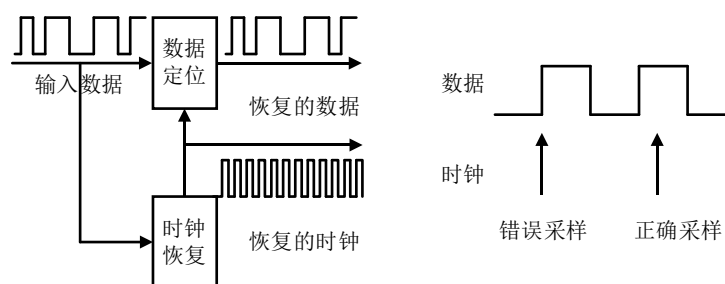


图 4-4 时钟数据恢复(CDR)的基本原理

4.1.2 高分辨率测试向量的合成

在芯片接口测试中，测试向量是测试系统向芯片引脚发出的激励，测试向量的边沿调节分辨率是测试系统的重要参数指标之一。在基于时序逻辑的向量合成方法中，时钟频率决定了向量的位分辨率，提高向量的唯一方法就是提高时钟频率，但在 FPGA 内部，时钟频率不可能无限制的提升，当测试向量的边沿分辨率要求达到百 ps 量级时，就很难用时序逻辑完成测试向量的合成^[44-46]。

吉比特高速收发器内部并串转换的原理为高分辨率测试向量的合成提供了新的思路，GTy 高速收发器的本质是一个 SerDes 电路，暴露给用户逻辑的是多位宽并行数据，并行数据逻辑时钟只有百 MHz 量级，经过并串转换之后最高可实

现数十 Gbps 的数据速率。因此，利用高速收发器，可以在低时钟频率下完成高速的数据收发。

对于本课题而言，设计的最高测试速率为 2.5Gbps，GTy 的最高数据速率达到 32.75Gbps，测试码型的由 FPGA 内部逻辑控制，在 GTy 的并行端口进行数据展宽，通过调整单 bit 数据的展宽比，可实现高分辨率的边沿调节。

例如，将 GTy 收发器的速率设置为 25Gbps，用户侧并行数据位宽为 128 位，则并行数据的逻辑时钟约为 195.3MHz。若在一个并行时钟周期内合成一条“低高低”的脉冲测试向量，FPGA 内部逻辑仅需要在一个时钟周期内给出一条“010”的测试向量，然后在 GTy 并行数据端口将这 3bit 数据分别按 1 比 44、1 比 40 和 1 比 44 进行展宽，GTy 收发器的 TX 端输出的波形如图 4-5 所示。调整并行数据中单 bit 数据的展宽比即可实现输出波形边沿位置的调节。边沿调节分辨率由 GTy 收发器的速率决定，当 GTy 速率设置为 25Gbps 时，可实现 40ps 的边沿调节分辨率。

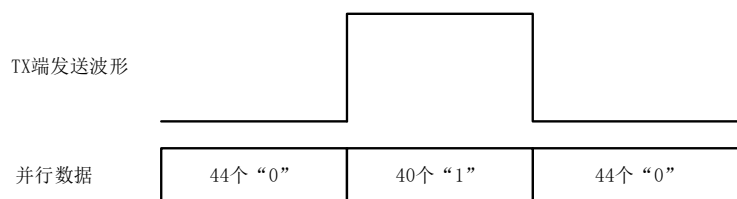


图 4-5 基于 GTy 收发器的测试向量合成

利用上述方案，可以实现 40ps 边沿调节分辨率的向量合成，由于 25Gbps 的收发速率已接近 GTy 收发器的速率极限，对于更小边沿调节分辨率的需求，仅通过设计并行数据中单比特“0”和“1”的数量难以实现。GTy 收发器 TX 端 PMA 层集成了一个相位插值器(Phase Interpolator, PI)，该相位插值器可以通过多相分解和相位选择的方式对 GTy 收发器的高速串行参考时钟的相位进行实时调整^[47]，其原理框图如图 4-6 所示。

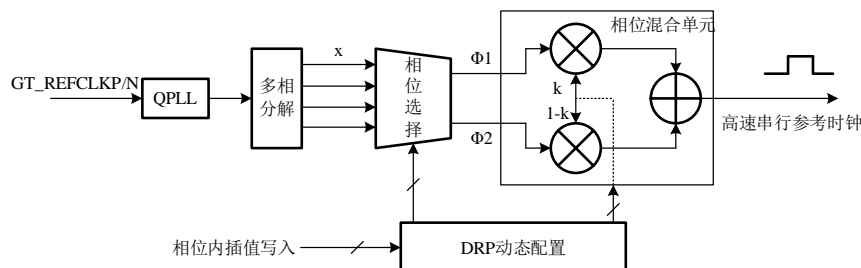


图 4-6 相位插值器原理框图

QPLL 倍频的高速串行参考时钟经过多相分解得到 X 个相位相差 $2\pi/X$ 的初相时钟，相位选择单元筛选出其中两个初相位时钟在相位混合单元中进行叠加，最终得到一个理想相位的高速串行参考时钟。

相位插值器一共有 128 个相位插值步进，可以在时钟边沿前后 1UI 的范围内进行相位调整，理论上相位调整的分辨率为 $(1/64)UI$ ，当 GTY 的位速率为 25Gbps 时，1UI 高速串行时钟的单 bit 位宽是 40ps，理论上相位调整分辨率为：

$$P = \frac{1}{64} \times UI = 0.625(\text{ps}) \quad (4-1)$$

相位调整的步进由 FPGA 内部逻辑通过 DRP 动态配置端口写入，通过对 GTY 高速串行时钟进行相位调整，实现 TX 端输出数据边沿位置的控制。

本课题将采用 GTY 并行数据展宽和相位插值器配合的方式实现高边沿调节分辨率的测试向量合成。

4.1.3 高速收发器的均衡技术

高速数据在进入 RX 端口前，在外部链路上进行传输，链路损耗与传输距离和信号频率有关，以铜制传输线为例，在链路上的衰减量与信号频率的关系如式(4-2)所示^[47]。

$$C(f, l) = \exp(k_s l(1 + j)\sqrt{f} + k_d l f) \quad (4-2)$$

其中， C 表示信号衰减量， f 表示信号频率， l 表示链路传输距离， k_s 为介质的趋肤效应系数， k_d 为介质损耗系数， j 为虚数单位。

由式(4-2)可知，信号传输距离一定时，链路损耗随着信号频率的增加而增加，由此，信号的高频衰减示意如图 4-7 所示。上升下降沿处的高频信号的衰减会大于其他地方，造成信号衰减后变平滑的情况。当信号衰减比较严重时，当前周期的信号会耦合到下一个周期形成拖尾，使下一个周期的电平值无法达到门限电平，导致误码，这也是码间干扰(ISI)形成的主要原因。

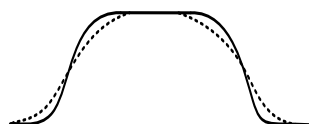


图 4-7 信号高频衰减示意图

均衡技术是高速接口应对信号完整性问题的重要措施。均衡器的作用是对信号高频衰减进行补偿，其中自适应均衡器可以根据接收到的信号特性自动调整相关的增益系数，使均衡调节工作在最佳状态^[48]。

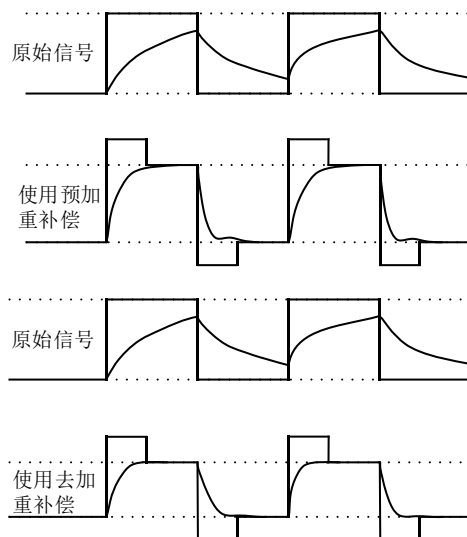


图 4-8 预加重和去加重示意图

GTY 收发器在 TX 发送端的驱动模块提供了前馈均衡电路(Feed Forward Equalizer, FFE)，用于在 TX 发送端进行信号均衡。FFE 有两种信号均衡方式，其中一种方式是提高信号高频部分的幅值，来中和传输链路中的高频衰减，也称预加重技术；另一种是主动衰减信号的低频成分，也称去加重技术。两种方式都是通过对信号高频或者低频成分进行处理，使信号到达 RX 端时其高低频的幅值保持一致来抑制拖尾现象，从而抑制 ISI。预加重和去加重的原理示意图如图 4-8 所示。

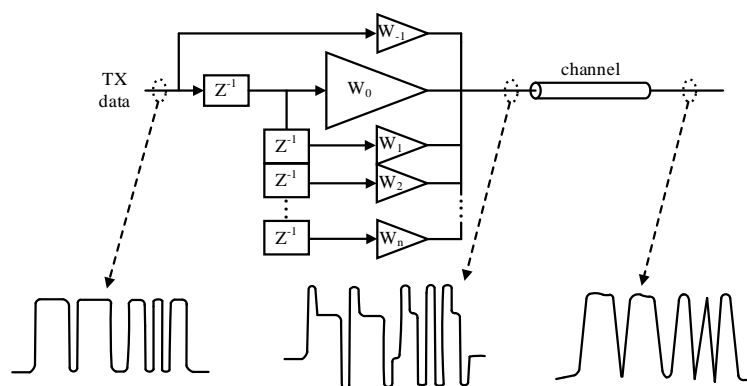


图 4-9 FFE 均衡器原理示意图

FFE 均衡器是基于有限冲激响应 (FIR) 滤波器实现的, 其原理示意图如图 4-9 所示, FIR 滤波器具有严格的线性相位, 稳定性好, 幅值特性可以根据抽头系数设定, 通过设置合适的抽头系数可以很好的补偿信号的高频衰减。

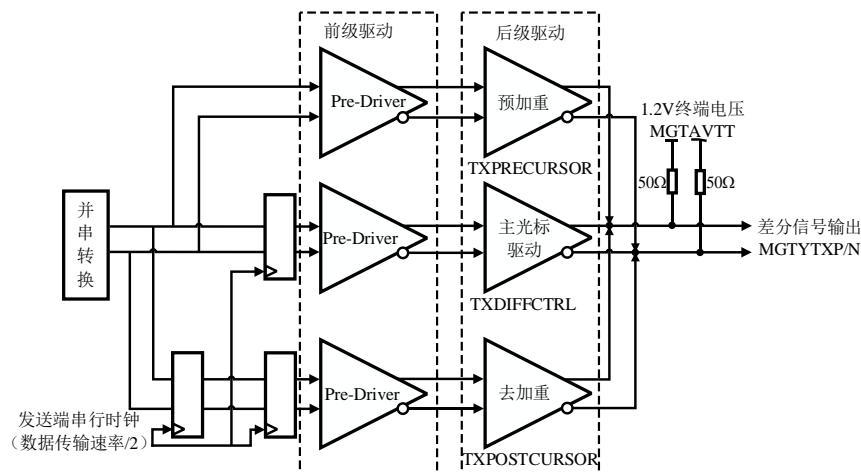


图 4-10 摆幅和 FFE 均衡调节电路

GTY 的 TX 端摆幅和 FFE 均衡调节电路的示意图如图 4-10 所示, 摆幅和 FFE 均衡调节电路主要由两级驱动单元构成, 前级驱动进行信号放大, 后级驱动进行摆幅和均衡参数的调节。其中, 主光标驱动器 TXDIFFCTRL 寄存器控制输出信号的电压摆幅, 预加重驱动器 TXPRECURSOR 寄存器和去加重驱动器 TXPOSTCURSOR 寄存器控制 FFE 均衡器的抽头系数, 实现 0~13.67dB 的预加重控制和 0~5.67dB 的去加重控制。

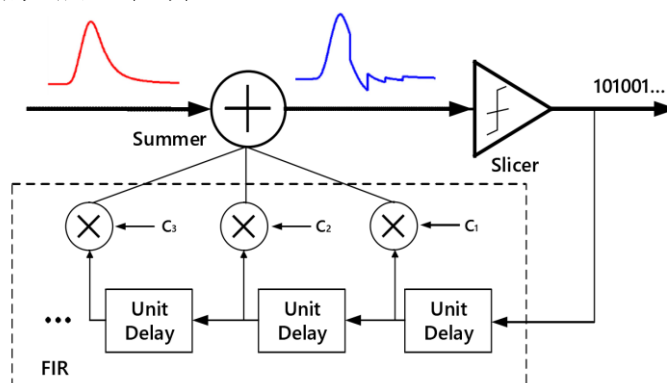


图 4-11 DFE 均衡器的原理

RX 接收端常用的均衡技术有连续时间线性均衡 (Continuous Time Linear Equalization, CTLE) 和判决反馈均衡 (Decision Feedback Equalizer, DFE)。其中, CTLE 是一种线性均衡器, 其作用机理和 TX 端的 FFE 类似, 通过通高频阻低频

的方式抑制高频衰减；DFE 是一种非线性均衡技术，DFE 均衡器的工作原理如图 4-11 所示，前一个周期的码元信号反馈至后一个周期控制加法器，来消除当前周期的码间干扰(ISI)。其每一级延迟反馈都可以消除后一个码元对前一个码元的影响，通过调整每一级反馈的抽头系数来改变均衡程度。

GTy 高速收发器的 RX 接收端支持 DFE 模式均衡。GTy 内 DFE 均衡模式的原理图如图 4-12 所示。调用 DFE 均衡模式时，DFE 自适应控制器根据接收端信号的变化情况自动调整反馈网络的抽头系数和自动控制增益控制器(AGC)的增益系数，使均衡器工作在最佳状态。

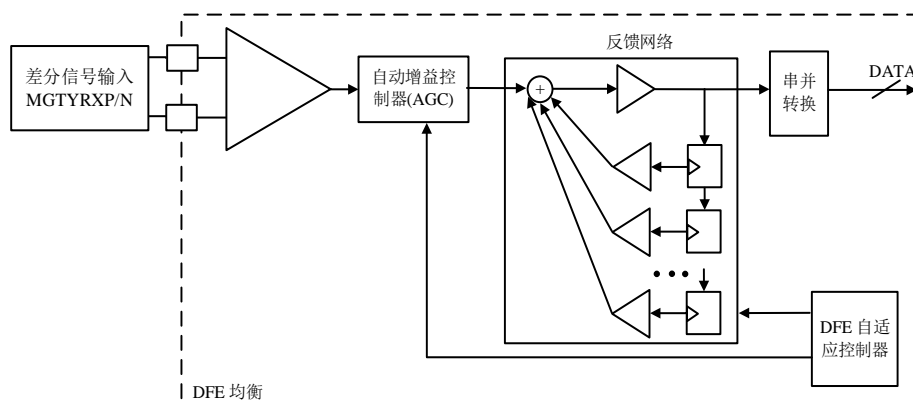


图 4-12 Gty 内部的 DFE 均衡原理

借助 Gty 收发器的 FFE 均衡器和 DFE 均衡器，可以很好的保证测试向量在传输链路上的信号完整性。

4.2 边沿抖动注入的研究与实现

在 DDR 存储器读写过程总是期望数据总线上的抖动越小越好，因此，在实际应用中时常在 PCB 走线、阻抗匹配、时钟等方面做特殊设计以保证链路上的信号完整性。但在 DDR 接口测试中，测试工程师是时常需要人为在 DDR 的数据总线上注入一定量级的抖动，对其进行抖动容限测试和最坏眼图测试。

4.2.1 抖动的传递

接口测试向量在 FPGA 内部合成、基于 Gty 高速收发器实现输出。因此，对测试向量进行抖动注入即是对高速收发器输出的高速数据进行抖动注入，高速收发器的工作输出速率达到 Gbps 量级以上，难以在 FPGA 内部逻辑直接对高速数据进行操作。Gty 高速收发器的参考时钟是一个百 MHz 量级的低速时钟，参

考时钟在 GTY 内部的流向示意图如图 4-13 所示, 低速参考时钟经过 QPLL 以及时钟倍频单元, 为 TX 发送端提供高速串行时钟。

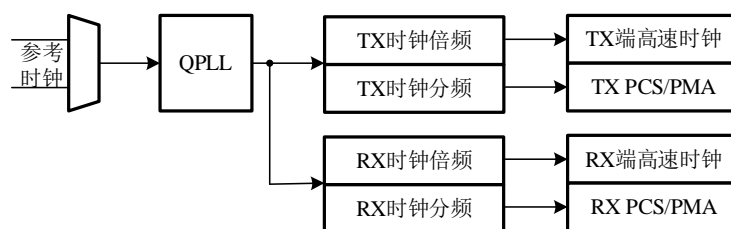


图 4-13 GTY 参考时钟流向

在 FPGA 内部对参考时钟进行加抖处理, 抖动会通过 QPLL 锁相环和时钟倍频器传递到串化器的高速参考时钟上, 串化器在高速抖动时钟的时钟沿输出数据, 抖动最终可以被耦合到高速串行数据上输出。抖动从参考时钟到高速串行数据的传递过程如图 4-14 所示。

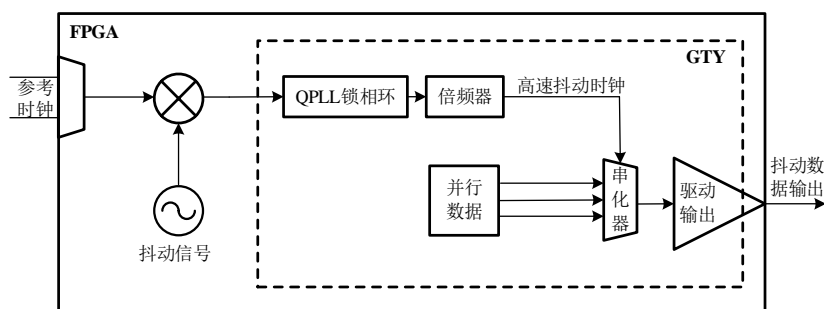


图 4-14 抖动的传递过程

因此, 测试向量的加抖最终可以落在对参考时钟加抖的问题上。对时钟进行加抖的方法有很多, 延时、调相等方式可以实现时钟边沿的精细调节, 不断更新延时和调相的幅度, 令时钟边沿位置呈周期性变化, 即可模拟出周期时钟抖动。本课题选用的 FPGA 有进位链、延迟线、时钟相移单元等逻辑资源, 可实现精细的时钟延时与调相, 在以下小节将进行详细介绍。

4.2.2 基于精细时钟相移的抖动注入方法

UltraScale+ 系列 FPGA 拥有强大的时钟管理单元(Clock Management Tile, CMT), 通过 CMT 可以对输入时钟进行频率综合, 输出多路不同频率的时钟提供给 FPGA 内部逻辑使用, 此外, CMT 还具有去抖动、去偏移、相位调整等功能。每一个 CMT 单元包含一个 PLL 和一个混合时钟管理器(Mixed-Mode Clock

Manager, MMCM), 其中, MMCM 具有精细相位调整(Phase Shift, PS)功能, 可以对时钟进行相移操作。

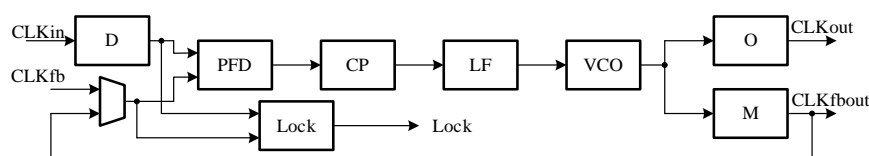


图 4-15 MMCM 的内部结构

MMCM 的内部结构如图 4-15 所示, 其原理与锁相环类似, 主要有鉴相器(PFD)、环路滤波器(LF)、压控振荡器(VCO)、电荷泵(CP)以及多个分频器组成。

其中, 在使用 MMCM 的静态相位移动(Static Phase Shift, SPS)功能时, VCO 生成 8 相位各相差 $\pi/4$ 的时钟, 用户通过选择不同相位的时钟实现静态相移, 在静态相移模式下, 无法在时钟输出过程中实时改变时钟相位, 只能用于相位对齐, 时钟同步等操作无法实现抖动的模拟。

MMCM 还提供了动态相位调整(Dynamic Phase Shift, DPS)功能, 支持在 MMCM 工作过程中动态更改输出时钟的相位, 为时钟抖动的注入提供了可能。在动态相位调整模式下, 无法选择输出时钟的初始相位, 时钟相位从 0° 开始, 根据相移设置进行相位的递增或递减, 灵活的调整时钟相位, 动态相位调整的相移分辨率是 VCO 输出时钟周期的 $1/56$, 可表示为:

$$LSB_{PS} = \frac{1}{56 \times f_{VCO}} = \frac{1}{56 \times M \times f_{in}} \quad (4-3)$$

其中, f_{VCO} 表示 VCO 的输出频率, M 表示 M 分频器的分频系数, f_{in} 表示输入时钟频率。

MMCM 内部 VCO 的频率最高可达到 1.6GHz, 因此, 借助 MMCM 的动态相移功能, 最高可实现步进为 11ps 的动态相位调整。

动态相移的动作更新由 PSEN, PSINCDEC, PSCLK 和 PSDONE 几个端口控制, 更新时序图如图 4-16 所示。

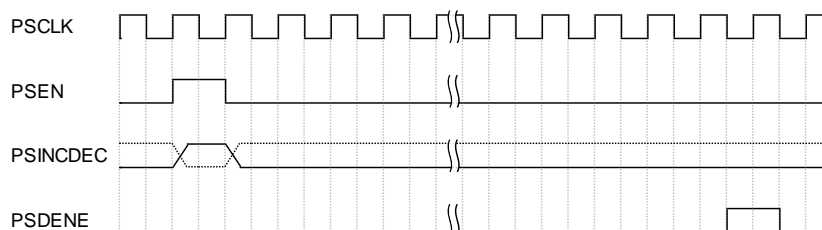


图 4-16 动态相位更新时序

动态相位调整开始执行后，PSEN 拉高一个时钟周期，使能动态相移，PSINCDEC 端口控制相移方向，若 PSINCDEC 端口为高电平，启动相位递增，每个时序周期输出时钟相位增加一个步进，若 PSINCDEC 端口为低电平，启动相位递减，每个时序周期输出时钟减小一个步进，单步进相移的大小是相移的分辨率如式(4-3)所示。

基于精细相移实现时钟抖动注入的流程如图 4-17 所示，控制 PSEN 端口开启动态相移，在合适的位置反转 PSINCDEC 端口改变相移方向，使输出时钟的相位呈周期性变化，即可模拟时钟边沿上的周期抖动。抖动的大小可有 PSINCDEC 反转时间间隔决定，反转时间间隔越大，向单方向相移的步数就越多，注入的抖动幅度就越大。

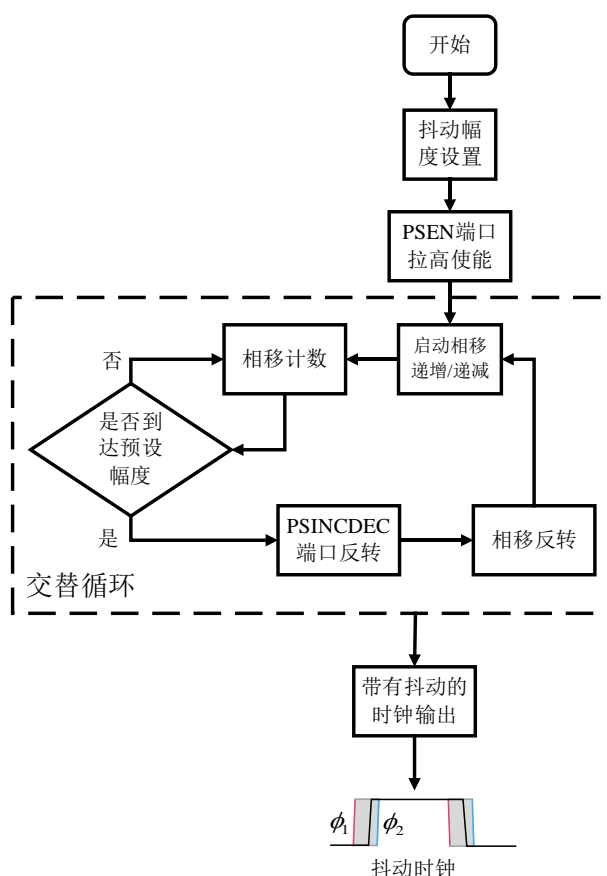


图 4-17 精细相移实现时钟抖动注入实现流程

4.2.3 基于延时线的抖动注入方法

IDELAY 和 ODELAY 是 FPGA 内部的延时线，UltraScale+系列 FPGA 中包含 IDELAYE3、ODELAYE3 原语，可以对输入输出信号进行高精度延时。

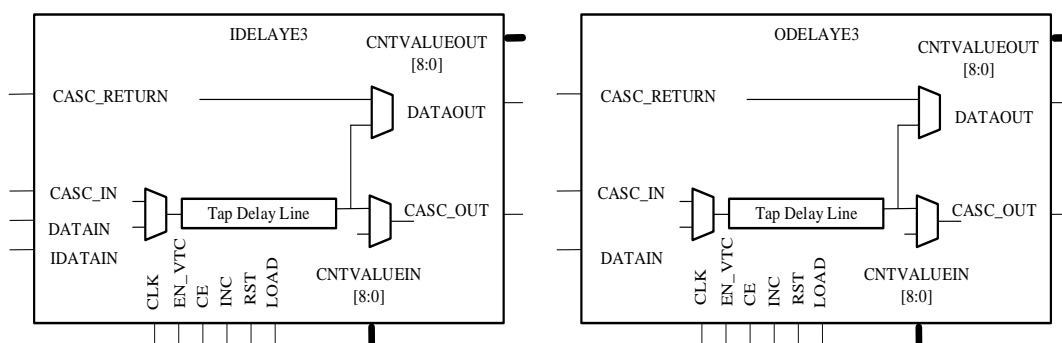


图 4-18 IDELAYE3/ODELAYE3 的结构

IDELAYE3/ODELAYE3 的结构如图 4-18 所示，其中，IDELAYE3 是输入信号延时单元，可以将 IO 引脚输入的信号进行延时调整送至内部逻辑使用；ODELAYE3 是输出延时单元，可以将 FPGA 内部的信号进行延时调整并通过 IO 引脚输出。延时线拥有计数(COUNT)模式和时间(TIME)模式两种延时配置模式。计数配置模式下，延时量以抽头步进为单位，UltraScale+ 系列 FPGA 的 DELAYE3/DELAYE3 原语提供 512 个抽头步进，通过调整抽头系数，实现信号的精准延时，单位抽头分辨率由输入参考时钟决定。在时间配置模式下，延时量以时间为单位，可以达到 ps 级的延时分辨率。

两种工作模式下，由 CNTVALUEIN、LOAD、EN_VTC 等端口控制信号的延时状态，延时量的大小由 CNTVALUEIN 端口写入。在时间配置模式下，需要计算延时分辨率，并在 IDELAYCTRL 单元进行延时控制以及温度电压校准，延时量最终也会转换为抽头 Tap 系数，再通过延时更新时序将新的延时量写入延时线。计数配置模式则是直接配置抽头 Tap 系数，无延时校准过程。

延时抽头 Tap 系数可进行动态调整，其延时更新输出真值表如表 4-1 所示。

表 4-1 延时更新输出真值表

LOAD	INC	CE	CNTVALUEIN	CUTVALUEOUT	抽头 Tap 系数
X	X	X	X	X	保持
1	X	0	CUTIN	CNTIN	CNTIN
1	X	1	X	X	无效
0	1	1	X	当前+1	当前+1
0	0	1	X	当前-1	当前-1
0	0	0	X	保持	保持

单步进递增/递减通过 CE 端口和 INC 端口控制，当 CE 端口为逻辑“1”时，开启单步进模式，INC 配置为逻辑“1”，抽头 Tap 系数每个时钟周期递增+1，INC 配置为逻辑“0”，抽头 Tap 系数每个时钟周期递减-1。此方式与时钟相移类似，每次只能调整一个步进，但是打破了时钟相移只能在 $\pm 1UI$ 进行相移的限制。此外，还可以通过 LOAD 端口和 CNTVALUEIN 端口进行任意抽头值的动态配置，当 LOAD 配置为逻辑“1”、CE 配置为逻辑“0”，抽头系数通过 CNTVALUEIN 端口直接写入。

动态更新延时抽头系数的时序图如图 4-19 所示。复位端口拉低进行模块复位，RDY 信号拉高表示抽头更新已准备就位，然后将 EN_VTC 端口拉低以允许抽头系数写入，模块在 LOAD 端口拉高的一个周期内将 CNTIN 端口上的值更新进延时线，完成一次延时抽头系数的写入。

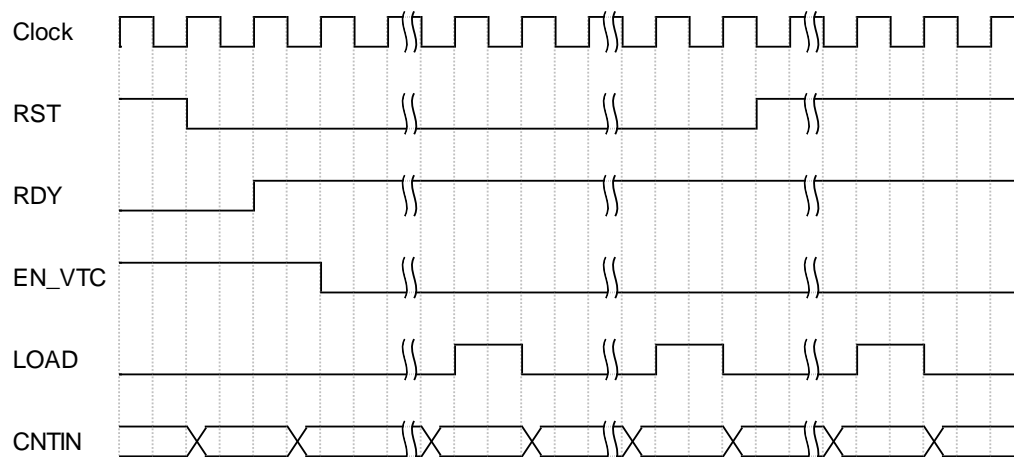


图 4-19 延时抽头系数更新时序图

延时线参考时钟的频率范围为 200~2667MHz，单个延时线的延时范围为 0~1.25ns，可通过多个延时线实现级联实现更高范围的信号延时，CASCADE 是进行 IDELAYE3/ODELAYE3 原语组件级联专用的端口，以 ODELAYE3 为例，3 个输出延时线级联的信号连接示意图如图 4-20 所示。

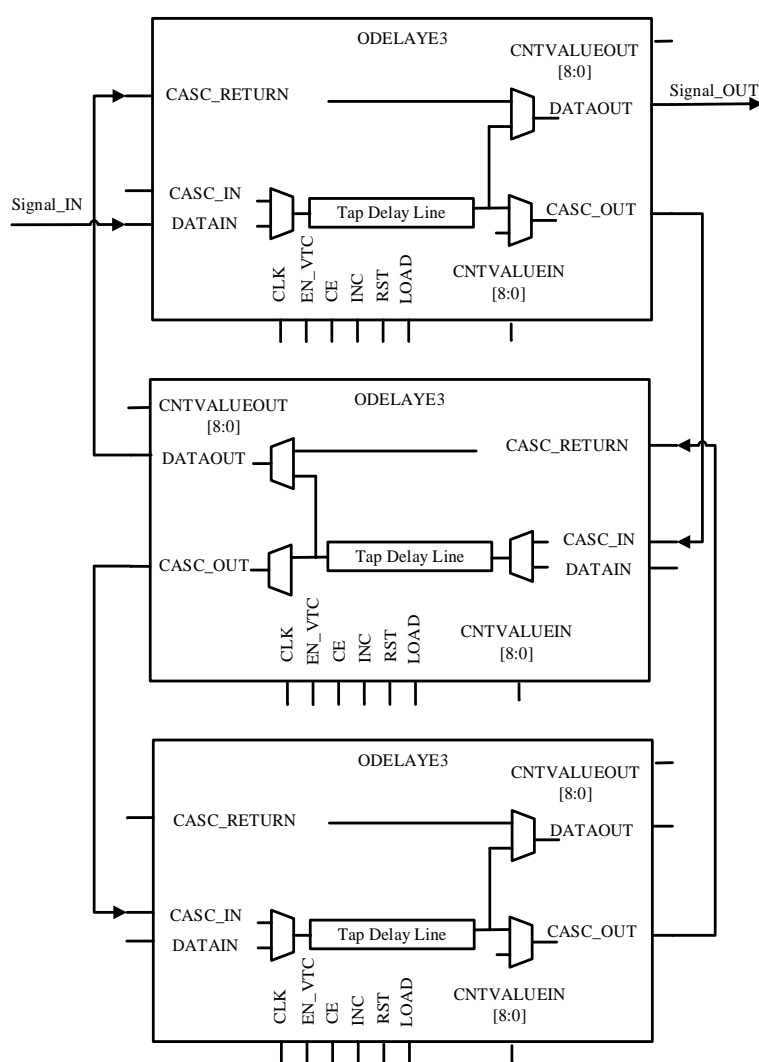


图 4-20 三个 ODELAYE 原语组件级联模式

IDELAYE3 原语组件的延时输出信号在 FPGA 内部无法直接布局到全局时钟缓冲，因此，IDELAYE3 无法直接延时时钟供给 FPGA 使用，而对 GTY 高速收发数据进行抖动注入的原理就是要对其参考时钟进行加抖，最终将抖动传递至输出的高速数据上。为了利用延时线的高精度延时功能，可将来自 LMK04832 的高精度时钟通过全局时钟管脚送入 FPGA，经过 ODELAYE3 进行延时加抖并输出，输出的抖动时钟经过外部走线接入 GTY 专用的时钟脚，实现高精度抖动的注入。用 ODELAYE3 延时来模拟时钟抖动的原理与 MMCM 的精细相移法注入抖动类似，通过实时更新 ODELAYE3 的延时抽头系数，动态改变输出时钟信号的边沿位置，来模拟抖动时钟的边沿位置的跳变，实现边沿抖动的注入。

UltraScale+系列 FPGA 延时线的分辨率约为 3.5ps, ODELAYE3 不仅支持单步进递增/递减的抽头系数更新, 还支持任意抽头值的动态更新, 通过设计抽头系数更新过程中的动态数值, 可实现多种类型的抖动注入。

4.3 本章小结

本章首先介绍了基于 GTY 高速收发器实现测试向量的合成与收发, 通过 GTY 并行数据展宽和高速时钟相位插值实现高分辨的边沿调节; 在发送端基于精细时钟相移和 I/ODELAYE3 延时线两种方式实现时钟边沿抖动的注入, 并通过抖动的传递将抖动耦合至高速测试向量, 实现输出码型向量的抖动注入。

第五章 功能与关键指标测试

本课题基于 FPGA 和 PE 芯片实现了高速测试向量收发、高分辨率边沿调节、BER 眼图扫描、边沿抖动控制与注入等高速并行接口测试功能。并根据系统方案和硬件实现原理，设计制作了测试样机，实现主要功能的子板硬件实物如图 5-1 所示。



图 5-1 功能板硬件实物

模块各功能及其性能指标均需要设计合适的测试方案进行测试，测试过程中用到的仪器设备信息如下：

测试用的示波器的型号为力科 WaveMaster 820Zi-B，带宽为 20GHz，最高采样率为 80GS/s；频谱分析仪的型号为是德 Keysight N9322C，分析带宽为 9 kHz 至 7 GHz；数字万用表的型号为是德科技 34401A，具有六位半精度；电阻箱的调节范围为 0~99999.9Ω；示波器与测试通道的连接线缆为 40GHz 带宽的同轴线缆，均满足本课题指标的测试需求。

本章将结合测试方案，对模块功能测试、指标测试过程以及测试结果进行介绍。

5.1 关键参数测试

关键参数测试包括输出向量指标测试和引脚电参数测量功能测试两个部分，输出向量指标参数主要包括数据速率、测试向量边沿调节分辨率和通道同步性。对于上述参数的测试，可由上位机软件设定测试条件并下发码型控制指令，硬件系统根据指令输出测试向量，借助高带宽示波器观测波形信号，并对信号的波形参数进行分析，得到测量结果。对于电参数测量功能的测试，可借助电阻箱和高精度数字万用表，分别对通道的施压、施流、测压、测流等功能和指标进行测试。

5.1.1 通道数据速率测试

上位机软件将 GTY 输出速率设置为 25Gbps，单 bit 宽度为 40ps，发送 1010.....10 循环码型，GTY 并行数据端口将数字码型进行 1 比 10 展宽，PE 芯片设置为驱动输出模式，关闭高速比较器，VIH 设置为 0.8V，VIL 设置为 0V，执行向量输出流程。理论上通道将会输出 2.5Gbps 的时钟码型。通过示波器观测通道输出，如图 5-2 所示。

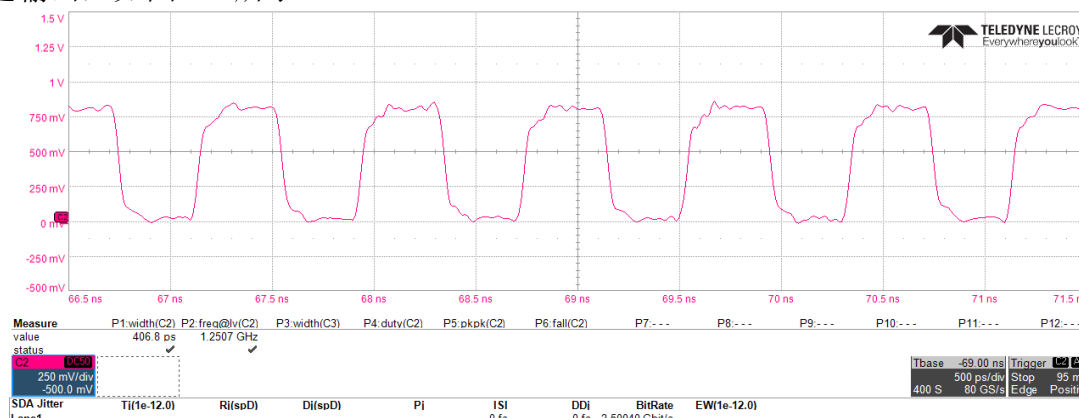


图 5-2 通道 2.5Gbps 测试速率波形

将上述配置条件下 GTY 并行数据端口数字码型的展宽比由 1 比 10 展宽改为 1 比 64 展宽，理论上通道将会输出 400Mbps 的时钟码型。通过示波器观测通道输出，如图 5-3 所示。

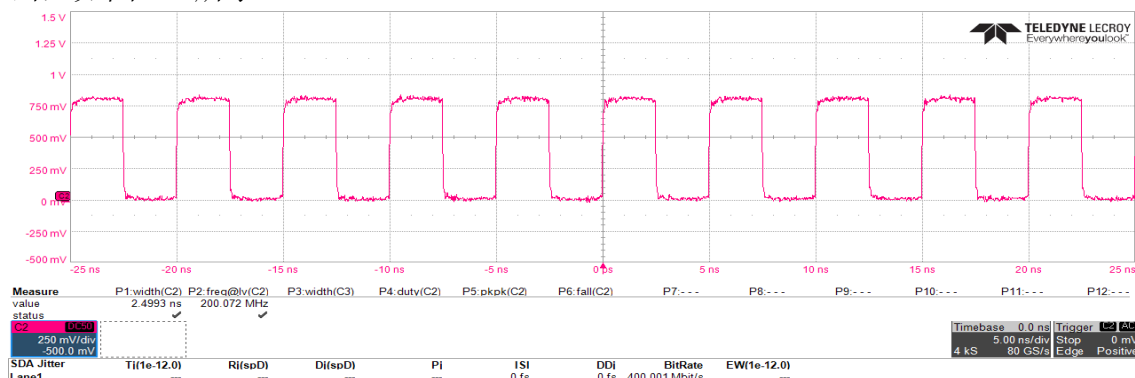


图 5-3 通道 400Mbps 测试速率波形

由示波器测试波形可知，当数据展宽比为 1 比 10 时，通道输出波形频率为 1.2507GHz，位速率为 2.50040Gbit/s，高电平幅值约为 0.8V，低电平幅值约为 0V；当数据展宽比为 1 比 64 时，通道输出波形频率为 200.072MHz，位速率为 400.001Mbit/s，高电平幅值约为 0.8V，低电平幅值约为 0V。

继续改变 GTY 的输出速率和码型展宽比，分别合成 200Mbps、400Mbps、800Mbps、1.6Gbps、2.4Gbps、2.5Gbps 的时钟波形，对通道实际输出速率进行测试，测试结果如表 5-1 所示。

表 5-1 通道测试速率数据记录（部分）

设置速率/Mbps	实测速率/Mbps	误差/Mbps
200	200.001	0.001
400	400.001	0.001
800	800.002	0.002
1600	1600.04	0.04
2400	2400.30	0.3
2500	2500.40	0.4

由上述测试结果可知，通道的数据速率能够达到 2.5Gbps，输出速率误差在 0.5Mbps 以内，输出高低电平的幅值与设置值一致。满足课题指标要求。

5.1.2 向量边沿调节分辨率测试

本课题通过 GTY 并行数据展宽和高速时钟相位插值实现边沿调节，边沿调节分辨率通过脉宽调节的方式进行测试。

对于脉宽调节的测试，上位机软件将 GTY 输出速率设置为 25Gbps，单 bit 宽度为 40ps，发送一条“010”脉冲测试向量，GTY 向量合成模块将数字码型进行 1 比 64 展宽，理论上可以得到一条宽度为 2560ps 的脉冲波形。将 PE 芯片设置为驱动输出模式，关闭高比较器，VIH 设置为 0.8V，VIL 设置为 0V，执行向量输出流程。用示波器抓取脉冲波形并测量其脉宽，被测通道的输出波形如图 5-4 所示。

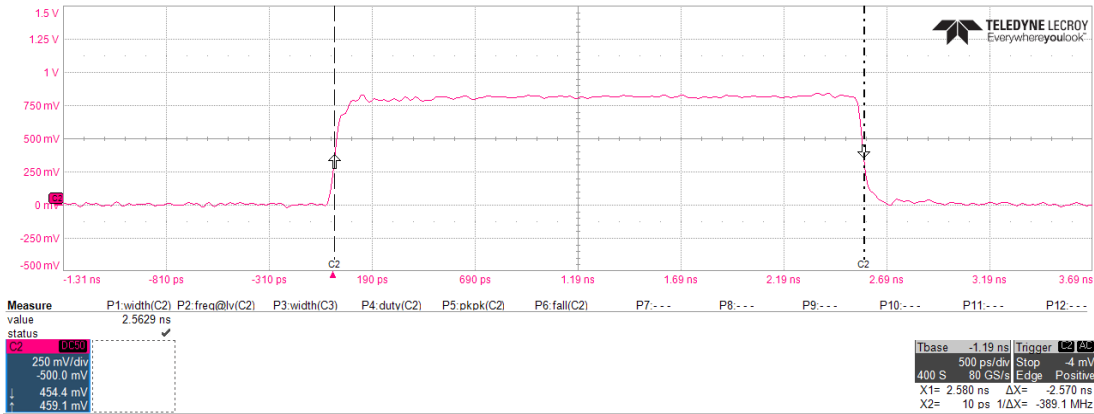


图 5-4 单脉冲 1 比 64 展宽脉宽测量

其他条件不变, 将向量合成模块的数字码型展宽比修改为 1 比 63, 展宽位数减小一位, GTY 收发器在 25Gbps 的速率下理论上脉宽将减小 40ps, 再次测量通道输出向量的脉宽如图 5-5 所示。

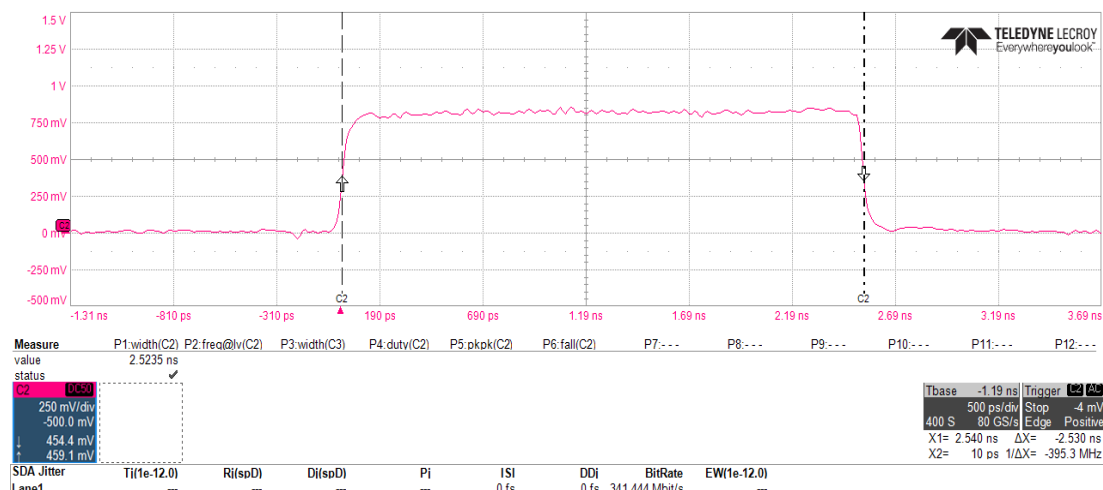


图 5-5 单脉冲 1 比 63 展宽脉宽测量

由图 5-4 和图 5-5 的测量结果可知, 按照 1 比 64 进行数据展宽时, 实际输出的脉冲宽度为 2562.9ps, 按照 1 比 63 进行数据展宽时, 实际输出的脉冲宽度为 2523.5ps, 二者脉宽实际相差 39.4ps。因此, 修改单位比特的向量展宽可以满足小于 100ps 边沿调节分辨率的指标要求。

5.1.3 通道同步精度测试

实际上, 本课题的通道同步是借助边沿调节和高速串行数据相位插值来实现的。TX 端的相位插值器可以对高速口的单比特数据相位进行调整。

任意选取两个未经过同步校准的数字通道记为 CH0 和 CH1, 上位机将两通道对应的 GTY 输出速率设置为 25Gbps, 发送一条“0011”数字码型, GTY 向量合成模块数字码型展宽比设置为 1 比 64, 设置触发使两通道同时输出该阶跃波形, 如图 5-6 所示。由于传输通道延迟的不一致, CH0 和 CH1 通道间出现了 345.1ps 的同步误差。

然后, 增大滞后通道低电平“0”的展宽比, 减小滞后通道高电平“1”的展宽比, 使边沿位置前移, 再次两通道的输出波形如图 5-7 所示。

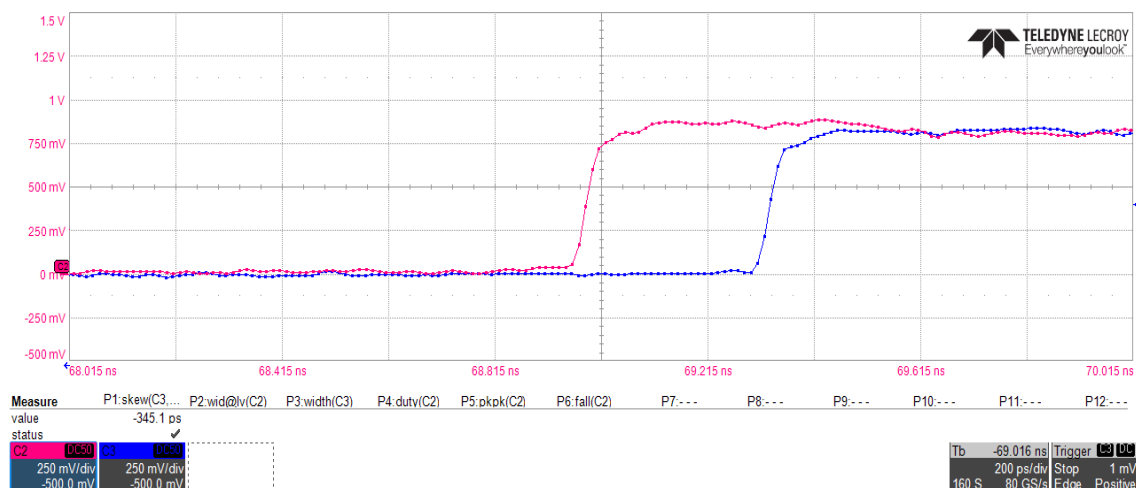


图 5-6 未校准的两通道阶跃信号波形

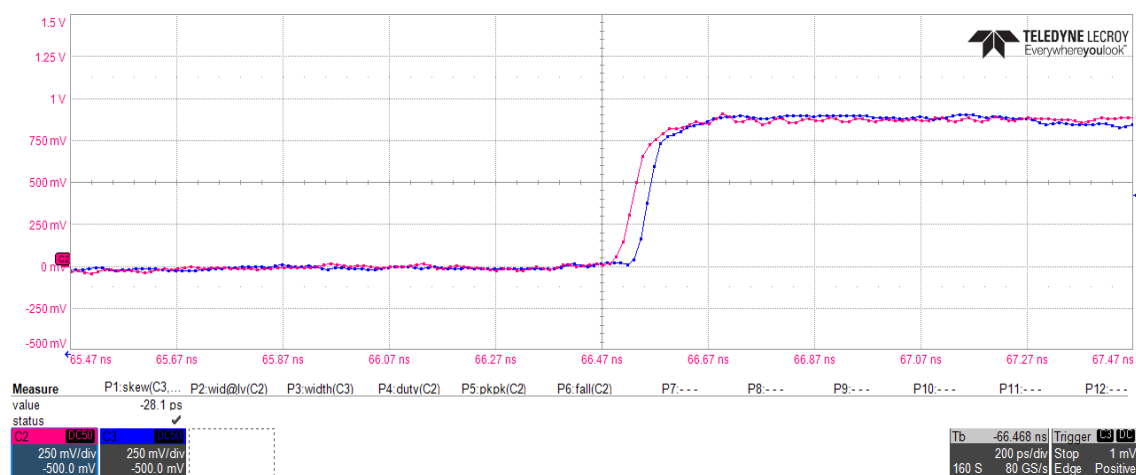


图 5-7 经过边沿调节校准后两通道阶跃信号波形

由图 5-7 可知，经过同步校准后 CH0 和 CH1 通道之间的歪斜(skew)仅为 28.1ps，经过同步校准后的通道间有很好的同步性能，满足小于 100ps 的同步指标要求。

5.1.4 驱动电平测试

通道电平经过校准后，将 GTY 输出速率设置为 25.6Gbps，发送 1010.....10 循环码型向量，向量合成模块将数字码型进行 1 比 64 位宽展宽，使通道输出 200MHz 的时钟码型。VIL 保持为 0V，VIH 分别设置为 0.5V，1V，1.5V，2.0V，2.5V；再将 VIH 保持为 2.5V，VIL 分别设置为 0V，0.5V，1V，1.5V，2.0V。用示波器测量输出波形电平。高低电平的测试值如表 5-2 所示。

表 5-2 通道输出电平测量记录表

VIH 设置值 /V	VIL 设置值 /V	高电平测量值 /V	高电平误差 /mV	低电平测量值 /V	低电平误差 /mV
0.5	0	0.5112	11.2	0.0251	25.1
1.0	0	1.0225	22.5	0.0364	36.4
1.5	0	1.5336	33.6	0.0158	15.8
2.0	0	2.0338	33.8	0.0241	24.1
2.5	0.5	2.5225	22.5	0.4875	-12.5
2.5	1.0	2.5248	24.8	1.0145	14.5
2.5	1.5	2.5369	36.9	1.5104	10.4
2.5	2.0	2.5367	36.7	1.9849	-15.1

由表 5-2 的测试结果，经过电平校准后的通道，驱动高低电平的设置值和实际值的误差均在 $\pm 50\text{mV}$ 以内。

5.1.5 引脚电参数测量功能测试

任意选取一个经过校准后的通道，通过上位机将该通道的 PE 芯片设置为施压测压(FVMV)工作模式，施压值首先设置为 -1.5V ，以 0.5V 为步进逐步增加至 $+4.5\text{V}$ ，使用数字万用表测量并记录通道的实际施压值。同时 PE 芯片测压模块的 ADC 采样值反馈至上位机软件，经过转换计算得到 PE 芯片测得的电压值。测量结果如表 5-3 所示。

表 5-3 通道施压测压(FVMV)模式下测量结果

施压设置值(V)	数字万用表测量值(V)	施压误差(mV)	ADC 采样值(HEX)	测压功能换算值(V)	测压误差(mV)
-1.5	-1.5073	-7.3	0xEC8E	-1.5291	-21.8
-0.5	-0.50426	-4.26	0xF99A	-0.5178	-13.45
0.5	0.49598	-4.02	0x66D	0.5105	14.52
1.5	1.4964	-3.6	0x139A	1.5098	13.4
2.5	2.4967	-3.3	0x1FE7	2.4924	-4.3
3.5	3.5069	6.9	0x2CCA	3.5182	11.3
4.5	4.4913	-8.7	0x39A2	4.5089	17.6

选取任意校准后的测试通道，将工作模式配置为施压测流(FIMV)，通道连接至可调电阻箱，设置合适的施流档位，调整电阻箱的负载阻值，用数字万用表和测压功能分别测量负载电阻两端的电压，测试结果如表 5-4 所示。

表 5-4 通道施流测压(FIMV)结果

施流设置值 (mA)	负载电阻值 (k Ω)	理论电压值 (V)	ADC 采样值 (HEX)	测压功能换算值(V)	误差 (mV)
0.01	100	1	0x0D24	1.0241	24.1
0.1	10	1	0x0C8D	0.9805	-19.5
1	1	1	0x0CE9	1.0086	8.6
10	0.1	1	0x0D04	1.0168	16.8

由测量结果可知,施压值误差范围为 $\pm 10\text{mv}$,测压功能误差范围为 $\pm 25\text{mv}$,满足课题指标要求。

5.2 眼图扫描测试

眼图是评价 DDR 总线上高速数据信号质量的重要手段,高速信号眼图可以通过的带有串行数据分析功能的示波器或者眼图分析仪等专用设备进行测量分析,本课题基于 Xilinx FPGA GTY 高速收发器的 CDR 功能,通过偏移采样的方式实现高速信号 BER 眼图扫描,并通过上位机软件分析 BER 眼图的误码数据,进行眼高眼宽等关键信息的估算。本小节将借助 BERT 误码仪和示波器的 SDA 眼图分析功能对本课题设计的 BER 眼图扫描功能以及眼图参数的估算性能进行测试。

5.2.1 BER 眼图扫描功能测试

使用 BERT 误码仪发出的速率为 2.5Gbps 的 PRBS31 伪随机序列作为输入信号,用该信号模拟 DDR 存储器工作过程中总线接口上的数据流,将该信号输入至测试通道,通道的高速比较器单元采集比较波形数据,上位机软件控制 FPGA 执行 BER 眼图扫描流程,得到一幅完整的 BER 眼图如图 5-8 所示。

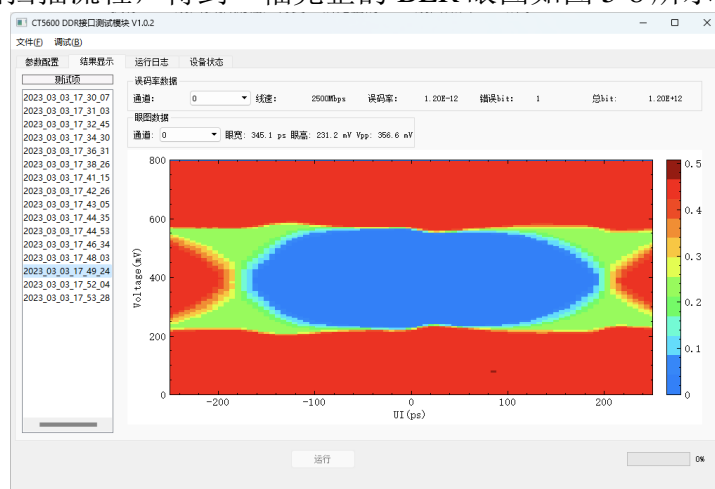


图 5-8 BER 眼图扫描上位机界面

5.2.2 BER 眼图参数估算测试

使用 BERT 误码仪发出速率为 2.5Gbps 的 PRBS31 伪随机序列作为参考信号，调整参考信号的幅值，用示波器的串行数据分析功能测量参考信号的眼图，并记录眼高、眼幅等关键信息作为参考标准。随机选一个经过校准后的通道采集 BERT 发出的参考信号，在上位机软件上绘制 BER 眼图，并记录眼高和眼幅的估算结果。估算结果如表 5-5 所示。

表 5-5 BER 眼图扫描参数测量记录

示波器实测 眼高&VPP/mV		通道 1 眼高&眼幅/mV		通道 2 眼高&眼幅/mV		通道 3 眼高&眼幅/mV		通道 4 眼高&眼幅/mV	
18	59	34.62	78.96	41.24	81.24	41.92	83.56	44.54	86.21
37	86	58.52	103.48	59.54	106.21	61.72	106.58	77.54	129.76
41	101	65.78	116.46	77.54	131.08	85.46	140.32	86.12	140.98
51	129	99.44	152.78	101.96	160.78	105.26	158.58	116.48	175.53
67	144	107.16	161.36	110.54	165.43	123.74	185.52	131.66	192.46
75	174	139.56	206.44	140.24	205.54	145.52	208.83	157.24	224.68
89	204	156.25	223.55	154.76	225.46	159.38	226.78	175.88	246.58
93	229	169.44	236.72	167.35	240.64	176.54	245.26	197.66	274.43
111	261	181.85	247.91	181.82	256.48	203.46	284.22	210.42	294.76
129	292	183.83	251.85	197.66	290.82	211.52	305.32	217.46	311.26
139	321	197.98	286.84	210.12	306.64	218.78	323.18	230.05	325.78
158	360	199.64	308.64	212.18	324.46	222.74	342.54	231.56	340.96
167	386	201.74	314.57	220.21	340.43	224.06	352.18	233.78	352.84
186	427	202.21	325.83	212.28	345.58	220.76	361.42	233.66	364.06

以示波器测量值作为横坐标，眼图分析功能采集估算值作为纵坐标，分别得到眼高与眼幅参数估算值与实测值的对比折线示意图如图 5-9、图 5-10 所示。

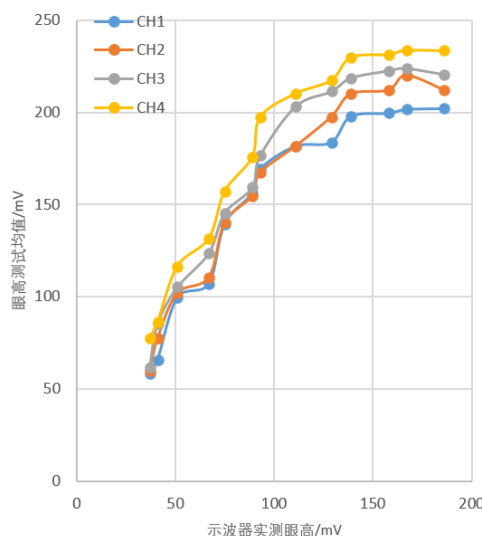


图 5-9 全眼图扫描眼高平均值

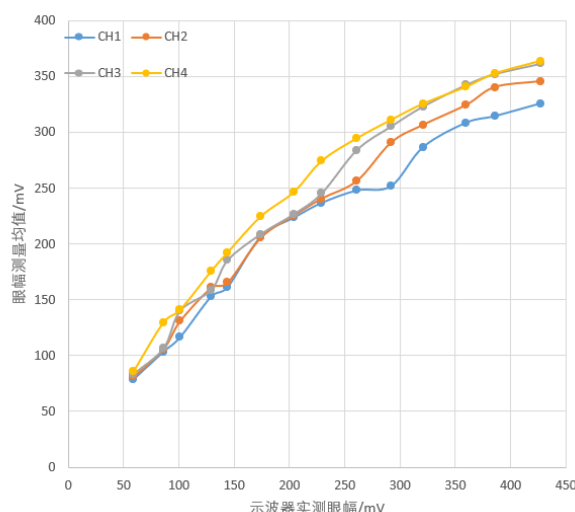


图 5-10 全眼图扫描眼幅平均值

由测量结果可知，当眼幅在 20mV 至 400mV 之间时，通过 BER 数据对眼高和眼宽的估算有较好线性趋势，但当输入信号幅度继续上升时，BER 扫描的眼图存在眼廓“张不开”的现象，这与 GTY 高速收发器 RX 端接收信号的幅度限制有关，当输入信号幅度过大时，GTY 内部的 CDR 电路无法准确的恢复出时钟和数据，导致眼图扫描过程中经过偏移采样得到的 BER 数据误差较大，这也是本课题需要进一步探究和改进的问题之一。

5.3 抖动注入功能测试

在高速数据传输系统中，抖动通常是造成误码的重要成因之一，在 DDR 接口等高速接口测试过程中，常常需要人为在测试向量中注入一定量级的可控抖动，为接口抖动容限测试提供抖动信号源。本课题采用精细相移和抽头延时两种方案对 GTY 的参考时钟进行抖动注入，经过在锁相环、并串转换单元之间传递，最终将可控抖动注入至高速测试向量中。本小节将对两种方案下抖动注入的抖动注入情况进行测试验证。

5.3.1 基于精细相移法的抖动注入测试

上位机软件将 GTY 输出速率设置为 25Gbps，发送 1010...10 循环码型，向量合成模块将数字码型进行 1 比 10 展宽，将 PE 芯片设置为驱动输出模式，关闭高比较器， V_{IH} 设置为 0.8V， V_{IL} 设置为 0V，执行测试流程，使通道输出 2.5Gbps 的时钟码型。上位机控制 FPGA 执行精细相移加抖流程，PSINCDEC 端口在参考

时钟相位在偏移 $0.5UI$ 时反转，模拟周期时钟抖动。分别用示波器观测通道输出的波形，注入抖动前后的输出波形对比如图 5-11 所示。

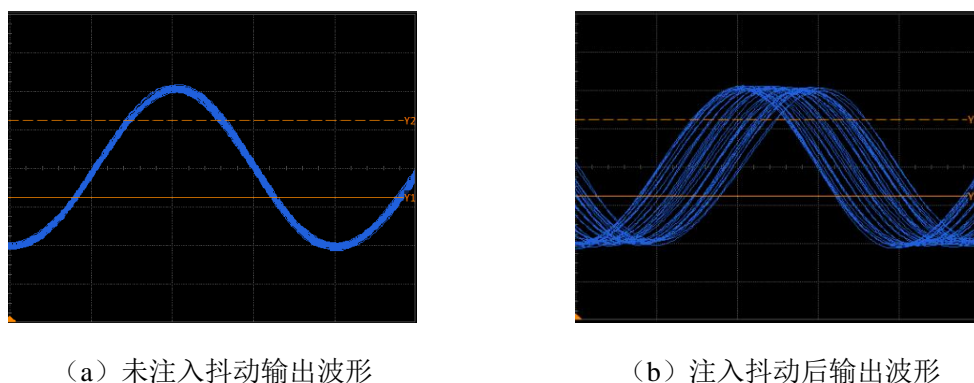


图 5-11 抖动注入前后波形对比

由抖动注入前后的波形可知，通过 MMCM 的精细相移可以将时钟抖动传递到高速数据上输出，但相移只能进行单步进递增或递减，无法单次大幅度修改时钟相位，通过这种方式虽然可以实时改变边沿位置注入抖动，但是无法实现定幅度、定频率的周期抖动控制，与精细相移法不同地是，抽头延时线支持任意抽头值的动态更新，可以通过控制延时抽头值的大小和更新的频率来控制抖动频率和幅度，弥补了精细相移法只能单步进相移缺点。

5.3.2 基于抽头延时法的抖动注入测试

在时间配置模式下，用 IDELAY3 资源测试抽头延时的分辨率，延时线的抽头值配置为 CNTVALUEIN=40，原信号与延时信号的对比如图 5-12 所示，二者边沿位置相差 287ps。

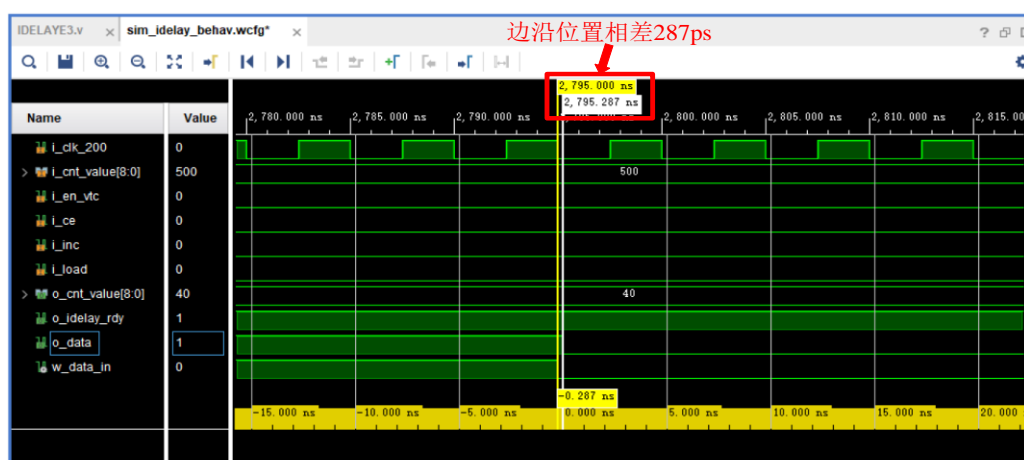


图 5-12 CNTVALUEIN=40 时抽头延时量

将延时线的抽头值配置为 $CNTVALUEIN=41$ ，原信号与延时信号的对比如图 5-13 所示，二者边沿位置相差 291ps。由此可见，单位抽头延时的分辨率约为 4ps。

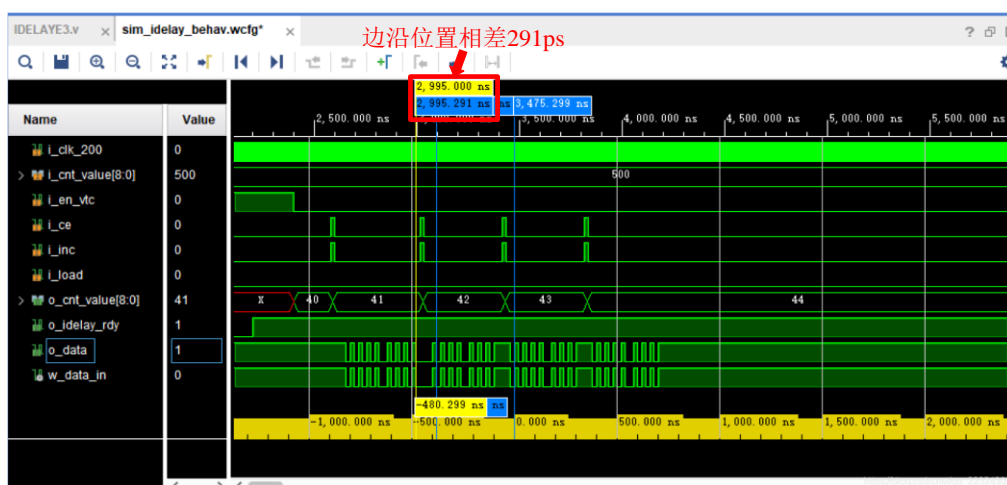


图 5-13 $CNTVALUEIN=41$ 时抽头延时量

不断更新 $CNTVALUEIN$ 抽头数值，实时调整边沿位置，模拟边沿抖动，抖动幅度和抖动频率由抽头系数的大小以及抽头系数更新频率决定。

抖动幅度可用示波器 SDA 眼图分析功能进行测试：上位机软件控制通道输出 2.5Gbps 的 PRBS7 伪随机二进制码型，抖动频率设置为 1MHz，抖动幅度分别设置为 0.1UI、0.2UI 和 0.3UI，向参考时钟入抖动。用示波器的 SDA 眼图分析功能测试输出向量的眼图，抖动注入前后的信号眼图如图 5-14、图 5-15、图 5-16 和图 5-17 所示。

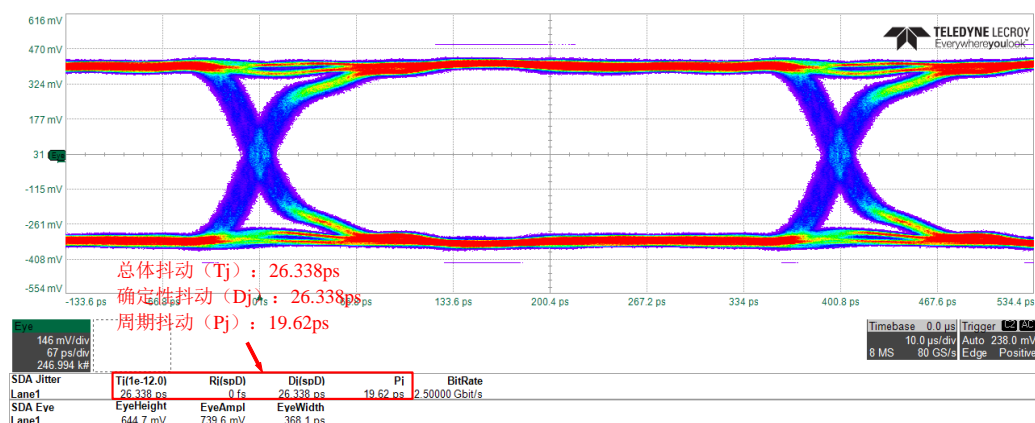


图 5-14 未注入抖动时信号眼图

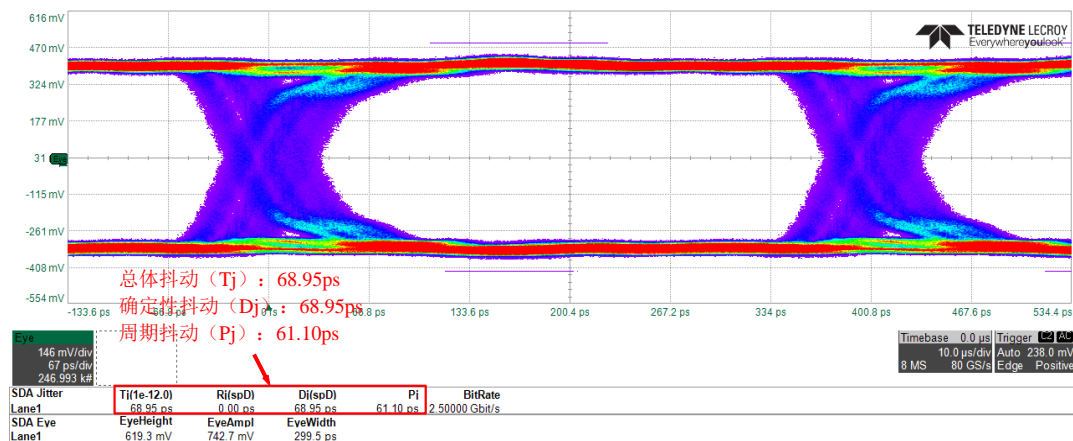


图 5-15 注入 0.1UI 幅度周期抖动的信号眼图

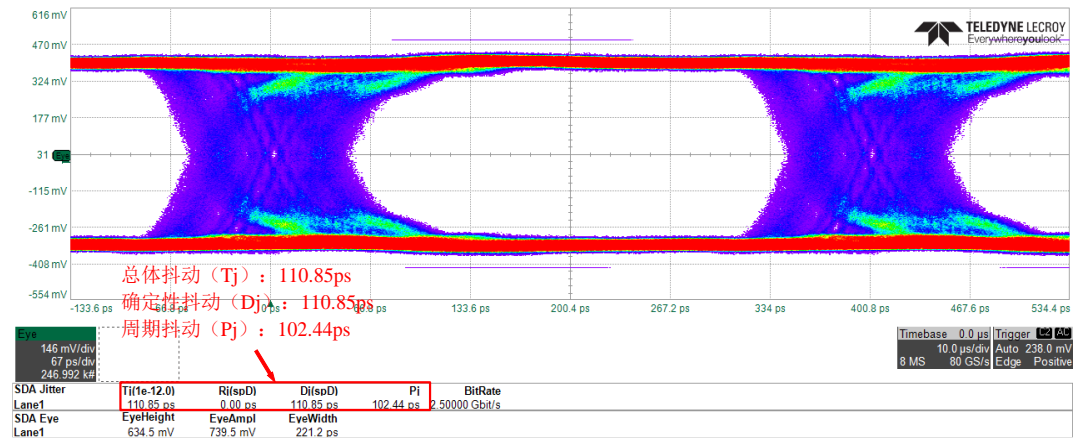


图 5-16 注入 0.2UI 幅度周期抖动的信号眼图

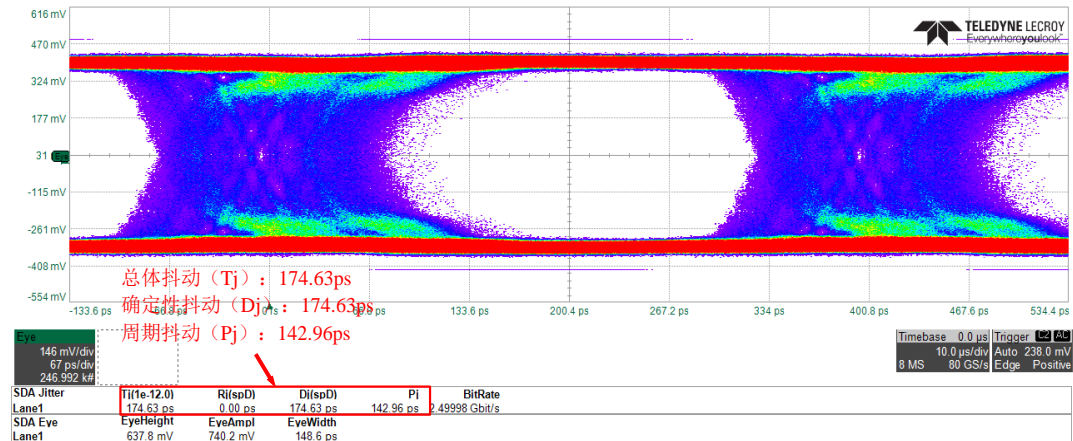


图 5-17 注入 0.3UI 幅度周期抖动的信号眼图

由上述抖动注入前后输出向量的眼图对比可知，当注入的抖动幅度依次增加时，信号眼图的眼宽逐渐减小，示波器测得的总体抖动 T_j 、确定性抖动 D_j 和周期抖动 P_j 逐渐增大，且注入抖动的幅度每增加 $0.1UI$ ，信号的周期抖动增量约为 $40ps$ 。因为输出向量的速率为 $2.5Gbps$ ，每 $1UI$ 的位宽是 $400ps$ ，每 $0.1UI$ 抖动的增量与向量位宽相吻合，符合预期。

抖动频率可用频谱分析仪测量：控制通道输出 $2.5Gbps$ 的 PRBS7 伪随机二进制码，向参考时钟注入 $1MHz$ 、 $0.3UI$ 的周期抖动，用频谱分析仪测量注入抖动前后通道输出向量的频谱如图 5-18 和图 5-19 所示。

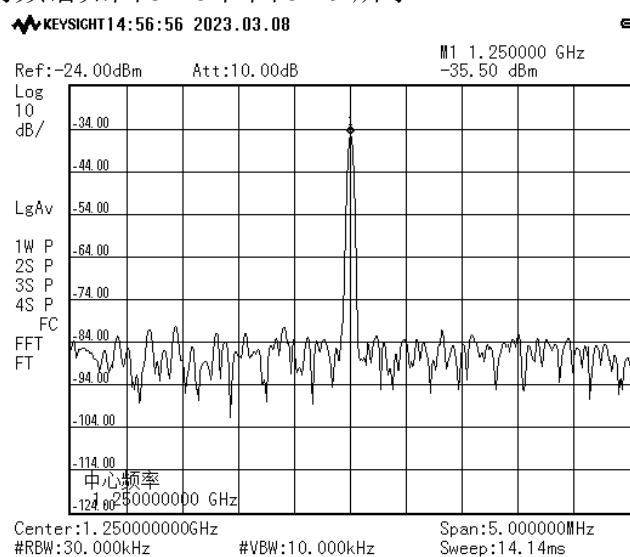


图 5-18 未注入抖动时输出波形的频谱

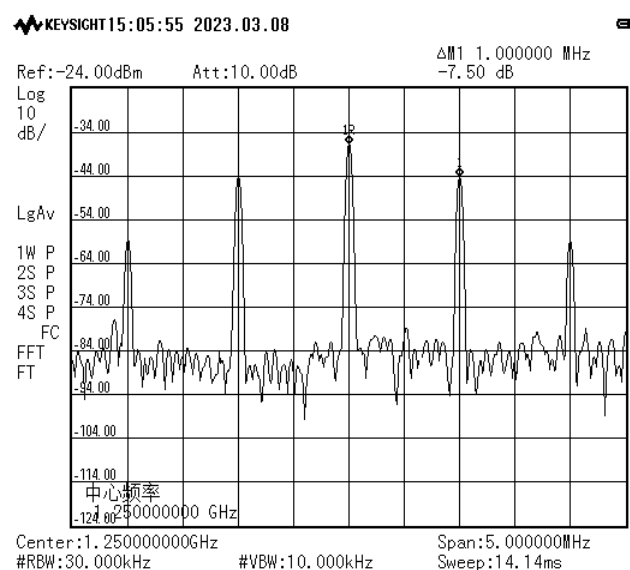


图 5-19 注入 $1MHz$ 周期抖动后输出波形的频谱

由波形的频谱可知，注入抖动前输出向量的中心频率为 1.25GHz，符合 2.5Gbps 的预设速率；注入 1MHz、0.3UI 的周期抖动后，信号频谱主瓣两侧出现了旁瓣干扰，且旁瓣与主瓣之间的频差为 1MHz，符合注入抖动的频率预期。

其他参数不变，修改抖动频率进行多次测量，测量数据记录如表 5-6 所示。

表 5-6 抖动频率测量结果（部分）

设置抖动 频率/MHz	实测抖动 频率/MHz	设置抖动 频率/MHz	实测抖动 频率/MHz	设置抖动 频率/MHz	实测抖动 频率/MHz
0.04	0.0397	4.6	4.608	8.8	8.82
0.6	0.599	5.2	5.18	9.4	9.42
1.2	1.188	5.8	5.776	10	9.96
1.8	1.8	6.4	6.345	10.6	10.59
2.4	2.4	7	6.955	11.2	11.18
3	3	7.6	7.56	11.8	11.765
3.6	3.6	8.2	8.25	12.5	12.545

抽头延时法可以实现 40KHz~12.5MHz 频率范围内的周期抖动注入。由频谱分析仪的测量结果可知，信号频谱主瓣与抖动旁瓣之间边界清晰，频差稳定，实际注入抖动频率与预设抖动频率的误差在 0.05MHz 以内，满足预期。

5.4 本章小结

本章借助示波器、万用表、频谱仪、BERT 误码仪等设备对本课题设计的 DDR 存储器接口测试的功能和性能参数进行了测试验证，具体包括测试通道的数据速率测试、码型合成的边沿分辨率与通道同步性测试、引脚电参数测量功能测试、BER 眼图扫描功能测试、BER 眼图参数估算性能测试以及边沿抖动注入功能测试。通过测试数据，实现了 DDR 存储器常规接口参数的测试功能，验证了各功能方案的可行性。

第六章 总结与展望

6.1 全文总结

本文以高速并行接口测试的实现为研究目标,分析 DDR 接口 PHY 层参数的测试需求,制定系统方案,设计了一款用于 DDR 并行接口测试的样机,课题完成的主要工作如下:

(1) 分析 DDR 存储器接口信号完整性问题的主要成因,以眼图扫描、高速测试向量合成、静态电参数测量和高速数据抖动注入为功能设计目标,完成 DDR 存储器接口测试整体方案的设计和硬件电路设计。

(2) 眼图扫描功能的实现。通过 FPGA 内部时钟恢复电路(CDR)对通道接口信号进行偏移采样,在不同时间偏移和幅度偏移下进行 BER 误码统计,实现 BER 眼图扫描。并根据 BER 数据进行眼图参数测量与抖动量级估算。

(3) 测试向量收发功能和抖动注入功能的实现。为满足测试速率和边沿调节分辨率的需求,采用并行数据展宽和相位插值相结合的方式实现码型速率调节和边沿调节。最终实现了 0~2.5Gbps 速率范围内测试向量的合成,边沿调节分辨率小于 40ps。并通过 MMCM 精细相移和抽头延时两种方式实现周期抖动的注入。

6.2 工作展望

本课题设计的 DDR 存储器接口测试设备样机实现了基本测试功能,各项指标均满足预期要求,但仍然存在许多可改进优化的地方:

(1) 高摆幅信号眼图扫描存在眼图张不开的现象。GTY 高速收发器 RX 端接收信号的幅度范围窄,若信号幅度过大,CDR 无法准确的恢复时钟和数据。可以考虑设计匹配电路,将信号幅度调整到最佳接收范围,同时需要在 FPGA 内部进行幅度校准,进而实现更大摆幅范围的眼图扫描测试。

(2) 测试速率有进一步提升的空间。本课题在硬件上采用 GTY+PE 芯片的方式实现测试向量的输出。GTY 高速收发器最高速率可达到 32.75Gbps,可实现小于 40ps 的边沿调节分辨率,但由于 PE 芯片的限制,最高测试向量输出速率只能达到 2.5Gbps,当前 DDR4 存储器最高接口速率达到 3200MT/s,当前系统还无法做到全速率覆盖。可以考虑选用更高速率的 PE 芯片或者选择其他测试码型输出方案。

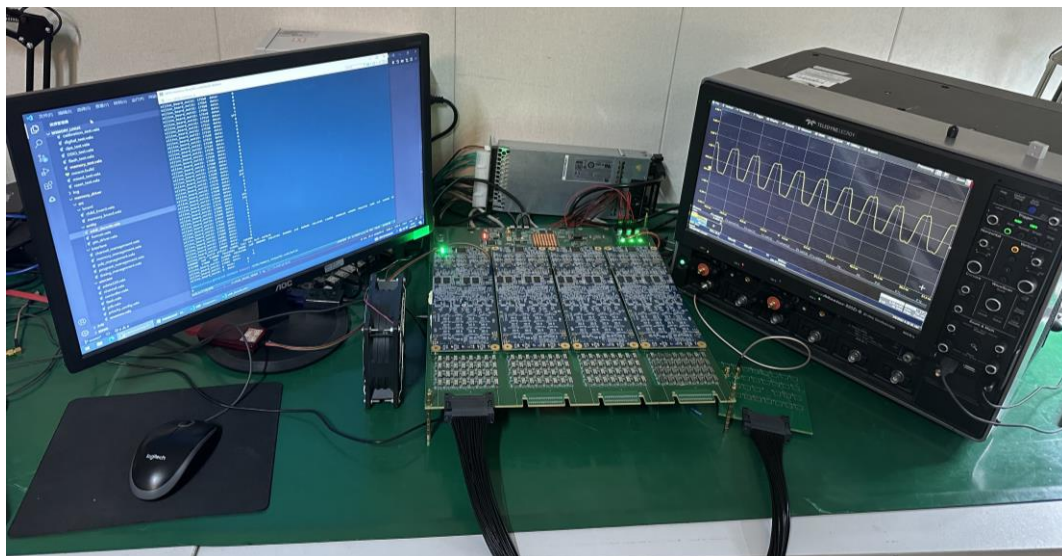
参考文献

- [1] Pan G, Li L, Ou G, et al. Design and Implementation of a DDR3-based Memory Controller[C]// Intelligent System Design and Engineering Applications (ISDEA), 2013 Third International Conference on. IEEE, 2013.
- [2] Gupta A, Kumar A, Chhabra M. Characterizing Pattern Dependent Delay Effects in DDR Memory Interfaces[C]// Proceedings of the 20th IEEE Asian Test Symposium, ATS 2011, New Delhi, India, November 20-23, 2011. IEEE, 2011.
- [3] 严锦荣. DDR4 误码率眼图技术研究[D]. 西安电子科技大学, 2015.
- [4] Wong S N. An algorithmic study of DDR3 SDRAM on-die termination switch timings[C]// Microelectronics & Electron Devices. IEEE, 2012.
- [5] 周子翔. 基于 DDR4 高速并行总线的眼图分析[D]. 西安电子科技大学, 2015.
- [6] Casper B K, Haycock M, Mooney R. An accurate and efficient analysis method for multi-Gb/s chip-to-chip signaling schemes[C]// Symposium on Vlsi Circuits Digest of Technical Papers. IEEE, 2002.
- [7] 杜挺克, 杨俊峰, 宋克柱, 等. 一种计算数据相关性抖动峰峰值的方法[J]. 中国科学技术大学学报, 2009(6):5.
- [8] Sanders A, Resso M, D'Ambrosia J. Channel compliance testing utilizing novel statistical eye methodology[C]. DesignCon, 2004: 611-629.
- [9] Sinsky J H, Duelk M, Adamiecki A. High-speed electrical backplane transmission using duobinary signaling[J]. IEEE Transactions on Microwave Theory and Techniques, 2005, 53(1): 152-160.
- [10] Stojanovic V, Horowitz M. Modeling and analysis of high-speed links[C]//Proceedings of the IEEE 2003 Custom Integrated Circuits Conference, 2003. IEEE, 2003: 589-594.
- [11] Chang Y, Oh D, Madden C. Jitter modeling in statistical link simulation[C]//2008 IEEE International Symposium on Electromagnetic Compatibility. IEEE, 2008: 1-4.
- [12] Oh K S, Lambrecht F, Chang S, et al. Accurate system voltage and timing margin simulation in high-speed I/O system designs[J]. IEEE transactions on advanced packaging, 2008, 31(4): 722-730.
- [13] Balamurugan G, Casper B, Jaussi J E, et al. Modeling and analysis of high-speed I/O links[J]. IEEE transactions on advanced packaging, 2009, 32(2): 237-247.

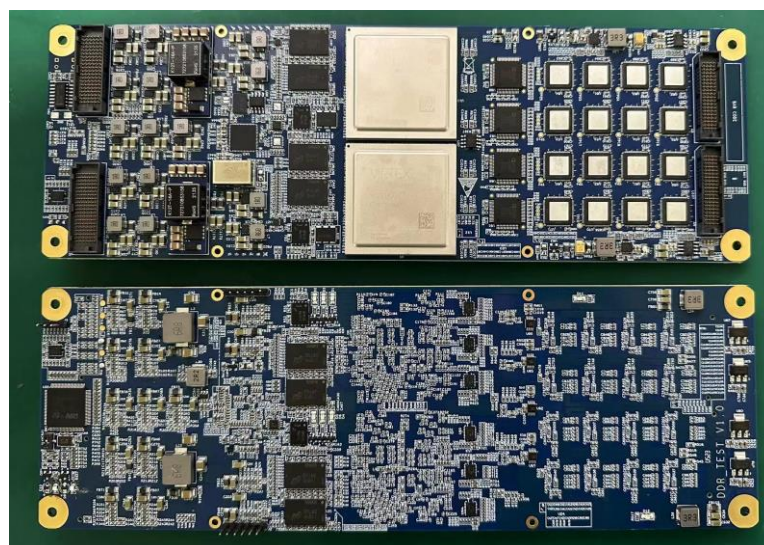
- [14] Oh D, Chang S. Clock jitter modeling in statistical link simulation[C]//2009 IEEE 18th Conference on Electrical Performance of Electronic Packaging and Systems. IEEE, 2009: 49-52.
- [15] Oh D, Ren J, Chang S. Hybrid statistical link simulation technique[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2011, 1(5): 772-783.
- [16] Matoglu E, Pham N, de Araujo D N, et al. Statistical signal integrity analysis and diagnosis methodology for high-speed systems[J]. IEEE Transactions on Advanced Packaging, 2004, 27(4): 611-629.
- [17] 高成, 张栋, 王香芬. 最新集成电路测试技术[M]. 国防工业出版社, 2009.
- [18] 低成本 DDR3_DDR4 高速存储器测试解决方案[J]. 今日电子. 2010(09).
- [19] 爱德万测试发表 DDR4 与 LPDDR4 测试方法[J]. 中国集成电路. 2014(03).
- [20] 泰克公司推出面向 DDR4、DDR3 和 DDR3L 内存的实时一致性分析仪[J]. 国外电子测量技术, 2013(11):1.
- [21] Introspect Technology. C Series USB modular instruments for SerDes development and test[EB/OL]. <https://introspect.ca/product-category/c-series/>.
- [22] JEDEC Solid State Technology Association: JEDEC STANDARD DDR4 SDRAM JESD79-4.
- [23] Chaudhuri S, McCall J A, Salmon J H. Proposal for BER based specifications for DDR4[C]//19th Topical Meeting on Electrical Performance of Electronic Packaging and Systems. IEEE, 2010.
- [24] Ren J, Oh D, Chang S, et al. Statistical link analysis of high-speed memory I/O interfaces during simultaneous switching events[C]// IEEE. IEEE, 2008.
- [25] 于争. 信号完整性揭秘[M]. 机械工业出版社, 2013.
- [26] Eric Bogatin. 信号完整性分析[M]. 电子工业出版社, 2005.
- [27] Rui S, Yu W, Yi Z, et al. Efficient and accurate eye diagram prediction for high speed signaling[C]// IEEE/ACM International Conference on Computer-aided Design. IEEE Press, 2008.
- [28] 汪进进. 关于眼图测量[J]. 中国集成电路, 2015, 24(012):72-77,85.
- [29] 泰克科技(中国)有限公司. 深入剖析眼图及高速串行设计中的眼图测试[J]. 国外电子测量技术, 2011, 30(4):6.
- [30] 霍卫涛, 邵刚, 李攀, 等. 高速 SerDes 抖动成因及其测试方法分析[J]. 计算机光盘软件与应用, 2012(2):2.
- [31] 宋京京. 基于 BIST 的高速串行 IO 接口抖动容限测试方法和电路[D]. 北京大学.
- [32] 樊昌信, 曹丽娜. 通信原理. 第 6 版[M]. 国防工业出版社, 2006.

- [33] UltraScale+ FPGAs Product Tables and Product Selection Guide[S]. 2022.
- [34] 祝树生, 解春雷, 仇公望, 等. 以太网、PCIe 和 Rapid IO 高速总线比较分析[J]. 电子测试, 2016(11):100-102.
- [35] Sorna M, Beukerna T, Selander K, et al. A 6.4Gb/s CMOS SerDes core with feedforward and decision-feedback equalization[C]// IEEE International Solid-state Circuits Conference. IEEE, 2005.
- [36] ug578_UltraScale Architecture GTY Transceivers [OL].www.xilinx.com.2021.
- [37] Aurora 64B/66B v11.1 LogiCORE IP Product Guide[OL].www.xilinx.com,2014.
- [38] AXI Chip2Chip v5.0 LogiCORE IP Product Guide[OL].www.xilinx.com,2020.
- [39] 李鹏. 高速系统设计:抖动,噪声和信号完整性[M]. 电子工业出版社, 2009.
- [40] Dmitriev-Zdorov V, Miller M T, Ferry C. The jitter-noise duality and anatomy of an eye diagram. 2014.
- [41] Rui S, Yu W, Yi Z, et al. Efficient and accurate eye diagram prediction for high speed signaling[C]// IEEE/ACM International Conference on Computer-aided Design. IEEE Press, 2008.
- [42] Chaudhuri S, McCall J A, Salmon J H. Proposal for BER based specifications for DDR4[C]// 19th Topical Meeting on Electrical Performance of Electronic Packaging and Systems. IEEE, 2010.
- [43] 王勇. 高速时钟数据恢复系统的研究[D]. 复旦大学, 2009.
- [44] 尹坤. PXIe 集成电路测试系统多通道同步技术研究 with 实现[D]. 电子科技大学, 2020.
- [45] 惠嘉成. FLASH 存储器测试系统设计与实现[D]. 电子科技大学, 2022.
- [46] 唐凌帆. SerDes 接口测试模块设计与实现[D]. 电子科技大学, 2022.
- [47] 赵宗良. 0.18 μ m CMOS 6.25Gb/s 模拟自适应均衡器的研究与设计[D]. 南京邮电大学.
- [48] 史航. 高速 SerDes 信号和均衡技术研究[D]. 浙江大学, 2015.

附 录



附图-1 DDR 存储器接口测试模块实物



附图-2 功能板实物