

西安电子科技大学

# 硕士学位论文



高速链路的误码率求解算法实现

作者姓名 徐志华

指导教师姓名、职称 初秀琴 副教授

申请学位类别 工学硕士

学校代码 10701  
分类号 TP301

学 号 1302120755  
密 级 公开

# 西安电子科技大学

## 硕士学位论文

### 高速链路的误码率求解算法实现

作者姓名：徐志华

一级学科：电子科学与技术

二级学科：电路与系统

学位类别：工学硕士

指导教师姓名、职称：初秀琴 副教授

学 院：电子工程学院

提交日期：2015 年 11 月

# **Algorithm Implementation of Calculating the Bit Error Rate of High Speed Link**

A thesis submitted to  
XIDIAN UNIVERSITY  
in partial fulfillment of the requirements  
for the degree of Master  
in Circuits and Systems

By

Xu Zhihua

Supervisor: Chu Xiuqin   Associate Professor

November 2015



## 摘要

由于内存系统运行速度的日益加快，其所遇到的信号完整性问题越来越严重。传统以最坏眼图作为评价系统好坏的方式在高速链路中显示出了非常大的弊端。工程师在针对这种高速电路设计的时候，急需一种新的方法能够在前仿真阶段，对系统所遇到的一系列信号完整性问题做量化和预估，以及论证何种方案可以提升系统的运行速度。本论文基于单位响应（Single Bit Response, SBR）和双边沿响应（Double Edge Response, DER）算法开发出一款软件能够快速准确预估出系统的误码率。

本文首先介绍了本款软件所针对的平台，详细介绍了 DDR4 (Double Data Rate 4) 相比较于前几代产品的优点，所引入的新技术。详细介绍了 DDR4 的拓扑结构，工作机理等。

然后本文介绍了高速链路系统的组成模块——发送器、通道和接收器，以及各模块的功能。详细阐述了发送器和接收器的建模方法以及不同建模方法所建模型的优缺点。介绍了高速链路系统几种常用的拓扑结构、每种拓扑结构的特性、优缺点和适宜场合等。介绍了 DDR4 高速并行链路系统所遇到的信号完整性问题，以及针对这些信号完整性问题的解决办法，不同解决办法的优缺点以及其适用场合。尤其提到了高速并行链路系统中信号完整性问题产生的一个很重要的来源——电源噪声引起的抖动。在本文中同时提出了一种研究 DDR4 同步开关噪声对抖动影响问题的 DDR4 建模方案。

最后本文介绍了本软件的核心算法原理以及具体实现过程，详细介绍了误码率眼图建模的原理。在通道部分，基于单位响应 SBR 和双边沿响应 DER 算法，将通道中的串扰和码间干扰考虑进去。从统计域角度，采用卷积的方法算出通道部分的误码率眼图。同时，考虑接收端部分的抖动和噪声，将接收端部分的抖动和噪声建模为两个高斯函数，然后对通道部分的误码率眼图进行修正，最终得到全链路的误码率眼图。

结果表明：1. 采用误码率眼图确实要比采用最坏眼图更能客观反映系统的性能；2. 基于双边沿响应 DER 的快速时域仿真算法要比基于单位响应 SBR 先进，得到的结果要更加可靠一些；3. 本软件得到的结果优秀，和国外同类软件的误差在 2% 以内。

**关键词：**高速链路， 噪声， 抖动， 误码率， 眼图

## ABSTRACT

Because of the increasing speed of the memory system, the signal integrity problem is becoming more and more serious. In high-speed link, the traditional way which takes worst eye as the evaluation standard of the system shows very large drawbacks. When an engineer meets with this kind of high-speed circuit design, a new method is required to be able make a quantitative and prediction of the signal integrity problem which the system will encounter in the pre-simulation stage, and to demonstrate what kind of program can improve the operating speed of the system. In this paper, we develop a software which can quickly and accurately estimate the BER(Bit Error Rate) of the system based on the SBR(Single Bit Response) and the DER(Double Edge Response) algorithm, respectively.

This paper introduces the platform of the software, and describes the advantages of DDR4(Double Date Rate 4) compared to several previous generations, and presents the new technology of DDR4. The topological structure and working mechanism of DDR4 are introduced in detail.

Then in this paper, the components of the high speed link system,including the transmitter, the channel and the receiver, and the function of the modules are introduced. The modeling method and the advantages and disadvantages of the model of the transmitter and receiver are described in detail. In this paper, the topology structure of high speed link system is introduced, and the characteristics of each topology, the advantages and disadvantages, and the suitable occasion are introduced as well. The signal integrity problems encountered in DDR4 high speed parallel link system and the solutions of them are introduced. The advantages and disadvantages of these solutions and their application situation are elaborated. In particular, a very important source of signal integrity problem in high speed parallel link system is the jitter caused by power supply noise. In this paper, a DDR4 modeling method for studying the influence of DDR4 synchronization switching noise on the jitter is presented.

At last, this paper introduces the core algorithm principle and the concrete realization process of the software. In the channel section, based on the SBR algorithm and the DER algorithm, taking the crosstalk and inter code interference into account. From the angle of

statistical domain, calculate the bit error rate eye of the channel using convolution method. At the same time, considering the jitter and noise of the receiver, modeling the jitter and noise of the receiver as two Gauss functions, then modifier the bit error rate eye of the channel, and get the full link bit error rate eye finally.

Results show that: 1. The bit error rate eye do really can reflect the performance of the system more objectively than the worst eye; 2. The fast time domain simulation algorithm based on the bilateral DER is more advanced than the SBR based on the response of the unit, and the obtained results are more reliable; 3. The software has achieved outstanding results, within 2 percent error compared to similar foreign software.

**Keywords:** high-speed link, noise, jitter, BER, eye

## 插图索引

图 2.1	DDR3 系统结构简图.....	6
图 2.2	动态参考电平示意图.....	8
图 2.3	源同步时钟总线上, 数据信号和选通信号之间的关系.....	10
图 2.4	DDR4 RDIMM 类型下的 CTL 拓扑结构.....	12
图 2.5	点对点通信模式.....	12
图 2.6	Fly-By 拓扑结构.....	13
图 2.7	T 型拓扑结构.....	13
图 2.8	等效终端并联匹配.....	13
图 2.9	戴维南端接电路.....	14
图 3.1	芯片到芯片高速链路系统.....	15
图 3.2	CMOS 发射机的线性等效电路.....	16
图 3.3	CMOS 反相器发射机电路.....	17
图 3.4	伪漏极开路信号电路.....	18
图 3.5	反相接收机的电压传输特性.....	19
图 3.6	COMS 接收机的噪声裕度.....	19
图 3.7	描述传输线上数字信号传播的典型方法.....	21
图 3.8	传输线无限小单元模型.....	21
图 3.9	芯片-芯片间的互连系统.....	23
图 3.10	点对点拓扑结构.....	24
图 3.11	菊花链拓扑结构.....	24
图 3.12	星形拓扑结构.....	24
图 3.13	信号在接收端的一次反射和在源端的二次反射.....	27
图 3.14	串联端接.....	27
图 3.15	DDR4 并行系统.....	29
图 4.1	逻辑 1 幅度噪声 PDF 和以采样电压 $v_s$ 为自变量的 BER CDF 图示关系.....	31
图 4.2	幅度噪声的误码率裕盆曲线.....	32
图 4.3	通道中的脉冲响应.....	33
图 4.4	波形图.....	35
图 4.5	十线模型.....	37
图 4.6	HSPICE 瞬态仿真响应图.....	38
图 4.7	合成后的脉冲响应.....	38



图 4.8 脉冲响应各个光标点的 PDF 图.....	39
图 4.9 光标之间的卷积过程.....	39
图 4.10 码间干扰电压概率分布图.....	40
图 4.11 受码间干扰后的“1”电平概率分布.....	40
图 4.12 固定采样点时求出的 ISI PDF 及其与 PDA 最坏眼图的关系.....	41
图 4.13 接收端的抖动和噪声联合概率分布示意图.....	42
图 4.14 前误码率眼图受接收端噪声调制的计算过程.....	42
图 4.15 格子法求误码率示意图.....	43
图 4.16 左半边眼图接近主 UI 时的算法.....	44
图 4.17 右半边眼图接近主 UI 时的算法.....	45
图 5.1 软件主界面.....	47
图 5.2 软件运行总流程图.....	48
图 5.3 配置文件输入口.....	48
图 5.4 总线速度选择口.....	49
图 5.5 运行模式选择口.....	49
图 5.6 节点选择窗口.....	50
图 5.7 算法模式选择及运行窗口.....	50
图 5.8 批处理设置窗口.....	50
图 5.9 RX 端输入数据框.....	51
图 5.10 运行结束提醒.....	51
图 5.11 READ 模式下的设置及误码率结果图.....	51
图 5.12 CTL 模式下的设置及误码率结果图.....	52
图 5.13 CTL 模式下的误码率结果图.....	52
图 5.14 READ 模式下 BER_Tools 和 MBERE 误码率图.....	53

## 表格索引

表 5.1 BER_Tools 和 MBERE 软件最坏结果对比.....	53
---------------------------------------	----

## 符号对照表

符号	符号名称
GHz	吉赫兹
MHz	兆赫兹
Mbps	兆比特/每秒
Gbps	吉比特/每秒
$\Omega$	欧姆
nm	纳米
V	伏
mV	毫伏
mil	密耳
GB	吉字节
m/s	米/秒
s/m	秒/米
m	米

## 缩略语对照表

缩略语	英文全称	中文对照
BER	Bit Error Rate	误码率
CDF	Cumulative Distribution Function	累积分布函数
CMOS	Complementary Metal Oxide Semiconductor	互补金属氧化物半导体
CPU	Central Processing Unit	中央处理器
CRC	Cyclic Redundancy Check	循环冗余校验
DDR SDRAM	Double Data Rate Synchronous Dynamic Random Access Memory	双倍速率同步动态随机存储器
DBI	Data Bus Inverter	数据总线反相
DER	Double Edge Response	双边沿响应
DIMM	Dual In-line Memory Modules	双重内嵌式内存模块
DRAM	Dynamic Random Access Memory	动态随机存储器
DLL	Delay Locked Loop	延迟锁相环
GUI	Graphical User Interfaces	图形用户界面
GDDR	Graphics Double Data Rate	图像双倍速率随机存储器
I/O	Input/Output	输入输出
ISI	Inter Symbol Interference	符号间干扰
IBIS	Input/Output Buffer Information Specification	输入/输出缓冲器规范
JEDEC	Joint Electron Device Engineering Council	固态技术协会
MER	Multiple Edge Response	多边沿响应
MOS	Metal Oxide Semiconductor	金属氧化物半导体
NMOS	N-channel Metal Oxide Semiconductor	N沟道金属氧化物半导体
ODT	On-Die Termination	片上终端电阻
PDA	Peak Distortion Analysis	最大失真分析
PDF	Probability Density Function	概率密度函数
PCB	Printed Circuit Board	印制电路板
PDN	Power Delivery Network	电源分配网络
POD	Pretend Open Drain	伪开漏

PMOS	P-channel Metal Oxide Semiconductor	P 沟道金属氧化物半导体
SBR	Single Bit Response	单位响应
SSN	Simultaneous Switching Noise	同步开关噪声
TEM	Transverse Electric and Magnetic Field	横向电磁场
TSV	Through Silicon Vias	硅通孔
TCSR	Temperature Compensated Self-Refresh	温度补偿自刷新
UI	Unit Interval	单位间隔

# 目 录

摘要 .....	I
ABSTRACT .....	III
插图索引 .....	V
表格索引 .....	VII
符号对照表 .....	IX
缩略语对照表 .....	XI
<b>第一章 绪论</b> .....	1
1.1 选题背景 .....	1
1.2 国内外研究现状 .....	2
1.3 课题研究内容 .....	3
1.4 论文组织结构 .....	3
<b>第二章 DDR4 功能及结构</b> .....	5
2.1 DDR4 相比较于 DDR3 的新增功能 .....	5
2.2 DDR4 时序及拓扑结构 .....	9
2.2.1 DDR4 的时序—源同步时序系统 .....	9
2.2.2 DDR4 的结构 .....	11
<b>第三章 全链路结构及其信号完整性分析</b> .....	15
3.1 全链路 .....	15
3.1.1 发送器 .....	15
3.1.2 接收器 .....	18
3.1.3 互连 .....	20
3.1.4 信令拓扑 .....	24
3.2 DDR4 的信号完整性问题 .....	25
3.2.1 串扰 .....	25
3.2.2 码间干扰 .....	26
3.2.3 反射 .....	26
3.2.4 同步开关噪声 .....	28
<b>第四章 BER_Tools 仿真软件算法设计</b> .....	31
4.1 误码率 .....	31
4.2 基于 SBR 的快速时域叠加算法 .....	33
4.2.1 算法原理 .....	33

4.2.2 基于 SBR 的快速时域叠加算法的缺陷 .....	34
4.3 基于 DER 的快速时域叠加算法 .....	35
4.3.1 算法原理.....	35
4.3.2 算法优缺点.....	36
4.4 基于 SBR 的快速时域叠加算法实现.....	36
4.4.1 软件应用平台.....	36
4.4.2 获取通道部分概率眼图.....	37
4.4.3 获取链路最终的误码率眼图.....	41
4.5 基于 DER 的快速时域叠加算法实现 .....	43
第五章 软件界面及测试 .....	47
5.1 BER_Tools 软件界面.....	47
5.2 BER_Tools 软件功能.....	48
5.2.1 软件运行总流程图.....	48
5.2.2 输入部分.....	48
5.2.3 输出部分.....	51
5.3 软件运行结果 .....	51
第六章 总结与展望 .....	55
参考文献.....	57
致谢.....	61
作者简介.....	63

## 第一章 绪论

### 1.1 选题背景

时下,科技界的一些新概念、新成果让人眼花缭乱,目不暇接。大数据和云计算开始已久,目前也取得一些成果,但是离他们的终极目标还是相差甚远。物联网一直被吵得沸沸扬扬,所有人都对其展现了浓厚的兴趣,但是直到去年才开始有实现的迹象。在无线通信领域,4G 时代刚刚来临,5G 的标准制定早已高调开始。在 5G 标准还没有完全制定出来之前,第一台 5G 测试样机已由华为研发出来。目前的 4G 网络的服务传输速率仅为 75 Mbps,可是华为研发出的第一台 6 GHz 以下 5G 测试样机的峰值传输速率突破了 10 Gbps。也就是说将来我们如果想下载一部高清电影,只需 1 秒即可完成。在存储和处理系统中,输入/输出(Input/Output, I/O)口的数据率更是达到了惊人的 56 Gbps。这些技术为人们构建了一幅美好的未来生活愿景。但是目前这些技术在实施的过程中都遇到了一个共有的瓶颈——高速的数据传输速率所导致的信号完整性问题和电源完整性问题。如何高效处理和传输海量的数据对硬件的设计、系统的信号完整性设计提出了前所未有的挑战。

对于低速电路设计,电路特性只取决于单元电路的开关特性和布线网络连接后的逻辑特性,芯片间信号的互连通常可看作没有寄生参数的理想连接。随着信号速度的提高,其主要表现为信号上升沿的减小及电平翻转速度的加快,信号所含有的高频分量越来越多,且信号高频部分的波长已与电路尺寸相当,芯片间信号的互连已经不能再看作理想导体的连接,其对系统整体性能的影响也越来越重要<sup>[1]</sup>。高速信号的互连系统呈传输线特性,设计时须考虑信号的延时、传输线的特性阻抗、端口所接阻抗及反射、导体及介质的损耗等,尤其要注意信号的返回路径,包括信号参考平面的不连续性及过孔电流的返回路径等。由于信号速率的提高,其中含有的高频分量也越来越多,串扰、反射、码间干扰也成了决定系统能否正常工作,或是能否达到额定目标数据率的关键因素<sup>[2]</sup>。此外,电源噪声尤其是电磁谐振所产生的噪声也会耦合到信号中,因此信号完整性要求良好的电源系统的设计,即要求电源完整性。

由于数据通信和存储系统中的极高数据率,确保片上和片外都具有良好的信号完整性变得非常重要。理解由导线或互连引发的高频物理效应,已经和芯片设计本身同等重要。此外,为了对系统级的行为(如抖动的放大和抵消)建模,片上电路产生的抖动,现在也成为一种信号完整性的问题。那种当芯片做好后再研究信号完整性问题的情况已经是过去式了。I/O 接口设计师或系统设计师,必须在板子或芯片开始设计前彻底进行信号完整性分析,以避免产生不可靠或过于受限的系统,或造成要花高价从



市场召回产品这种事情的发生。

必须事先通盘考虑信号完整性的设计，才能确保现代高速数字系统的鲁棒工作。需要引入并采用新的设计方法学，以应对那些在较低数据率时可以被忽略的物理效应。为了尽量降低高目标数据率下通道设计的时序误差，应该优化设计时钟(clock)或时序电路<sup>[3]</sup>。在研制任何硬件或系统之前，要先评估并分析最坏情况设计参数和互连的电气性能。详细并准确地理解互连的电气性能、高级信令、电路技术(如均衡)等。这将大大有助于消除由非理想互连造成的影响。

在电路板设计之前，需要对一些关键网络进行仿真分析，以确定合适的设计和布线方案，使其能够满足信号完整性，这就是所谓的前仿真。在最开始，信号完整性工程师一般是首先搭建一个 HSPICE 电路模型，在输入端加入伪随机序列，然后在接收端查看眼图。很明显，这种方式耗时耗力，尤其是在当前系统的数据率普遍已经高达数 10 GHz 的情况下。而且该方法还有可能不能遍历系统的所有情况。

研发快速时域仿真技术成为解决上述问题的不二之选，也是技术发展的必然结果。2002 年，Intel 的 Casper 首先提出了基于单位响应的快速时域仿真算法，可以说是开创了快速时域仿真的先河<sup>[4]</sup>。其开发出的算法，能求出系统的最坏眼图，而且时间耗费极其短。但是作为该领域的首创算法，其弊端也是很明显的。第一是其假定系统响应是线性的，该假设在具有强烈非线性驱动器的系统中是低效和不准确的，而且所得结果误差很大；第二是其只能求解出系统的最坏结果，在当前系统高数据速率下，该结果对系统设计的指导非常有限。由于目前系统的数据率很高，最坏眼图发生的概率很小，有时终其产品寿命最坏情况也不能发生一次。因此以最坏眼图来指导系统的设计，势必会造成过量设计，严重增加产品设计的成本<sup>[5]</sup>。

基于上述考虑，工程师逐渐将目光投向统计域的快速时域仿真算法，也就是研究一种算法能在前仿真阶段得出系统的误码率眼图<sup>[5]</sup>。误码率眼图相比较于最坏眼图的优势很明显，它不仅能给出各种眼图形状，而且还能给出各个眼图发生的概率。

## 1.2 国内外研究现状

对于快速时域仿真算法的研究，最早的是 2002 年，Intel 的 Casper 提出的基于单位响应的峰值畸变分析法<sup>[4]</sup>。该算法首次使人们能够快速得到系统的最坏眼图，具有一定的指导意义，其弊端，前文已经提过。同一年 Lambrecht 提出了 DER 算法，该算法能够适用于上升边和下降边不对称的情况，但是它也仅仅考虑了边沿的非线性，并没有考虑驱动器的其他一些非线性问题。2008 年 J.Ren 提出了多边沿响应(Multiple Edge Response, MER)法，该算法不仅考虑了边沿的非线性而且还考虑了器件的非线性问题。随着阶数的提高，考虑的非线性问题就越多，仿真精度也就越高。到目前为

止,该算法是最先进的算法。国内在这块的研究比较滞后,仅清华大学和西安电子科技大学取得些许成果。

目前针对快速时域仿真算法的设计,已经进入统计域时代,不再单纯地得出最坏眼图,而是要得出一个更有指导意义的误码率眼图。国内外知名电子公司对此都投入不少研发力量。2012年,Intel公司针对他们自己的Haswell平台推出一款软件,能够计算系统的误码率。2014年7月份,是德科技推出一个模块,能够在ADS里面计算系统的误码率。国外的三星公司对该领域也比较热衷,从2014年Designcon会议文献可以看出,他们也在对这块进行研究。国内的华为公司差不多也在这个时候开始和西安电子科技大学合作,希望在此能有所突破。

### 1.3 课题研究内容

基于上述论述我们知道,目前的时域仿真算法要么很耗时,要么只能得到最坏眼图且不适用于非线性系统。于是我们就研究如何将统计域和瞬态仿真相结合开发一种算法能在前仿真阶段得到非线性系统的误码率眼图。在本课题中,我们以DDR4为研究对象,基于Intel的Haswell平台,研究中央处理器(Central Processing Unit, CPU)和DDR4通信的整个链路,建立HSPICE网表,利用瞬态仿真得到tr0文件。同时基于SBR和DER算法,开发一款图形用户界面(Graphical User Interfaces, GUI)工具,以HSPICE瞬态仿真得到的tr0文件作为输入,快速运算得出系统的误码率眼图。

### 1.4 论文组织结构

本文针对高速并行链路可能遇到的串扰、反射、码间干扰等信号完整性问题,基于单位响应SBR和双边沿响应DER快速时域仿真算法,开发了一款软件。该软件能够在前仿真阶段快速算出系统的误码率眼图,反映出系统的设计问题,反过来帮助工程师定位问题,提高设计效率。论文分为六章:

第一章,提出了当下电子产品所面临的信号完整性问题的严重性,说明了本课题的意义。并简单介绍了课题的研究内容。

第二章,详细介绍了DDR4系统的架构、功能,以及其相比较于前几代内存产品的优势,其所采用的新技术等。

第三章,详细介绍了高速数字链路的组成部分,各部分的建模方法及其优缺点。高速并行链路所遇到的信号完整性问题,以及每种问题的解决办法。

第四章,详细介绍了基于单位响应SBR和双边沿响应DER求误码率的算法原理,以及工程实现过程。

第五章,介绍了BER\_Tools软件的运行界面,操作方法,以及测试结果。

第六章，对本课题、本论文做了一个总结，说明本款软件的优点缺点，以及针对本课题没有做好的地方我们下一步的努力方向。

## 第二章 DDR4 功能及结构

DDR 是双倍速率同步动态随机存储器 (Double Data Rate Synchronous Dynamic Random Access Memory, DDR SDRAM) 的简称, 发展到今天, 可以将其简单的分为四代产品, 分别是 DDR1、DDR2、DDR3 和 DDR4。图像双倍速率随机存储器 (Graphics Double Data Rate, GDDR) 可能已经到了第五代产品, 但是从技术上来划分, 仍然可以将其归为第四代。固态技术协会 (Joint Electron Device Engineering Council, JEDEC) 是目前内存的唯一权威制定组织, DDR3 内存规范是 JEDEC 在 2007 年 6 月制定。DDR1 到 DDR3 这三代产品的演进主要是在带宽上突破, 其中很关键的技术即是增加通道的预存取位数。例如, DDR1 是预存取两位, 到了 DDR3 就是预存取 8 位, 所以在其他技术大体不变的情况下, 通道传输率就可以获得呈倍数的增加。但是这个技术已经遇到了瓶颈, 很难继续在通过不引入其他技术而简单地增加预存取位数的方式来提升通道的数据传输量。

虽然 DDR3 的数据传输率到达了 3200 Mbps, 但是人类对于科技的渴望和对更美好生活的渴求是没有止境的, 技术研发人员渐渐发现 DDR3 的数据率越来越难以支撑系统更高性能的实现, 对更高速率内存的要求变得越来越强烈。第四代内存 DDR4 标准的制定被提上日程。由于并行链路在高数据速率下所暴露出来的短板越来越明显, 在 DDR4 内存实现方式的讨论上, 工业界和学术界倾向于采用串行链路来实现。但是令人遗憾的是, 真正的 DDR4 内存标准在 2012 年 9 月由标准化组织 JEDEC 发布后显示其仍然采用的是并行链路, 但是其最高速率还是取得了重大突破, 达到了令人吃惊的 4266 Mbps<sup>[13]</sup>。虽然没有采用串行链路来提升数据率, 但是相比较于 DDR3, 它仍然是采用了二十多种新技术。也正是因为这二十多种新技术的添加, 才使得 DDR4 的数据率能够获得一个大的提升。下面将介绍一下 DDR4 的特点, 以及其采用的一些主要技术。

### 2.1 DDR4 相比较于 DDR3 的新增功能

#### 1. 外观

DDR4 和 DDR3 的区别, 首先是外观, DDR4 的引脚数量为 284 个, 比 DDR3 的 240 个引脚多出了 44 个。所以, 引脚之间的间距由 DDR3 的 1 毫米缩小到了 0.8 毫米。其在不增加双重内嵌式内存模块 (Dual In-line Memory Modules, DIMM) 尺寸的基础上增加了引脚数量, 提高了集成度, 但是显而易见, DDR4 所面临的串扰问题要比 DDR3 更加严重。

DDR4 的引脚变成了弯曲状，即将引脚设计成中间稍微突出，但是两端收紧的状态，这个设计不能改善信号完整性问题，但是却可以增加用户使用体验。相比较于前几代内存平直的设计，这种设计能够使得 DIMM 条的插拔更加容易和方便。

## 2. Bank Group 技术

提到该技术，就不得不提到前三代 DDR 提升频率的主要突破点都是通过增加数据的预存取位数来实现的。从 DDR1 两位的预存取位数，到 DDR3 的八位预存取位数，数据的传送速率得到了大幅度的提升。

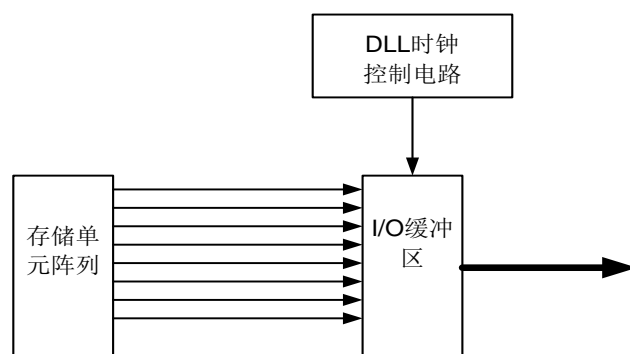


图 2.1 DDR3 系统结构简图

如图 2.1 所示为 DDR3 的结构简图，可以看到 DDR3 有 8 位预存取，所以 I/O 缓冲区部分的时钟采样频率是存储单元阵列时钟采样频率的 8 倍。I/O 缓冲区的时钟采样是用锁相环电路通过倍频来实现的。DDR3 电路的采样频率已经直逼 1 GHz 大关，如果频率继续提升，延迟锁相环（Delay Locked Loop, DLL）电路的实现将很复杂，且其自身抖动和噪声变成影响其自身稳定性不可忽视的因素，其自身产生的信号将变得很不干净。如果时钟采样电路的信号都不干净，如何能保证其所采样数据信号的干净。并且，预存取位数的增加使得延迟的影响变得异常大，带宽的提高已经难以弥补延迟所带来的负面影响。在 DDR4 设计的时候不能再通过简单的增加预存取位数来提升数据传输率了。所以，在 DDR4 中采用了 Bank Group 技术。简单来说就是，如果将前面的存储单元阵列比喻成一个仓库的话，DDR1 到 DDR3 都是针对这一个大仓库用一套链路系统，所以当前端的预存取位数越多，后面将这些数据发出去时的压力越大。但是现在，如果我们将这一个大仓库分成两个或者四个小仓库，针对每一个小仓库都配备一套链路系统。这样在没有增加后端技术提升压力的情况下，数据速率便得到了一倍或者两倍的提升。这套技术首先是在 GDDR5 上得到了应用，现在只不过是将其移植到 DDR4 上罢了。该设计使得内存的复杂性稍有增加，并且使得引脚的数量增多，因为每增加一套链路，都会增加一个 I/O 端口。但是相比较于更新锁相环的技术，该技术仅仅是将内存的结构做了一些简单的优化，实现的难度要简单很多，却使得内存的运行速度得到了显著的增加。

### 3. CRC 验证机制

循环冗余校验 (Cyclic Redundancy Check, CRC) 是一种数据检错技术。它通过对发送器所发送数据进行多项式运算, 并将得到的结果通过一个标志位附加在所发送数据后面。数据到了接收端之后, 在接收端运行同样的算法来检验所发送的数据是否发生了误码和数据是否依然完整。如果发生误码或者数据丢失, 接收端会通过一个信号通知控制端该段数据作废, 发送端重新将该段数据发送一遍。

DDR4 中的 CRC 运行机理就是, 当动态随机存储器 (Dynamic Random Access Memory, DRAM) 检测到数据的 CRC 错误之后, 例如数据丢失、码型错误, 或者是一个很短的电流脉冲, 系统会将 ALERT\_n 标志位标记为“0”, 即设定为低电平。并且, 将 CRC 错误状态 MPR 和错误标志位 MR5 设定为“1”, 即设定为高电平。需要注意的是, 在 CRC 错误被归零之前, MR5 标志位必须清除或者是将其重新设定为“0”。研发工程师可以通过错误持续的时间来判别系统发生的究竟是哪种错误。如果低电平状态持续六到十个时钟周期, 则是 CRC 错误; 如果低电平状态持续的时间是四十八个时钟周期以上, 则将其判别为 C/A 奇偶校验错误。通过这种方式, 工程师可以以低成本方式确认链路上的指令和地址汇流排对称性。

### 4. 三维堆叠技术及硅通孔 (Through Silicon Vias, TSV) 技术

三维堆叠技术, 简单的说就是将很多芯片叠加在一个封装体内, 就像是多个芯片在叠罗汉。内存芯片采用三维堆叠技术, 可以使芯片的存储容量倍增, 单条内存的容量最大可达目前产品的 8 倍。例如目前的市面上流行的大内存容量一般能够到 8 GB, 但是采用三维堆叠技术后的 DDR4 内存芯片容量可以达到惊人的 128 GB。容量的急剧提升也彻底解决了点对点总线结构中内存容量不足的弊病, 使得点对点通信的应用更加广, 延长了其技术存活时间。同时它能够将芯片直接相连, 显著缩短芯片间互连线的长度, 芯片间信号传输的速度更快, 而且所受到的干扰更小。由于互连线的缩短以及芯片集成度的提高, 芯片的功耗也得到了显著的降低, 信号的传输速度也更快。所以在运用三维堆叠技术的同时必须运用上硅通孔技术, 所谓硅通孔就是在硅片上用激光或者蚀刻等方式钻出小孔, 然后灌入金属形成金属连通孔洞。此时不同芯片借由硅通孔实现信号的互连。

其具体实现过程大致可以分为三步: 第一步, 是首先在芯片上生长出凸点, 然后再进行倒装焊接; 第二步, 是下填料, 即在芯片与基板之间填入环氧树脂胶; 第三步, 是叠装, 即将含有凸点的基板叠装在一起。

在采用了硅通孔后的 DDR4 多层芯片中, DRAM 分为主 DRAM 和从 DRAM, 主 DRAM 只有一个, 其余的全部是从 DRAM。芯片系统在工作的时候控制器只面向主 DRAM, 在系统看来, 它好像是在操控单层芯片, 系统不能区分或者是不能发现从 DRAM。此时, 从 DRAM 像是被隐藏起来了, 唯一能证明其存在的就是内存芯片

的容量。所有的内存芯片和印制电路板（Printed Circuit Board, PCB）以及内存控制器之间的连接方式完全相同。这样的连接方式实际上就是片上分支总线式连接方式。

#### 5. 伪开漏（Pretend Open Drain, POD）电平和数据总线反相（Data Bus Inverter, DBI）技术

DBI 编码技术通过检测数据总线上“1”和“0”的数量，当发现“0”的数量比“1”的数量多的时候，便将数据码型反相。其主要目的就是要降低数据总线上“0”的数目。因为 DDR4 采用的是 POD 电平，终端采用上拉端接匹配，当发送“1”时，数据总线上没有电流，也就没有功耗。然后再配合上 DBI 编码，能够显著降低系统的功耗。

反相编码分为 DBI-AC 和 DBI-DC，这两种方案都是对数据总线的极性进行编码，然后用一个标志位来标记这一编码信息。为了避免为此多引入一个编码信号引脚，DDR4 在进行 READ 操作时用 WRITE 的数据掩模作为该标志位；在进行 WRITE 操作时用 READ 的数据掩模作为该标志位。DBI-AC 和 DBI-DC 的区别主要体现在，DBI-AC 通过将总线值的极性反相来降低连续状态下发生位改变的位数。该种方案能最大程度的降低 AC 功耗，但是没有考虑 DC 功耗。而 DBI-DC 通过将总线上数据的极性反相来降低总线上的权重，针对 POD 电平，就是降低“0”的个数。该种方案能最大程度的降低 DC 功耗。

#### 6. 动态参考电平

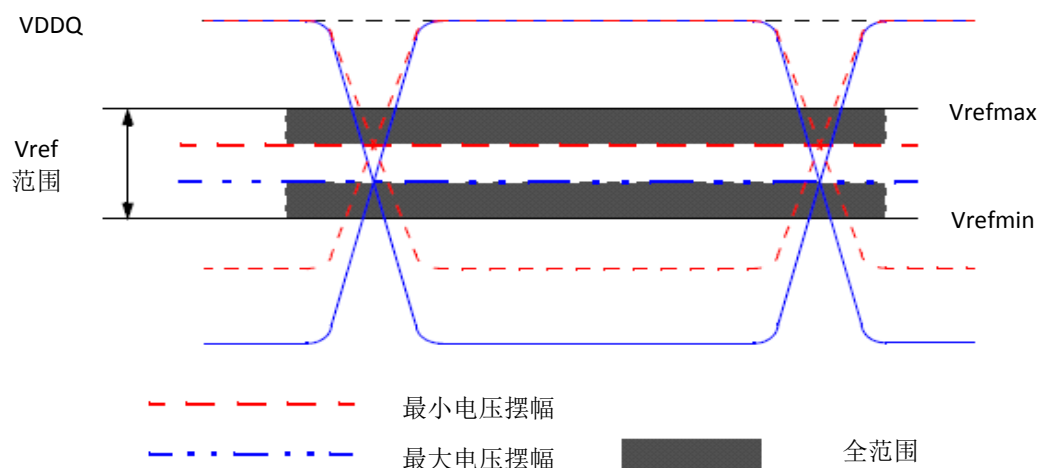


图 2.2 动态参考电平示意图

内存系统在运行过程中，由于供电电压不同或者是因为电源分配网络（Power Delivery Network, PDN）不理想，导致地电平不是理想的地电平，眼图的中间交点电平会有变化。但是我们知道，当将判决门限的参考电平设定在中间交点值会得到最好

的判决结果,保证尽量小的误码率。所以在 DDR4 里面引入了一个动态参考电平技术,简单说来就是,参考电平会根据实际的眼图交点做相应的变化,也就是说参考电平能够实时跟踪上下沿的交点。

如图 2.2 所示,由于某些原因,虚线眼图和实线眼图的中心交点并不在一起,虚线眼图的交点要高于实线眼图。所以,针对不同的情况,参考电平也做了相应的调整。

### 7.1.2 V 低压供电

DDR4 内存系统采用了 1.2 V 的供电电平,LPDDR4 更是采用了 1.1 V 的超低供电电平。供电电平的降低显著降低了内存的功耗,降低功耗的同时也降低了内存的发热,使得芯片的集成度又可以进一步提高,大大增强了其在移动设备上的生存空间。而且 DDR4 还支持深度省电模式,在内存不被使用的时候内存会自动进入深度休眠状态,可进一步降低 DDR4 的耗电量。

除此之外,供电电压的降低还有一个非常显著但是又容易被人们忽视的作用,那就是加快了内存芯片的存取速度,进而提高了内存的数据传输率。如果将负载简单的等效成一个容性负载,那么信号从发送端传送到接收端可以简单的理解为发送端通过传输线给电容充电。由电容的充电规律我们知道,更低的供电电压就会带来更低的判决门限,电容在充到相应电平所耗费的时间就会越短。

除此之外,DDR4 还运用了温度补偿自刷新(Temperature Compensated Self-Refresh, TCSR)技术,该技术主要用于降低芯片在自刷新时消耗的功率。并且,DDR4 还会采用 20 nm 以下的工艺制造。这些新技术综合在一起使得 DDR4 在保持高速率运行的时候,功耗还能保持在一个非常低的水平,相比较于上一代产品 DDR3 的优势非常明显。

## 2.2 DDR4 时序及拓扑结构

### 2.2.1 DDR4 的时序—源同步时序系统

信号要想从发送端成功的发送到接收端,并且被接收端准确无误的接收需要一个共同的运行机制,这个机制就是时序。其基本运行机理就是通过时钟定时,满足系统正常运行时的建立时间和保持时间需求,从而使接收端能够在正确的时间锁存到正确的数据。我们可以将时序分为两种:公用时钟时序系统和源同步时序系统。DDR4 采用的是源同步时序系统,下面将重点针对源同步时序系统做讲解。

在源同步时序系统中,时钟信号不是通过独立的时钟源发送,而是和数据信号一起,从同一个源端发送到同一个接收端。其运作机理是先将数据位传输到接收端,一小段时间之后再让发送器发送时钟选通信号,用于通知接收端将数据正确锁存。



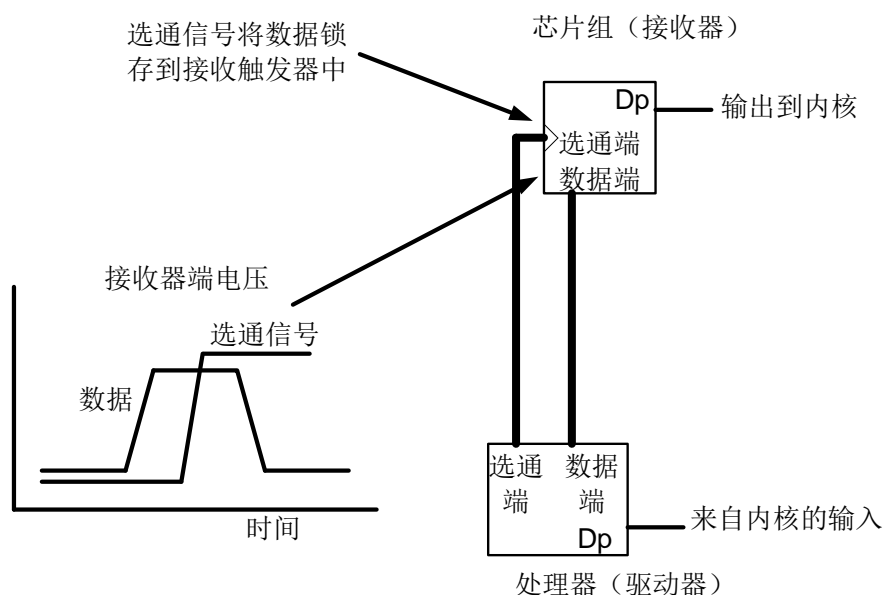


图 2.3 源同步时钟总线上, 数据信号和选通信号之间的关系

与公用时钟系统相比, 源同步时序有诸多优点。一、极大提高了总线数据率的最大值。由于选通信号和数据信号是由同一个源发出的, 所以在设计过程中不需要考虑时钟信号的绝对延迟时间, 延迟时间对时序并没有什么影响。理论上源同步时序系统并没有总线速度的上限, 但是在实际的设计过程中, 源同步时序系统并不能无限制的提高自己的频率。因为高速设计中所要面临的并不是一个理想的系统, 将这些非理想情况考虑进去之后, 在当前技术条件下, 该时序系统是有一个实际的频率上限的。这些非理想情况包括同步开关噪声、走线长度、走线阻抗、信号完整性以及缓冲器特性等。

我们可以把影响时序的因素分为静态偏移和动态偏移。静态时序偏移由于其固定性, 所以一旦产生也很好找到相应的方法来对其进行补偿。动态偏移由于其偏移没有一个固定的量和规律, 所以一旦产生, 对时序系统的影响就显得尤为严重。动态偏移包括串扰、码间干扰、同步开关噪声等。这些偏移有个特点, 很难被去偏移 (DeSkew) 捕获并解决, 因为偏移会随着信号、码型的不同而不同, 其精度可以精确到比特。

由此我们可以看出, 以往我们寄予厚望的 PCB 走线等长在速率越来越高的内存设计中已经不够用了。并且, 目前主流 PCB 设计都实行了 20 mil 甚至更严格的组内等长要求。所以, 再继续更加严格地控制组内等长并不能帮助 DDR4 在时序设计上有多少进展。这也是因为信号速率越来越快, 时序裕度越来越小, 同时信号完整性问题越来越严重导致以往被我们忽略的动态偏移占据的作用越来越明显。

但是源同步时序不是完美无缺的, 如上文所说的, 高速电路设计中信号的传输环境并不理想。传统的源同步时序设计中, 数据信号送出较长一段时间后选通信号才

送出。这段时间变成了问题的来源，在这段时间内，来自芯片、电路板上的噪声就会耦合到选通信号上，改变其时序特性和信号质量特性，使得选通信号和数据信号之间产生差异。

### 2.2.2 DDR4 的结构

#### 1. DDR4 的引脚功能。

下面将罗列一下相比较于 DDR3 新增的一些引脚功能：

**ACT<sub>n</sub>**：该引脚是动态命令输入引脚，它定义的是伴随 CS<sub>n</sub> 信号进入时的动态命令。

**DM<sub>n</sub>/DBI<sub>n</sub>/TDQS<sub>t</sub>**：输入数据掩模和输入总线倒置引脚。DM<sub>n</sub> 是输入数据掩模信号，当内存在写访问期间时，如果 DM<sub>n</sub> 被采样为低电平，则将此时的输入数据掩盖。DM<sub>n</sub> 信号在 DQS 的双边沿被采样。DBI<sub>n</sub> 信号是用来翻转总线数据之用，当 DBI<sub>n</sub> 引脚为低电平时总线数据将被翻转后存入 DDR4，如果 DBI<sub>n</sub> 引脚为高电平，则总线数据不经过翻转直接存入 DDR4。

**BG0-BG1**：输入引脚，用来定义哪个 Bank Group 是激活状态，也就是可以被读、写、或者是预存取。BG0 同时定义了 MRS 时钟周期内，哪种方式寄存器是被访问的。

**RESET<sub>n</sub>**：输入引脚，动态低异步复位信号。当 RESET<sub>n</sub> 为低电平时，复位功能被激活。在内存系统正常工作状态下，RESET<sub>n</sub> 引脚要被设置为高电平。RESET<sub>n</sub> 引脚在物理上是一个互补金属氧化物半导体（Complementary Metal Oxide Semiconductor, CMOS）轨到轨信号，DC 高电平和 DC 低电平分别为 VDD 的 80% 和 20%。

**PAR**：输入引脚，命令和地址奇偶校验输入信号。DDR4 支持当 DRAM 为 MR 设置时的偶同位检查。该信号的上升沿需要与命令信号的上升沿保持一致并且同时 CS<sub>n</sub> 要是低电平。

**ALERT<sub>n</sub>**：输入输出引脚，该引脚是配合 DDR4 新增的 CRC 和地址校验而设置。当内存系统检测到 CRC 错误时，alert<sub>n</sub> 信号会变成低电平。当地址校验信号出错误时，alert<sub>n</sub> 信号会执行相同的命令。

#### 2. DDR4 的拓扑结构

如图 2.4 所示，此为 Intel 的 Haswell EP/4S 平台下，CPU 端到 DRAM 端的 HSPICE 拓扑图。由图可以看出，在 CTL 模式下，DRAM 端只有 DIMM0 内存条可以被使能。

DDR4 采用的是 POD12 接口，I/O 工作电压为 1.2 V，时钟信号频率为 800~1600 MHz，数据信号速率为 1600~3200 Mbps，数据命令和控制信号速率为 800~1600 Mbps。DDR4 的时钟、地址、命令和控制信号使用 Fly-by 拓扑走线，数据和选通信号使用点

对点或者树形拓扑，并且全系支持动态片上终端电阻（On-Die Termination, ODT）功能，也支持 Write Leveling 功能。数据信号采用点对点通信，最大限度地保证了数据信号的高数据率。

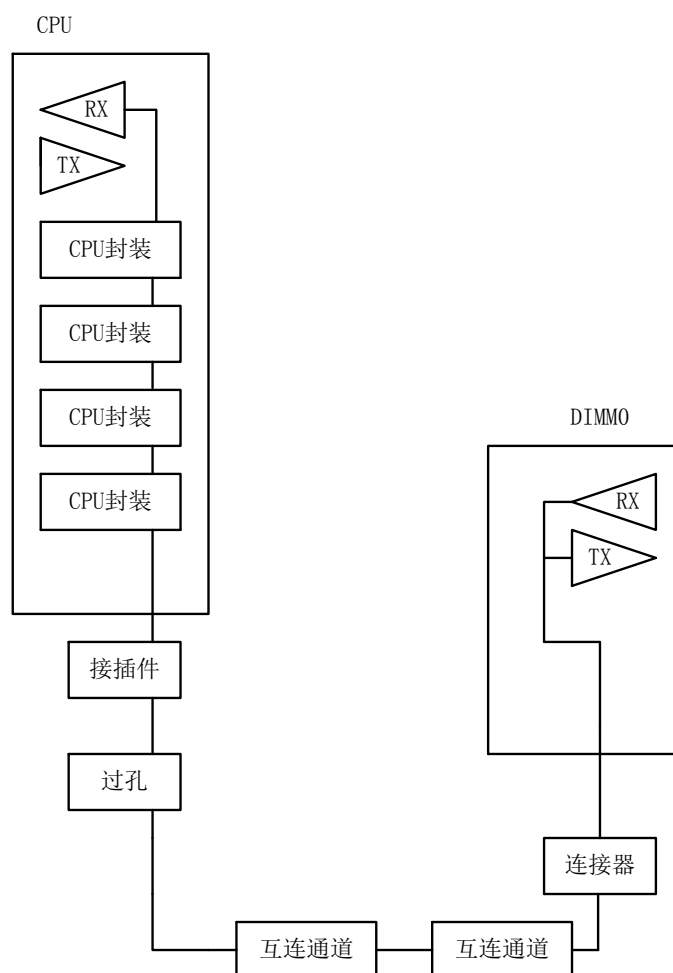


图 2.4 DDR4 RDIMM 类型下的 CTL 拓扑结构

如图 2.5 所示即为一个简单的点对点通信模式图，该链路保证了传输路径中的阻抗恒定，避免因分支结构而引入桩线所带来的阻抗突变等一系列信号完整性问题，最大限度保证了数据信号的高数据率。



图 2.5 点对点通信模式

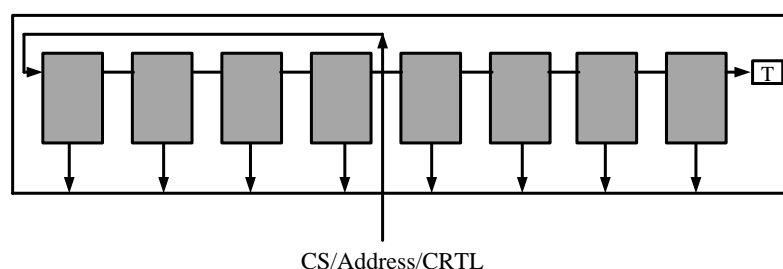


图 2.6 Fly-By 拓扑结构

如图 2.6 所示为 Fly-by 拓扑结构，从本质上说 Fly-By 拓扑结构就是菊花链结构，只是其中的桩线更短。为了应对高数据速率下所产生的新的信号完整性问题，Fly-by 拓扑结构要求 stub 走线必须非常短。当 stub 的长度相比较于信号的上升沿非常短时，stub 的容性突变效应就不会显现出来，而是表现为增加了传输线的总电容。

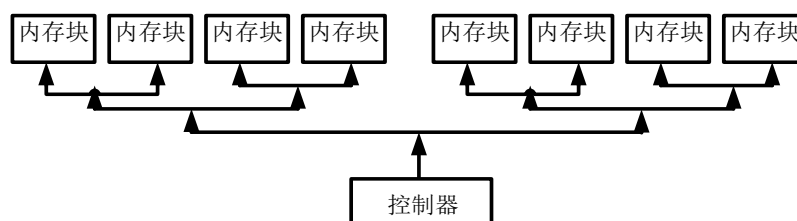


图 2.7 T 型拓扑结构

如图 2.7 所示为 T 型拓扑结构，Fly-by 拓扑结构相比较于传统的 T 型拓扑的优势非常明显。T 型结构又叫做等臂式拓扑，由此不难看出，T 型结构要求两端的分支线要严格等长。如果采用 T 型拓扑，在 PCB 布局布线的时候就会涉及到大量的绕线，绕线会浪费掉板上非常多的空间，同样的功能就会浪费掉更多的板材，产品的成本便会随之增加。同时，由于空间限制，绕线时必然要将线绕得非常密集，过于密集的绕线会带来其他的信号完整性问题。而如果采用 Fly-by 拓扑结构就不需要绕线，这也是为什么当前高速内存系统大多首先会考虑 Fly-by 走线的原因。Fly-by 的短桩线结构在内存颗粒多、信号速度快的情况下，其信号质量要明显优于 T 型拓扑结构。

### 3. 动态片上端接电阻

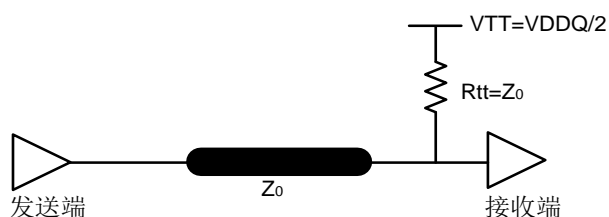


图 2.8 等效终端并联匹配

从 DDR3 开始，终端匹配电阻移到了片上，在片上端接会减少走线长度，更有利于抑制反射等信号完整性问题。动态端接电阻就是可以由系统控制是否接入电阻，以及接入多少电阻，以更好的达到阻抗匹配的目的。但是从图 2.8 中我们也可以看到，当发送端发送“0”的时候，传输线上会有电流流过，导致功耗的增加。这种现象在 DDR3 上表现的更为明显，因为 DDR3 通常会采用戴维南端接，如图 2.9 所示。 $V_{TT}$  通过上拉和下拉电阻形成了一个直流通路。如果打开了 ODT，会增加系统的静态功耗。如图 2.8 所示，DDR4 中为了抑制这个静态功耗，一般会采用并联上拉端接，配合上 DBI 编码会很好的减少功耗。但是如果采用并联端接，会使得信号的摆幅减小，所以当打开 ODT 时会发现 DDR 信号的摆幅变小。ODT 功能有利有弊，应根据实际情况、项目需求选择合适的方案。

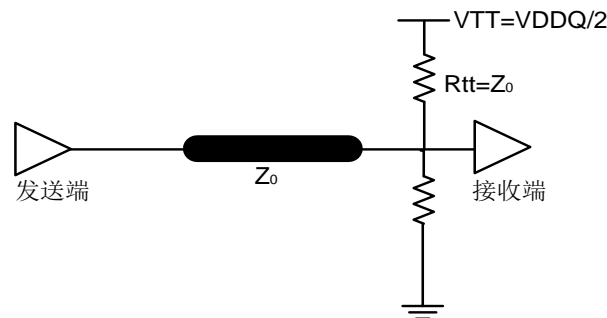


图 2.9 戴维南端接电路

## 第三章 全链路结构及其信号完整性分析

### 3.1 全链路

如图 3.1 所示，一个完整的数据通信系统都可以将其建模为三个最基本构件—发送器、互连、接收器。如果是无线通信，中间的互连就是空气；如果是有线通信，中间的互连就是各种实体介质，例如金属或者光介质。本项目所研究的高速链路是基于 DDR4 平台，这是一个典型的芯片到芯片的高速链路系统。

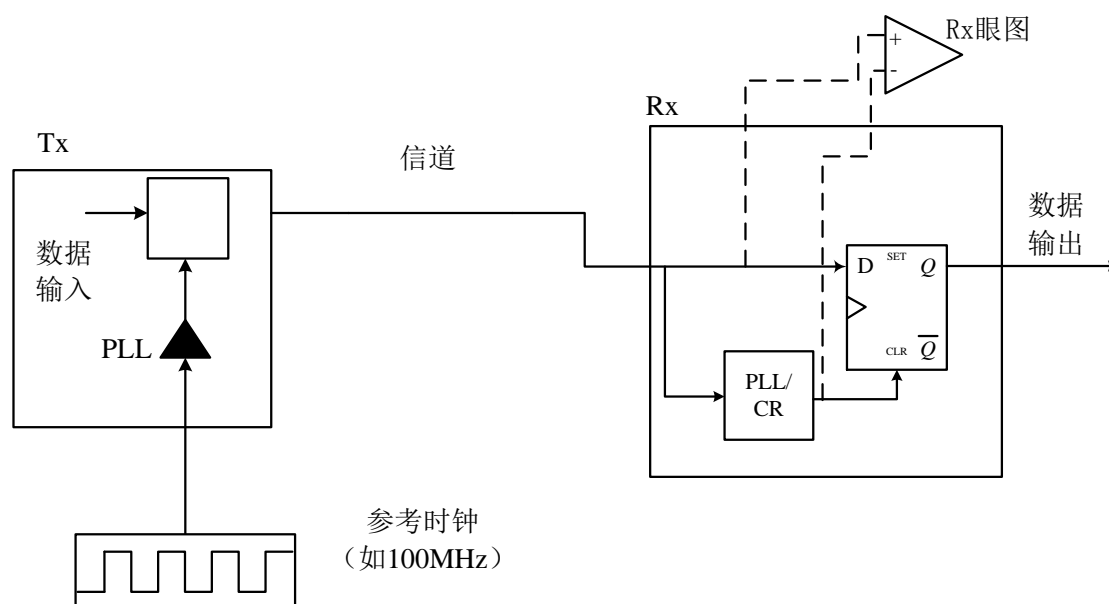


图 3.1 芯片到芯片高速链路系统

#### 3.1.1 发送器

发送器也叫驱动器或者输出缓冲器，其功能是将代表数字信号的模拟波形发送出去，并通过互连将信号传送到接收端。驱动器性能的优劣将直接影响发送到互连上的信号质量，进而影响信号的正确传输和判别。驱动器可以设计成单端接地或者差分传输形式。差分信令模式下，驱动器的抗干扰能力会明显优于单端信令，但是电路设计却要复杂得多，而且要多消耗一倍的空间和资源。在当前布线空间紧凑、引脚密度越来越高的背景下这这也是一个重要的权衡指标。所以，我们会看到目前的高速存储系统的接口大部分仍然采用单端接地模式，只有那些非常敏感的信号，例如时钟信号，才会采用差分信令模式。在信号速率较慢的时代，设计师主要关注的是驱动器的驱动能力，也就是带负载能力，对管子的其他一些参数关注不多。但是现在，随着信号速率

到达几十 GHz，驱动器在高频信号下的寄生效应等能影响信号质量的一些细微参数越来越受到重视。

为了彻底研究驱动器的不同参数对传输信号的影响，信号完整性工程师往往要对驱动器进行建模。所建模型有简单与复杂之分，一个简单的区分依据就是驱动器中参数考虑的多少。依据复杂程度我们可以将模型分为线性模型、非线性模型、全晶体管级模型，从左向右复杂度依次递增。显而易见，模型越复杂，其精度就越高，越能真实的模拟实际电路。但是相应的，更复杂的模型将带来更大的内存占用和时间开销。所以，设计师应根据自己实际项目需求在不同的设计阶段选用合适精度的模型。

驱动器一般采用反相器电路（推挽式发射电路）、漏极开路电路、伪漏极开路电路来实现<sup>[6]</sup>。DDR3 I/O 接口采用的是反相器电路，最新的 DDR4 I/O 接口采用的是伪漏极开路电路。下面将介绍反相器电路和伪漏极开路电路原理以及建模方法。

首先介绍推挽式发射电路，最简单的情况就是用一个反相器来实现，这种电路易实现，功耗也比较低，所以在很多的 I/O 电路中都能看到它的身影。而且该种电路的阻抗匹配方式很多，可以选用无终端匹配、串联端接匹配、并联端接匹配和戴维南匹配，信号完整性问题可以得到很好的解决。在仿真阶段，通常可以将其建模为以下几种：

### 1. 线性模型

线性模型可以通过一个瞬态电压源串联一个电阻，或者是一个电流源并联一个电阻来实现。通常情况下，工程师是选用第一种方式。通常，电压源就是一个脉冲激励信号，或者是分段线性源。其中电阻代表发射机的输出阻抗，通过改变电阻大小和信号的上升下降时间这些参数就可以变更线性模型的行为。这种易操作性，在电路设计的前期确定设计方案非常有用。同时，由于线性模型只包含几个无源元件，所以其仿真速度极快。如图 3.2 所示，是一个简单的线性驱动器模型。

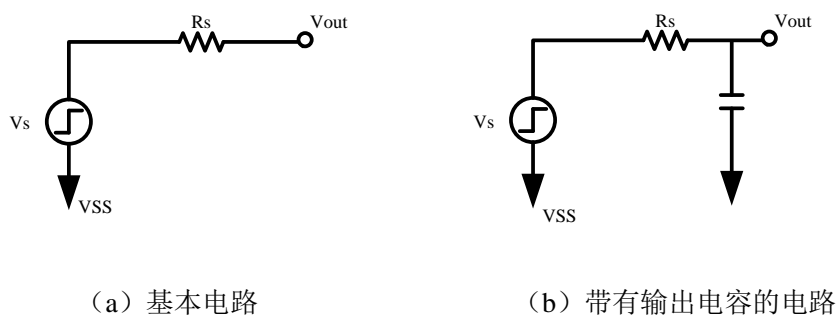


图 3.2 CMOS 发射机的线性等效电路

线性模型的简单带来的是参数易修改和仿真速度快的优点，但是由于其过度的简化，有可能导致模型与实际驱动器行为有较大的差别，仿真精度有时差别很大。

## 2. 非线性模型

非线性模型不仅包含了非线性电流-电压特性，还考虑了输出信号的上升沿和下降沿形状。基本的非线性模型是由输出电流-输出电压曲线和上升沿与下降沿的输出电压-时间曲线组成。除此之外，一个非线性模型还要定义负载条件，这是获得上述曲线的前提。通常情况下，仿真工具要用多个  $i$ - $v$  曲线才能正确表达输入信号的瞬时特性。需要特别注意的是，模型中的  $i$ - $v$  数据应该包含远超器件所期望的运行范围的情形，以确保信号严重过冲时仍能运行正常。

## 3. 全晶体管级模型

在讲晶体管级模型之前我们首先得清楚实际的 I/O 电路结构。如图 3.3 所示为一个典型的推挽式输出电路，因为其输出信号和输入信号刚好是相反的，所以它一般也被称为反相器。由图 3.3 中可以看出，反相器一般是由一个 N 沟道金属氧化物半导体（N-channel Metal Oxide Semiconductor, NMOS）管和一个 P 沟道金属氧化物半导体（P-channel Metal Oxide Semiconductor, PMOS）管组成。反相器电路现在仍然很盛行，DDR1、DDR2、DDR3 的接口电路都是采用的该种电路。金属氧化物半导体（Metal Oxide Semiconductor, MOS）管漏极电流  $i_D$  的表达式如公式（3-1）所示。

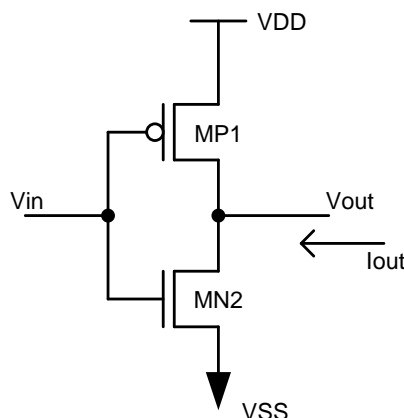


图 3.3 CMOS 反相器发射机电路

$$\begin{aligned}
 i_D &= 0 & v_{GS} - v_T < 0 (\text{亚阈值区}) \\
 i_D &= k \left( \frac{W}{L} \right) \left[ (v_{GS} - v_T) v_{DS} - \frac{v_{DS}^2}{2} \right] (1 + \lambda v_{DS}) & 0 \leq v_{DS} \leq v_{GS} - v_T (\text{三极管区}) \\
 i_D &= \frac{k}{2} (v_{GS} - v_T)^2 (1 + \lambda v_{DS}) & 0 < v_{GS} - v_T \leq v_{DS} (\text{饱和区})
 \end{aligned} \quad (3-1)$$

全晶体管模型就是能够尽量模拟出该函数关系的一个模型，通常情况下都是基于电路的 SPICE 模型来实现<sup>[7]</sup>。由上述可以看出，全晶体管级模型的优点就是因为包含



了所有的器件效应和参数，所以它的精度最高。但是由于考虑的参数太多，导致其结构复杂、仿真时间长，不适用于大型系统的仿真。所以，全晶体管级模型通常只用于设计的最后检查或者是关键电路的小范围仿真验证。另外，由于全晶体管级模型包含了电路的所有设计信息，通常供应商并不愿意提供电路的晶体管级模型，所以在一般的仿真中，很少会用到全晶体管级模型。

然后介绍伪漏极开路驱动器，伪漏极开路电路通常只用一个 NMOS 下拉式晶体管设计而成，原来的 PMOS 管用一個上拉电阻来取代。如图 3.4 所示：

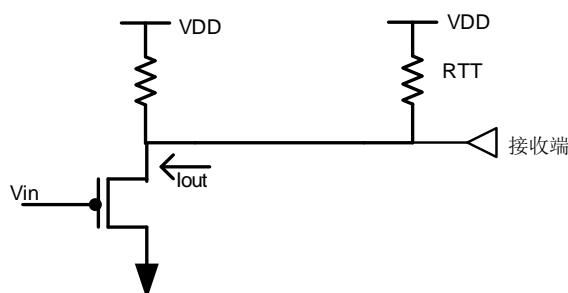


图 3.4 伪漏极开路信号电路

当 NMOS 管关断的时候，互连线上电压被上拉端接拉至 VDD，并且互连线上没有电流通过，没有功耗。当 NMOS 管导通的时候，VDD 电源经过 RTT、互连和地构成了一个回路，互连线上的电压被拉至低电平，并且互连线上有电流通过，电流大小很容易求出。

伪漏极开路电平有很多优势：首先，PMOS 晶体管的取消，减小了芯片的面积；其次，终端并联端接能显著降低高速应用中的反射；最后，由于伪开漏电平在高电平状态时没有功耗，所以如果再配合 DBI 编码将极大的降低系统的整体功耗，这是伪开漏电路相比较于推挽式电路的最大优势。实际上，最新的 DDR4 系统确实采用了 DBI 编码和 POD 电平技术来降低功耗，以达到更好的信号完整性和进一步节能的目的。另外，相比较于推挽式电路，伪开漏电路较小的信号摆幅能降低有效开关功率。综上所述，伪开漏电路的这些特性使得其在高速低功耗设备中应用越来越广泛。

### 3.1.2 接收器

芯片间信号电路的最基本的接收机是反相器<sup>[8-12]</sup>。反相器具有简单、低功耗和易于实现等特性，在 20 世纪 90 年代的很长一段时间内是基于 CMOS 接口的全摆幅接收机的选择。接收机用时序参数（建立和保持时间）和逻辑阈值来表征，它们将影响系统的噪声裕度和抗噪声能力。

#### 1. 工作原理

CMOS 接收机是一个低增益的反相放大器，它提供了完整的轨至轨输出摆幅，这在 Gbps 的速度下允许有相当大的噪声裕度<sup>[8-9]</sup>。如图 3.5 所示为一个反相接收机的电压传输特性，其输出电压是输入电压的函数。输入阈值  $v_{il}$  和  $v_{ih}$  由传输特性的单位增益决定。 $v_{il}$  和  $v_{ih}$  之间的区域是高增益区，在该区间内，输出信号电平对输入信号电平的变化非常敏感。所以，针对稳态信号，我们在设计的时候要尽量避免让信号电平进入该区域。

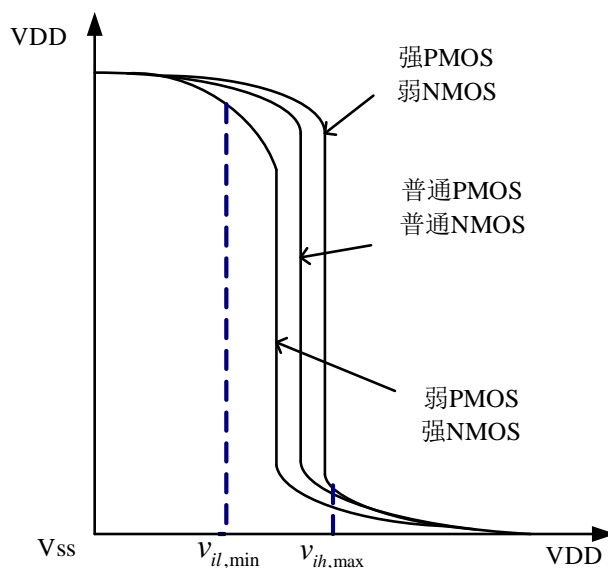


图 3.5 反相接收机的电压传输特性

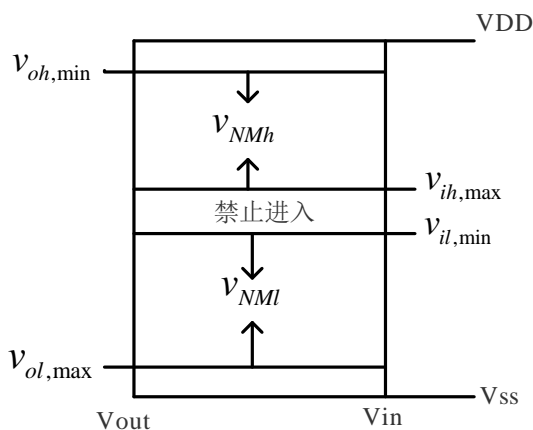


图 3.6 COMS 接收机的噪声裕度

大的噪声裕度对噪声源有着较大的容限，这是保证系统正常运行和系统数据低误码率的有效方式。如图 3.6 所示，高边噪声裕度  $v_{NMh}$  是高驱动时最小输出信号和接收机能识别的逻辑高态的最大信号之间的差。相反，低边噪声裕度  $v_{NML}$  是低驱动时最大输出信号和接收机能识别的逻辑低态的最小信号之间的差值。接收机输入规格必须考虑工艺方差所引起的信号电平方差值，噪声裕度的数学表示如下：

$$\begin{aligned} V_{NMI} &= V_{il.min} - V_{ol.max} \\ V_{NMh} &= V_{oh.min} - V_{ih.max} \end{aligned} \quad (3-2)$$

## 2. 建模

CMOS 反相器对输入信号呈现一个高的阻抗，它只受限于栅极输入电容。而且，在实际的测试中，探针通常加在接收器前面。所以综合考虑，通常用一个 RC 接地电路来建立 CMOS 接收机的模型。在当今高速接口追求越来越低的供电电压和越来越快的速度下电压模式信号系统相对大的摆幅也荡然无存，其噪声裕度同样捉襟见肘。例如现在的 DDR4 接口，供电电平低至 1.2 V，LPDDR4 的供电电压更是低至 1.1V，信号传输速率达到 3.2 Gbps<sup>[13]</sup>。同时由于接收端的特殊性，它会引入很多噪声源，这些噪声一起将显著降低系统的抗噪声能力，增加系统的误码率<sup>[14-16]</sup>。仅器件阈值和夸导等工艺方差将使反相器阈值的变化超过信号摆幅的 10%（如果电源电压方差包含在内的话，变化将大于 20%）。其他噪声源还包括电源噪声，器件热噪声，串扰，反射等。

## 3. 片上端接电阻

如果在接收端采用片上端接电阻匹配，它可以避免因为引入连接片外端接电阻的传输线而消除大部分反射。终端匹配电阻通常用 FET 来实现。

### 3.1.3 互连

在当今高速数字系统中，互连都是由传输线来充当<sup>[17-19]</sup>。并且由于信号速率提高，其中含有的高频分量越来越多，传输线的分布效应越来越明显，不能再将互连建模为一个集总电路模型。在内存系统中，传输线一般都是铜介质。在 PCB 上面，传输线可以被布成带状线和微带线模式。由于带状线的优良特性，如果条件允许，都要尽量将传输线布成带状线。

#### 1. 传输线的基本模型

一个传输线的通用表示方法如图 3.7 所示，当传输线上有信号传输的时候，传输线上不仅有压差还有电流在上面流动。由于信号的传输本质上是电磁波的传输，所以在传输线周围的介质中也分布着电磁波，信号的传输实际上是电磁波在导线和介质中的传播。信号的传输一定要构成一个回路，所以传输线一定是由一个信号路径和一个返回路径组成。而且由于信号的速度越来越快，为了保持系统良好的信号完整性，返回路径要尽可能的靠近信号路径。

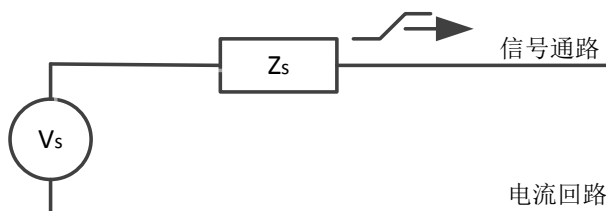


图 3.7 描述传输线上数字信号传播的典型方法

一般情况下，传输线上传播的是横向电磁场（Transverse Electric and Magnetic Field, TEM），在信号速率较高的时候可以认为传输线上传播的电磁场全部是 TEM 模式。由于电磁场是携带能量的，所以在传输线的建模中会将电感和电容这类储能元件加入进去。同时，实际的传输线和周围介质并不是理想的，信号在上面传输会感受到阻抗，所以在模型中还应加入串联电阻和并联电阻。

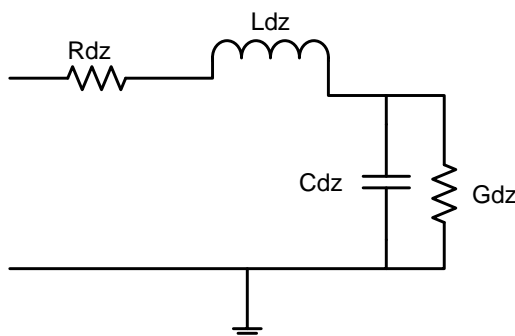


图 3.8 传输线无限小单元模型

如图 3.8 所示为传输线上一段无限小单元  $dz$  的建模模型，该模型也可以称之为有损传输线模型或者是传输线二阶模型。因为分布在传输线上的电磁场会感受到阻抗和感抗，所以这个效应用串联电阻和串联电感来表示。同时，信号路径和返回路径之间的电场效应用一个并联在信号路径和返回路径之间的电容来表示。电磁场通过非理想介质时所产生的衰减效应用一个并联在信号路径和返回路径之间的电导来表示。

传输线上的各个参数要满足电路理论，由基尔霍夫电压和电流定律可以得出：

$$u(z + \Delta z) - u(z, t) = -Ri(z, t) - L \frac{di(z, t)}{dt} \quad (3-3)$$

$$i(z + \Delta z) - i(z, t) = -Gu(z + \Delta z, t) - C \frac{du(z + \Delta z, t)}{dt} \quad (3-4)$$

将上式两边对  $z$  求微分后得：

$$\frac{\partial u(z,t)}{\partial t} = -ri(z,t) - l \cdot \frac{\partial i(z,t)}{\partial t} (\Delta z \rightarrow 0) \quad (3-5)$$

$$\frac{\partial i(z,t)}{\partial t} = -gu(z,t) - c \cdot \frac{\partial u(z,t)}{\partial t} (\Delta z \rightarrow 0) \quad (3-6)$$

## 2. 传输线的基本参数

针对传输线，工程师一般关注它的特征阻抗和其上的信号传播速度。传输线上的特征阻抗定义为其上任意两点间电压和电流的比值。用无线长传输线模型来推导传输线的特征阻抗得：

令：

$$j\omega L(\Delta z) + R(\Delta z) = Z\Delta z \quad (3-7)$$

$$j\omega C(\Delta z) + G(\Delta z) = Y\Delta z \quad (3-8)$$

则：

$$Z(input) = Z_0 = \frac{(Z_0 + Z\Delta z)(1/Y\Delta z)}{Z_0 + Z\Delta z + 1/Y\Delta z} \quad (3-9)$$

$$Z_0 \left( Z_0 + Z\Delta z + \frac{1}{Y\Delta z} \right) = (Z_0 + Z\Delta z) \frac{1}{Y\Delta z} \quad (3-10)$$

最后得出：

$$Z_0 = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (3-11)$$

通常情况下， $R$  和  $G$  都比较小，所以在近似估算的时候可以将特征阻抗表示为  $Z_0 = \sqrt{L/C}$ 。当频率很高，传输线的损耗很大或者是需要精确计算的时候，还是得用公式（3-11）的方程。但是这种时候一般都用仿真软件来做，并不需要亲自动手算。

传输线上信号的传播速度和传输线没有关系，它只取决于传输线周围的介质参数。这也说明，信号在传输线上传输的本质是电磁波，而且介质对信号的影响要大于传输线本身对信号的影响。传输线的传播时延便是信号通过整个传输线所花费的时间。他们之间的关系，如公式（3-12）、（3-13）、（3-14）所示：

$$v = \frac{c}{\sqrt{\epsilon_r}} \quad (3-12)$$

$$PD = \frac{1}{v} = \frac{\sqrt{\xi_r}}{c} \quad (3-13)$$

$$TD = \frac{x\sqrt{\xi_r}}{c} \quad (3-14)$$

其中：

$v$  为信号的传播速度，单位是 m/s

$c$  为真空中的光速

$\xi_r$  为介质的介电常数

$PD$  为传播延迟，单位是 s/m

$TD$  为信号通过传输线的延迟

$x$  为传输线长度，单位为 m

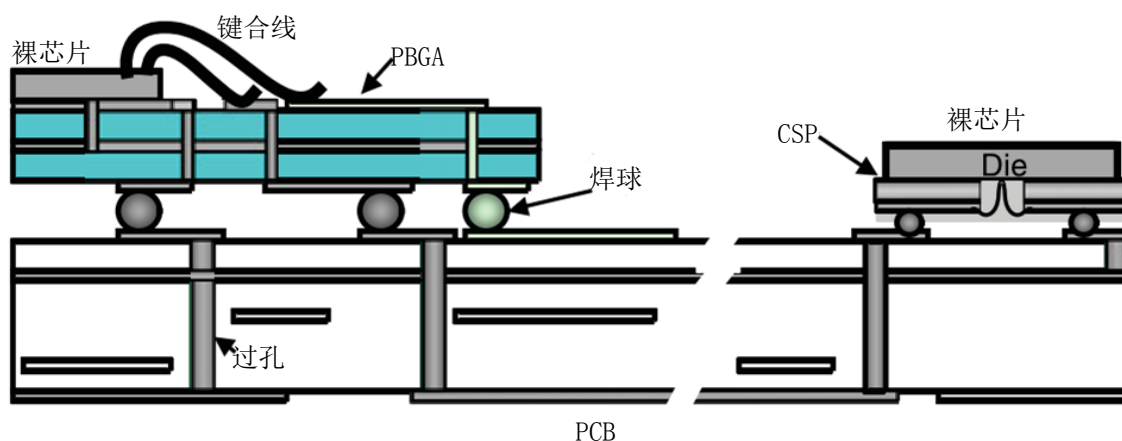


图 3.9 芯片-芯片间的互连系统

如图 3.9 所示为芯片与芯片间互连的实际系统示意图。在高速系统中，互连一般可以简单的分为板级互连和芯片级互连。板级互连系统主要包括 PCB 走线、过孔、连接器、焊球等。芯片级互连主要就是晶体管之间的走线。而且，现在板级互连所遇到的问题要远远大于芯片级互连所遇到的问题。针对板级互连所遇到的信号完整性问题的一个主要解决思路就是，缩短互连线路径和尽量在芯片内部走线。因为芯片内部的互连线相比较于板上互连，其走线长度更短，而且周围的介质更加均匀可控，因此其所遇到的信号完整性问题也相应更少。

### 3.1.4 信令拓扑

选用合适的信令拓扑对于抑制和解决信号完整性问题非常关键，通常在设计开始之前的方案论证阶段，就应该考虑好系统所要选用的信令拓扑结构。典型的拓扑类型包括菊花链、Fly-by、星形、树形、远端簇形和点对点模式。



图 3.10 点对点拓扑结构

如图 3.10 所示为一个点对点拓扑结构，从图中我们可以很容易发现，点对点拓扑由于没有支线的影响，而且具有易于控制走线延时、走线特征阻抗等特点，所以其信号质量非常好。其常常用于单输入单输出的结构、时钟或者是一些其他的敏感信号。

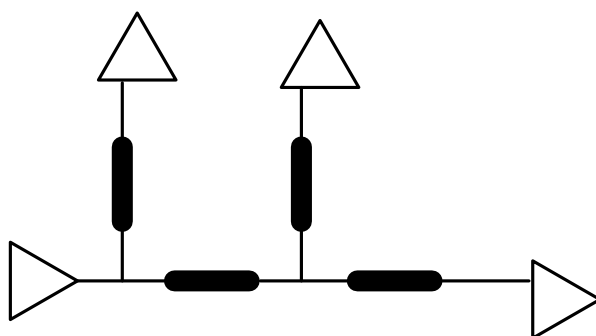


图 3.11 菊花链拓扑结构

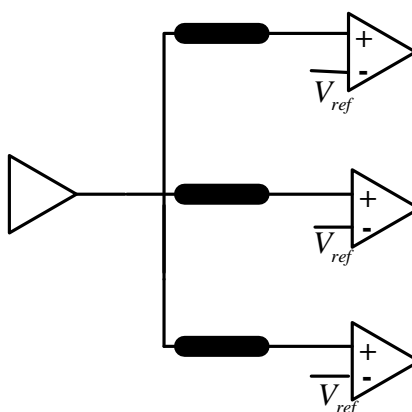


图 3.12 星形拓扑结构

如图 3.11 所示为一个菊花链结构，菊花链是多分枝结构，中间会通过短桩线引出许多分支，这会造成反射等信号完整性问题，所以菊花链中的短桩线要尽可能短。

菊花链结构适用于单向传输，通常采用终端并联端接匹配。一般来说最远端的负载信号质量最好，最近端的负载信号质量最差。

如图 3.12 所示为星形拓扑结构，该拓扑结构适用于单向传输，比如多负载的时钟信号。但是有几点需要注意，星形拓扑中主干线的长度越短越好，因为在主干线长度可以忽略的情况下，各个分支可以看成各个点对点的结构，同时配合上源端串联匹配电阻，信号质量可以达到非常好的地步。和其他多分支结构类似，星形拓扑的驱动端需要非常强的驱动能力。

其他几种拓扑结构也各有利弊，这里不再一一举例列出。

## 3.2 DDR4 的信号完整性问题

### 3.2.1 串扰

串扰从本质上说，是不同互连线之间发生了能量的相互耦合。在当前高数据率高密度布线系统中，不同传输线之间因为电磁场结构不同而发生的相互作用现象越来越普遍和严重。串扰成了导致总线上码型发生误码和信号波形畸变的主要元凶之一。首先，串扰会改变传输线的特征阻抗和传播速度，从而对系统的时序和信号完整性产生不良影响<sup>[20-22]</sup>。其次，串扰会在被耦合传输线上产生感应噪声，进一步恶化系统的信号完整性，使系统的噪声容限减小<sup>[23-25]</sup>。串扰的大小和系统中的传输线间距、数据模式、开关管的开关速度紧密相关。

首先从本质上来说，传输线上的电信号是电磁波，相邻传输线上信号的电磁波会互相叠加，进而相互影响。串扰是电磁场之间的相互耦合。但是在从信号完整性领域来研究这个问题的时候，我们可以将串扰建模为容性串扰和感性串扰，也可以称之为互容和互感。其中，容性串扰主要是考虑两根传输线之间隔着一层介质，相当于是一个电容。电容两极板上所带的电荷量相同极性相反，通过这个作用，进攻线上所发送的信号便会对受害线上的信号产生干扰。容性耦合主要体现的是信号的电场效应。由公式（3-15）知道，互容主要影响的是受害线上的电流。

$$i = C \frac{dv}{dt} \quad (3-15)$$

感性串扰主要是因为任何信号线都有电感效应，两个电感之间会产生互感，导致总电感的变化。通过互感，进攻线上的信号会对受害线上的信号产生干扰。由电感的作用机理我们可以很明显发现，电感主要体现的是信号的电磁效应，也就是通过磁场的耦合产生串扰。由公式（3-16）可以发现，互感主要影响的是受害线上的电压。



$$v = L \frac{di}{dt} \quad (3-16)$$

串扰对信号发送端所产生的串扰叫做近端串扰,把对接收端所产生的串扰叫做远端串扰。针对微带线,由于微带线周围介质不均匀,其受害线上会产生近端串扰和远端串扰;针对带状线,由于其周围的介质是均匀的,所以其受害线上只会产生近端串扰而不会出现远端串扰。

由于串扰本质上是通过电磁场的耦合产生,除非完全隔离或者电磁屏蔽,否则串扰效应会一直存在。在高密度布线的板上,串扰现象普遍存在,我们不能消除串扰,但是我们可以通过一些设计手段来减小串扰。1. 如果条件允许,最好的办法当然是将线间距尽量拉大。2. 将信号线层和地层之间的距离尽量缩短,此举是通过增加信号线与地之间的耦合来弱化信号线之间的耦合。3. 如果条件允许,尽量将 PCB 板上的信号布成带状线或者是嵌入式微带线。4. 将敏感重要的信号选择差分信令模式,敏感信号例如时钟信号不仅容易受到其它信号线的干扰,同时其本身也是一个非常大的辐射源,如果将其采用差分信令模式,可谓是一举两得。

### 3.2.2 码间干扰

码间干扰 (Inter Symbol Interference, ISI) 是当互连路径较长,而信号速率较快时,如果接收的前一个码型还没有稳定,下一个码型已开始在互连路径上传输,那么前一个码型在互连路径上产生的反射、色散、串扰等就会对后面的码型产生干扰,造成码型的波形畸变。从上述的表述中我们知道反射、色散、串扰是造成码间干扰的三大主要因素。那么色散是什么呢?色散的定义是,在通道上信号的高频成分和低频成分传输速度不一致,造成波形在时域上展宽的现象。其中高频分量的传输速度要快于低频分量,同时在通道中,低频分量的衰减要小于高频分量,这也会造成波形在时域中的展宽<sup>[26]</sup>。码间干扰和通道中所传输的码型强相关,码型不同,干扰也会不同。从码间干扰的特性来看,不同的码型会使边沿变快或者变慢,导致其眼图有多个交叉点存在。

### 3.2.3 反射

反射是由于信号传输路径上的阻抗不连续造成的。反射大小与入射信号的比例,被称作反射系数。当模拟信号(正弦波)发生反射的时候会形成驻波,数字信号发生反射的时候会形成过冲或者是上升和下降沿的振铃。不管是模拟信号还是数字信号,在传输链路上传输时,传输链路的任何不均匀都会导致信号的反射<sup>[27-28]</sup>。反射所形成的尖峰脉冲是电磁干扰的重要来源,另一方面,尖峰脉冲所产生的电压过冲会对后级

输入电路产生不可逆的损伤，造成后级电路功能失效。

如图 3.13 所示，信号从源端发出后，经过源端的输出阻抗  $R_s$  和传输线到达接收端。如果接收端的负载阻抗  $R_L$  和输入的传输线阻抗  $Z_0$  不一致，则在接收端会产生反射，反射的大小是反射系数乘以入射电压。反射系数的定义如公式（3-17）所示：

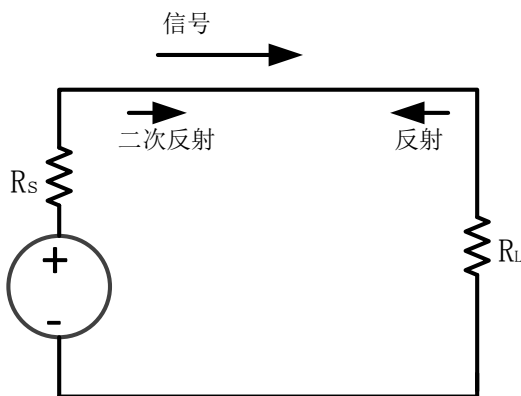


图 3.13 信号在接收端的一次反射和在源端的二次反射

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0} \quad (3-17)$$

接收端产生的反射波会向源端传播，反射波到达源端后（这时源端可以看作负载），如果源端的输出阻抗  $R_s$  与反射波的入射阻抗  $Z_0$  不一致，则会产生二次反射，其二次反射的原理和上述公式描述的相同。

解决反射问题的办法就是使传输路径上的阻抗连续，这就需要阻抗匹配。阻抗匹配就是通过端接一些元器件，使传输路径上阻抗连续以去除传输链路上产生的反射。常见的端接方式包括串联端接和并联端接。

串联端接又叫始端匹配，如图 3.14 所示，即在靠近输入端的位置串接一个电阻。在这里，要达到阻抗匹配的要求，端接的电阻和驱动端输出电阻的总和应该与传输线的特征阻抗  $Z_0$  的值相等。

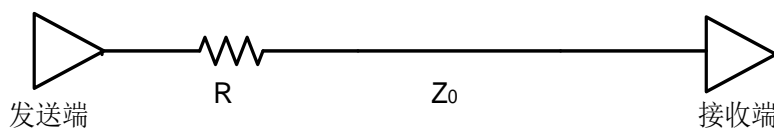


图 3.14 串联端接

要达到好的匹配效果，驱动端输出到串联电阻这一段的传输路径最好较短，短到我们可以忽略这一段传输线的影响，那么就可以把驱动阻抗和这个串联的电阻当作一个集总的部分。

串联端接的优点如下所示：

1. 只需一个电阻；
2. 没有多余的直流功耗；
3. 消除驱动端的二次反射；
4. 不受接收端负载变化的影响。

串联端接的缺点如下所示：

1. 接收端的一次反射仍然存在；
  2. 信号边沿会有一些变化；
  3. 电阻需要靠近驱动端放置，不适合双向传输信号；
  4. 输出高电平和低电平阻抗不一致时，不能完全消除反射；
  5. 在线上传输的电压是驱动电压的一半，不适合菊花链型的多负载结构。
- 并联端接又叫终端匹配，也就是在终端使端接电阻和传输线的特征阻抗  $Z_0$  的值

相等。

并联端接的优点：

1. 适用于多个负载。

并联端接的缺点：

1. 增加了直流功耗；
2. 并联端接可以上拉到电源或者下拉到地，使得低电平升高或者高电平降低，减小噪声容限；
3. 如果并联端接下拉到地，则当驱动输出高电平，输出电流不够大时，容易造成逻辑错误。

### 3.2.4 同步开关噪声

同步开关噪声（Simultaneous Switch Noise, SSN）是指当大量管子同时开关时，产生一个很大的瞬间变化电流，该电流在经过 PDN 网络或者是回流途径时形成交流压降，从而引入的噪声。管子的开关速度越快，同时开关的管子数量越多，则瞬间变化的电流越大，相应的 SSN 就越严重。返回路径上，由于返回路径上的寄生电感而导致的电压变化，进而造成低电平不再是理想的低电平现象称之为地弹。同步开关噪声的公式定义如下：

$$\Delta V = N \cdot L_{Loop} \cdot (dI / dt) \quad (3-18)$$

其中， $N$  是同时开关的管子的数量， $I$  是单个管子开关所汲取的电流， $L_{Loop}$  为整个回流路径上的电感。当大量信号同时开关的时候，要保证管子正常工作，供电电源

必须输出非常大的功率，这些电流在通过非理想供电网络的时候，会在其中的电感上产生非常大的压降，所以供电路径上会有非常大的电源噪声。该电源噪声最后会在驱动器的输出端表现出来，造成输出波形的噪声和抖动。DDR4 总线是典型的高速率并行总线，数据位有 8 位、16 位、32 位、64 位等，当数据同步翻转时将产生很大的同步开关噪声。

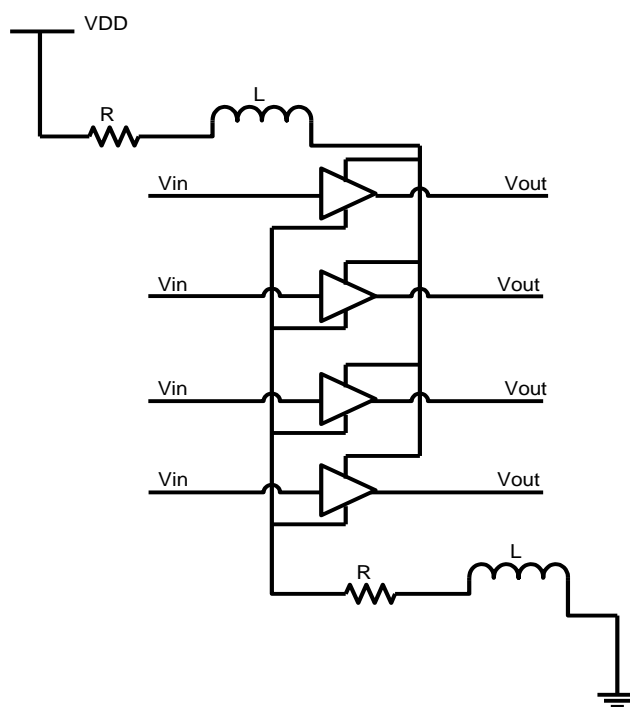


图 3.15 DDR4 并行系统

如图 3.15 所示为 DDR4 并行系统的一个简单示意图，为了研究 SSN 噪声，PDN 网络主要建模为电感和电阻的串联，同样道理，返回路径也建模为电感和电阻的串联。

在芯片级和电路板级都会产生同步开关噪声。在电路板级，电流必须通过感性连接器或者互连，为元件提供所需的瞬时电流。当这个电流流经非理想互连上的电感时，就会在上面产生一个大的噪声。在芯片级，供电电源也并非理想的。芯片想要工作，必须通过电路板上面的电源为其供电。这时，电路板上电源所供给的瞬时电流必须要通过感性芯片封装和导线架。导线架泛指芯片与电路板之间的任何连接。同步开关噪声会造成输出波形畸变，造成幅度噪声和时序抖动。如果同步开关超过一定量级甚至会导致系统的基础逻辑翻转。另外，它还有可能使信号值超过或者低于电压门限，导致误触发。

SSN 噪声是一种非常难以理解且很难准确建模的噪声。目前并没有多少快速算法能对同步开关噪声准确的建模和估算。造成这个现状的原因是，同步开关噪声和系统的结构相关性高，需要认真仔细研究芯片的封装和功率传输系统。这个过程中其涉及

到的变量很多，且都需要考虑三维结构。

我们可以从以下几个方面来抑制 SSN 噪声：

1. 如果条件允许或者不得不这样做的时候，对于至关重要的信号，例如选通信号、时钟信号等，使用差分输出驱动器和接收器。差分输出由一对总是反相开关的信号组成。差分接收器是在差分信号的交点处才会触发的接收器。这种信号模式可以消除共模噪声，并且显著的改善信号的质量。对关键网络使用差分布线，还可以使信号避免耦合噪声的影响，也就是能显著的抗串扰噪声。由于差分信号的两条线互为返回路径，所以其对非理想回路的免疫力也显著增强。

2. 使片上电容尽可能大。这会提供一个电荷储藏库，能够在电源能量被供电网络上的电感隔离的时候迅速提供上芯片所需的瞬时电流。

3. 合理分配 I/O 引脚，使得引脚尽量不要聚集在一起。让信号引脚尽量和电源/地引脚放在一起。

4. 芯片设计时要考虑信号/电源/地的数量比值，比如 2 个信号共享一组电源/地管脚比 4 个信号共享一组电源/地管脚所引起的流经电源/地管脚的同步开关电流理论上来说要小一倍。

5. 电源/地管脚要尽量靠近，减小引线的回路电感。

6. 选用更加先进的封装设计，比如选用那些更小尺寸的封装。

7. 做好芯片内的电源、地平面封装设计，增加其对 SSN 的抗干扰能力。

8. 减少 PDN 网络上的等效电感，通过合适的设计，添加电容来降低电感的作用。从能量的角度来理解，添加电容相当于引入了很多小电池，在 PDN 网络供不上电的时候，电容能起到临时的供电作用，避免噪声的引入。

## 第四章 BER\_Tools 仿真软件算法设计

### 4.1 误码率

误码率是衡量系统设计好坏的一个重要且直观的参数，它定义为一段时间内，系统中传输链路上发生误码的总量和传输链路上发送的码型总数的比值。时序抖动和幅度噪声会造成系统的误码率。当抖动值和采样时刻的相对时序关系超出预期的范围，系统便会发生误码，时序抖动只有在信号的边沿跳变处才能造成系统的误码。同理，当幅度噪声和判决门限的相对电位关系超过系统的容忍范围时，系统便会发生误码。但是与时序抖动造成系统误码不同的是，幅度噪声在信号的任何时候都有可能造成系统误码，也就是说它对系统的影响是“全天候的”。

一个检测系统误码率的直观方法是将系统搭好后直接用误码仪测试<sup>[29]</sup>。但是在讲究时效性的今天，我们必须弄清楚造成误码的原因，并且对其建模<sup>[30-35]</sup>。如果研究幅度噪声和误码的关系，需要设定一个采样时间。

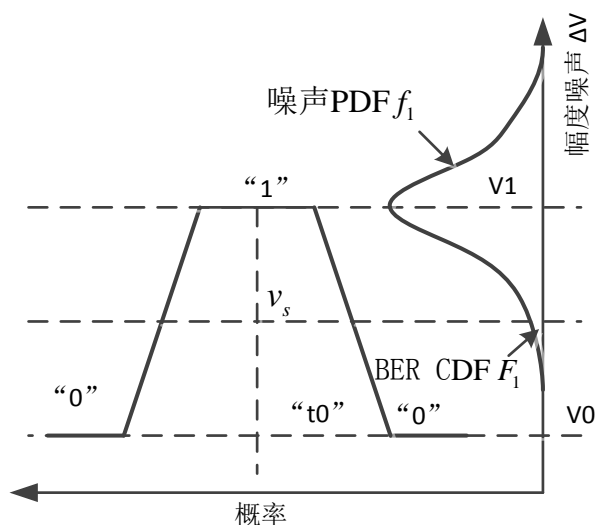


图 4.1 逻辑 1 幅度噪声 PDF 和以采样电压  $v_s$  为自变量的 BER CDF 图示关系

如图 4.1 所示，幅度噪声和 BER 之间的关系与判决电平  $v_s$  相关，任何出现在低于判决电平  $v_s$  区域内的 1 都会被判决为 0，从而造成误码。BER CDF  $F_1$  表示在判决电平  $v_s$  下 1 的误码率。假定一个采样时刻，在采样时刻  $t_0$  处逻辑 1 的幅度噪声概率密度函数（Probability Density Function, PDF）被定义为  $f_1(\Delta v)$ ， $P_1$  为发送码型 1 的概率，因此逻辑 1 在幅度噪声影响下的误码率（Bit Error Rate, BER）被定义为：

$$F_1(v_s) = P_1 \int_{-\infty}^{v_s} f_1(\Delta v) d\Delta v \quad (4-1)$$

其含义是在接收端设定一个判决门限后，高于判决门限电压的码型就会被判决为 1，低于判决门限电压的码型就会被判决为 0。当发送端发送的 1 因为噪声的影响而使其电压低于判决门限时系统就会将其误判为 0，此时就会发生误码。这些误码的概率总和就对应的是 1 的误码率。

同理，逻辑 0 的幅度噪声的 BER 被定义为：

$$F_0(v_s) = P_0 \int_{v_s}^{\infty} f_0(\Delta v) d\Delta v \quad (4-2)$$

与上述 1 的误码率类似，当发送端发送的 0 因为噪声的影响而使电压高于判决门限时系统就会将其误判为 1，此时就会发生误码。这些误码的概率总和就对应的是 0 的误码率。

比特 1 和比特 0 的误码率总和就是在采样时刻  $t_0$  系统的误码率。

$$F_{10}(v_s) = P_0 \int_{v_s}^{\infty} f_0(\Delta v) d\Delta v + P_1 \int_{-\infty}^{v_s} f_1(\Delta v) d\Delta v \quad (4-3)$$

如果确定一个采样时刻，则上述误码率公式所得到的眼图的浴盆曲线如图 4.2 所示：

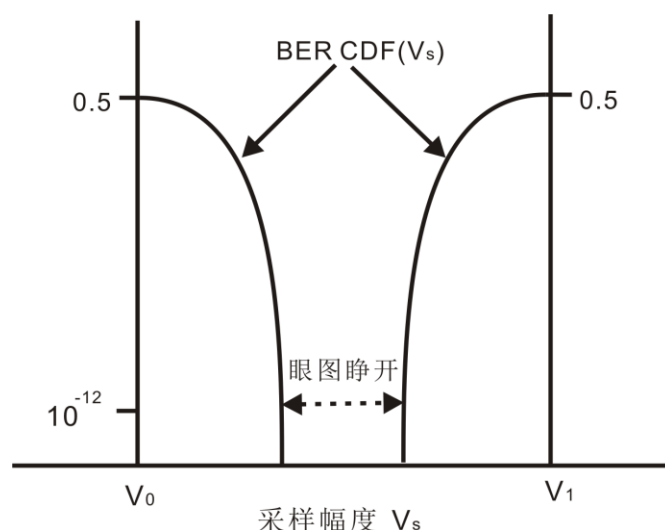


图 4.2 幅度噪声的误码率浴盆曲线

如果研究时序抖动和误码的关系，需要假定一个判决门限。其原理和上面幅度噪声与误码率的关系类似，只不过不定积分的上下限被换成了采样时刻  $t_s$ ，这里就不再

赘述。

计算出总线上每一个采样时刻和判决门限后的误码率, 将其在采样时间和判决门限的图上用颜色标注出来就得到了误码率眼图。误码率眼图对于研发工程师的作用就是, 工程技术人员根据项目设定的误码率, 在误码率眼图中标注出该误码率下的曲线, 例如  $10^{-16}$ 。如果其眼图存在, 则说明该系统设计达标, 如果不存在该误码率下的眼图, 则说明该系统设计不达标, 该眼图睁开越大代表在该误码率下系统的设计裕度越多。

## 4.2 基于 SBR 的快速时域叠加算法

### 4.2.1 算法原理

当在并行总线的发送端发送一个长度为一单位间隔 (Unit Interval, UI) 的脉冲激励时, 由于传输线的非理想效应, 例如 ISI 和反射效应等, 在接收端所收到的脉冲响应会发生畸变。也就是脉冲会展宽, 产生的拖尾将持续很长。

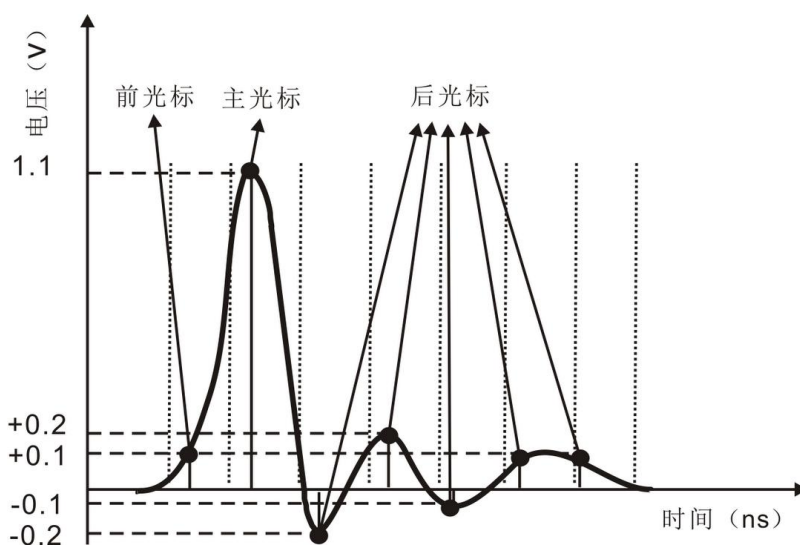


图 4.3 通道中的脉冲响应

如图 4.3 所示, 因为拖尾的存在, 所以当通道中已经发送一个 1 之后, 后续有限个 UI 之内所发送的码元将受前面所发送 1 的拖尾影响。当有多个码元的拖尾叠加之后, 就会导致信号的眼图缩小, 甚至发生误码。

如果假定系统是线性时不变的, 则当前码元受通道中之前所发码元的影响就可以通过线性平移然后叠加算出。理论上来说, 根据系统仿真所得到的单位脉冲响应, 可以构建出通道中任意输入模版的系统响应。假设  $P(t)$  为通道的单位脉冲响应,  $t_s$  为数据采样处的相位,  $T$  是一个单位时宽,  $b_m$  是第  $m$  时刻发送的码元符号, 则接收端在第  $m$  个数据采样点所看到的电压可由式 (4-4) 计算得出:



$$y_m = \sum_k b_k p(t_s + (m-k)T) \quad (4-4)$$

上述公式给了我们一个求解思路，但是它只是某一特定码型情况下的电压，且没有概率。我们假定发送器发送每个码元之间是相互独立的，假定发送码元 1 和码元 0 的概率分别为  $P_1$  和  $P_0$ 。则将这些概率因素考虑进去之后，我们可以得到当前码元之前第  $k$  位码元对当前码元所产生的影响电压及其概率，将其记为  $ISI_k$ ：

$$ISI_k = P_0 \delta(x) + P_1 \delta(x - g_{F,k}), k \neq 0 \quad (4-5)$$

$k$  可以取正值也可以取负值，以当前所研究的时刻或者是以当前研究的主 UI 为基准，当  $k$  取正值时表示的是后光标，当  $k$  取负值代表的前光标。

上述求解得到的只是某一个码元对当前码元产生影响的电压概率密度函数。前面所有码元对当前码元产生的影响电压的总概率密度函数分布就是将各个码元产生的码间干扰影响概率密度函数相卷积<sup>[37]</sup>，如公式（4-6）所示：

$$ISI = \dots \otimes ISI_{-2} \otimes ISI_{-1} \otimes ISI_1 \otimes ISI_2 \otimes \dots \quad (4-6)$$

那么当前码元最终所呈现的电压概率密度函数就是将上式中的码间干扰概率密度函数叠加在当前码元上即可。这样便会得到当前码元为 0 和 1 的电压概率密度函数，分别为  $pdf_0$  和  $pdf_1$ 。则由上面计算误码率的公式可得通道的误码率为：

$$BER_{pre}(v_{ref}) = p_0 \int_{v_{ref}}^{\infty} pdf_0 dx + p_1 \int_{-\infty}^{v_{ref}} pdf_1 dx \quad (4-7)$$

其中  $v_{ref}$  为判决门限。注意，这个误码率是通道的误码率，没有考虑链路中发送端的电压噪声导致的码型畸变和接收端中因为噪声导致的采样时间和判决门限的波动。

## 4.2.2 基于 SBR 的快速时域叠加算法的缺陷

基于 SBR 的叠加算法只能适用于上升边和下降边对称的情况，假定系统中的波形是由一个一个码元组成的，对于波形中出现了很长的 1 直线，在算法中是用很多个脉冲响应顺序组合而成。这样就造成了一个潜在问题，如果单位脉冲响应的上升边和下降边对称，则由连续的单位脉冲组合而成的 1 可以模拟出实际的情况；但是如果单

位脉冲的上升边和下降边不对称,则很多个单位脉冲响应顺序组合的时候就会出现毛刺,这和实际情况是不相符的。如图 4.4 所示,图中码型的上升边和下降边不对称,所以在叠加后就会形成一个尖峰脉冲。

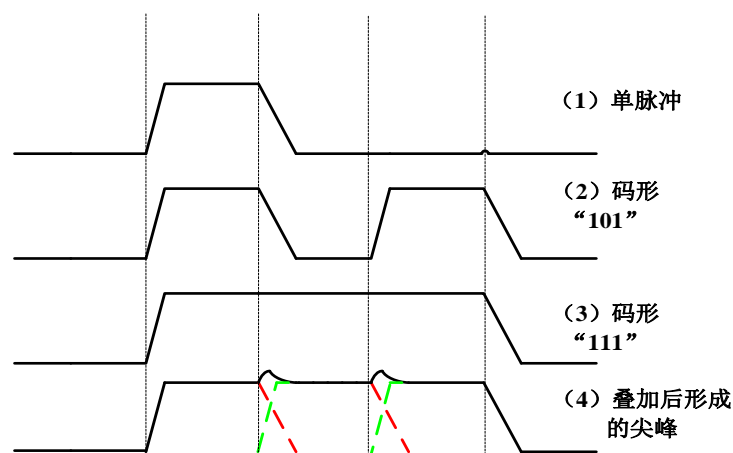


图 4.4 波形图

实际上,基于 SBR 的算法几乎没有考虑到通道的任何非线性问题,所有假定都是理想状态的。

### 4.3 基于 DER 的快速时域叠加算法

#### 4.3.1 算法原理

由于基于 SBR 的快速时域算法不能模拟上升边和下降边不对称的情况,所以该算法一般仅适用于差分发送器的链路。有鉴于此,多边沿响应 MER 算法被提出。一阶 MER 就是双边沿响应 DER,下面将讲解 DER 的算法。

DER 算法实际上就是按照上升边和下降边对数据模版加以分解,这是它相对于 SBR 法的最大区别。至于其对通道中数据 ISI 的建模,仍然和 SBR 法一样,平移然后再线性叠加:

$$y_m = \sum (b_k - b_{k-1}) s_k(t_s + (m-k)T) + y_{-\infty} \quad (4-8)$$

其中:

$$\begin{aligned} s_i(t) &= r(t) - V_{low} & (b_i > b_{i-1}) \\ s_i(t) &= V_{high} - f(t) & (b_i \leq b_{i-1}) \end{aligned} \quad (4-9)$$

其中  $r(t)$  是通道的上升边响应,  $f(t)$  是通道的下降边响应。  $V_{high}$  是进入稳态后的 1 电平,  $V_{low}$  是进入稳态后的 0 电平。  $y_{-\infty}$  是通道的直流偏置电平。

由公式(4-8)便可以得到当前时刻在受到前面发送的上升沿和下降沿影响之后的电平。同样,上面只是可以得到某一个特定码型情况下当前研究时刻的电压值,却没有考虑当前时刻在受到前面不同码型影响之后的所有电平及其概率值。

假定通道上发送码型 1 和 0 是相互独立的,并且假定发送 1 和 0 的概率都为 0.5,则不难计算出,通道中出现上升沿和下降沿的概率都为 0.25。将概率考虑进去,则当前研究的光标位分别为 1 和 0 时受前面的上升沿和下降沿影响后的电压概率分布如式(4-10)、(4-11)所示:

$$z_k^{(1)}(\tau, t) = \frac{1}{2} \delta(\tau) * z_{k-1}^{(1)}(\tau, t) + \frac{1}{2} \delta(\tau - r(t - kT)) * z_{k-1}^{(0)}(\tau, t) \quad (4-10)$$

$$z_k^{(0)}(\tau, t) = \frac{1}{2} \delta(\tau) * z_{k-1}^{(0)}(\tau, t) + \frac{1}{2} \delta(\tau - f(t - kT)) * z_{k-1}^{(1)}(\tau, t) \quad (4-11)$$

其中,  $r(t)$  和  $f(t)$  分别是上升边响应和下降边响应。 $k$  可以取正值也可以取负值,以当前研究的主 UI 为基准,当  $k$  取正值时表示的是后光标,当  $k$  取负值代表的是前光标,  $k$  取零代表的是当前光标。 $z_k^{(1)}(\tau, t)$  表示 1 的电压值及其概率密度函数,  $z_k^{(0)}(\tau, t)$  表示 0 的电压值及其概率密度函数。然后再求出通道总的误码率即可,这些在上面已经叙述过,这里就不再赘述。

### 4.3.2 算法优缺点

DER 算法相比较于 SBR 算法就是它是基于上升边响应和下降边响应来叠加运算的,该算法不仅适用于上升边和下降边对称的驱动器,同时也适用于上升边和下降边不对称的驱动器。但是其局限性就是它只考虑了上升边和下降边不对称这一非线性情况,其他的非线性情况没有考虑。如果考虑更多的非线性情况可以将算法升级,采用二阶、三阶甚至更高阶的 MER 算法。阶数越高算法考虑的非线性情况就越多,算法也就越复杂,仿真所耗费的资源和时间也就越多,工程师可以根据实际系统的情况来选择。经过我们仿真之后得出我们所针对设计的系统用 DER 算法即可精准建模,所以我们也只对 DER 算法以及 SBR 算法做了研究及工程实现。

## 4.4 基于 SBR 的快速时域叠加算法实现

### 4.4.1 软件应用平台

该仿真软件所用场合是前仿真阶段,即在布局布线前针对目标系统验证各种布局布线规则是否合适。本软件可以适用于 Intel 的 Haswell EP/4S 平台,但是不仅仅适用

于该平台，工程师针对其他平台的链路建模，然后仿真得到软件所需要的数据便可以用这个软件进行相关仿真分析，从而指导设计。

要使该仿真软件能真实的预测所指导系统的设计，首先得保证软件的输入数据是该系统的，并且要准确。所以第一步对链路建模并仿真得到 tr0 文件。

一个完整链路包含发送器、接收器、通道三大部分。针对发送器和接收器，我们将其建模为输入/输出缓冲器规范（Input/Output Buffer Information Specification, IBIS）模型和 SPICE 电路模型。针对不同的系统，工程师只需要修改其中很小一部分参数即可。针对通道部分，首先将其建模为一个十线模型：

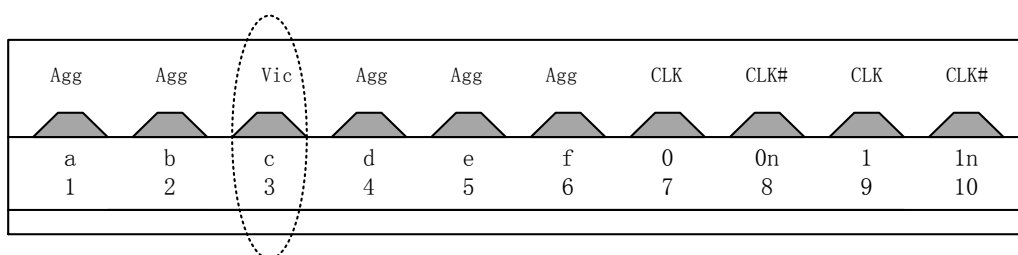


图 4.5 十线模型

设定 c 线为受害线，其他九根线为进攻线。针对不同的信令模式，线的结构和其代表的含义会有一些差别。例如 DQ 模式是 8 根数据线，2 根时钟线也可以叫选通信号。CTL 模式是 6 根数据线，4 根时钟线，4 根时钟线中两两是差分关系，如图 4.5 所示即为 CTL 模式的十线模型。这块可以验证布线规则，首先通过在 3D 电磁仿真软件例如 HFSS 中根据假设或者实际情况画出十根线，然后在仿真后得到 SPICE 文件，这样便得到了通道的 SPICE 模型。将这些模型导入 HSPICE 中，保持其它线上无激励，在受害线的发送端加上升边和下降边激励。这样，在每根线的接收端就会得到受 ISI 和串扰影响后的响应波形，响应波形输出便得到了 .tr0 文件。注意，受害线上的数据反映的是通道中的 ISI 影响，其他进攻线上的数据表示当进攻线上加激励时，该进攻线对受害线所造成的串扰。因为通道之间的串扰是相互作用的，满足互易原理，所以在仿真的时候我们只需要在受害线上加激励便可以模拟进攻线上加激励时进攻线对受害线的影响。这便是这款仿真软件的原始输入数据。

#### 4.4.2 获取通道部分概率眼图

由于在 HSPICE 中是加的单边沿激励，所以得到的就是单边沿响应，即上升沿和下降沿响应，所以我们得将上升边响应和下降边响应合成为一个脉冲响应。能这样合成是因为我们假定一个脉冲中的上升沿和下降沿之间相互独立，并且系统是线性时不变的。因此通道的脉冲响应可以由上升沿响应和下降边响应通过平移叠加合成。

如图 4.6 所示为上升沿和下降沿响应，首先将上升沿响应和下降沿响应的初始电

平移到 0 V 这个位置，然后将下降沿响应向右平移一个 UI。将上升沿响应的末尾补一个 UI 的数据，数据值和上升沿响应的末尾值相同；在下降沿响应之前补齐一个 UI 的数据，数据值和下降沿响应的第一个值相同，此举是为了保持上升沿和下降沿的数据长度始终一致。用上升沿响应数据减去下降沿响应数据，这样便得到了合成脉冲。如图 4.7 所示。

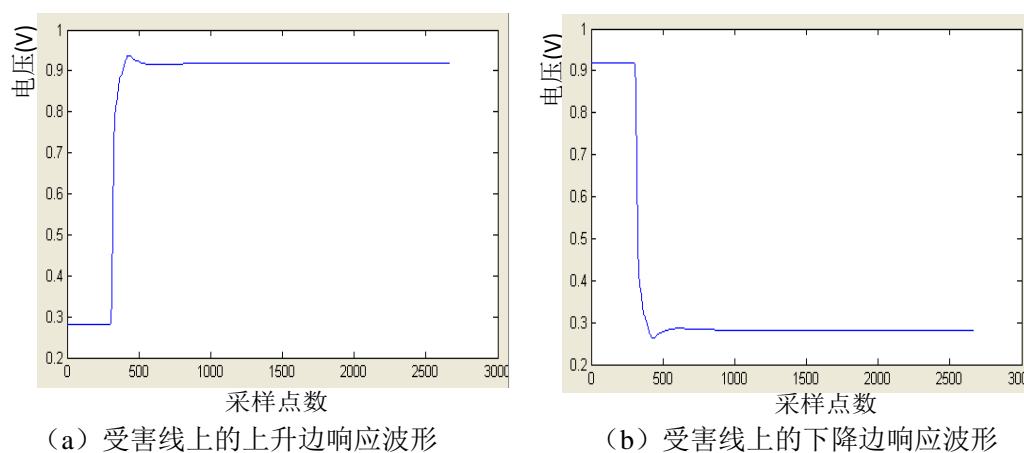


图 4.6 HSPICE 瞬态仿真响应图

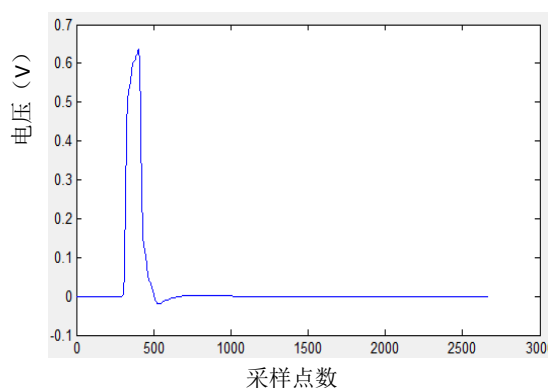


图 4.7 合成后的脉冲响应

以上是针对受害线上的处理过程，其他进攻线上的数据，也做同样的处理。然后是选取主 UI，我们以受害线上的数据为准。首先找到数据的最大值点，然后往前进一个 UI，从那个点开始和最大值点后的第一个点比较，第二个点和最大值后的第二个点相比较，依次进行。一直到这一个 UI 的数据比较完毕，找到其中相差最小的两个点，左边那个点设定为主 UI 的左起始点，右边那个点设定为主 UI 的右终止点，这样便确定了主 UI。然后对整个脉冲响应数据以主 UI 为基准进行划分，整条数据最左边和最右边不够一个 UI 的数据，将其补 0。接下来就是如何用这个脉冲响应数据得到最终的 PDF 眼图了。

前面章节已经介绍过，在通道中的脉冲响应因为反射和 ISI 的影响会有拖尾。当

通道中发送脉冲激励，也就是发送 1 的时候，通道中有拖尾的存在；当通道中发送 0 的时候，拖尾是不存在的。我们假定发送端发送 1 和发送 0 的概率都为 0.5，每个拖尾出现的概率也就是 0.5 了。如图 4.8 所示。

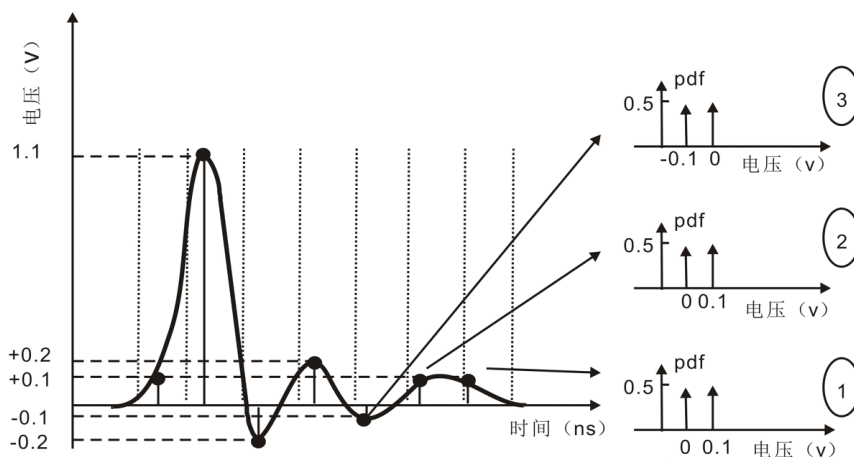


图 4.8 脉冲响应各个光标点的 PDF 图

每个拖尾处的概率分布为  $\begin{bmatrix} 0.5 & 0.5 \\ 0 & \text{拖尾电压值} \end{bmatrix}$ ，那么前面发送的码元对当前主 UI 的影响到底有多少种类型，以及每种类型发生的概率是多少？其形式是各个位的矩阵卷积运算，能进行卷积运算的前提条件就是我们假定各个码元之间是相互独立的随机变量。这个卷积过程包含的还有叠加运算，前面已经叙述过，能进行叠加运算的前提条件就是系统是线性时不变的。卷积过程可以用图 4.9 简单表示：

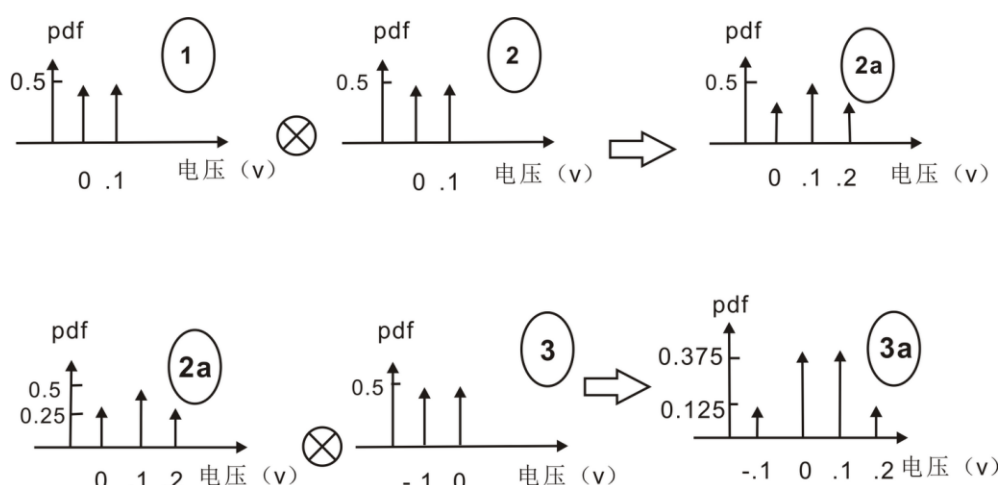


图 4.9 光标之间的卷积过程

上面只是罗列了三个 UI 之间的卷积过程，依照这个过程将整个数据卷积完成，

就得到了一个光标的完整的 PDF 眼图。为什么称为光标而不是 UI 呢？因为一个 UI 的数据不是理想的同一个值，不可能用一个值来代表整个 UI 的数据，而是有许多的采样值。所以，上述的计算过程只是得到了一个 UI 中的一个光标的 PDF。如果想要得到一个 UI 数据的完整眼图，只需要将每个 UI 中对应采样点的数据依次卷积即可。也就是说每个 UI 的第一个采样点相互卷积，每个 UI 中的第二个点相互卷积，依次计算便可。

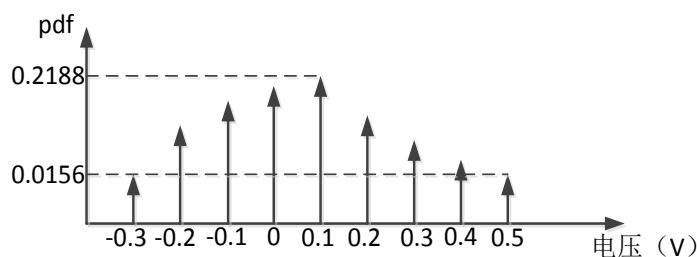


图 4.10 码间干扰电压概率分布图

如图 4.10 所示便是一个光标点的 ISI 电压 PDF 分布，这代表着前面的码元对当前码元的影响电压及 PDF。如果当前发送的码元是 1 或者是 0，则将上述得到的数据分别叠加上“1”的电平值和“0”的电平值就是当前码元发送“1”和“0”时的电压 PDF 分布。如图 4.11 所示即为“1”的 PDF 分布。

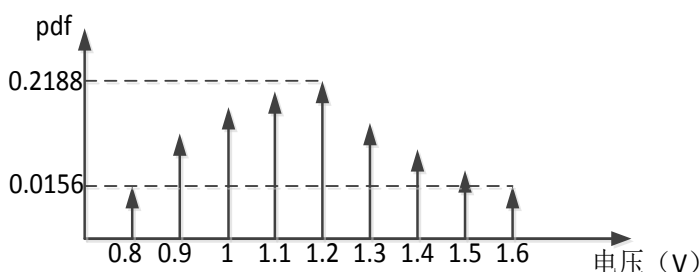


图 4.11 受码间干扰后的“1”电平概率分布

这样就得到了一条通道上数据因为 ISI 影响的 PDF 分布。如果将一个 UI 中“1”的最小值和“0”的最大值连接起来就得到的是最坏眼图。该种算法要比之前的最大失真分析 (Peak Distortion Analysis, PDA) 算法精度高很多。如图 4.12 所示。

其它通道例如进攻线上的数据按照相同的方式计算即可。按如上方式运算得到的是一个 PDF 眼图，最终需要得到一个 BER 眼图，因为 BER 眼图看起来才直观。针对一个 UI 内的每个采样点，假定一个判决门限  $v_{ref}$ ，则每个采样点中低于  $v_{ref}$  的“1”和高于  $v_{ref}$  的“0”电平就是误码，将这部分数据的概率相加再乘以 0.5 便得到了该采样点的误码率。遍历一个 UI 中的每个点便得到了整个 UI 的误码率眼图，这便是前

BER 眼图 pre-aperture。

但是有个问题，上面得到的是一个 UI 的误码率眼图，这个眼图看起来有点残缺，并没有将所有情况包含进去。因为宽度为一个 UI 的眼图顶多只能看到抖动范围为 0.5 个 UI 的情况，但是理论上抖动的范围可以达到一个 UI。一个完整地误码率眼图应该是由两个 UI 表示，实际上误码仪也确实是用两个 UI 来表示一个完整地误码率眼图。所以，我们对上述算法做了稍稍的改进。在合成得到脉冲响应波形后，以主 UI 正中间那个点为基准，向前推一个 UI 数据，将这个 UI 作为主 UI，对整个数据划分，后面的计算过程和上面相同；然后再以主 UI 正中间那个点为基准向后推一个 UI 的数据，将这个 UI 作为主 UI，后面的做法和上面相同。这样将会得到两个误码率眼图，将两个误码率眼图拼合在一起便得到了一个完整地误码率眼图。新眼图的中间部分就是上面算法中算出来的眼图。那么这样做是否对？我们论证过，这样做是对的，而且最后的结果也应证了我们的论证，由于篇幅原因这里就不展开详细解释了。

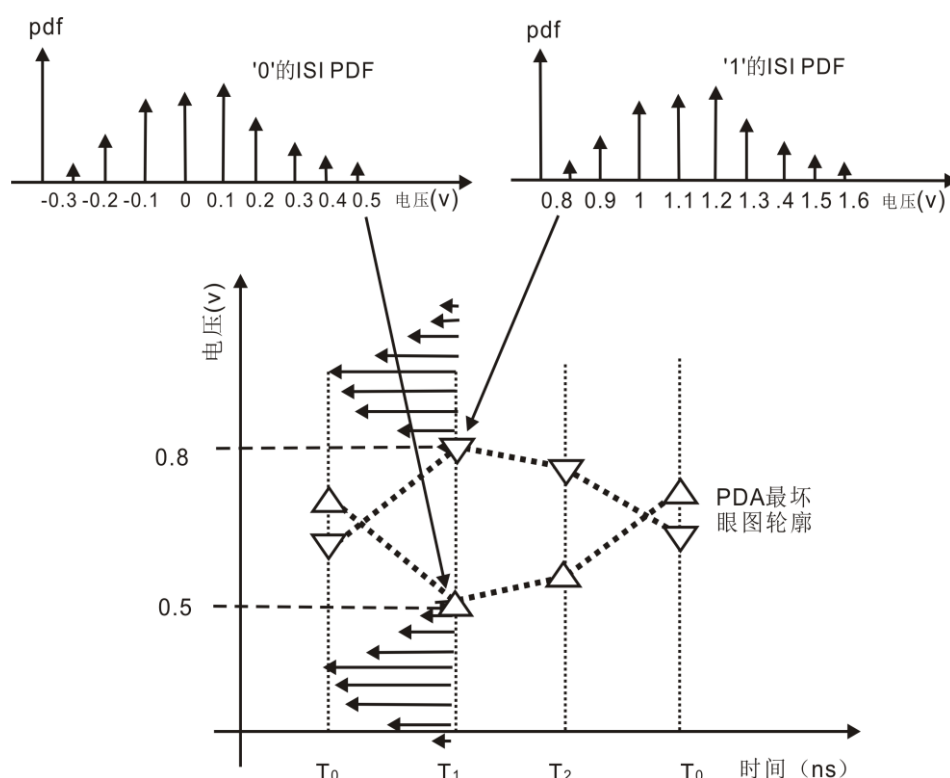


图 4.12 固定采样点时求出的 ISI PDF 及其与 PDA 最坏眼图的关系

#### 4.4.3 获取链路最终的误码率眼图

上述获得的是前 BER 眼图，也就是说假定发送端的数据是干净的，接收端的采样时间和判决门限也是干净的。但是实际高速链路系统中，由于发送端和接收端受到电源噪声、热噪声等的影响发送的数据不是干净的，接收端的采样时间和判决门限也会发生抖动。



假定发送端、通道、接收端是相互独立的，并且假定发送端对波形的影响都放在接收端一并考虑。对接收端的噪声及抖动建模之后得到的噪声 PDF 和抖动 PDF 满足近似高斯分布。则接收端抖动和噪声的联合 PDF 就是将噪声作为纵坐标，抖动作为横坐标的二维分布，该二维坐标中的每个点就是相应噪声 PDF 和抖动 PDF 的乘积。如图 4.13 所示，其中的每个点都是概率值。

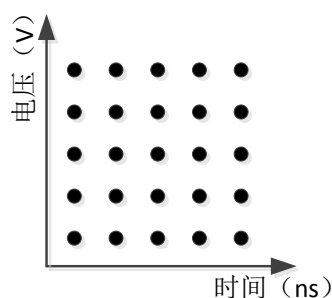


图 4.13 接收端的抖动和噪声联合概率分布示意图

则链路的最终误码率眼图就是用上述的接收端抖动和噪声的联合 PDF 去修正前误码率眼图 pre-aperture 得到，其公式表征如式 (4-12) 所示：

$$BER = \int_{t_0}^{t_1} \int_{v_0}^{v_1} BER(v, t) \cdot PDF(v, t) dv dt \quad (4-12)$$

其过程就是将上述的联合 PDF 模版中心放在要修正的 pre-aperture 一个点上，模版其他点和 pre-aperture 的相应点相重合，对应概率相乘然后再相加，所得到的新的概率值作为 pre-aperture 那点新的误码率值。其过程如图 4.14 所示：

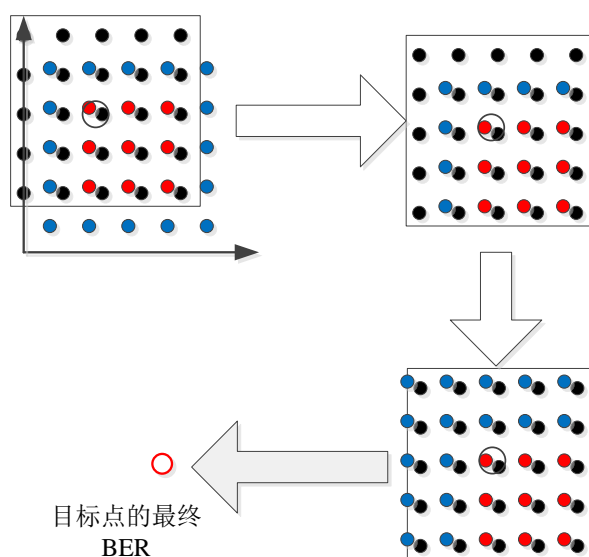


图 4.14 前误码率眼图受接收端噪声调制的计算过程

对每一点都执行和上述相同的操作，便可以得到考虑了发送端噪声和接收端噪声的误码率眼图。

## 4.5 基于 DER 的快速时域叠加算法实现

基于 DER 的时域叠加算法实现主体流程和 SBR 法相同，其差别主要体现在通道部分数据的叠加，其实就是获得概率眼图的过程有点差别。SBR 法是基于单位脉冲响应，而 DER 法是基于边沿响应。

首先，我们假定一个包含两个 UI 的完整脉冲是由一个 UI 的上升边和一个 UI 的下降边组成。最坏的 1 是由左边的上升边和右边的下降边组成，最坏的 0 是由左边的下降边和右边的上升边组成。在得到上升边响应和下降边响应的数据之后，我们分别对上升边响应和下降边响应确定主 UI，并且以主 UI 为基准对整段数据进行切割划分。具体做法是，由 SBR 法确定主 UI 的最中间那个点之后，对该点进行标记，将其位置对应应在上升边响应和下降边响应里面，往前推移一个 UI 分别作为上升边响应和下降边响应的主 UI，其他的数据就作为拖尾部分。研究串扰和码间干扰针对的是信号中的动态部分，所以主 UI 数据还得减去电路的直流偏置电平，这和前文中叙述 SBR 流程时的思想是一致的。

然后提取干扰电平值。具体做法就是将上升边响应的拖尾部分数据减去上升边稳定后的 1 电平值，将下降边响应的拖尾部分数据减去下降边稳定后的 0 电平值。也就是提取出拖尾数据中的波动部分，因为这部分数据才是对其他码型产生干扰的量。

下一步就是将这些数据运用 DER 算法求得最终的 PDF 眼图，下面使用格子法来讲解。

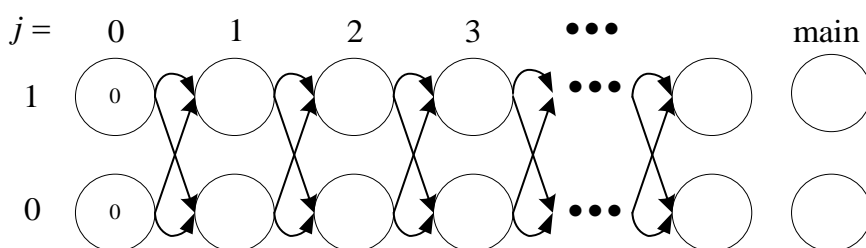


图 4.15 格子法求误码率示意图

格子分两排，上面一排代表的是 1，下面一排代表的是 0，一个格子代表一个码元，格子里面的数据代表当发送这个码元时，该码元对主 UI 产生的影响。第一列的格子里面的数据为零，意思是该码型对主 UI 刚好没有影响。第二个码型将会发送 1 或者 0，假如第一个码型为 1，而第二个码型为 0，则这时就会引入一个下降边，下降边将有可能对主 UI 产生影响；如果第二码型为 1，这时就会引入一个无边沿，

无边沿对主 UI 没有影响。第一个码型为 0，第二个码型为 1 和 0 的情况类似。假定发送码型 1 和 0 的概率都为 0.5，引入上升边会对主 UI 产生  $V_r$  的电平影响，引入下降边会对主 UI 产生  $V_f$  的电平影响。则第二列上面那个格子的数据为  $\begin{bmatrix} 0.5 \\ V_r \end{bmatrix} \otimes \begin{bmatrix} 0.5 \\ 0 \end{bmatrix}$  得到的新矩阵和  $\begin{bmatrix} 0.5 \\ 0 \end{bmatrix} \otimes \begin{bmatrix} 0.5 \\ 0 \end{bmatrix}$  得到的新矩阵合并，即得到  $\begin{bmatrix} 0.25 & 0.25 \\ 0 & V_r \end{bmatrix}$ 。第二列下面那个格子的数据依照上面的运算方式，得到结果为  $\begin{bmatrix} 0.25 & 0.25 \\ 0 & V_f \end{bmatrix}$ 。矩阵中的第一行代表概率，下面是与之相对应的电压值。从第二个码型到第三个码型依照上面的方式继续计算下去，一直到将所有的拖尾数据计算完成。在计算拖尾部分数据的时候，左半边眼图和右半边眼图的计算方式一样。但是当计算到倒数第二列格子，也就是到主 UI 的时候，左边 UI 的计算方法和右边 UI 的计算方法不同。左边的“1”格是由倒数第二列的“1”格中的数据卷积上无边沿的数据形成一个新矩阵和倒数第二列的“0”格中的数据卷积上上升边的主 UI 数据形成的新矩阵合并为一个矩阵数据；左边的“0”格是由倒数第二列的“1”格中的数据卷积上下降边的主 UI 的数据形成一个新矩阵和倒数第二列的“0”格中的数据卷积上无边沿的数据形成的新矩阵合并为一个矩阵数据。如图 4.16 所示：

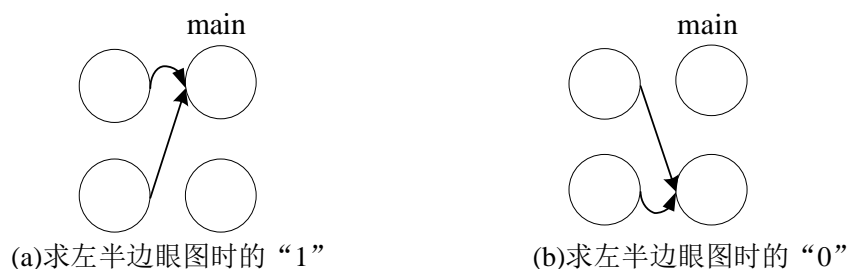


图 4.16 左半边眼图接近主 UI 时的算法

而右边 UI 的计算方法则是，右边的“1”格是由倒数第二列的“1”格卷积上无边沿数据形成的新矩阵和倒数第二列的“1”格卷积上下降边主 UI 的数据形成的新矩阵合并为一个矩阵后放在主 UI 的“1”格子里；右边的“0”格是由倒数第二列的“0”格卷积上无边沿数据形成的新矩阵和倒数第二列的“0”格卷积上上升边主 UI 的数据形成的新矩阵合并为一个矩阵后放在主 UI 的“1”格子里。如图 4.17 所示。

为什么要这样区分呢？因为在算左边 UI 的“1”的时候，它应该是由前一个“1”经过无边沿到来，和前一个“0”经过上升沿到来；算右边 UI 的“1”的时候，定量是当前的“1”，那么接下来它将会经过无边沿到达下一个码型“1”，或者是经过下降沿到达下一个码型“0”。针对左边 UI 的“0”和右边 UI 的“0”是类似的道理。

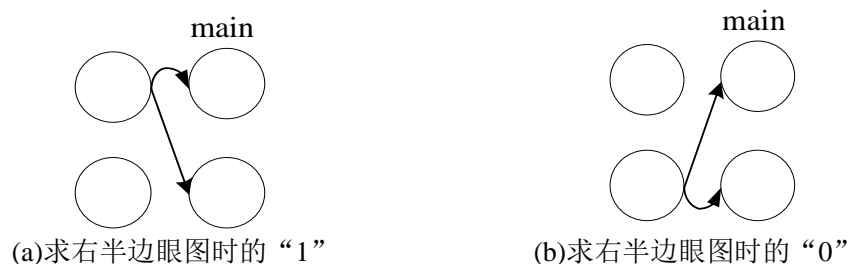


图 4.17 右半边眼图接近主 UI 时的算法

上述是针对受害线上的计算过程，进攻线完全按照受害线的做法进行，最终算得的上下两个格子的数据要合并为一个矩阵。因为我们的研究对象是受害线，所以在受害线上会有主 UI，而且主 UI 还有码型“1”和码型“0”之分，但是进攻线不用区分。因为各条线之间是相互独立的，受害线上发送主 UI 的时候，同一时刻进攻线上可以发送的是 1 或者是 0。如果不将进攻线中算得的上下两个格子数据合并在一起，则将会少考虑很多情况，算得的数据也是有误差的。实际上根据我们的实验，因此而带来的误差比较大，算得的眼图误差达到了 10% 以上。然后再将各个线上的数据对应相卷积，便算得了受害线上考虑了串扰和 ISI 的 PDF 眼图。后面的计算过程和 SBR 法一样，这里就不再赘述。



## 第五章 软件界面及测试

### 5.1 BER\_Tools 软件界面

本款仿真软件是基于 MATLAB GUI 设计而来, MATLAB 具有编程语言简单, 数值运算功能强大的特点, 非常适合非软件工程师做为编写代码的工具。本款软件的运行要求电脑上安装有 MATLAB 2012b。打开 BER\_Tools, 首先出现的是一个整体软件界面:

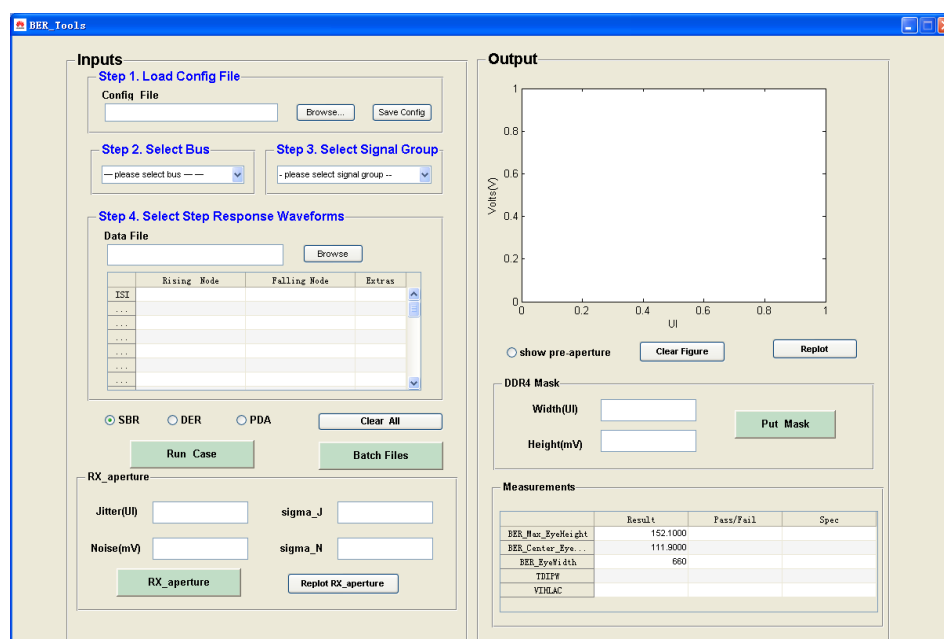


图 5.1 软件主界面

软件的主界面分为 (Inputs) 输入和 (Output) 输出两部分, 其中左面板是输入部分, 右面板是输出部分。

#### 1. 输入部分

主要分为四步:

Step1: Load Config File (输入配置文件)。

Step2: Select Bus (选择总线的频率)。

Step3: Select Single Group (选择 DDR4 的工作模式)。

Step4: Select Step Response Waveforms (选择阶跃响应波形)。

除此之外, 还有运行软件的控件。

#### 2. 输出部分

主要分为两部分: 输出结果波形 (Output) 和输出部分参数 (Measurements)。

## 5.2 BER\_Tools 软件功能

### 5.2.1 软件运行总流程图

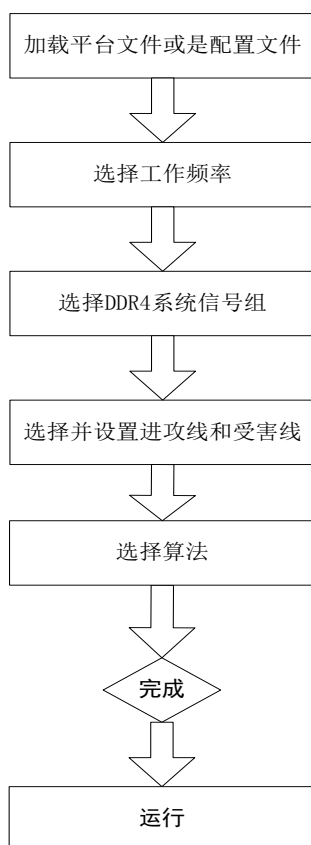


图 5.2 软件运行总流程图

从运行流程图中我们可以看到运行这款软件大致需要首先加载平台文件或者是加载配置文件，接着是选择 DDR4 系统的信号组和其工作频率，然后是选择进攻线和受害线节点，最后选择算法后点击运行。

### 5.2.2 输入部分

1. 输入配置文件，如图 5.3 所示：



图 5.3 配置文件输入口

如果以前设置过输入参数，则可以点击“Save Config”按钮，软件将会把这次的设置保存在一个.txt 文件里面，用户下次可以直接调用这个 Config File，输入部分的参数会自动填好，免去了重复输入的问题。

## 2. 选择总线频率

总线频率设为 1333、1600、1866 和 2133 Mbps 四种，可以根据实际总线要求进行选择。如图 5.4 所示：

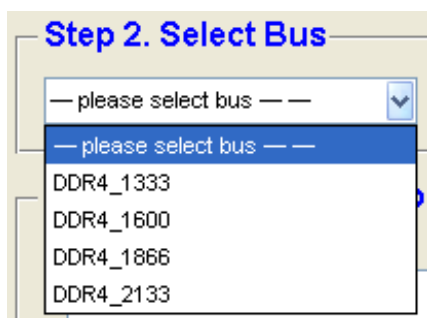


图 5.4 总线速度选择口

## 3. 选择工作模式

DDR4 的工作模式有 Data\_read、Data\_write、CMD 和 CTL 四种，根据仿真的具体需求选择合适的工作模式。如图 5.5 所示：

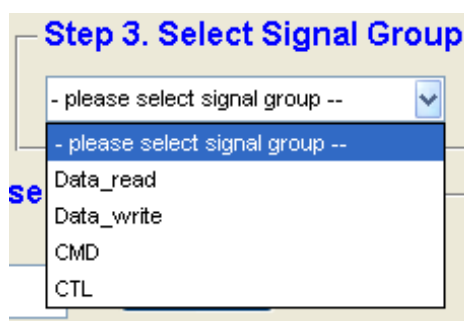


图 5.5 运行模式选择口

## 4. 输入 tr0 文件和选择阶跃响应波形

点击“Data File ”后面的浏览按钮“Browse”，会出现文件选择对话框，选择.tr0 格式的文件后，其完整的路径和文件名将显示在文本框中。

在下面的节点选择表格中，点击第一列的表格，会出现如图 5.6 所示的对话框，其中的节点是上一步所选数据文件的所有节点，选择所需的上升边响应节点，第二列会自动更新为相应的下降边响应节点。点击第三列可以编辑相移。



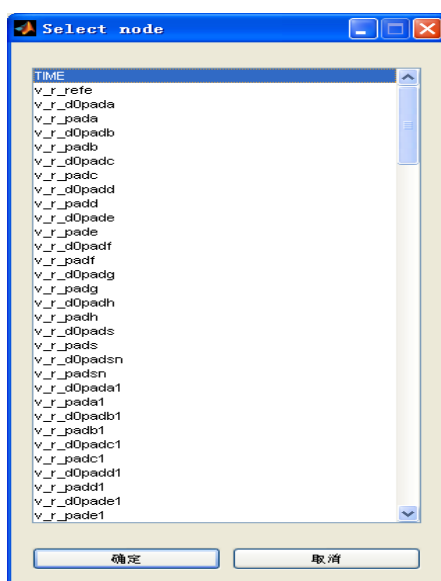


图 5.6 节点选择窗口

## 5. 算法模式选择

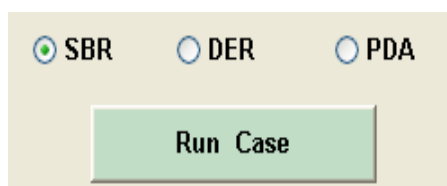


图 5.7 算法模式选择及运行窗口

如图 5.7 所示的三个控件可以选择软件的运行算法，本仿真软件可以选择两种算法以三种不同的方式来对 DDR4 系统分析。如果直接点击“Run Case”按钮，默认运行用 SBR 法求误码率的算法；点击“DER”按钮后再点击“Run Case”按钮，运行用 DER 法求误码率的算法；点击“PDA”按钮后再点击“Run Case”按钮，运行的是用 DER 方法只求最坏情况眼图的算法。

## 6. 批处理

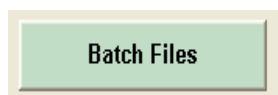


图 5.8 批处理设置窗口

如图 5.8 所示，该按钮是批处理功能按钮，该功能可以自动处理很多 tr0 文件，避免了一个一个选择 tr0 文件运行的繁琐方式。

## 7. RX 端参数输入

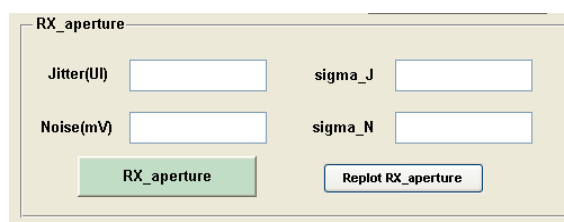


图 5.9 RX 端输入数据框

如图 5.9 所示，抖动和噪声两个框分别输入的是截取的噪声和抖动的大小（截取的噪声和抖动的大小是单边的值）。Sigma\_J 和 Sigma\_N 分别表示抖动和噪声的 sigma 值。点击“RX\_aperture”按钮会运行得到加入了 RX 端随机抖动的误码率眼图。

### 5.2.3 输出部分

当程序运行结束后，眼图会显示在输出的上半部分的坐标中，相应的眼图信息数据显示在 Measurements 输出参数部分。当出现如图 5.10 所示的提示时，才表示运行结束。

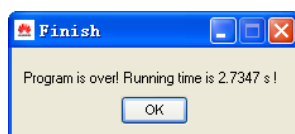


图 5.10 运行结束提醒

## 5.3 软件运行结果

选择两种模式作为测试显示，第一种是 READ 模式，速率选择为 1333 Mbps。假定接收端抖动是 0.2 个 UI，接收端的噪声是 40 mV。运行后结果如图 5.11 所示：

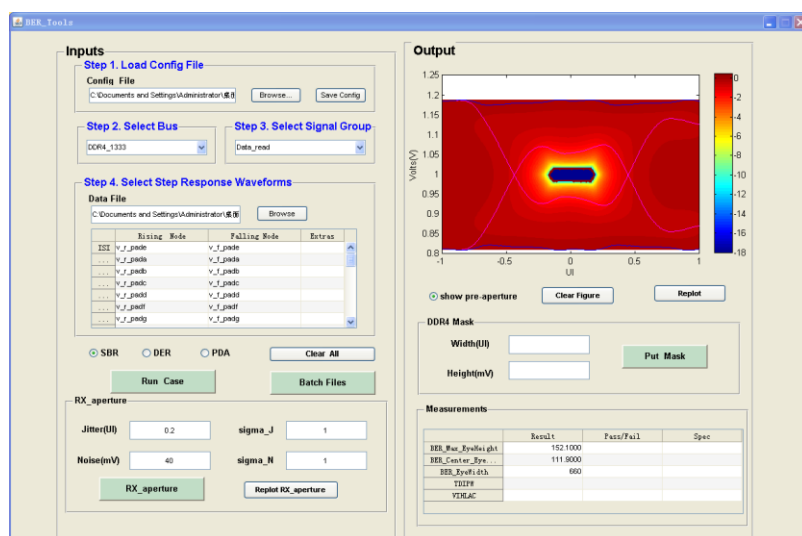


图 5.11 READ 模式下的设置及误码率结果图

第二种是选择 CTL 模式，速率仍然选择为 1333 Mbps，接收端抖动为 0.2 UI，噪声为 40 mV，运行结果如图 5.12 和 5.13 所示：

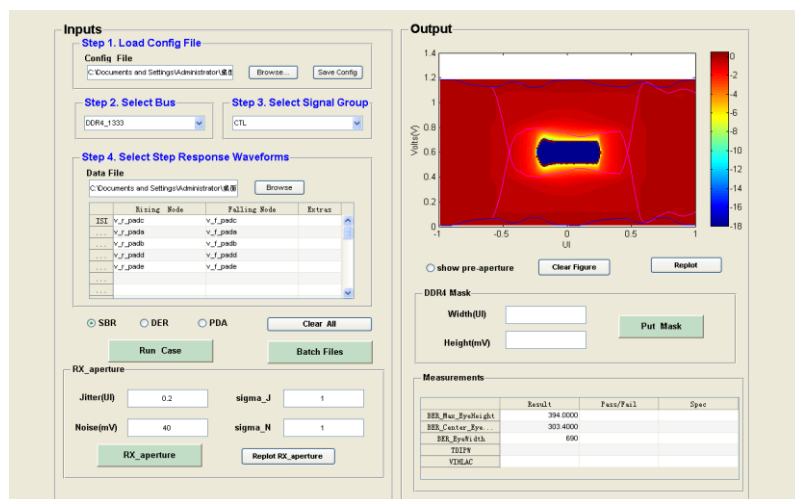


图 5.12 CTL 模式下的设置及误码率结果图

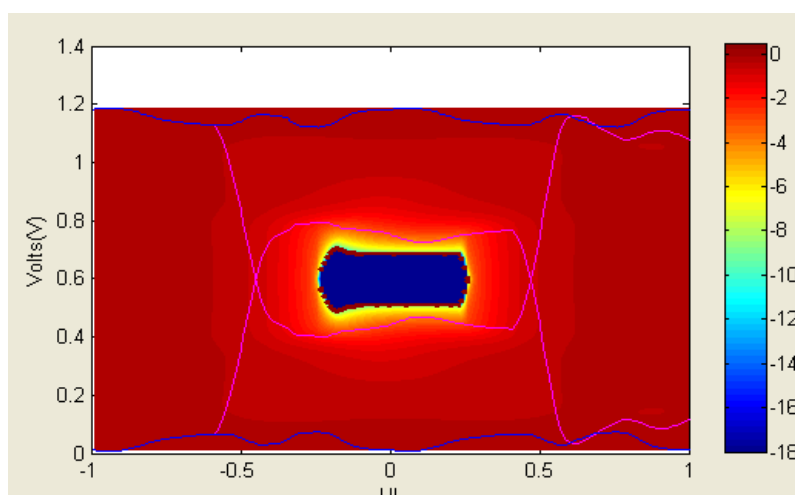


图 5.13 CTL 模式下的误码率结果图

如果要求系统的误码率不能高于  $10^{-16}$ ，则由误码率眼图可以明显看到，误码率为  $10^{-16}$  的眼图是存在的（图中最内圈红点描出），说明上述系统设计合乎要求。如果系统要求的误码率曲线不存在，则说明系统设计不合格。同时，眼图越大表示系统设计的越好，留下来的裕量越多。

BER\_Tools 软件的精度如何？我们选择和 Intel 的 MBERE 软件进行对比，MBERE 软件是业界精度最高的快速误码率眼图求解软件。我们已经对各种模式和 MBERE 软件进行了对比，误差都在 2% 以内，在论文中我选择一种模式作为展示。选择和上面 READ 模式相同的.tr0 文件，将其导入 MBERE 软件内，其他设置都相同。其中 BER\_Tools 分别用 SBR 法和 DER 法计算误码率眼图，运行结果如图 5.14 所示。

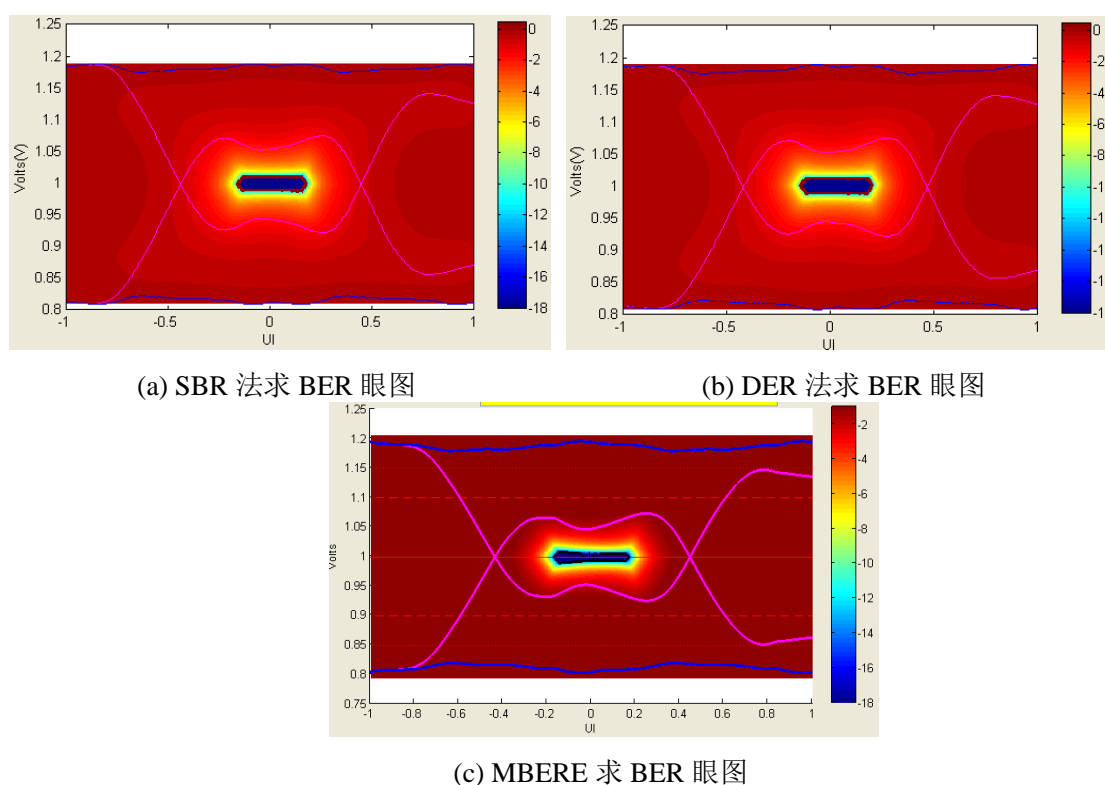


图 5.14 READ 模式下 BER\_Tools 和 MBERE 误码率图

因为接收端的数据是保密的，我们没法得到 Intel 内存芯片接收端的数据，所以包含接收端的误码率眼图没法对比，只能对比通道部分的最坏眼图。对比结果如表 5.1 所示：

表5.1 BER\_Tools 和 MBERE 软件最坏结果对比

	最坏眼中心眼高 (mV)	最坏眼中心眼宽 (ps)	运行时间 (s)
MBERE	110	667	26
BER_Tools SBR	112	660	28
BER_Tools DER	111	671	56

由表中数据可以看到，本软件和 Intel 的 MBERE 软件的误差在 2% 以内，低于项目 5% 的误差要求，运行时间和 MBERE 软件也相差不大。



## 第六章 总结与展望

随着人们对生活品质的要求不断提高,电子系统的速率也在一步步加快,市面上所存在的通信类相关电路系统几乎都可以归类为高速电路系统。针对高速电路的设计,人们必须回归到电的本质,也就是电磁波。在高速电路中信号展现出了非常多的特性,它不再规矩的在导线中按照水流的方式运行,高速电路也遇到了非常多的信号完整性问题。信号完整性这门学科在飞速发展,但是仍然赶不上问题出现的速度。目前比较热门的,例如对 SSN 的快速建模仿真方法,电源噪声对抖动的的影响机理等研究,工程和学术人员还没有取得一个明显的突破。

即便如此,工程技术人员还是要面对这些问题,他们除了在设计的过程中遵循信号完整性知识以外,还需要在设计完成之后用一个有效的方法来验证他们设计是否正确。更重要的是,他们在项目的论证阶段,得有一套快速简便的方法来论证他们的方案。以前工程技术人员会用 PDA 方法,在前仿真阶段得到最坏眼图来验证其方案,但是如今信号的速率越来越快,随便一个系统的速率都是在 10 Gbps 以上。传统的眼图方法已经不能客观的反映系统的情况了,误码率眼图越来越成为衡量系统健康的一种手段。

本项目基于这个原因开发了 BER\_Tools 软件,能够在前仿真阶段得到系统的误码率眼图。本软件有以下几个特点:

1. 软件所采用的算法先进。软件利用系统模型的瞬态仿真波形作为输入,能够将信号在通道上所受到的码间干扰、串扰以及接收端电源噪声对判决门限和采样时序的影响考虑进去。同时,该算法还能考虑到发送器的信号上下边沿不对称这个非线性问题。除此之外我们根据并行总线系统的实际码型情况,考虑到了很多细微的点,使软件得到的结果真实可信,能够反映系统的客观情况,指导工程研发人员设计。

2. 软件的仿真速度快。本软件基于 MATLAB 软件编程完成,得益于 MATLAB 强大的数值运算能力,虽然软件需要运算的数据量非常大,但是仍然能够在几分钟的短时间内得到误码率眼图。

3. 软件的界面友好。软件的界面是基于 MATLAB GUI 界面设计而成,操作简单,便于工程研发人员上手。并且还提供了一些更加人性化的设计,例如批处理,可以进一步提高电路研发人员的效率。

4. 相比较于 Intel 的同类软件,我们提供了更多的算法方案供电路研发人员选择。

软件最后不仅顺利验收,而且还得到了甲方的高度评价。虽然我们取得了一些成果,但是我们也必须认识到本软件和算法的局限性:首先,我们假定高速链路中的发送端、通道、接收端三者之间彼此相互独立,这是对实际系统的一种近似。其次,我

们在考虑电源噪声对抖动的影响方面只考虑了接收端部分，并没有考虑发送端电源噪声对抖动的影响。并且由于时间所限，我们并没有对接收端电源噪声对抖动的影响详细建模，只是简单的将其建模为两个高斯噪声，在软件留下接口让工程技术人员来输入参数。最后，发送端电源噪声没有考虑，导致我们丢失了一个很重要的信号完整性问题，即同步开关噪声对抖动的影响。

虽然这个项目截止了，但是项目组仍然会沿着这条道路继续往下研究。接下来我们将会研究发送端电源噪声对抖动的影响，考虑其中的一个关键因素，同步开关噪声对抖动的影响。同时研究电源噪声和码型之间的相互作用关系。众所周知，码型会影响同步开关噪声的大小，同步开关噪声又会反过来影响码型的波形，这两者是一种相互的作用关系<sup>[38]</sup>。另外我们将会考虑通道对发送端抖动和噪声的放大作用。幸运的是，针对后续的研究，项目组继续得到了华为创新基金的支持。

快速时域仿真算法还有很多需要做，例如目前的算法多半没有考虑到发送端、通道、接收端三者的相互作用。信号完整性学科是一门年轻的学科，快速时域仿真算法也是其中一个很小的部分，信号完整性领域还有很多东西值得我们去挖掘。我觉得从有源电路的角度来解决信号完整性问题还有很大的发展空间。一个小小的有源电路所解决的信号完整性问题，也许需要无源部分做很多工作，花费更大的成本。在这方面，国内目前与国外差距比较大，国外做的最好的当属 Intel 公司，其所生产的一款芯片，1.2 V 供电电压，板上的供电噪声峰值达到 500 mV，但是其芯片几乎可以不受任何影响的正常工作，其封装内和芯片上信号完整性和电源完整性的设计优秀程度可见一斑。但我不是说从有源角度考虑信号完整性问题就比从无源角度考虑要好，只是鉴于在过去的时间段里，信号完整性在无源部分投入了太多时间和精力，而在有源部分投入的时间和精力却有限。信号完整性是一个综合性的系统级学科，一个鲁棒性强的系统，不仅需要有源部分同时需要无源部分达到极致。

## 参考文献

- [1] 徐军. 多导体互连结构的电磁兼容性分析[D]. 北京邮电大学, 2010.
- [2] 李丽平. 高速串行互连中的抖动分析[D]. 西安电子科技大学, 2009.
- [3] Mike Li, Jan Wilstrup. Statistical and System Transfer Function Based Method For Jitter and Noise In Communication Design and Test[C] // IEC DesignCon, Santa Clara, CA. 2008.
- [4] Casper B K, Haycock M, Mooney R. An Accurate and Efficient Analysis Method for Multi-Gb/s Chip-to-chip Signaling Schemes[J]. VLSI Circuit Symposium, 2002-6(9).
- [5] Anthony Sanders. Channel Compliance Testing Utilizing Novel Statistical Eye Methodology[C] // IEC DesignCon, Santa Clara, CA. 2004.
- [6] Varma A, Steer M, Franzon P. SSN issues with IBIS models[C]// Electrical Performance of Electronic Packaging, 2004. IEEE 13th Topical Meeting on, 2004. Piscataway, N.J.: IEEE, 2004: 87-90.
- [7] 李志远. MOS 晶体管全区域噪声模型及其在低噪声运放设计中的应用[D]. 哈尔滨工业大学, 2009.
- [8] 蒋征科. 低功耗 MCML 电路和电流型 CMOS 电路设计研究[D]. 浙江大学, 2003.
- [9] 周星宇. 高性能双极性有机场效应晶体管和反相器的制备与性能研究[D]. 兰州大学, 2014.
- [10] 罗豪. 一种极低功耗模拟 IC 设计技术及其在高性能音频模数转换器中的应用研究[D]. 浙江大学, 2012.
- [11] 林峰. 多频带耦合器与功率分配器设计理论及其实现[D]. 华南理工大学, 2013.
- [12] 储著飞. 低功耗 SoC 设计关键技术研究[D]. 宁波大学, 2014.
- [13] JEDEC Solid State Technology Association. JEDEC Standard: DDR4 SDRAM[J]. JESD79-4, Sep, 2012.
- [14] Lee K W, Cho J H, Choi B J, et al. A 1.5-V 3.2 Gb/s/pin Graphic DDR4 SDRAM with dual-clock system, four-phase input strobing, and low-jitter fully analog DLL[J]. IEEE Journal of Solid-State Circuits, 2007, 42(11): 2369-2377.
- [15] Koo K, Ok S, Kang Y, et al. A 1.2 V 38nm 2.4 Gb/s/pin 2Gb DDR4 SDRAM with bank group and  $\times 4$  half-page architecture[C]// Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International, 2012, San Francisco, CA. Piscataway, N.J.: IEEE, 2012: 40-41.
- [16] Feng J, Dhavale B, Chandrasekhar J, et al. System level signal and power integrity analysis for 3200Mbps DDR4 interface[C]// Electronic Components and Technology Conference (ECTC), 2013 IEEE 63rd, 2013, Las Vegas, NV. Piscataway, N.J.: IEEE, 2013: 1081-1086.
- [17] 商世伟. 高速电路设计及其在板级电路中的应用[D]. 上海交通大学, 2007.



- [18] 申振宁. 板级与封装级电路系统电磁完整性研究[D]. 西安电子科技大学, 2014.
- [19] 胡海欣. 高速 PCB 板级信号完整性问题研究[D]. 国防科学技术大学, 2004.
- [20] 尚玉玲. 高速互连串扰型故障测试研究[D]. 西安电子科技大学, 2009.
- [21] 杨静. 片上网络 (NoC) 的互连串扰测试方法研究[D]. 电子科技大学, 2011.
- [22] 张华. 高速互连系统的信号完整性研究[D]. 东南大学, 2005.
- [23] 王广然. 考虑工艺波动的纳米级 CMOS 互连延时和串扰分析[D]. 西安电子科技大学, 2012.
- [24] 李建伟. 考虑工艺波动的互连线模型研究[D]. 西安电子科技大学, 2010.
- [25] 杨杨. 考虑工艺波动的互连信号完整性分析[D]. 西安电子科技大学, 2009.
- [26] 臧照祥. 宽频带大幅度脉冲调理电路设计[D]. 电子科技大学, 2009.
- [27] 朱志强. 信号完整性仿真自动化技术基于 Cadence 软件的应用与研究[D]. 西安电子科技大学, 2007.
- [28] 白宇佳. 信号完整性分析及基于 Cadence EDA 的仿真自动化技术研究[D]. 西安电子科技大学, 2006.
- [29] Santanu Chaudhuri, James A. McCall, Joe H. Salmon. Proposal for BER based specifications for DDR4[C] // Electrical Performance of Electronic Packaging and Systems (EPEPS) , 2010 IEEE 19th Conference on, 2010, Austin, TX. Piscataway, N.J.: IEEE, 2010: 121-124.
- [30] Stojanovi V. Channel-limited high-speed links: Modeling, analysis and design[D]. Stanford University, 2004.
- [31] Balamurugan G, Casper B, Jaussi J E, et al. Modeling and analysis of high-speed I/O links[J]. IEEE Transactions on Advanced Packaging, 2009, 32(2): 237-247.
- [32] Ren J, Oh D, Chang S. High-speed I/O jitter modeling methodologies[C]// Electrical Performance of Electronic Packaging and Systems (EPEPS), 2010 IEEE 19th Conference on, 2010, Austin, TX. Piscataway, N.J.: IEEE, 2010: 113-116.
- [33] Cristofoli A, Palestri P, Da Dalt N, et al. Efficient Statistical Simulation of Intersymbol Interference and Jitter in High-Speed Serial Interfaces[J]. Components, IEEE Transactions on Packaging and Manufacturing Technology, 2014, 4(3): 480-489.
- [34] Oh K S, Lambrecht F, Chang S, et al. Accurate system voltage and timing margin simulation in high-speed I/O system designs[J]. IEEE Transactions on Advanced Packaging, 2008, 31(4): 722-730.
- [35] Sanders A. Statistical simulation of physical transmission media[J]. IEEE Transactions on Advanced Packaging, 2009, 32(2): 260-267.
- [36] Intel. Haswell-EP/EP 4S Processor DDR4 HSPICE\* Signal Integrity Model User's Guide. [Z]. Santa Clara, CA: Intel, 2013.
- [37] Li, Mike Peng. 李玉山, 潘健等译. 高速系统设计—抖动、噪声和信号完整性[M]. 北京: 电

- 子工业出版社, 2009: 7-8.
- [38] Kim J, Shin D, Lee J, et al. Statistical BER analysis due to supply voltage fluctuations at a single-ended buffer[J]. DesignCon, Santa Clara, CA, USA, 2013.



## 致谢

时光荏苒，岁月如梭，两年半的研究生生涯如白驹过隙，即将画上一个句号。想当初刚来上研究生时自己给自己定下的目标和期望，现在回过头看，有不少遗憾。但是这两年半在 CAD 所的学习生涯还是让我收获颇多。

首先我衷心感谢我的导师初秀琴副教授在我研究生阶段对我的用心栽培。初老师平易近人，心地善良。在生活上她给予我们无微不至的关怀，设身处地为学生着想，对于学生本人或者家庭遇到的一些问题给予充分的理解和关怀。在专业知识的学习和项目的研发上，当我们遇到问题的时候，初老师总是能给我们一些关键性的指导。在项目上放手让我们去做，给予我们充分的信任。对于我平时针对项目的猜想，初老师总是鼓励我放手大胆去做去验证。当我没有很好的完成项目既定任务时，初老师也没有责怪，更多的是鼓励，在进度上从来没有催我们，而是给予我们很大的包容和自由。当我们将这个项目交给老师的时候，初老师却很满意，给予我们不计其数的表扬。衷心祝愿初老师身体健康，家庭幸福，相信 CAD 所在初老师的带领下会越来越好。

感谢我的导师李玉山教授，李老师严谨的治学态度，渊博的知识和和蔼可亲的待人方式，低调谦虚的处事方式都给我留下了深刻的印象，令我敬佩不已。李老师作为老一辈科学家，其身上留有深深的红色印记，考虑问题更多的是从国家层面，而不是自己个人层面。这一点在物欲横流的当下，更加难能可贵。即使已经 70 岁高龄，李老师仍然关心学科和实验室建设。衷心祝愿李老师身体健康，福如东海。

感谢路建民老师对我生活上的关心和学习上的指导。感谢实验室的白老师，为我们忙前忙后，不辞辛苦的照料关心我们。

感谢林永嘉师兄、原玉章师兄、王怀亮师兄、杨华师兄、曾秋云师兄、王君师姐、杨菊师姐、李芄博师兄、赵强师兄、甄江平师兄。感谢你们对我学习上的指导，对我生活上的关怀。每当我有不管是学习上还是生活上的问题时，你们总是能放下手头工作，给予我指导。此外我尤其要感谢林永嘉师兄，自从我进实验室，林永嘉师兄就主动关心我的学习和生活，每次主动过来询问我的学习进度，有没有学习困惑，然后给予我充分的指导。即使在工作之后，也经常和我保持联系。是您将我领进信号完整性大门。在此衷心祝愿林永嘉师兄工作顺利，身体健康。

感谢项目组的周子翔、姜丰、李亚婷、严锦荣，从你们身上我学习到很多，充分认识到自己的不足。周子翔的见多识广，姜丰的好脾气给我留下了深刻的印象。祝愿你们在新的岗位上工作顺利，早日实现自己的梦想。

感谢实验室同级的陈孔前、张毅、刘永亮、常超、朱剑。感谢你们带给我的快乐，和你们在一起度过的两年半时间将是我一生值得怀念的珍贵记忆。

感谢师弟师妹陈海龙、赵永刚、罗厚兴、李桃、王卓超、王娇、陈欢、白钰洁、王德益。祝愿你们在研究生阶段的学习能够更上一层楼。

最后衷心感谢我的家人，没有你们的抚养和支持就没有我的今天，祝愿爸爸妈妈健康长寿，祝愿姐姐、姐夫生活幸福美满，事业有成。





**西安电子科技大学**  
**XIDIAN UNIVERSITY**

地址：西安市太白南路2号

邮编：710071

网址：[www.xidian.edu.cn](http://www.xidian.edu.cn)