串扰

ISI

反射

loss

鲁棒性

CTLE

LOSS + 反射 + 串扰

DFE

ISI + 串扰

slicer

**1、反射**

**反射与频率的关系**

反射是否仅在特定频率及其整数倍上发生？理论上，并不是只在某个特定频率或其倍频上反射。实际上，频率响应更加复杂，并受多种因素影响：

过孔的电感和电容会与信号频率相关联，使得每个频率点的总阻抗略有不同。因此，反射的程度随频率变化而变化，而不是仅在特定频率上显著。

信号的频率越高，其波长越短，相比过孔的尺寸变得越小，从而增加了反射的可能性。这不仅限于特定频率或其倍数

**观察到的反射现象**

1、频域

一个理想的channel模型，它的带宽应该是无限的，但是由于传输线存在的损耗，导致channel model往往是有损的，尤其是在高频阶段，这种损耗往往会被加剧，因此channel呈现出一种低通滤波的效果；

如果只是这样的话，频响曲线应该是一条在高频阶段平滑下降的曲线，但是我们用channel 的S参数sim的AC结果，可以看到在高频阶段会出现很多不规则的尖峰或下冲

往往将这些不规则的尖峰或下冲认为是反射在频域的体现

2、时域

根据上述反射在频域的表现，也能推理出，在时域出现反射时往往是在01信号切换时，在常0或常1阶段反射引起的信号振铃现象往往较弱；

目前仿真的结果也符合预期，只在01切换时出现一小段振铃波形

**反射与串扰、ISI的叠加+solution**

1、目前观察到的时域波形，串扰问题是很严重的，即时域的常0或常1阶段，会有较大的信号抖动，这种抖动可能会导致对输入信号的误采样

当串扰与反射同时存在时，关于串扰会不会叠加在发射波形上，进而导致更严重的问题，目前看来常0或常1阶段是不会的，串扰仍然是主要的因素

但是在01切换时，这两者的叠加，是否会1+1>2还未有定论，需要再去研究一下不同channel的时域仿真结果

2、还有一个需要考虑的是反射导致的振铃与时域的ISI即码间干扰的叠加，正如前述，目前看到的反射多是在01切换时出现振铃，而我们知道，有损传输线中信号经过channel后，会出现较为严重的衰减现象，例如极端情况下一个正脉冲信号，可能衰减为一个三角波，当然这是极端情况，大多数情况还是衰减为类似正弦波的信号，这也就导致信号在时域出现了拖尾的情况

信号拖的尾可能超过了其应该占据的信号位宽，此时再叠加反射的振铃抖动，显然可能导致ISI的tap1/2/3/4出现或变大或变小的情况

所以考虑解决信号的反射问题时，也就不单单是考虑这一个问题，还得考虑他对ISI 、串扰的影响；

3、综上，考虑在RX端，先用一个LPF来完成对高频noise的过滤，通过就用一个简单的CML级来完成，但是需要尽量保证CML的3dB带宽处于0.5~0.75\*Date rate之间；

这一点可能在某些工艺下是比较困难的，所以往往在第一级就直接上了CTLE进行高频boost，但是目前我考虑的是即便需要在这第一级进行boost，也要严格限制我们的3dB带宽，防止放了太多的高频噪声进来；

此外，第一级的CTLE，我也不推荐使用传统的源退化型，也是可以采用在输出端挂NIC来进行boost；进而可以考虑在CML的输入对管之间加挂电容，不过这也只是目前的想法，仍需仿真验证；

4、这里还有一个问题，就是参考的别的架构的电路，就是前面没有多级放大，直接将DFE全部做在一个双尾的比较器中，可能并不好去采用，主要基于两点考量，1是我们之前的电路都并非如此，改的话改动很大，很难保证后续项目的可靠性，2是在后面越来越高速的情况下，这种我觉得反而可能更不适用了，因为接收端看到的输入信号眼可能已经都是闭上的了或者眼皮很厚的了，我们目前的架构反而是更具优势的

**2、ISI**

上面也简单提到了ISI的问题

**观察到的ISI现象**

1、在频域，我认为高频衰减就可以用来表征导致ISI出现的主要原因

而在时域，则如上述，是脉冲高度的衰减与trtf的增加，进而导致当前bit数据侵入了相邻bit数据窗口

**ISI与发射、串扰的叠加+solution**

1、正如上述，反射与串扰的存在，可能导致ISI的拖尾出现增强或减弱，这是难以确定的，也是难以避免的，只能在电路上考虑如何去减弱这些post cursor对其他数据的影响

2、目前仿真看到的ISI是没有叠加串扰问题的，测量的post cursor1/2/3/4都在spec范围内，也即我们只要根据spec来进行这部分设计即可，而不必继续扩大范围，甚至我觉得可以考虑将实际得到的cursor范围作为下限，再将spec规定的作为上限，两者取折中的作为我们的设计target

3、目前针对ISI问题，最主要的解决手段就是DFE，正如ISI主要是在时域进行表征一样，DFE作为一个非线性的均衡手段，就是来应对时域的这类问题；主要的考虑除了上述的范围外，还有就是如何选择DFE的架构以及如何保证DFE tap1的反馈时间小于1UI；关于这个我觉得可以等一下之前两个项目的结果，然后进行一番对比；

4、在tap1 delay能满足1UI的情况下，我个人还是倾向于将tap1就做在summer中的；

**3、串扰**

网上看到可以用Sigrity中Sigrity Topology Explorer进行串扰的仿真

当然，我们也可以直接利用信道的S参数进行仿真，前提这得是一个多端口的信道

**观察到的串扰现象**

1、目前在频域中无法观察到串扰的影响，这一块可能还需要大家讨论一下，串扰的频域影响到底会是什么样的（但是有一点我觉得是比较确定的，即不同频率下串扰影响程度肯定是不同的，进而对信号时域的影响也不尽相同）

2、在时域，串扰可以较为明显的观察到，尤其是在常0或者常1阶段，会出现较大的信号的抖动，可能达到±100mv，我觉得这对信号的正确判别有很大的影响，尤其是在driver那边采用的电阻较大或者我们配置的RTT较小时，可能导致输入信号的有效电压高度较低，此时串扰就可能导致对输入信号的误判；

另一种时域的表征，即输入信号的眼图，如果串扰问题较为严重的话，显然会导致我们的输入眼图的眼皮变厚，显然也是不利正确放大与采样的；

3、结合目前所有的channel仿真结果来看，串扰问题应该是最严重的问题，比loss或者反射的影响都要更为显著，所以我认为可以作为所有设计考量里最高优先级的

**串扰与其他干扰因素的叠加+solution**

1、如前述，ISI或反射可能加剧串扰的影响，而且观察到的现象往往可能是在常0或常1（即我们认为的较低频段）就出现严重的串扰问题，但目前普遍是认为在电路上是无法解决串扰问题的

2、第一级的LPE架构是否对串扰也能有一定的过滤作用，目前尚未可知，需要后面搭电路仿真看

3、但是结合之前她们做项目的经验，通过1调整DC AC gain以及gap+ 2DFE的正确设置，可能 是对串扰问题有一定缓解作用的；鉴于此，我们的前级放大器我认为需要提供足够多的trim选择，来适应不同Channel下的工作条件；

而这里就又涉及到了对DFE能提供的±6dB gain调整的理解了，最早大家理解的是AC gain的范围，后面变成了DC gain的范围，但是最终到底是什么，犹未可知，甚至我们可以考虑把这两个都考虑进去（或者可以根据silicon的测试结果，来做选择）

**4、LOSS**

**观察到的LOSS现象**

1、loss即损耗，前面已经交代了原因，其在频域即高频叫低频衰减地更为严重了

2、在时域，我认为可以将ISI归因为loss的存在导致的，所以其主要问题就是，可能在一个高频衰减较为严重的channel中，输入的data在接收端可能已经快闭上眼睛了，trtf变得太worse了，所以此时就需要在高频处进行恰当的boost

LOSS的solution

1、即CTLE在高频处进行boost，主要考虑的是是否需要在第一级就进行boost，以及需要boost多少；

目前都是在第一级就进行了boost，但是后面我们是否可以把第一就boost作为一个选项呢？

此外，关于boost多少的问题，之前的经验是最好不要boost超过channel 的DC AC gap，这应该说的是在slicer前的地方，那我们在第一级应该是如何设置呢？第二级？是否是第一级把channel的gap补上来后面就不用boost了？boost之后各级的带宽需求如何呢？还是需要仿真看看，这块可能结合verilogA的仿真来更快的找到一个较优解

**5、鲁棒性**

关于鲁棒性，其实设计到的会有很多，此处我想重点关注后面的slicer这里

而在前面多级放大电路或者DFE电路中与鲁棒性相关的，例如offset、PSRR等，都需要在上述设计过程中考虑

slicer中重点关注的即比较器的设计