Instituto Politécnico Nacional

Escuela Superior de Cómputo

Diseño de Sistemas Digitales

Proyecto Final: Mario Bros

Integrantes: Bravo Esquivel Gustavo

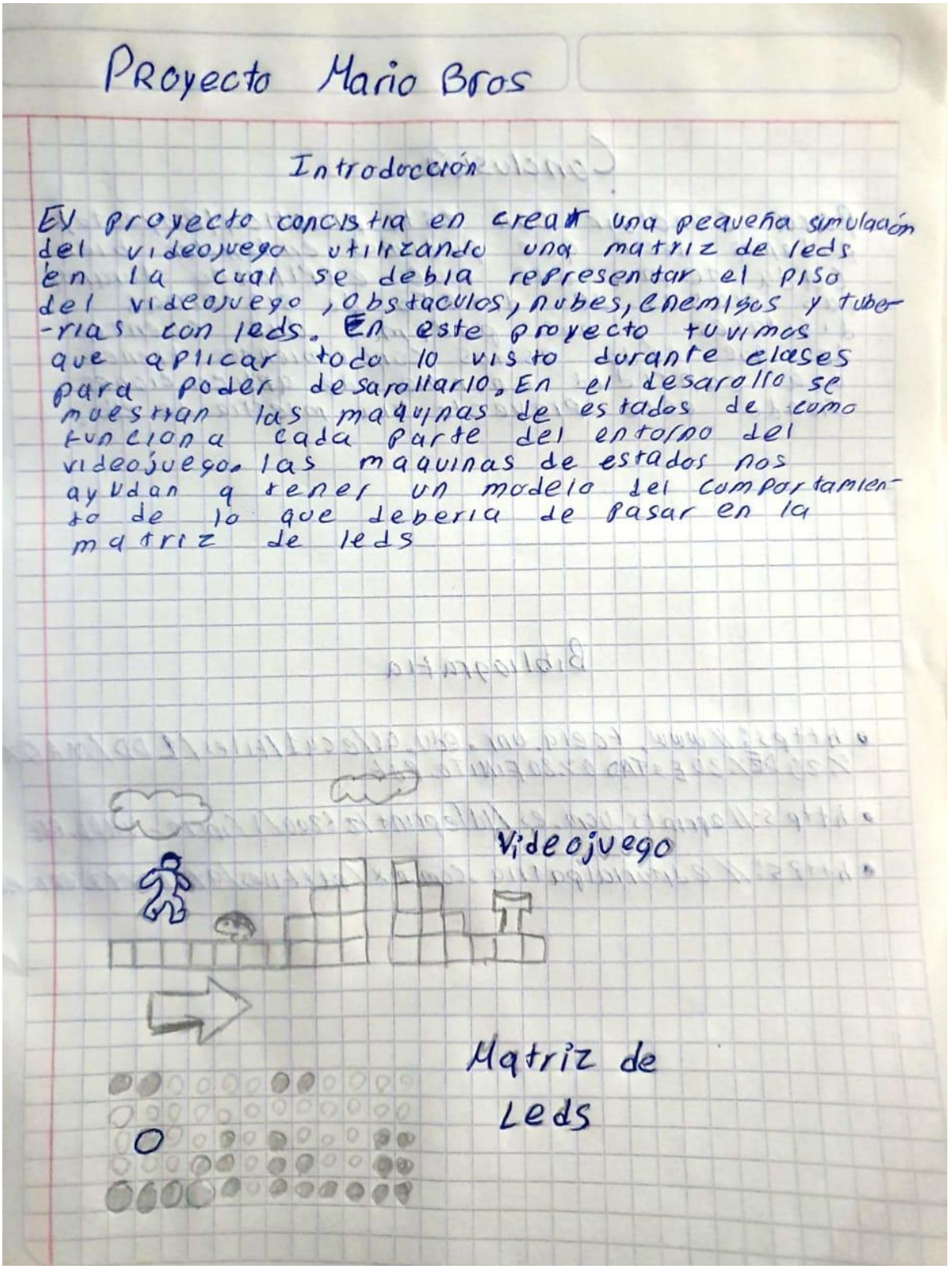
Colín Ramiro Joel

Pasten Juarez Joshua Michael

Profesor: Mújica Ascencio Cesar

Grupo: 4CV3

I. Introducción



Proyecto Mario Bros

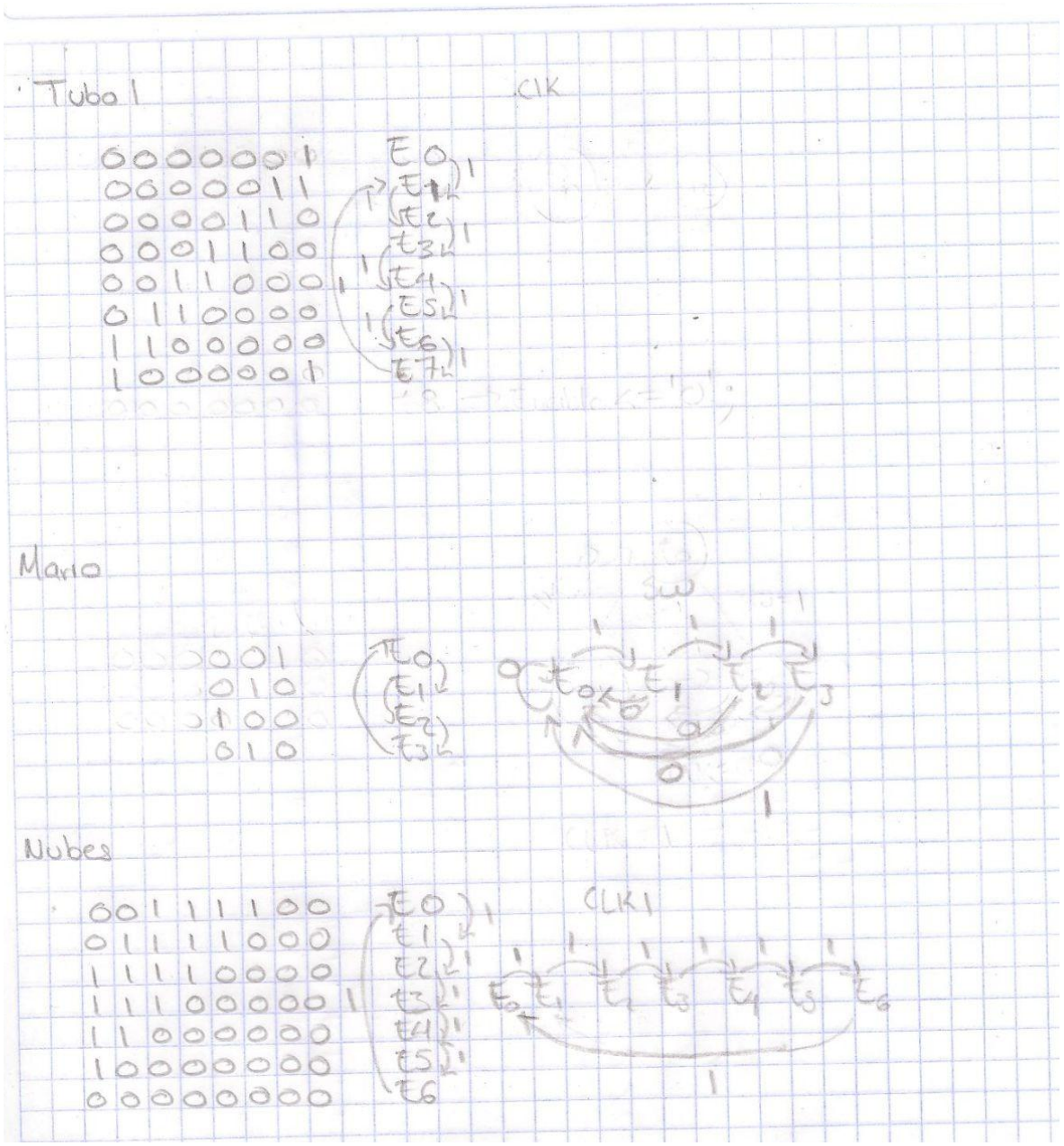
Introducción

El proyecto consistia en crear una peqeña simulación del videojuego utilizando una matriz de leds en la cual se debia representar el piso del videojuego, obstaculos, nubes, enemigos y tuberias con leds. En este proyecto tuvimos que aplicar todo lo visto durante clases para poder desarollarlo, En el desarollo se muestran las maquinas de estados de como funciona cada parte del entorno del videojuego. las maquinas de estados nos ayudan a tener un modelo del comportamiento de lo que deberia de pasar en la matriz de leds

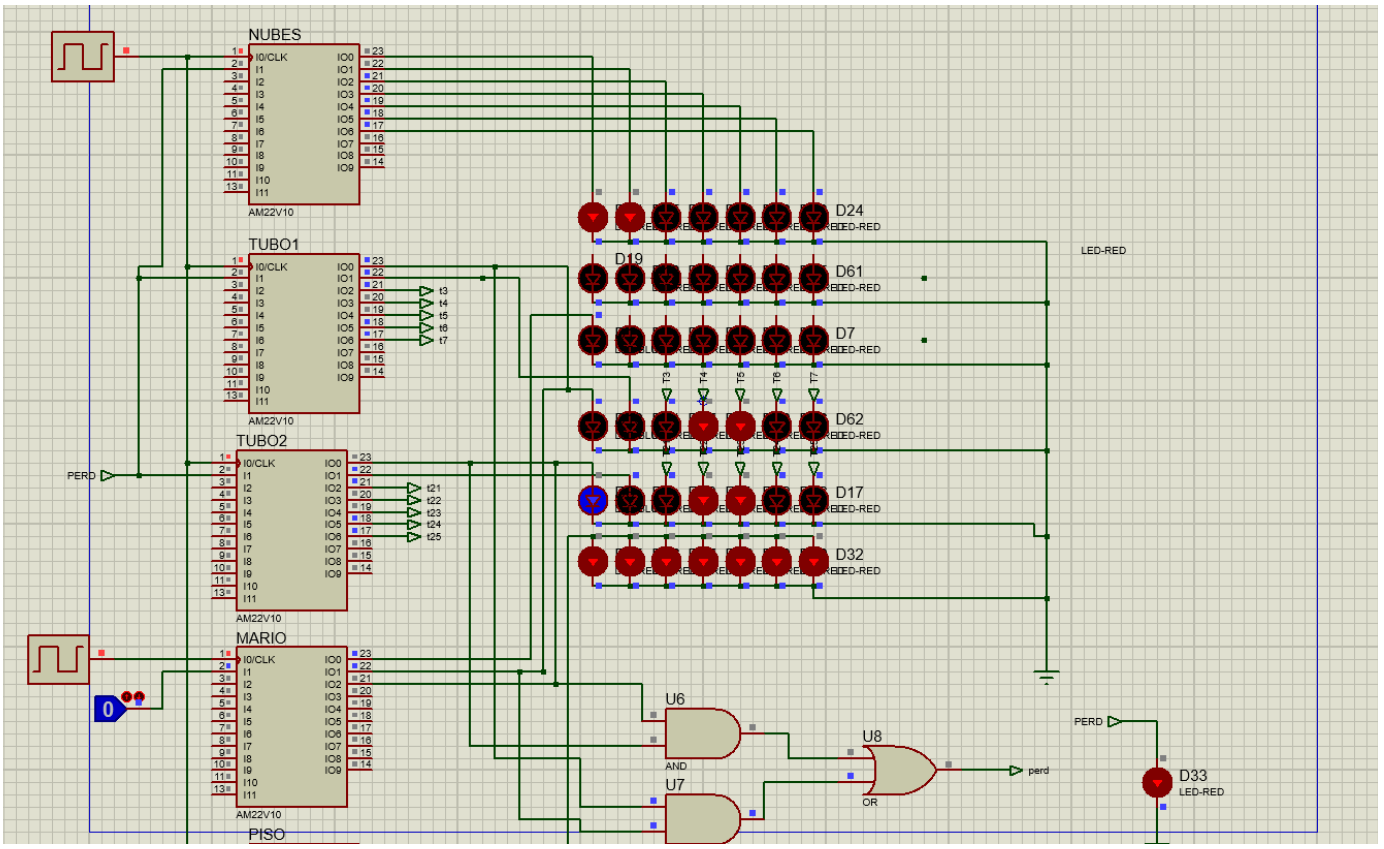
Videojuego

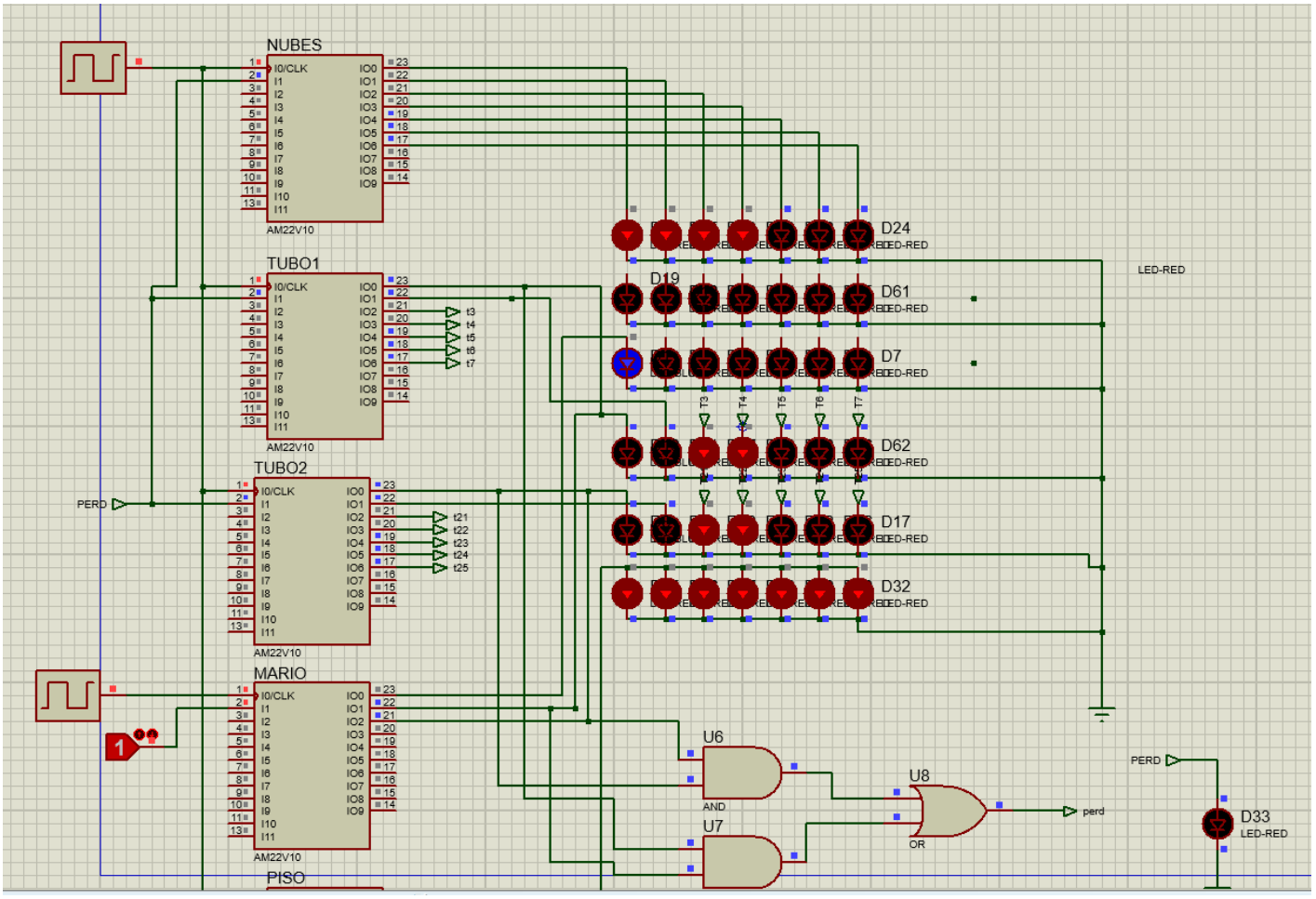
Matriz de Leds

II. Desarrollo



III. Simulaciones


NUBES
TUBO1
TUBO2
MARIO
PISO
AM22V10
PERD
D24
D19
D61
D7
D62
D17
D32
LED-RED
U6
U7
U8
AND
OR
perd
D33
t3
t4
t5
t6
t7
t21
t22
t23
t24
t25
T3
T4
T5
T6
T7


NUBES
TUBO1
TUBO2
MARIO
PISO
AM22V10
PERD
D24
D19
D61
D7
D62
D17
D32
LED-RED
U6
U7
U8
AND
OR
perd
D33
t3
t4
t5
t6
t7
t21
t22
t23
t24
t25
T3
T4
T5
T6
T7

IV. Código VHDL

```
-Nubes
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity escenario is port(
        clk: in std_logic;
        output: out std_logic_vector(6 downto 0);
        reset: in std_logic
        );
        attribute pin_numbers of escenario: entity is "clk:1 reset:2 output(6):23 output(5):22
output(4):21 output(3):20 output(2):19 output(1):18 output(0):17";
  end entity;

  architecture funcion of escenario is


   type estados is (s0,s1,s2,s3,s4,s5);
        signal state: estados;
        begin
        process(clk,reset)
        begin
        if(clk'event and clk='1')then
                if reset='1' then
                        state<=s0;
                   end if;
        case state is
                when s0=>
                output<="0111100";
                state<=s1;
                when s1=>
                output<="1111000";
                state<=s2;
                when s2=>
                output<="1110000";
                state<=s3;
                when s3=>
                output<="1100000";
                state<=s4;
                when s4=>
                output<="1000000";
                state<=s5;
```

```
                when s5=>
                output<="0000000";
                state<=s0;
                end case;
                end if;
        end process;
        end architecture;
-Piso
library ieee;
use ieee.std_logic_1164.all;

entity piso is port(
                clk:in std_logic;
                Q:out std_logic);
                attribute pin_numbers of piso: entity is "clk:1 Q:23";
                end entity;

        architecture funcion of piso is

        begin
        process(clk)
        begin
        if(clk'event and clk='1')then
        Q<='1';
        end if;
        end process;
        end architecture;

-Mario
library ieee;
use ieee.std_logic_1164.all;

entity mario is port(
                clk: in std_logic;
                sw:in std_logic;
                Q: out std_logic_vector(2 downto 0));
                attribute pin_numbers of mario: entity is "clk:1 sw:2 Q(2):23 Q(1):22 Q(0):21";
                end entity;

        architecture brincar of mario is
        type estados is(s0,s1,s2,s3);
        signal sig:estados;

        begin
        process(clk)
        begin
```

```
if(clk'event and clk='1')then
if sw='1' then
        case sig is
                when s0=>
                        sig<=s1;
                        Q<="001";
                when s1=>
                        sig<=s2;
                        Q<="010";
                 when s2=>
                        sig<=s3;
                        Q<="100";
                 when s3=>
                        sig<=s0;
                        Q<="010";
                 when others=>
                   sig<=s0;
                        Q<="001";
                 end case;
        else
                case sig is
                 when s0=>
                        sig<=s0;
                        Q<="001";
                 when s1=>
                        sig<=s0;
                        Q<="010";
                  when s2=>
                   sig<=s1;
                        Q<="100";
                  when s3=>
                   sig<=s0;
                        Q<="010";
                  when others=>
                   sig<=s0;
                        Q<="001";
                  end case;
                end if;
                end if;
                end process;
                end architecture;
```

-Tubo

```
library ieee;
use ieee.std_logic_1164.all;
```

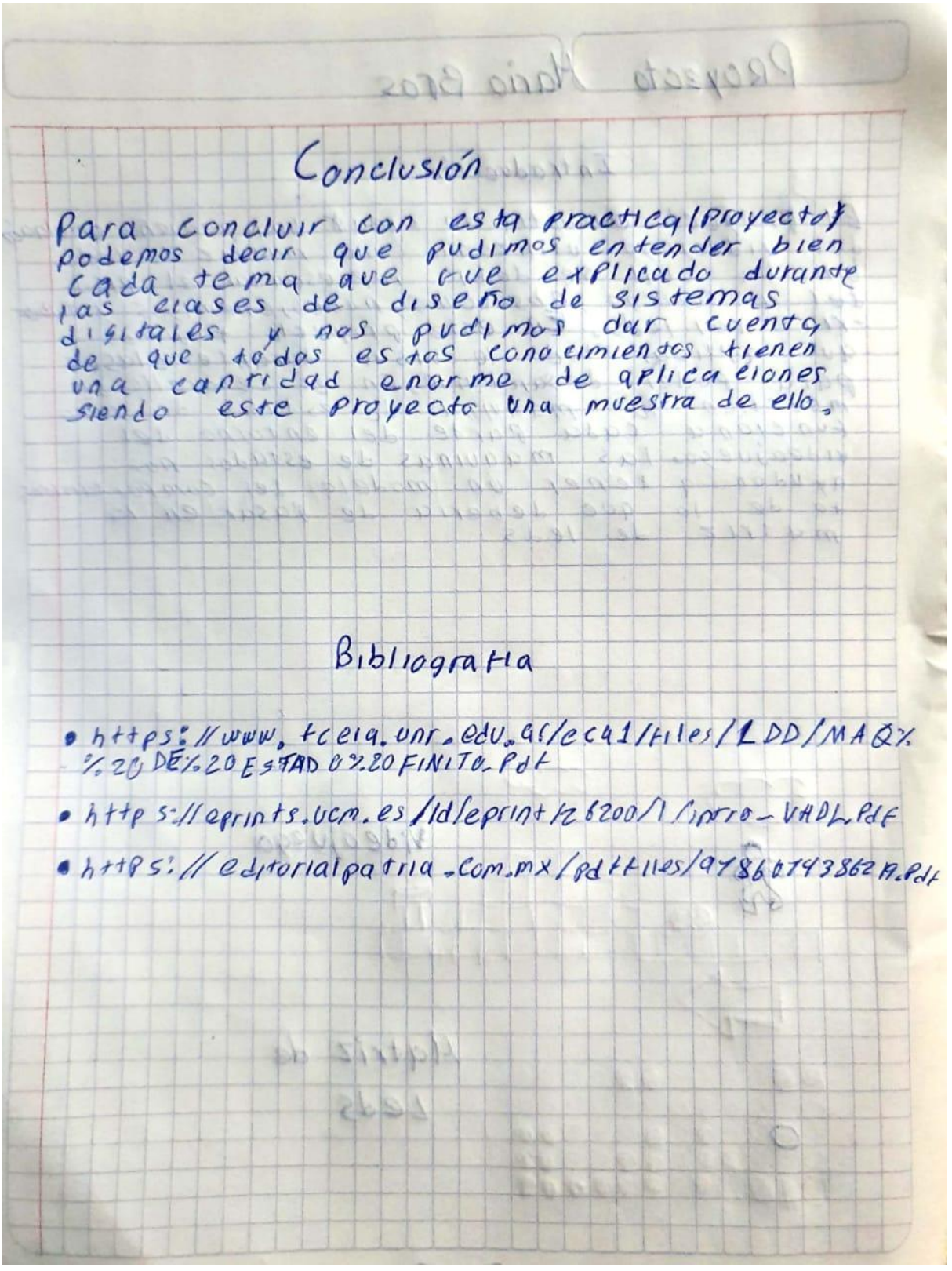
```
entity tubo1 is port(
                        clk,reset: in std_logic;
                        Q: out std_logic_vector(6 downto 0));
  attribute pin_numbers of tubo1: entity is "clk:1 reset:2 Q(6):23 Q(5):22 Q(4):21 Q(3):20 Q(2):19 Q(1):18
Q(0):17";
end entity;

architecture funcion of tubo1 is

type estados is(e0,e1,e2,e3,e4,e5,e6,e7);
signal sig:estados;
begin
process(clk,reset)
begin
if(clk'event and clk='1')then
        if(reset='1')then
        sig<=e0;
        end if;
                case sig is
                        when e0=>
                        Q<="0000001";
                        sig<=e1;
                        when e1=>
                        Q<="0000011";
                        sig<=e2;
                        when e2=>
                        Q<="0000110";
                        sig<=e3;
                        when e3=>
                        Q<="0001100";
                        sig<=e4;
                        when e4=>
                        Q<="0011000";
                        sig<=e5;
                        when e5=>
                        Q<="0110000";
                        sig<=e6;
                        when e6=>
                        Q<="1100000";
                        sig<=e7;
                        when e7=>
                        Q<="1000001";
                        sig<=e1;
                end case;
                end if;
                end process;
```

```
end architecture;
```

V. Conclusiones y Bibliografía



Conclusión

Para concluir con esta practica (Proyecto) podemos decir que pudimos entender bien cada tema que fue explicado durante las clases de diseño de sistemas digitales y nos pudimos dar cuenta de que todos estos conocimientos tienen una cantidad enorme de aplicaciones siendo este proyecto una muestra de ello.

Bibliografia

- https://www.tcelg.unr.edu.ar/ecat/files/LDD/MAQ%20DE%20ESTADO%20FINITO.pdf
- https://eprints.ucm.es/id/eprint/6200/1/Libro_VHDL.pdf
- https://editorialpatria.com.mx/pdffiles/9786074386217.pdf