

# Reporte de la práctica 3

Nombre: Colín Ramiro Joel

No de lista: 3

El objetivo de la práctica es dada una tabla de verdad la cual involucra un sistema con tres entradas (a,b y c) y dos salidas (s,Co), implementar las ecuaciones lógicas que describen su comportamiento en VHDL , realizar su simulación con el simulador de onda y verificar que cumpla al 100% con la tabla de verdad.

a	b	C	s	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Sus funciones lógicas son:

$$F(s) = (\bar{a} \bar{b} c) + (\bar{a} b \bar{c}) + (a \bar{b} \bar{c}) + (a b c)$$

$$F(co) = (\bar{a} b c) + (a \bar{b} c) + (a b \bar{c}) + (a b c)$$

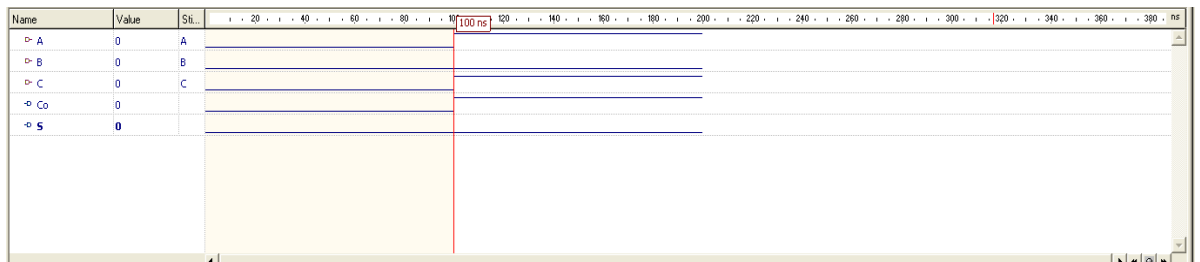
El código de implementación de las ecuaciones en VHDL es el siguiente:

```
library ieee;
use ieee.std_logic_1164.all;

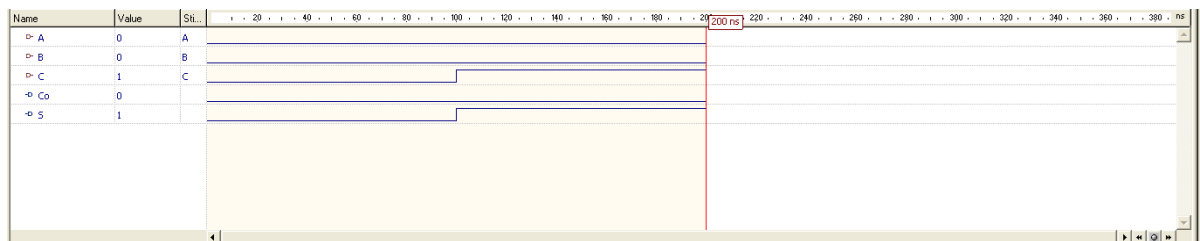
entity practical1 is
port(
    A, B, C: in std_logic;
    S, Co: out std_logic
);
end practical1;

architecture Apractica of practical1 is
begin
    S <= ((NOT A)AND(NOT B)AND C) OR ((NOT A)AND B AND(NOT C)) OR (A AND(NOT B)AND(NOT C)) OR (A AND B AND C);
    Co <= (NOT A)AND B AND C) OR (A AND(NOT B)AND C) OR (A AND B AND(NOT C)) OR (A AND B AND C);
end Apractica;
```

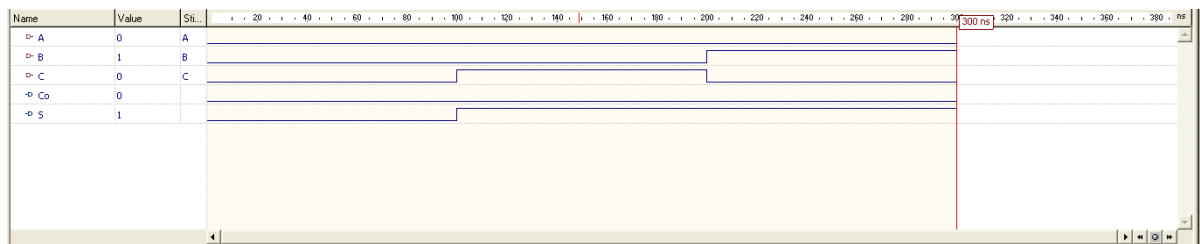
1. En el primer caso el estado de A, B y C es de 0 así que el estado de ambas salidas será de 0. 0 0 0 0 0



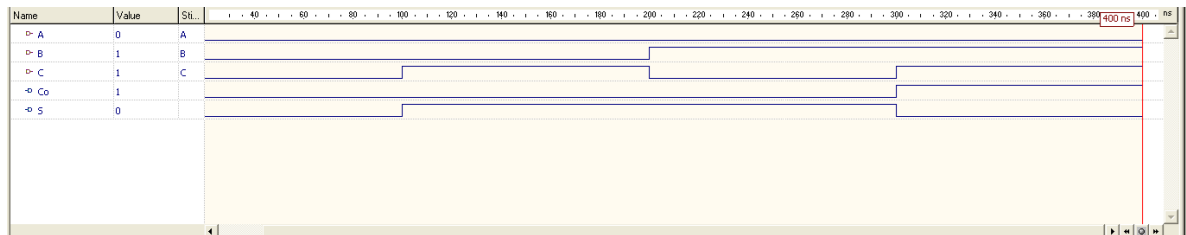
2. En el segundo la entrada de C será la única cuyo estado sea 1, por lo tanto, S será la salida cuyo estado cambie a 1. 0 0 1 1 0



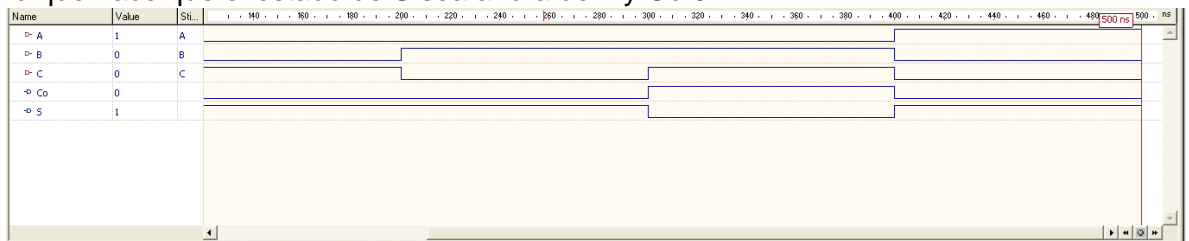
3. En el tercer caso, B es la única entrada con estado de 1 y como en el caso anterior la salida S se queda con valor de 1. 0 1 0 1 0



4. Cuarto caso las entradas B y C son las que cambian a 1, por lo tanto, la salida ahora será Co la que su estado será 1. 0 1 1 0 1

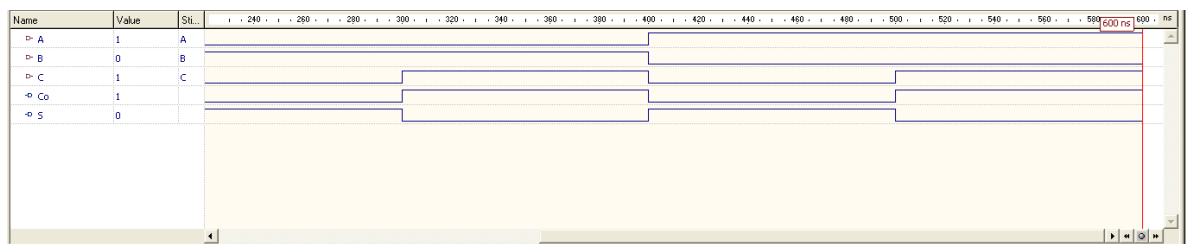


5. Para el quinto caso el estado de A cambia a 1 y los estados de B y C se vuelven 0 lo que hace que el estado de S sea ahora de 1 y Co 0. 1 0 0 1 0

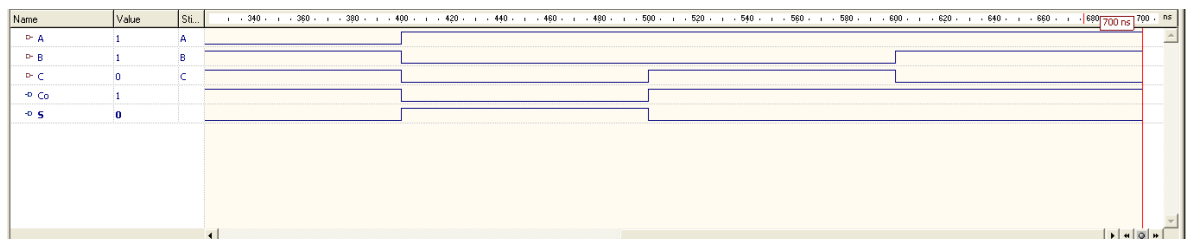


6. En el sexto caso A y C se vuelven 1 lo que hace que la salida Co se vuelva

1 0 1 0 1



7. Séptimo caso los estados de A y B se vuelven 1 haciendo lo mismo que el caso anterior. 1 1 0 0 1



8. Para el caso final todas las entradas tienen un estado de 1 haciendo que ambas salidas igual tengan un estado de 1. 1 1 1 1 1

